



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/108 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년11월24일 10-0648860 2006년11월16일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0083692 2005년09월08일 2005년09월08일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	길덕신 경기 이천시 부발읍 아미리 753번지 현대아파트 706동 601호 홍권 경기 성남시 분당구 이매동 아름마을두산아파트 417동 901호 염승진 경기 용인시 동천동 859 현대1차홈타운 105-704
(74) 대리인	특허법인 신성

심사관 : 최봉묵

전체 청구항 수 : 총 41 항

(54) 유전막 및 그 형성방법과, 상기 유전막을 구비한 반도체메모리 소자 및 그 제조방법

(57) 요약

본 발명은 유전용량을 확보하면서 누설전류 특성을 개선시킬 수 있는 유전막 및 그 형성방법과, 상기 유전막을 구비한 반도체 메모리 소자 및 그 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명에서는 적어도 25의 유전상수를 갖는 제1 유전막과, 상기 제1 유전막보다 결정화율이 낮은 물질로 상기 제1 유전막 상에 형성된 제2 유전막과, 상기 제1 유전막과 동일한 물질로 상기 제2 유전막 상에 형성된 제3 유전막을 포함하는 유전막을 제공한다.

대표도

도 1

특허청구의 범위

청구항 1.

적어도 25의 유전상수를 갖는 제1 유전막;

상기 제1 유전막보다 결정화율이 낮은 물질로 상기 제1 유전막 상에 형성된 제2 유전막; 및

상기 제1 유전막과 동일한 물질로 상기 제2 유전막 상에 형성된 제3 유전막

을 포함하는 유전막.

청구항 2.

제 1 항에 있어서,

상기 제1 및 제3 유전막은 결정화가 되지 않는 두께로 증착된 유전막.

청구항 3.

제 2 항에 있어서,

상기 결정화가 되지 않는 두께는 10~70Å인 유전막.

청구항 4.

제 2 항에 있어서,

상기 제1 및 제3 유전막은 ZrO_2 , HfO_2 , La_2O_3 및 Ta_2O_5 의 일군에서 선택된 어느 하나로 이루어진 유전막.

청구항 5.

제 4 항에 있어서,

상기 제1 내지 제3 유전막의 총 두께는 70~100Å인 유전막.

청구항 6.

제 5 항에 있어서,

상기 ZrO_2 는 35~45Å의 두께로 형성된 유전막.

청구항 7.

제 1 항에 있어서,

상기 제2 유전막은 동일 온도하에서 상기 제1 유전막보다 결정화율이 낮은 물질로 이루어진 유전막.

청구항 8.

제 1 항에 있어서,

상기 제2 유전막은 상기 제1 유전막보다 낮은 유전상수를 갖는 유전막.

청구항 9.

제 8 항에 있어서,

상기 제2 유전막은 적어도 900℃의 온도에서 결정화가 이루어는 물질로 이루어진 유전막.

청구항 10.

제 1 항 또는 제 7 항에 있어서,

상기 제2 유전막은 Al_2O_3 , SiO_2 및 Ta_2O_5 의 일군에서 선택된 어느 하나로 형성된 유전막.

청구항 11.

제 1 항, 제 5 항, 제 7 항, 제 8 항 및 제 9 항 중 어느 하나의 항에 있어서,

상기 제2 유전막은 3~10Å의 두께로 형성된 유전막.

청구항 12.

적어도 25의 유전상수를 갖는 제1 유전막을 증착하는 단계;

상기 제1 유전막 상에 상기 제1 유전막보다 결정화율이 낮은 제2 유전막을 증착하는 단계; 및

상기 제2 유전막 상에 상기 제1 유전막과 동일한 물질의 제3 유전막을 증착하는 단계

를 포함하는 유전막 형성방법.

청구항 13.

제 12 항에 있어서,

상기 제1 및 제3 유전막은 결정화가 되지 않는 두께로 증착하는 유전막 형성방법.

청구항 14.

제 13 항에 있어서,

상기 결정화가 되지 않는 두께는 10~70Å으로 하는 유전막 형성방법.

청구항 15.

제 13 항에 있어서,

상기 제1 및 제3 유전막은 ZrO_2 , HfO_2 , La_2O_3 및 Ta_2O_5 의 일군에서 선택된 어느 하나로 형성하는 유전막 형성방법.

청구항 16.

제 15 항에 있어서,

상기 ZrO_2 는 35~45Å의 두께로 형성하는 유전막 형성방법.

청구항 17.

제 13 항에 있어서,

상기 제1 및 제3 유전막을 증착하는 단계는 단원자층 증착 또는 화학기상 증착 방식을 이용하는 유전막 형성방법.

청구항 18.

제 15 항 내지 제 17 항 중 어느 하나의 항에 있어서,

상기 ZrO_2 막을 증착하는 단계는 Zr 소스가스로 $\text{Zr}(\text{O}-t\text{Bu})_4$, $\text{Zr}[\text{N}(\text{CH}_3)_2]_4$, $\text{Zr}[\text{N}(\text{C}_2\text{H}_5)(\text{CH}_3)]_4$, $\text{Zr}[\text{N}(\text{C}_2\text{H}_5)_2]_4$, $\text{Zr}(\text{tmhd})_4$, $\text{Zr}(\text{OiC}_3\text{H}_7)_3(\text{tmhd})$, $\text{Zr}(\text{OtBu})_4$ 및 $\text{Zr}(\text{OtBu})(\text{C}_2\text{H}_5\text{CH}_3)_3$ 의 일군에서 선택된 어느 하나를 이용하는 유전막 형성 방법.

청구항 19.

제 17 항에 있어서,

상기 단원자층 증착 방식을 이용하여 상기 제1 및 제3 유전막을 증착하는 단계는 산화 반응가스로 H_2O , O_3 및 산소 플라즈마 중 어느 하나를 이용하는 유전막 형성방법.

청구항 20.

제 17 항에 있어서,

상기 단원자층 증착 방식을 이용하여 상기 제1 및 제3 유전막을 증착하는 단계는, 미반응 가스를 퍼지시키기 위한 퍼지가스로 N_2 또는 Ar을 이용하는 유전막 형성방법.

청구항 21.

제 12 항에 있어서,

상기 제2 유전막은 동일 온도하에서 상기 제1 유전막보다 결정화율이 낮은 물질로 형성하는 유전막 형성방법.

청구항 22.

제 12 항에 있어서,

상기 제2 유전막은 상기 제1 유전막보다 낮은 유전상수를 갖는 유전막 형성방법.

청구항 23.

제 22 항에 있어서,

상기 제2 유전막은 적어도 900℃의 온도에서 결정화가 이루어지는 물질로 형성하는 유전막 형성방법.

청구항 24.

제 12 항 또는 제 21 항에 있어서,

상기 제2 유전막은 Al_2O_3 , SiO_2 및 Ta_2O_5 의 일군에서 선택된 어느 하나로 형성하는 유전막 형성방법.

청구항 25.

제 12 항, 제 21 항, 제 22 항 및 제 23 항 중 어느 하나의 항에 있어서,

상기 제2 유전막은 3~10Å의 두께로 형성하는 유전막 형성방법.

청구항 26.

제 21 항 내지 제 23 항 중 어느 하나의 항에 있어서,

상기 제2 유전막을 증착하는 단계는 단원자층 증착 방식을 이용하는 유전막 형성방법.

청구항 27.

제 26 항에 있어서,

상기 단원자층 증착 방식을 이용하여 상기 제2 유전막을 증착하는 단계는 산화 반응가스로 H_2O , O_3 및 산소 플라즈마 중 어느 하나를 이용하는 유전막 형성방법.

청구항 28.

제 26 항에 있어서,

상기 단위자층 증착 방식을 이용하여 상기 제2 유전막을 증착하는 단계는 미반응 가스를 퍼지시키기 위한 퍼지가스로 N_2 또는 Ar을 이용하는 유전막 형성방법.

청구항 29.

제 12 항, 제 13 항, 제 17 항, 제 21 항 및 제 22 항 중 어느 하나의 항에 있어서,

상기 제1 내지 제3 유전막을 증착하는 단계는 모두 동일 챔버 내에서 실시하는 유전막 형성방법.

청구항 30.

제 29 항에 있어서,

상기 동일 챔버 내에서 상기 제1 내지 제3 유전막을 증착하는 단계는 200 내지 350의 공정 온도에서 실시하는 유전막 형성방법.

청구항 31.

제 12 항, 제 13 항, 제 17 항, 제 21 항 및 제 22 항 중 어느 하나의 항에 있어서,

상기 제1 내지 제3 유전막을 증착하는 단계는 상기 제1 및 제3 유전막을 증착하기 위한 제1 챔버와, 상기 제2 유전막을 증착하기 위한 제2 챔버를 각각 독립적으로 사용하는 유전막 형성방법.

청구항 32.

하부전극이 형성된 기판;

상기 하부전극 상에 제 1 항 내지 제 9 항 중 어느 하나의 항의 구성을 갖고 형성된 유전막; 및

상기 유전막 상부에 형성된 상부전극

을 포함하는 반도체 메모리 소자.

청구항 33.

제 32 항에 있어서,

상기 하부전극은 도프트 폴리 실리콘, TiN, Ru, RuO_2 , Pt, Ir, IrO_2 , RuTiN, HfN 및 ZrN의 일군에서 선택된 어느 하나로 형성된 반도체 메모리 소자.

청구항 34.

제 32 항에 있어서,

상기 상부전극은 도프트 폴리 실리콘, TiN, Ru, RuO₂, Pt, Ir, IrO₂ 및 RuTiN의 일군에서 선택된 어느 하나로 형성된 반도체 메모리 소자.

청구항 35.

하부전극이 형성된 기판을 제공하는 단계;

상기 하부전극 상에 제 12 항, 제 13 항, 제 17 항, 제 21 항, 제 22 항 및 제 23 항중 어느 하나의 항의 방법을 이용하여 유전막을 형성하는 단계; 및

상기 유전막 상부에 상부전극을 형성하는 단계

를 포함하는 반도체 메모리 소자 제조방법.

청구항 36.

제 35 항에 있어서,

상기 하부전극은 도프트 폴리 실리콘, TiN, Ru, RuO₂, Pt, Ir, IrO₂, RuTiN, HfN 및 ZrN의 일군에서 선택된 어느 하나로 형성하는 반도체 메모리 소자 제조방법.

청구항 37.

제 35 항에 있어서,

상기 하부전극은 스퍼터링, 화학기상 증착 또는 단원자층 증착 방식을 이용하여 형성하는 반도체 메모리 소자 제조방법.

청구항 38.

제 35 항에 있어서,

상기 상부전극은 도프트 폴리 실리콘, TiN, Ru, RuO₂, Pt, Ir, IrO₂ 및 RuTiN의 일군에서 선택된 어느 하나로 형성하는 반도체 메모리 소자 제조방법.

청구항 39.

제 35 항에 있어서,

상기 상부전극은 스퍼터링, 화학기상 증착 또는 단원자층 증착 방식을 이용하여 형성하는 반도체 메모리 소자 제조방법.

청구항 40.

기판 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 플로팅 게이트;

상기 플로팅 게이트 상에 제 1 항 내지 제 9 항 중 어느 하나의 항의 구성을 갖고 형성된 유전막; 및
상기 유전막 상부에 형성된 컨트롤 게이트
를 포함하는 반도체 메모리 소자.

청구항 41.

기관 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 플로팅 게이트를 형성하는 단계;

상기 플로팅 게이트 상에 제 12 항, 제 13 항, 제 17 항, 제 21 항, 제 22 항 및 제 23 항 중 어느 하나의 항의 방법을 이용하여 유전막을 형성하는 단계; 및

상기 유전막 상부에 컨트롤 게이트를 형성하는 단계

를 포함하는 반도체 메모리 소자 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 유전막에 관한 것으로, 특히 유전막 및 그 형성방법과 상기 유전막을 구비한 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

반도체 메모리 소자, 예컨대 DRAM(Dynamic Random Access Memory) 소자의 경우 집적도가 증가함에 따라 메모리 정보의 기본 단위인 1비트를 메모리시키는 메모리 셀의 면적이 점차 작아지고 있다. 그러나, 메모리 셀의 축소에 비례하여 캐패시터의 면적을 감소시킬 수는 없다. 이는, 소프트 에러(soft error)를 방지하고 안정된 동작을 유지하기 위해서 단위 셀당 일정 이상의 유전용량이 필요하기 때문이다. 따라서, 제한된 셀 면적 내에 메모리 캐패시터의 용량을 적정값 이상으로 유지시키기 위한 연구가 요구되고 있다. 이러한 연구는 대개 3가지 방법으로 나뉘어 진행되어 왔다. 첫째, 유전막의 두께를 감소시키는 방법, 둘째, 캐패시터의 유효면적을 증가시키는 방법, 셋째, 비유전율이 높은 유전막을 사용하는 방법 등이 고려되어 왔다.

이러한 방법 중에서, 비유전율이 높은 유전막을 사용하는 방법에 대해 구체적으로 살펴보면 다음과 같다. 종래 캐패시터에 이용되는 유전막은 SiO_2 로부터, 유전율이 SiO_2 의 거의 2배인 Si_3N_4 를 사용한 NO(Nitride-Oxide) 또는 ONO(Oxide-Nitride-Oxide) 박막이 주류였다.

하지만, SiO_2 , NO 및 ONO 등의 박막은 물질 자체의 유전율이 작으므로 유전막의 두께를 줄이거나 표면적을 넓힌다고 해도 정전용량을 증대시키는 데에는 한계가 있다. 이에 따라, 유전율이 높은 물질을 사용하는 것이 필수적으로 요구되는 실정이다.

결국, 고집적 DRAM에서는 기존 유전막을 대신할 물질로서 HfO_2 , SiON , Al_2O_3 및 SrTiO_3 등의 고유전막이 도입되었다. 이 중에서, SiON 및 Al_2O_3 의 경우에는 그 두께가 얇아짐에 따라 누설전류가 급격히 증가하기 때문에, 이들을 이용해서는 약 40Å 이하의 두께를 갖는 유전막을 형성하기가 어렵다.

반면에, 고유전율을 갖는 SrTiO_3 ($\epsilon \approx 200$) 박막의 경우, 200Å 이상의 두께에서 높은 유전상수 및 우수한 누설전류 특성을 확보할 수 있다. 그러나, 100nm 이하의 미세소자에 적용되는 캐패시터의 유전막의 경우, 100Å 이하의 두께를 가질 것이 요구되고 있으나, SrTiO_3 박막은 그 두께가 100Å 이하가 되면 유전율 및 누설전류 특성이 급격히 나빠지는 것으로 보고되고 있다.

한편, HfO_2 는 유전율이 25로 크지만 낮은 결정화 온도에 기인한 열 안정성의 문제로 누설전류가 높아 단독으로 적용하기 어려운 문제가 있었다. 이와 같은 문제를 해결하기 위하여, 종래에는 HfO_2 상에 Al_2O_3 막을 적층한 구조가 도입되었으나, Al_2O_3 의 낮은 유전율($\epsilon \approx 9$) 때문에 유전용량이 손실되는 문제가 발생하였다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출된 것으로서, 다음과 같은 다양한 목적이 있다.

첫째, 유전용량을 확보하면서 누설전류 특성을 개선시킬 수 있는 유전막 및 그 형성방법을 제공하는데 있다.

둘째, 상기 유전막을 구비함으로써 유전용량을 확보하면서 누설전류 특성을 개선시킬 수 있는 반도체 메모리 소자 및 그 제조방법을 제공하는데 있다.

발명의 구성

상기한 목적을 달성하기 위한 제1 측면에 따른 본 발명은, 적어도 25의 유전상수를 갖는 제1 유전막과, 상기 제1 유전막보다 결정화율이 낮은 물질로 상기 제1 유전막 상에 형성된 제2 유전막과, 상기 제1 유전막과 동일한 물질로 상기 제2 유전막 상에 형성된 제3 유전막을 포함하는 유전막을 제공한다.

상기한 목적을 달성하기 위한 제2 측면에 따른 본 발명은, 적어도 25의 유전상수를 갖는 제1 유전막을 증착하는 단계와, 상기 제1 유전막 상에 상기 제1 유전막보다 결정화율이 낮은 제2 유전막을 증착하는 단계와, 상기 제2 유전막 상에 상기 제1 유전막과 동일한 물질의 제3 유전막을 증착하는 단계를 포함하는 유전막 형성방법을 제공한다.

상기한 목적을 달성하기 위한 제3 측면에 따른 본 발명은, 하부전극이 형성된 기판과, 상기 하부전극 상에 상기 제1 측면에 따른 구조를 갖는 유전막과, 상기 유전막 상부에 형성된 상부전극을 포함하는 반도체 메모리 소자를 제공한다.

상기한 목적을 달성하기 위한 제4 측면에 따른 본 발명은, 하부전극이 형성된 기판을 제공하는 단계와, 상기 하부전극 상에 상기 제2 측면에 따른 방법을 이용하여 유전막을 형성하는 단계와, 상기 유전막 상부에 상부전극을 형성하는 단계를 포함하는 반도체 메모리 소자 제조방법을 제공한다.

상기한 목적을 달성하기 위한 제5 측면에 따른 본 발명은, 기판 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 플로팅 게이트와, 상기 플로팅 게이트 상에 상기 제1 측면에 따른 구조를 갖는 유전막과, 상기 유전막 상부에 형성된 컨트롤 게이트를 포함하는 반도체 메모리 소자를 제공한다.

상기한 목적을 달성하기 위한 제6 측면에 따른 본 발명은, 기판 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 플로팅 게이트를 형성하는 단계와, 상기 플로팅 게이트 상에 상기 제2 측면에 따른 방법을 이용하여 유전막을 형성하는 단계와, 상기 유전막 상부에 컨트롤 게이트를 형성하는 단계를 포함하는 반도체 메모리 소자 제조방법을 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다. 또한, 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이며, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나, 또는 그들 사이에 제3의 층이 개재될 수도 있다. 또한 명세서 전체에 걸쳐서 동일한 참조번호가 표시된 부분은 동일한 구성요소들을 나타낸다.

실시예

도 1은 본 발명의 실시예에 따른 유전막을 도시한 단면도이다.

도 1을 참조하면, 본 발명의 실시예에 따른 유전막(50)은 적어도 25의 유전상수를 갖는 제1 유전막(10)과, 제1 유전막(10)보다 결정화율이 낮은 물질로 제1 유전막(10) 상에 형성된 제2 유전막(20)과, 제1 유전막(10)과 동일한 물질로 제2 유전막(20) 상에 형성된 제3 유전막(30)을 포함한다. 여기서, 결정화율이란 온도를 포함한 여러 가지 외부 요인에 의하여 막이 결정화되는 확률을 말하는 것이다. 바람직하게, 본 발명의 바람직한 실시예에서의 결정화율은 동일 온도하에서 막이 결정화되는 확률을 말한다.

막이 결정화가 되면 막의 결정립계를 통해 누설전류가 급격히 증가하게 된다. 따라서, 이러한 누설전류를 억제하기 위하여 본 발명의 실시예에서는 결정화되지 않는 두께로 증착된 제1 및 제3 유전막(10, 30)을 제공한다. 예컨대, 10~70Å의 두께로 증착된 제1 및 제3 유전막(10, 30)을 제공한다.

이때, 제1 내지 제3 유전막(10, 20, 30)의 총 두께는 70~100Å이 되도록 하고, 제1 및 제3 유전막(10, 30)은 ZrO_2 , HfO_2 , La_2O_3 및 Ta_2O_5 의 일군에서 선택된 어느 하나로 이루어진다. 바람직하게는, 제1 및 제3 유전막(10, 30)은 ZrO_2 로 이루어지고, ZrO_2 는 35~45Å의 두께로 형성된다.

또한, 제2 유전막(20)은 제1 유전막(10)보다 낮은 유전상수를 갖거나 적어도 900℃의 온도에서 결정화가 이루어지는 물질로 형성된다. 예컨대, Al_2O_3 , SiO_2 및 Ta_2O_5 의 일군에서 선택된 어느 하나의 물질로 이루어진다. 바람직하게는, Al_2O_3 로 이루어지고, 3 내지 10Å의 두께로 형성된다.

결국, 본 발명의 실시예에 따른 유전막(50)은 동종(同種)의 물질로 이루어진 제1 및 제3 유전막(10, 30) 사이에, 이질(異種)과 이종(異種)의 물질로 이루어진 제2 유전막(20)이 삽입된 삼층의 적층구조를 갖게 된다. 예컨대, 유전막(50)은 $ZrO_2/Al_2O_3/ZrO_2$ 또는 $HfO_2/Al_2O_3/HfO_2$ 등의 구조를 갖는다. 가장 바람직하게는, 유전막(50)은 $ZrO_2/Al_2O_3/ZrO_2$ 의 적층구조를 갖는다. 이는, HfO_2 가 ZrO_2 에 비하여 밴드갭 특성이 떨어져 누설전류 특성을 저하시키는 문제가 있기 때문이다. 하기의 표 1을 참조하면, HfO_2 의 밴드갭 에너지가 5.7로 ZrO_2 의 밴드갭 에너지 7.8보다 낮음을 알 수 있다.

【표 1】

물질	유전상수(k)	밴드갭 E_g (eV)	결정구조(들)
SiO_2	3.9	8.9	무정형
Si_3N_4	7	5.1	무정형
Al_2O_3	9	8.7	무정형
Y_2O_3	15	5.6	입방체형
La_2O_3	30	4.3	육방정계형, 입방체형
Ta_2O_5	26	4.5	사방정계형
TiO_2	80	3.5	정방정계형(루타일, 아나타제)
HfO_2	25	5.7	단사정계형, 사방정계형, 입방체형
ZrO_2	25	7.8	단사정계형, 사방정계형, 입방체형

이때, ZrO_2 는 결정화되지 않는 두께 예컨대, 40Å의 두께로 증착되고 Al_2O_3 는 ZrO_2 보다 현저히 얇게 예컨대, 5Å의 두께로 증착된다.

참고로, ZrO_2 와 같은 고유전막은 일정 온도하에서 결정화가 이루어진다. 특히, ZrO_2 는 도 2에 도시된 바와 같이, 50Å 이상의 두께에서 표면거칠기가 급격히 증가하는 특성이 있다. 이러한 표면거칠기의 증가는 ZrO_2 의 결정화에 기인한다. 이는 결국, ZrO_2 의 두께가 50Å 이상이 되면 누설전류가 현저히 증가함을 나타낸다. 즉, 도 3에 도시된 바와 같이, 일부가 결정화된 ZrO_2 의 결정립계를 따라 누설전류가 흐르게 되는 것이다.

따라서, 본 발명의 실시예에서는 제1 및 제3 유전막(10, 30)의 두께를 결정화되지 않는 두께, 예컨대 35 내지 45Å으로 하고, 제1 및 제3 유전막(10, 30) 사이에 이들(10, 30)과 이종의 물질로 결정화되지 않은 제2 유전막(20)을 삽입한다. 이를 통해, 유전막(50) 형성 후 진행되는 열공정에 의해서도 유전막(50)이 결정화되지 않도록 한다. 따라서, 유전막(50)의 누설전류 특성을 개선시킬 수 있다.

도 4는 ZrO_2 단일막을 80Å의 두께로 증착했을 때 표면거칠기를 나타낸 도면이고, 도 5는 본 발명의 바람직한 실시예에 따라 $ZrO_2/Al_2O_3/ZrO_2$ 의 적층구조를 갖는 유전막을 각각 40Å/5Å/40Å으로 나누어 증착하였을 때 표면거칠기를 나타낸 도면이다. 도 4 및 도 5를 참조하면, 본 발명의 바람직한 실시예에 따른 유전막(50)은 표면거칠기가 감소되는 것을 알 수 있다. 따라서, 전체적으로 유전막(50)의 누설전류를 감소시킬 수 있다.

이하, 도 1에 도시된 유전막(50) 형성방법을 간략히 설명하기로 한다. 즉, 본 발명의 실시예에 따른 유전막(50) 형성방법은 적어도 25의 유전상수를 갖는 제1 유전막(10)을 증착하는 단계와, 제1 유전막(10) 상에 동일 온도하에서 제1 유전막(10)보다 결정화율이 낮은 제2 유전막(20)을 증착하는 단계와, 제2 유전막(20) 상에 제1 유전막(10)과 동일한 물질의 제3 유전막(30)을 증착하는 단계를 포함한다.

제1 및 제3 유전막(10, 30)은 결정화가 되지 않는 두께로 증착한다. 바람직하게는, 10~70Å으로 증착한다.

또한, 제1 및 제3 유전막(10, 30)은 ZrO_2 , HfO_2 , TiO_2 및 Ta_2O_5 의 일군에서 선택된 어느 하나로 형성한다. 바람직하게는, ZrO_2 로 형성하고 ZrO_2 는 35 내지 45Å의 두께로 형성한다.

더불어, 제1 및 제3 유전막(10, 30)은 단원자층 증착(ALD : Atomic Layer Dielectric) 또는 화학기상 증착(CVD : Chemical Vapor Deposition) 방식을 이용하여 증착한다. 여기서, 단원자층 증착 방식을 이용하여 제1 및 제3 유전막(10, 30)을 증착하려면, H_2O , O_3 및 산소 플라즈마 중 어느 하나의 산화 반응가스를 이용하고, 미반응 가스를 퍼지시키기 위한 퍼지가스로는 N_2 또는 Ar을 이용한다.

제2 유전막(20)은 제1 유전막(10)보다 낮은 유전상수를 갖거나, 적어도 900℃의 온도에서 결정화가 이루어지는 물질로 Al_2O_3 , SiO_2 및 Ta_2O_5 의 일군에서 선택된 어느 하나로 형성한다. 바람직하게는, Al_2O_3 로 형성하고 3 내지 10Å의 두께로 형성한다.

또한, 제2 유전막(20)은 단원자층 증착 방식을 이용하여 증착한다. 여기서, 단원자층 증착 방식을 이용하여 제2 유전막(20)을 증착하려면 H_2O , O_3 및 산소 플라즈마 중 어느 하나의 산화 반응가스를 이용하고, 미반응 가스를 퍼지시키기 위한 퍼지가스로는 N_2 또는 Ar을 이용한다.

상기한 제1 내지 제3 유전막(10, 20, 30)을 증착하는 단계는 모두 동일 챔버 내에서 즉, 인시튜(in-situ)로 실시하거나, 제1 및 제3 유전막(10, 30)을 증착하기 위한 제1 챔버와 제2 유전막(20)을 증착하기 위한 제2 챔버를 각각 독립적으로 사용하여 실시할 수 있다. 동일 챔버 내에서 제1 내지 제3 유전막(10, 20, 30)을 증착하는 경우에는, 200 내지 350℃의 공정 온도에서 실시한다.

도 6은 본 발명의 바람직한 실시예에 따른 유전막 형성방법을 설명하기 위한 흐름도(flow chart)이다. 이를 통하여, 본 발명의 바람직한 실시예에 따른 유전막 형성방법을 좀 더 상세히 설명하기로 한다. 여기서는, 설명의 편의를 위해 도 5에서와 같이 이상적인 $ZrO_2/Al_2O_3/ZrO_2$ 의 적층구조를 갖는 유전막 형성방법만 언급하기로 한다.

먼저, 제1 유전막으로 ZrO_2 막 형성공정을 진행한다. ZrO_2 막 형성공정은 다음과 같다. $Zr(O-tBu)_4$, $Zr[N(CH_3)_2]_4$, $Zr[N(C_2H_5)(CH_3)]_4$, $Zr[N(C_2H_5)_2]_4$, $Zr(tmhd)_4$, $Zr(OiC_3H_7)_3(tmhd)$, $Zr(OtBu)_4$ 및 $Zr(OtBu)(C_2H_5CH_3)_3$ 의 일군에서 선택된 어느 하나의 Zr 소스가스를 200 내지 350℃로 유지되는 ALD 장비의 챔버 내부로 주입시켜 웨이퍼(미도시) 상부에 Zr을 흡착시킨다(S10). 그리고, 챔버 내부로 N_2 (또는, Ar) 가스를 주입시켜 흡착되지 않고 챔버 내부에 잔류되는 Zr 소스가스를 외부로 퍼지(purge)시킨다(S11). 그런 다음, 챔버 내부로 O_3 (또는, H_2O 또는 산소 플라즈마)를 주입시켜 웨이퍼 상부에 흡착된 Zr를 산화시켜 제1 유전막으로서 ZrO_2 막을 형성한다(S12). 그런 다음, 챔버 내부로 N_2 가스를 다시 주입시켜 반응하지 않은 O_3 를 퍼지시킨다(S13).

이러한 단계 S10 내지 S13은 한 주기(T_{Zr})로 하여 ZrO_2 막의 두께(T_1)가 40Å이 될 때까지 상기한 단계들(S10 내지 S13)을 반복적으로 실시한다. 이때, ZrO_2 막의 두께(T_1)를 40Å으로 제한하는 이유는 ZrO_2 막의 결정화를 방지하기 위함이다. 일례로, ZrO_2 막의 두께가 50Å이 넘으면 ZrO_2 막의 결정화가 쉽게 진행된다. 한 주기(T_{Zr}) 동안 ZrO_2 막의 두께(T_1)는 대략 1Å이 된다. 따라서, 주기(T_{Zr})를 40회 정도 반복하면 40Å에 근접한 두께로 ZrO_2 막을 증착할 수 있다.

이어서, 제2 유전막으로 Al_2O_3 막 형성공정을 진행한다. Al_2O_3 막 형성공정은 다음과 같다. 인시튜(in-situ)로 $Al(CH_3)_3$ 소스가스를 챔버 내부로 주입시켜 ZrO_2 막 상에 Al을 흡착시킨다(S15). 이때, 단계 S15는 인시튜로 진행되지 않고 ZrO_2 막 형성을 위한 챔버와 다른 챔버에서 독립적으로 실시할 수도 있다. 그런 다음, 챔버 내부로 N_2 (또는, Ar) 가스를 주입시켜 흡착되지 않고 챔버 내부에 잔류되는 Al 소스가스를 외부로 퍼지시킨다(S16). 그런 다음, 챔버 내부로 O_3 (또는, H_2O 또는 산소 플라즈마)를 주입시켜 흡착된 Al을 산화시켜 제2 유전막인 Al_2O_3 막을 형성한다(S17). 그런 다음, 챔버 내부로 N_2 가스를 주입시켜 반응하지 않은 O_3 를 퍼지시킨다(S18). 이러한 단계 S15 내지 S18은 한 주기(T_{Al})로 하여 Al_2O_3 막의 두께(T_2)가 5Å이 될때까지 상기 단계들(S15 내지 S18)을 반복적으로 실시한다. 한 주기(T_{Al}) 동안 Al_2O_3 막의 두께(T_2)는 대략 1Å이 된다. 따라서, 주기(T_{Al})를 5회정도 반복하면 5Å에 근접한 두께로 Al_2O_3 막을 증착할 수 있다.

이어서, 제3 유전막으로 제1 유전막과 동일한 ZrO_2 막 형성단계(S10 내지 S14)를 1회 반복하여 실시한다(S20). 이로써, 약 40Å의 ZrO_2 막이 형성된다.

이어서, $ZrO_2/Al_2O_3/ZrO_2$ 의 적층 두께(T_{final})가 원하는 유전용량 확보를 위한 목표치 두께(T_{goal})보다 작은 경우에는 ZrO_2 막의 증착주기(T_{Zr})를 1회씩 반복하여 실시한다(S22). 단계 S21 및 S22는 $ZrO_2/Al_2O_3/ZrO_2$ 의 적층 두께(T_{final})가 목표치 두께(T_{goal})와 동일할때까지 실시한다. 여기서는, 목표치 두께(T_{goal})가 약 80Å이므로 단계 S22를 반복하지 않는다. 이처럼, 본 발명의 바람직한 실시예에서는 약 80Å의 두께로 유전막을 형성하여 유전막의 유전용량을 확보할 수 있다.

적용예 1

대표적으로, 본 발명의 실시예에 따른 유전막은 반도체 메모리 소자 중 DRAM의 캐패시터에 적용될 수 있다. 도 7은 본 발명의 실시예를 적용한 제1 적용예에 따라 형성된 캐패시터를 도시한 단면도이다. 여기서는, 설명의 편의를 위해 적층형(stack) 캐패시터를 도시하였다. 그러나, 이는 하나의 적용일례로서 이외에도 컨케이브(concave) 또는 실린더(cylinder)형의 캐패시터에도 적용될 수 있다.

도 7을 참조하면, 본 발명의 제1 적용예에 따른 캐패시터는 트랜지스터 및 비트라인 형성공정이 완료된 기판(100)과, 기판(100) 상에 비트라인을 덮도록 형성된 층간절연막(110)과, 층간절연막(110) 상에 형성된 하부전극(120)과, 하부전극(120) 상부에 상기한 실시예를 통해 형성된 유전막(160)과, 유전막(160) 상부에 형성된 상부전극(170)을 포함한다.

이때, 유전막(160)은 상기한 실시예에서와 동일한 구조 즉, 동종의 물질로 형성된 제1 및 제3 유전막(130, 150)과 이들(130, 150)과는 이종의 물질로서 이들(130, 150) 사이에 삽입된 제2 유전막(140)으로 이루어진다. 여기서, 유전막(160)은 상기한 실시예와 동일한 구성을 갖고 있으므로, 유전막(160)의 구성 물질에 대한 더이상의 언급은 생략하기로 한다.

여기서, 하부전극(120)은 도프트(doped) 폴리 실리콘, TiN, Ru, RuO₂, Pt, Ir, IrO₂, RuTiN, HfN 및 ZrN의 일군에서 선택된 어느 하나로 형성된다.

또한, 상부전극(170)은 도프트 폴리 실리콘, TiN, Ru, RuO₂, Pt, Ir, IrO₂ 및 RuTiN의 일군에서 선택된 어느 하나로 형성된다.

이하에서는, 도 7에 도시된 캐패시터 형성방법을 설명하기로 한다.

먼저, 트랜지스터 및 비트라인 형성공정이 완료된 기판 상에 비트라인을 덮도록 층간절연막(110, ILD : Inter Layer Dielectric)을 증착한다. 이때, 층간절연막(110)은 산화막 계열의 물질로 형성한다. 예컨대, HDP(High Density Plasma) 산화막, BPSG(Boron Phosphorus Silicate Glass)막, PSG(Phosphorus Silicate Glass)막, PETEOS(Plasma Enhanced Tetra Ethyle Ortho Silicate)막, PECVD(Plasma Enhanced Chemical Vapor Deposition)막, USG(Un-doped Silicate Glass)막, FSG(Fluorinated Silicate Glass)막, CDO(Carbon Doped Oxide)막 및 OSG(Organic Silicate Glass)막 중 어느 하나를 이용하여 단층막 또는 이들이 적층된 적층막으로 형성한다.

이어서, 마스크 공정 및 식각공정을 통해 층간절연막(110)을 식각하여 기판(100)의 일부를 노출시키는 컨택홀(미도시)을 형성한다. 그런 다음, 컨택홀이 매립되도록 플러그용 물질을 증착한 후 에치백(etch back) 또는 CMP(Chemical Mechanical Polishing) 공정을 실시하여 컨택홀에 매립되는 컨택 플러그(미도시)를 형성한다.

이어서, 컨택 플러그를 포함한 층간절연막(110) 상에 하부전극(120)을 형성한다. 이때, 하부전극(120)은 스퍼터링(sputtering), ALD 및 CVD 방식 중 어느 하나를 이용하여 형성한다. 바람직하게는, 하부전극(120)은 ALD 방식을 이용하여 도프트 폴리 실리콘, TiN, Ru, RuO₂, Pt, Ir, IrO₂, RuTiN, HfN 및 ZrN의 일군에서 선택된 어느 하나로 형성한다.

이어서, 하부전극(120) 상부에 동종의 물질로 이루어진 제1 및 제3 유전막(130, 150) 사이에 이들과는 이종의 물질로 이루어진 제2 유전막(140)을 삽입하여 하나의 유전막(160)을 형성한다. 이때, 제1 및 제3 유전막(130, 150)은 결정화되지 않은 두께 예컨대, 10 내지 70Å의 두께로 증착한다. 바람직하게는, ZrO₂를 40Å의 두께로 증착한다. 또한, 제2 유전막(140)은 결정화되지 않은 유전막을 3 내지 10Å의 두께로 증착한다. 바람직하게는, Al₂O₃를 5Å의 두께로 증착한다.

이어서, 열공정을 실시하여 유전막(160)을 치밀화한다. 이때, 결정화되지 않은 유전막(160)은 상기 열공정시에도 결정화되지 않아 누설전류 발생을 억제할 수 있다.

이어서, 제3 유전막(150) 상에 상부전극(170)을 형성한다. 이때, 상부전극(170)은 스퍼터링, ALD 및 CVD 방식 중 어느 하나를 이용하여 형성한다. 바람직하게는, 상부전극(170)은 ALD 방식을 이용하여 도프트 폴리 실리콘, TiN, Ru, RuO₂, Pt, Ir, IrO₂, RuTiN, HfN 및 ZrN의 일군에서 선택된 어느 하나로 형성한다.

적용예 2

본 발명의 바람직한 실시예에 따른 유전막은 반도체 메모리 소자 중 캐패시터 이외에 비휘발성 메모리 소자의 IPD(Inter Poly Dielectric) 또는 IPO(Inter Poly Oxide)에도 적용될 수 있다. 도 8은 본 발명의 실시예를 적용한 제2 적용예에 따라 형성된 비휘발성 메모리 소자를 도시한 단면도이다.

게이트 절연막(210)이 형성된 기판(200)과, 게이트 절연막(210) 상의 일부 영역에 형성된 플로팅 게이트(220)와, 상기한 본 발명의 바람직한 실시예에 따라 형성된 유전막(260)과, 유전막(260) 상부에 형성된 컨트롤 게이트(270)를 포함한다. 이때, 유전막(260)은 상기한 실시예에서와 동일한 구조 즉, 동종의 물질로 형성된 제1 및 제3 유전막(230, 250)과 이들(230, 250)과는 이종의 물질로서 이들(230, 250) 사이에 삽입된 제2 유전막(240)으로 이루어진다. 여기서, 유전막(260)은 상기한 실시예와 동일한 구성을 갖고 있으므로, 유전막(260)의 구성 물질에 대한 더이상의 언급은 생략하기로 한다.

또한, 도 8에 도시된 비휘발성 메모리 소자 제조방법은 다음과 같다. 먼저, 일부 기판(200) 상에 게이트 절연막(210)을 형성한 후, 게이트 절연막(210) 상에 플로팅 게이트(220)를 형성한다. 그리고, 플로팅 게이트(220) 상에 본 발명의 바람직한 실시예에 따라 형성된 유전막(260)을 증착한 후, 유전막(260) 상부에 컨트롤 게이트(270)를 형성한다.

본 발명의 기술 사상은 바람직한 실시예 및 그 적용예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 이 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예들이 가능함을 이해할 수 있을 것이다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의하면, 적어도 25의 유전상수를 갖는 동종의 물질로 이루어진 제1 및 제3 유전막 사이에 이들과 이종의 물질로 이루어지면서 이들보다 결정화율이 낮은 제2 유전막을 삽입함으로써, 유전막의 결정화를 방지한다. 이를 통해, 높은 유전상수를 갖는 고유전막의 누설전류 특성을 개선시킬 수 있다.

또한, 본 발명에 의하면, 제1 및 제3 유전막을 결정화되지 않는 얇은 두께로 각각 나누어 증착하되, 이들 사이에 결정화되지 않은 제2 유전막을 이들보다 얇게 증착하여 최종 유전막의 목표치 두께를 만족시킴으로써, 유전막의 유전용량을 확보할 수 있다.

따라서, 고유전막의 유전용량을 확보하면서 누설전류 특성을 개선시킬 수 있다. 나아가서는, 캐패시터의 유전용량을 확보하면서 누설전류 특성을 개선시킬 수 있을 뿐만 아니라, 비휘발성 메모리 소자의 누설전류 특성을 개선시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유전막을 도시한 단면도.

도 2는 ZrO_2 막의 증착 두께에 따른 표면거칠기 특성을 도시한 도면.

도 3은 ZrO_2 막의 결정화에 따른 누설전류 특성을 설명하기 위한 SEM(Semiconductor Electron Microscope) 사진.

도 4는 ZrO_2 단일막을 80Å의 두께로 증착했을 때 표면거칠기를 나타낸 도면.

도 5는 본 발명의 바람직한 실시예에 따라 $ZrO_2(40\text{\AA})/Al_2O_3(5\text{\AA})/ZrO_2(40\text{\AA})$ 의 적층구조를 갖는 유전막의 표면거칠기를 나타낸 도면.

도 6은 도 1에 도시된 유전막 형성방법을 설명하기 위한 흐름도.

도 7은 본 발명의 실시예를 적용한 제1 적용예에 따른 캐패시터를 도시한 단면도.

도 8은 본 발명의 실시예를 적용한 제2 적용예에 따른 비휘발성 메모리 소자를 도시한 단면도.

<도면의 주요 부분에 대한 부호의 설명>

10, 130, 230 : 제1 유전막

20, 140, 240 : 제2 유전막

30, 150, 250 : 제3 유전막

50, 160, 260 : 유전막

100, 200 : 기판

110 : 층간절연막

120 : 하부전극

170 : 상부전극

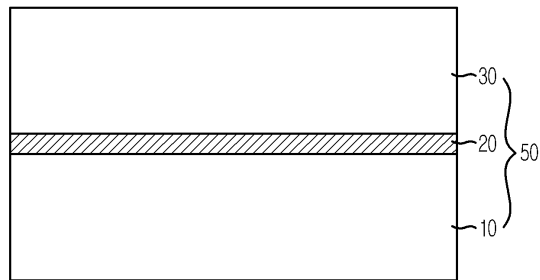
210 : 게이트 절연막

220 : 플로팅 게이트

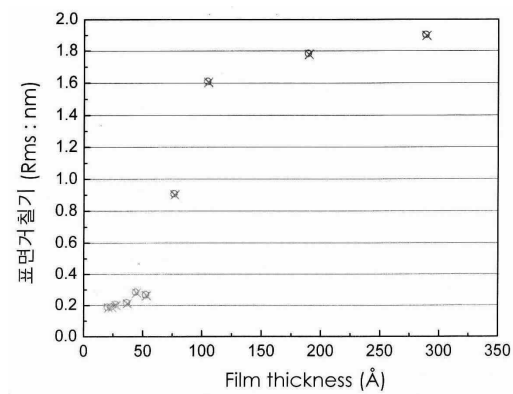
270 : 컨트롤 게이트

도면

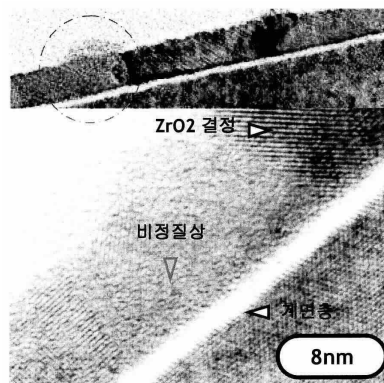
도면1



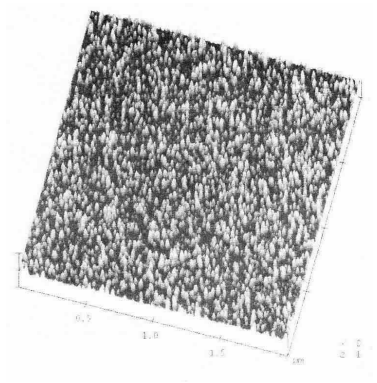
도면2



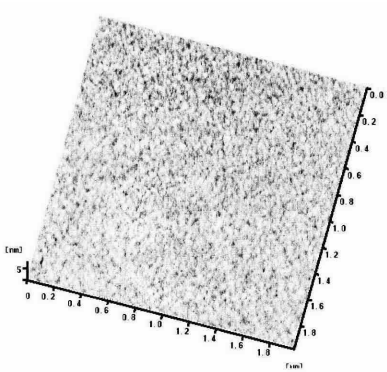
도면3



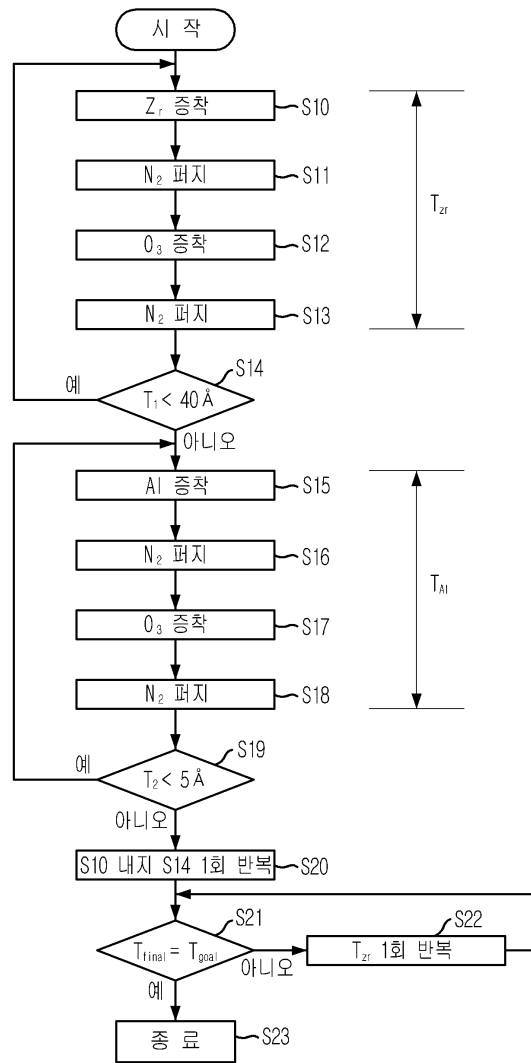
도면4



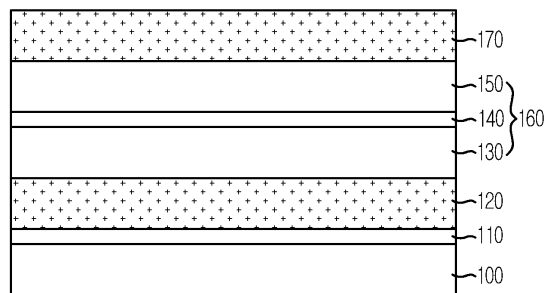
도면5



도면6



도면7



도면8

