



[12] 发明专利说明书

[21] ZL 专利号 91105290.9

[51]Int.Cl⁵

H01L 21 / 283

[45]授权公告日 1994 年 5 月 25 日

[24]颁证日 94.2.27

[21]申请号 91105290.9

[22]申请日 91.6.29

[30]优先权

[32]90.6.29 [33]JP[31]169948 / 90

[32]90.6.29 [33]JP[31]169949 / 90

[73]专利权人 佳能株式会社

地址 日本东京

[72]发明人 冈部隆彦 门间玄三 让原浩

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

H01L 23 / 544

代理人 杜日新

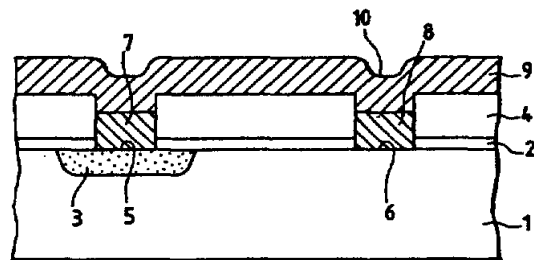
说明书页数:

附图页数:

[54]发明名称 具有对准标记的半导体器件的制造方法

[57]摘要

一种通过绝缘膜在导电性衬底表面上形成导电膜的半导体器件的对准方法，其特征在于包括：在所述绝缘膜上至少形成两个露出所述衬底表面的开孔的步骤；在所述开孔内选择地沉积导电材料，在所述开孔中至少一个内形成台阶差的步骤；以及至少在所述绝缘膜上形成所述导电膜的步骤；并且利用所述台阶差进行对准。



1.一种制造半导体器件的方法，包括：

第一步骤，在具有导体或半导体表面的衬底上，形成绝缘膜；

第二步骤，在绝缘膜上形成开孔，使导体或半导体表面暴露，并再形成一个凹陷部，用作对准标记；

第三步骤，在开孔中选择沉积导电体，使该导电体表面与绝缘膜表面相平齐；

第四步骤，在绝缘膜和沉积的导体上形成导电膜；

第五步骤，利用覆盖了导电膜的凹陷部进行对准，对导电膜按预定图形成型，使导体或半导体表面通过沉积的导体与导电膜的预定图形相电连接，其特征在于，

在第三和第四步骤中，在第一室内选择沉积导体之后，衬底不暴露于空气中，被移入第二室，在第二室内导电膜非选择地形成。

2.根据权利要求1所述的方法，向开孔内沉积导体的步骤是采用CVD法利用氢化烷基铝气体和氢气而进行的。

3.根据权利要求1所述的方法，其中所述的氢化烷基铝是氢化二甲基铝。

4.根据权利要求1所述的方法，其中所述凹陷部形成步骤包括一个比用于暴露的所述开孔大的开孔，而且凹陷部的底包括一部分导体或半导体表面。

5.根据权利要求4所述的方法，还包括形成凹陷部的步骤，凹陷部的底包括导体。

6.根据权利要求1所述的方法，其中所述凹陷部形成步骤包括，形成带有包括绝缘体的底的凹陷部步骤。

7.根据权利要求6所述的方法，其中所述凹陷部形成步骤包括制作凹陷部的底与开孔的底相一致的步骤。

8.根据权利要求1所述的方法，其中所述沉积步骤包括沉积至少含有Si、Ti、Cu之一的导体的步骤。

具有对准标记的半导体器件的制造方法

本发明涉及在各类电子仪器上装载的存储器、光电转换装置、信号处理装置等 半导体器件的制造方法，特别涉及具有对准标记结构特征的半导体器件的制造方法。

在已有的半导体器件中，在对布线层进行刻制图形时，把预先设置在预定位置的凹陷部位作为标记进行自动掩模套合（自动对准），来提高刻图的精度。例如，具有CMOS晶体管的已有半导体器件，在衬底1主面预定位置的氧化膜2、4上通过选择性腐蚀除去一部分氧化膜，使S1表面露出后，在包括该部分即主标记部位6的整个衬底主面上，覆盖金属膜9，以便在该金属膜上部形成相应于该主标记部位6形状的凹陷部位10。对于如图1所示形成的凹陷处，用激光照射，且利用检测其反射信号所得到的检测数据，或者用TV—AA（电视自动对准）等图象处理方法的数据处理，作自动掩模套合，以此对上述金属膜进行刻图，形成所要求图形的布线图。

然而，象这样公知的半导体器件，利用如W的CVD等金属膜沉积技术，使上述金属膜成膜时，作为布线层若要得到必须的膜厚，则依据该技术特点的选择生长性，在用于自动掩模套合的对准标记的主标记部位及其周围沉积的所有面的金属膜被整平了。由于没有形成对应于上述主标记部位的凹陷，因而产生如下的缺陷，难以确认自动掩模套合所必要的主标记的位置，致使掩模套合精度显著降低。

图2为利用W的CVD法的选择沉积方式形成布线的情况。由于在主标记6上由W构成的金属膜填在绝缘膜4上面，所以把作为下一工序的对准标记的部位10整平了。

本发明的目的是,解决上述现有技术中的问题,以高精度掩模对准来制出半导体器件,并降低外来物质的粘附可能性,如导体(15)和薄膜(9)之间或凹陷部(10)和导电膜(9)之间的灰尘。为达到上述目的,本发明提供一种制造半导体器件的方法,包括:

第一步骤,在具有导体或半导体表面的衬底上底形成绝缘膜;

第二步骤,在绝缘膜上形成开孔,使导体或半导体表面暴露,并再形成一个凹陷部,用作对准标记;

第三步骤,在开孔中选择沉积导电体,使该导电体表面与绝缘膜表面相平齐;

第四步骤,在绝缘膜和沉积的导体上形成导电膜;

第五步骤,利用覆盖了导电膜的凹陷部进行对准,对导电膜按预定图形成形,使导电或半导电表面通过沉积的导电体与导电膜的预定图形相电连接,其特征在于,

在第三和第四步骤中,在第一室内选择沉积导电体之后,衬底不暴露于空气中,被移入第二室,在第二室内非选择地形成导电膜。

图 1 是用于说明已有技术对准标记形成法的示意图。

图 2 为利用 W 的 C V D 法的选择沉积方式形成布线的情况。

图 3 是说明根据本发明实施例 1 对准标记形成方法的示意图。

图 4 是说明实施例 1 半导体器件的制造方法示意图。

图 5 是说明实施例 2 对准标记形成方法的示意图。

图 6 是说明实施例 3 对准标记形成方法的示意图。

图 7 为说明实施例 3 半导体器件的制造方法示意图。

图 8 为说明实施例 4 对准标记形成方法的示意图。

图 9 为说明实施例 4 半导体器件的制造方法示意图。

图 10 为说明本发明实施例 5 半导体器件对准标记形成方法的示意图。

图 11 为说明实施例 5 半导体器件的制造方法示意图。

图 12 ~ 图 15 表示适用于本发明制造半导体器件方法适当的制造装置的一个例子。

图 16 是说明本发明半导体器件的制造方法所形成布线层情况的剖切透视图。

本发明包括半导体器件的制造方法以及对准方法。比如本发明通过绝缘膜在导电性基底表面上，形成导电薄膜的半导体器件的对准方法，其特征在于该方法包括：至少形成二个在前述绝缘膜上露出基底表面的开孔的步骤；在前述开孔内选择沉积导电材料，填入二个开孔内，在前述开孔中至少一个形成台阶差部位的步骤；以及至少在前述绝缘膜上形成前述导电性薄膜的步骤，并且利用前述台阶差部位进行对准，将前述导电性薄膜刻成图形。

并且，本发明涉及具有通过绝缘膜在导电性基底表面上设置的布线层的半导体器件的制造方法，其工序包括：至少形成二个在前述绝缘膜露出前述基底表面的开孔的步骤；在前述开孔内有选择地沉积导电材料，在前述开孔中至少有一个形成对准标记的台阶差部位的步骤；以及为在前述绝缘膜上构成前述布线层而形成导电性薄膜的步骤，并且利用前述台阶部位作为对准标记进行掩模套合，将前述导电性薄膜刻成图形，形成前述布线层。

本发明还涉及通过绝缘膜在导电性基底表面上形成导电性薄膜的半导体器件的对准方法，其工序包括：在前述绝缘膜上形成露出前述基底表面的开孔的步骤；在前述绝缘膜上形成不露出前述基底表面的台阶差部位的步骤；在前述开孔内，有选择地沉积导电性材料的步骤；以及至少在前述绝缘膜上形成前述导电薄膜的步骤，并且利用前述台阶差部位进行对准。

本发明涉及具有通过绝缘膜在导电性基底表面上设置的布线层的半导体器件的制造方法，其工序包括：在前述绝缘膜上形成露出前述基底表面的开孔的步骤；在前述绝缘膜上形成不露出前述基底表面的台阶差部分的步骤；在前述开孔内有选择地沉积导电材料的步骤；以及为在前述绝缘膜上构成前述布线层而形成导电性薄膜的步骤，并且使用前述台阶差部位作为对准标记进行掩模套合，将前述导电薄膜刻成图形，形成前述布线层。

实施本发明时，作为对准标记的台阶差的形状和平面形状无特别限制。进行对准时，为得到标记的检测信号，最好有足够的台阶差。该台阶差理想的是 400 \AA 以上，最好为 500 \AA 以上。

在作为布线的接触孔内，埋入金属的方法，以使用氢化烷基铝和

氢气的以铝为主要成分的金属膜的选择沉积法最为合适。

实施例 1

下面参照附图对本发明进行详细说明。

图 3 表示作为本发明理想实施范例的半导体器件。在图 3，标号 1 是由包括 MOS 晶体管、双极晶体管等功能元件由硅构成的半导体衬底。该半导体衬底 1 的主面上依次形成热氧化膜 2 和层间绝缘膜 4。在这些氧化膜 2 及绝缘膜 4 的预定位置上分别形成作为接触孔 5 的开孔和作为对准的主标记部位 6 的台阶差部位。在该实施范例中，接触孔 5 和主标记 6 有同样的平面面积。在接触孔 5 的底面，从其底面到半导体衬底 1 的内部设置扩散层 3。

在上述接触孔 5 和主标记部位 6 的各自内部，利用以后详细说明确定的特别 CVD 法，选择沉积 Al 等导电材料，形成比层间绝缘膜上表面还低的作为布线层 7 的导电体以及金属膜 8。并且在这些布线层 7 以及金属膜 8 之上，和层间绝缘膜 4 之上，利用非选择沉积法形成作为布线层 9 的导体层。

在这种布线构造的半导体器件中，在主标记部位 6 上方的布线层 9，形成与主标记部位 6 的形状相对应的台阶差部位的凹陷处 10。该凹陷处 10 对于布线层 9，用作进行刻图时的自动掩模套合的标记。在该半导体器件上，由于在上述主标记部位 6 的位置能正确地形成凹陷处 10，所以把该凹陷处 10 作为标记进行刻制图形，以此可形成符合设计要求的布线。从而无刻图误差，可进行高密度布线。

作为电极引出线以及布线的金属，可使用 Al、Al-Si、Al-Cu、Al-Si-Ti、Al-Si-Cu 等以 Al 为主要成分的合金，使用 Cu、Mo、W 或它们的合金。特别是为了引出电

极，填充接触孔时，最好采用下述的A1—CVD方法。作为绝缘膜最好采用依据CVD法和溅射法的氧化硅膜、氮化硅膜、PSG（磷硅玻璃）膜、BPSG（硼磷硅玻璃）膜等无机材料和聚酰亚胺等有机材料。为了在绝缘膜上构成布线层，通过CVD法、溅射法等在全绝缘膜上形成金属膜后，利用光刻技术，按预定的布线形状刻制图形也可。或者预先暴露在等离子体，使绝缘膜表面的预定部分改性，只在改性的表面部分选择沉积金属也行。

作为对准用的台阶差部位10，至少要有400 Å的台阶差，有500 Å以上更好。

参照图4，对图3中所示的半导体器件的制造方法予以说明。

首先，作为形成MOS晶体管或双极晶体管等功能元件由硅构成的导电性基底的半导体衬底1的表面上，利用CVD法形成由氧化硅构成的热氧化膜2（参照图4A）。然后在热氧化膜2上施加保护膜图形，把离子注入热氧化膜2的预定部分后，进行热处理，形成扩散层3（参照图4B）。接着，在热氧化膜2之上通过CVD法，沉积由氮化硅构成的层间绝缘膜4，经热处理，在所得到的层间绝缘膜4上进行刻制接触孔图形后，形成腐蚀到半导体衬底1表面的接触孔5和主标记部位6，接触孔5当作电极引出线开孔，主标记部位6当作与接触孔5等同平面面积的台阶差部位（参照图4C）。进一步在得到的接触孔5和主标记部位6中，用选择沉积法沉积A1—Si，在接触孔5形成作为第1布线层7的导体，在主标记6形成作为金属膜8的导体。在该实施例，金属膜8低于层间绝缘膜4的上表面时，停止成膜，金属膜8做成相对于该金属膜8周围的层间绝缘膜4的凹陷状，这样构成了台阶差部位。并且在该实施例中，接触孔5和

主标记部位 6 做成等同平面面积，所以第 1 布线层 7 和金属膜 8 距衬底的高度是相同的（参照图 4 D）。

在图 4 D 中，在半导体衬底 1 的整个表面进行 RF 等离子处理，使该表面改性后，利用 CVD 法，对整个面作非选择性沉积 $Al-Si$ ，形成作为第 2 布线层 9 的导电体层。其结果，主标记部位 6 的凹陷状反映在第 2 布线层 9 上面，构成作为台阶差的凹陷处 10（参照图 3）。对凹陷处 10，用激光照射，检测其反射信号，进行自动掩模套合，实施刻制布线层图形，在半导体衬底 1 上精确地形成所要求的布线图形，这样使半导体器件的成品率提高了。

对于上述实施范例，在层间绝缘膜 4 之上，形成第 2 布线层 9 前，也可根据 SOG (spin on glass) 法，把层间绝缘膜 4 表面生成的凹凸整平。即应用旋涂机，以每分钟 3000~6000 的转速，涂敷硅烷醇化合物的有机溶剂（乙醇、酮等）溶液 15~30 秒。旋涂时，用异丙醇进行反冲洗（バックリンス）。涂敷后，用电热板在 80~200℃ 环境中加热 1~3 分钟，将半导体作低温烘焙。采用这样的处理措施后，层间绝缘膜的表面的凹凸几乎消失，由于得到整平了的表面，对于第 2 布线层，不会因凹凸产生电阻增大及台阶差的断裂。

实施例 2

图 5 是表示本发明的另一个适宜的实施例示意剖面图。图 5 所示的半导体器件与图 3 所示的半导体器件的结构不同，作为主标记部位 6 的台阶差部位上的金属膜 11 与用于引出电极的布线层 12 一起，高于层间绝缘膜 4 的上表面进行沉积构成。从而，在该例子中，在主标记部位 6 上方的金属膜 11 上面，形成相应于主标记部位 6 形状的

凸起处 1 3。该凸起处 1 3 和上述的凹陷处 1 0 一样，可用作刻制布线层图形的自动掩模套合基准的标记。

实施例 3

图 6 表示本发明另一适宜实施例的示意剖面图。在图 6 所表示的半导体器件中，图 3 及图 5 各自所示的半导体器件是不同的，作为主标记部位 1 4 的台阶差部位平面面积要充分大于作为接触孔 5 的开孔的平面面积。这是利用下面将说明的 C V D 法选择金属沉积技术特征的生长速度与孔径尺寸的依赖关系，即使用选择沉积技术，在大小不同的孔内沉积金属时，利用金属在小孔内的生长速率要比在大孔内的快这一现象。因而，在该例中，主标记部位 1 4 的金属生长速度比接触孔 5 的生长速度要慢。

下面，参照图 7 概述图 6 所示的半导体器件的制造方法。

首先，在半导体衬底 1 的主面上形成热氧化膜 2 后，利用保护膜图形进行离子注入，热处理，形成扩散层 3。该工序与图 1 所示的半导体器件工序（参照图 4 A）是相同的（参照图 7 A）。然后，在热氧化膜 2 之上沉积层间绝缘膜 4，热处理后，通过刻制接触孔图形，并腐蚀，形成作为接触孔 5 的开孔以及作为主标记部位 1 4 的台阶差部位。使主标记部位 1 4 的平面面积比接触孔 5 的要大（参照图 7 B）

接着，通过选择沉积法，把 A l - S i 沉积到接触孔 5 和主标记部位 1 4。当在接触孔 5 形成的用于引出电极的布线层的导体 1 5 的上表面与层间绝缘膜 4 的上表面平齐时，停止该沉积工序。这时，根据上述选择沉积法中的尺寸依赖关系，在主标记部位 1 4 内沉积的金属膜 1 6 未达到层间绝缘膜 4 的上表面，相对于绝缘膜 4，金属膜 1 6 成为凹陷状（参照图 7 C）。

据此，一方面在电极引出侧接触部位可谋求布线层 15 上表面和层间绝缘膜 4 的上表面平整化，另一方面，可把作为主标记部位 14 的台阶差部位的凹陷形状，用于刻制布线图形的掩模套合基准标记。

在该图 7 C 所示的半导体衬底 1 的整个表面上作 RF 等离子体处理，使其表面改性后，在整个表面上利用 CVD 法进行非选择性沉积 Al-Si，形成第 2 层布线层 9。结果，主标记部位 14 的凹陷形状反映在布线层 9 之上，形成作为台阶差的凹陷处 17（参照图 6）。在这样形成的半导体器件中，对凹陷处 17 照射激光，检测其反射信号，进行自动掩模套合，刻制布线层的图形。与图 3 所示的凹陷处 10 一样，在半导体衬底 1 上可精确地形成所要求的布线图形。

如上所述，根据本发明，由于使用依据新的 CVD 方法的选择金属沉积技术，在导电性薄膜上面精确地形成对应于作为掩模套合标记用的台阶差部位形状的部分，所以当进行刻制布线层图形时，利用自动对准可在衬底表面如实地形成保护膜图形。

实施例 4

下面参照附图对本发明作详细说明。

图 8 表示本发明的半导体器件的实施范例。图 8 中，标号 1 是作为导电性基底的半导体衬底，该衬底是由形成 MOS 晶体管、双极晶体管等功能元件的硅等构成的。在该半导体衬底 1 主面的预定区域上，形成厚的场氧化膜 22 和薄的栅氧化膜 2。在该栅氧化膜 2 的预定区域下面的半导体衬底 1 上设置扩散层 3。并且在场氧化膜 22 及栅氧化膜 2 之上，形成预定厚度的层间绝缘膜 4。在上述扩散层 3 的上方，设置作为接触孔 8 的开孔。该开孔是对栅氧化膜 2 以及层间绝缘膜 4 进行腐蚀等，露出扩散层 3 上部形成的。再在层间绝缘膜 4 以及其下

侧的场氧化膜 2 2 预定的区域内，设置作为主标记部位 6 的台阶差部位，该台阶差部位是从层间绝缘膜 4 上面腐蚀至场氧化膜 2 2 内部而形成的。

在上述接触孔 8 内形成用于电极引出线的作为第 1 布线层 7 的导电体。该部位利用后面将详细说明的特别 C V D 法选择沉积 A 1 等导电材料构成，且使得层间绝缘膜 4 的上面平齐。该第 1 布线层 7 和层间绝缘膜 4 之上以及主标记部位 6 内，通过非选择沉积法沉积导电材料，形成作为第 2 布线层 9 的导电体层。

对于这种半导体器件布线结构，在主标记部位上方的第 2 布线层 9，形成作为台阶差的凹陷处 1 0，该部分对应于层间绝缘膜 4 和主标记部位 6 的凹陷形状。该凹陷处 1 0 用于对第 2 布线层 9 进行刻制图形时的自动掩模套合的标记。在该半导体器件中，由于在上述主标记部位 6 的位置上，精确形成凹陷处 1 0，所以才可能将该凹陷处 1 0 作为标记，进行刻制符合设计的图形，以构成布线。因不产生刻图偏差，所以可高密度布线。

作为电极引出线和布线用的金属可采用诸如 A 1、A 1-S i、A 1-C u、A 1-S i-T i、A 1-T i、A 1-S i-C u 等以 A 1 为主要成分的合金、C u、M o、W 或其合金。特别是在填充电极引出线的接触孔内部时，最好使用后述的 A 1-C V D 法。作为绝缘膜，最好使用依据 C V D 法和溅射法的氧化硅膜、氮化硅膜、P S G (磷硅玻璃) 膜、B P S G (硼磷硅玻璃) 膜等无机材料和聚酰亚胺等有机材料。为了在绝缘膜上形成布线层，通过 C V D 法、溅射法等，在整个绝缘膜上构成金属层之后，也可利用光刻工艺将金属层刻成预定的布线形状，或预先暴露在等离子体内使绝缘膜表面预定

部分改性，只在改性的表面部分选择沉积金属也可。

作为对准标记用的台阶差，至少在 400 \AA 以上较为理想， 500 \AA 以上更好。

参照图9，说明图8所示的半导体器件的制造方法。

首先在拟形成MOS晶体管或双极晶体管等功能元件的硅构成的半导体衬底1表面，依照CVD法形成氧化硅构成的热氧化膜1'。在该热氧化膜1'上预定的区域，通过CVD法再沉积氮化硅膜等耐氧化性强的膜1''（参照图9A）。

接着，对上述热氧化膜1'以及耐氧化性膜1''作选择氧化，形成场氧化膜22的区域。并且除掉耐氧化性膜1''以及其下侧的热氧化膜1'，再次氧化形成栅氧化膜的层2。在该栅氧化膜2的预定区域，再沉积多硅膜（图中未示出）后，通过保护膜图形注入离子，热处理形成扩散层3（参照图9B）。然后在半导体衬底1的整个表面层，利用CVD法形成层间绝缘膜4（参照图9C）。该层间绝缘膜4是为上述的多硅膜和后述的Al—Si膜的电绝缘而设置的。

在层间绝缘膜4上刻制接触图形，使作为电极引出线用开孔的接触孔8成孔，同时形成作为主标记的达到场氧化膜22内部的台阶差部位（参照图9D）。

再利用前述选择沉积法，在接触孔8内选择沉积Al—Si，形成作为第1布线层7的导体，并且要使其上表面与层间绝缘膜4的上表面平齐（参照图9E）。

再次，在半导体衬底1整个表面层，即第1布线层7和层间绝缘膜4之上以及主标记部位6内部作RF等离子处理后，利用溅射法等作非选择Al—Si沉积，进行刻制图形，形成作为第2布线层9的

导电体层(参照图8)。其结果,作为主标记部位6的台阶差部位的凹陷形状反映在第2布线层9上面,构成作为台阶差的凹陷处10。用激光照射该凹陷处10,检测其反射信号,进行自动掩模套合。在第2布线层9上实施刻制布线层图形,可在半导体衬底1上精确形成所要求的布线图形。

对于上述实施范例,在层间绝缘膜4上形成第2布线层9前,在层间绝缘膜4表面产生的凸凹也可用SOG(Spin on glass)法整平。即用旋涂机,以每分钟3000~6000的转速涂敷硅烷醇化合物的有机溶剂(乙醇、酮)溶液。旋涂时,作异丙醇的反冲洗(バックリンス)。然后用电热板加热半导体衬底,温度为80~200℃进行低温烘焙1~3分钟。经此处理过的层间绝缘膜表面的凸凹几乎消失,由于获得平整的表面,所以第2布线层不产生因凸凹发生电阻增大和台阶差的断裂。

实施例5

图10是表示本发明另一个适宜的实施例的示意剖面图。在图10显示的半导体器件中,标号12是形成例如双极型元件等功能元件的硅等半导体衬底。在这个半导体衬底12的主面上,形成氧化膜13,在该氧化膜13的预定的区域下侧的半导体衬底12中,形成扩散层14,在该扩散层14的上方,对氧化膜13进行蚀刻等,以便使扩散层14上部露出来。这样就设置了作为接触孔15的开孔。该接触孔15由下方部15a和上方部15b构成,下方部15a以扩散层14的上表面作为底面,而且平面面积较小,上方部15b的底面包含了下方部15a的上缘,而且平面面积较大。并且,在氧化膜13的预定的区域中,从氧化膜13的上表面蚀刻至内部,设置作为主标记部位16

的台阶差。

在上述接触孔15下方部15a的内部，直至下方部15a的上缘，采用上述选择沉积法，选择地沉积A1等导电材料，作引出电极用的第1布线层17。在该第1布线层17和氧化膜13上，以及主标记部位16的内部，采用非选择沉积法，沉积导电材料，设置作为第2布线层18的导电体层。在该第2布线层18的上面，接触孔15的上方和主标记部位16的上方分别形成凹陷部分19和凹陷处20。因而，在本例中作为与主标记部位16的形状相对应的台阶差的凹陷处20，在刻制布线层图形中，能用作自动掩模套合的基准标记。

这里，参考图11概略说明图10所示半导体器件的制造方法。

首先，在半导体衬底12的主面上，按预定的膜厚形成氧化膜13之后，在氧化膜13预定的区域施加光致抗蚀剂（保护膜）图形，进行离子注入，热处理，从而形成扩散层14。其次在氧化膜13上施加第1接触孔图形，在扩散层14上方的氧化膜13的预定区域形成浅的开口部位15c，同时在氧化膜13的预定区域，开出具有与开口部位15c相同深度的凹陷部位16（参见图11A）。

然后，在氧化膜13上施加第2接触孔图形，对开口部位15c的底面进行蚀刻，使扩散层14露出来，形成作为接触孔15的下方部位15a的开口，同时对开口部位15c的开口边缘的周围进行蚀刻，形成接触孔15的上方部15b（参见图11B）。

随后，采用前述的选择沉积法，在接触孔15的下方部位15a内选择地沉积A1—S1，形成作为第1布线层17的导电体，使其上表面与上方部位15b的底面平齐（参见图11C）。

之后，对半导体衬底12的整个表面层，即氧化膜13和接触孔

15 内的第1布线层17以及主标记部位16的内部施加RF等离子处理,在被处理部分采用溅射等方法非择地沉积Al-Si,进行刻图,从而形成作为第2布线层18的导电体层(参见图10)。其结果,在第2布线层18上面反映出作为主标记部位16的台阶差的凹陷形状,形成作为台阶差的凹陷处20。对该凹陷处照射激光,检测其反射信号,可进行自动掩模套合,在第2布线层18施行刻制布线层图形时,就能在半导体衬底12上精确地形成期望的布线图形。

如上所述,对于实施例4、5,若按新的CVD法,采用选择金属沉积技术,可以只在露出导电性的基底表面的开孔处选择地沉积导电材料,从而形成导电体。在该导电体的上表面及基底表面的绝缘膜处形成台阶差部位上,由于采用了非选择沉积法形成导电体层,这样就能在所得到的导电体层上形成与台阶差部位形状相对应的部分。把该部分用作掩模套合的标记,就可以使导电体刻图时,例如用自动对准,如实地形成期望形状的布线图形。

随后,说明在上述的实施1~5中,适合于形成布线层的成膜方法。

该方法是为了形成上述构成的电极适于向开孔填入导电材的成膜方法,其沉积速度与开孔内的基底面积有依赖关系。

所谓适于本发明的成膜方法,就是使用氢化烷基铝气体和氢气,由电子供给性衬底上的表面反应,而形成沉积膜(以下称Al-CVD法)。

特别是氢化甲基铝(MMAH)或者氢化二甲基铝(DMAH)作为原料气体,使用H₂气体作为反应气体,在这些混合气体下,对衬底表面加热,就能产生优质的Al沉积膜。这里,在选择沉积Al

时，采用直接加热或间接加热，使衬底表面温度最好保持在氢化烷基铝的分解温度以上， 450°C 以下，更好的是 260°C 以上， 440°C 以下。

作为使衬底处于上述温度范围的加热方法，有直接加热和间接加热，但如果用直接加热使衬底保持在上述温度，则能够以高的沉积速度形成优质的Al膜。例如，Al膜形成的衬底表面温度处于较好的温度范围 $260\sim 440^{\circ}\text{C}$ 时，甚至能以比电阻加热的情况还高的沉积速度 $3000\sim 5000\text{ \AA}/\text{分钟}$ 获得优质膜。作为这种直接加热（从加热装置来的能量被直接传送给衬底，加热衬底本身）的方法，例如可以是卤素灯、氙灯等灯加热。此外，间接加热方法有电阻加热，是利用衬底支持部件中设置的发热体进行制造的，该衬底支持部件是配置在为了支持拟形成沉积膜的衬底的沉积膜形成用空间里的。

根据该方法，如果CVD法适用于电子供给性表面部分和非电子供给性表面部分共存的衬底，仅在电子供给性衬底表面部分具有良好的选择性的条件下，能形成Al的单晶体。作为电极/布线材料的Al具有一切所期望的优良特性。即小丘发生概率低、合金尖峰发生概率也低。

这样，在由作为电子供给性表面的半导体和导电体组成的表面上，可选择地形成优质Al，并且Al的结晶性良好，因而由与衬底的硅等的共晶反应而形成的合金尖峰几乎观察不到或者认为极少。因而，用以作为半导体器件的电极的情况下，超越了传统所认为的Al电极的概念，获得了已有技术所不能预料的效果。

虽然做了如上的在电子供给性表面例如绝缘膜形成的露出半导体衬底表面的开孔内，沉积的Al呈单晶体构造的说明，但如果采用这

种A1-CVD法，也能选择地沉积以A1为主要成分的金属膜，并且也具有优良的膜质量。

例如，在氢化烷基铝气体和氢气中添加：

SiH_4 、 Si_2H_6 、 Si_3H_8 、 $\text{Si}(\text{CH}_3)_4$ 、
 SiCl_4 、 SiH_2Cl_2 、 SiHCl_3 等含Si原子的气体，
 TiCl_4 、 TiBr_4 、 $\text{Ti}(\text{CH}_3)_4$ 等含Ti原子的气体，及

双乙酰丙酮铜 $\text{Cu}(\text{C}_5\text{H}_7\text{O}_2)_2$ 、

双二叔戊酰甲烷铜 $\text{Cu}(\text{C}_{11}\text{H}_{17}\text{O}_2)_2$ 、

双六氟乙酰丙酮铜 $\text{Cu}(\text{C}_5\text{HF}_6\text{O}_2)_2$ 等含Cu原子的气体，
将其适当组合，作为混合气体气氛，选择地沉积例如A1-Si、
A1-Ti、A1-Cu、A1-Si-Ti、A1-Si-Cu
等导电材料，从而也可以形成电极。

此外，上述的A1-CVD法是一种良好的选择性的成膜方法，而且为了使沉积膜表面性能良好，在第二沉积工序中应用非选择性的成膜方法，在上述选择沉积的A1膜和作为绝缘膜的 SiO_2 等上面，形成A1或者以A1为主要成分的金属膜，由此，可以获得作为半导体器件布线的通用性高的良好金属膜。

所说的金属膜具体如下，选择沉积的A1、A1-Si、
A1-Ti、A1-Cu、A1-Si-Ti、A1-Si-Cu
和非选择沉积的A1、A1-Si、A1-Ti、A1-Cu、
A1-Si-Ti、A1-Si-Cu的组合等。

用于非选择沉积的成膜方法，除了上述的A1-CVD法以外，还有CVD法或溅射法等。

(成膜装置)

以下，对适用于本发明的电极形成的成膜装置进行说明。

图12~图14示意地显示了适用于上述成膜方法的适宜的金属膜连续形成装置。

该金属膜连续形成装置，如图12所示，由借助闸阀310a~310f，在隔断外部气体的情况下，可以连通而相互连接的装载锁气室311、作为第1成膜室的CVD、反应室312、RF腐蚀室313、作为第2成膜室的溅射室314以及装载锁气室315构成。由排气系统316a~316e分别对各室排气使其能够减压。前述的装载锁气室311是为了提高生产效率，将沉积处理前的衬底的气氛抽出后，置换成H₂气氛的室。接下来的CVD反应室312是用来在衬底处于常压或减压条件下，采用上述A1-CVD法，进行选择沉积的室，其内部设置了具有至少能把拟成膜的衬底表面加热到200~450℃的范围的发热电阻317的衬底支架318。同时，在起泡器319-1内，用氢气使氢化烷基铝等原料气体起泡气化，并通过CVD用的原料气体导入管道319导入室内，并且作为反应气体的氢气也由气体管道319'导入。RF腐蚀室313是用来在Ar气氛中，对选择沉积后的衬底表面进行清洗(腐蚀)的室，其内部设有能把衬底至少加热到100~250℃范围的衬底支架320和RF腐蚀电极管线321，同时接有Ar气供给管道322。溅射室314是用来在Ar气氛中，通过溅射在衬底表面上进行非选择地沉积金属膜的室，内部设有至少能加热至200~250℃范围的衬底支架323，并安装了溅射靶材324a的靶电极324，同时接有Ar气供给管道325。最后的装载锁气室315是用来对完成

金属膜沉积之后的衬底在取出到外部大气之前，用 H_2 气置换气氛，进行调整的室。

图 1 3 显示了适用于上述成膜方法的适宜的金属膜连续形成装置的又一构成实例。与前述图 1 2 相同的部分用同一标号表示。图 1 3 的装置与图 1 2 的装置之差异在于，设置卤素灯 3 3 0 作为直接加热手段，对衬底表面直接加热。为此，在衬底支架 3 1 2 上配置了能使衬底保持在浮起状态的卡爪 3 3 1。

按照此种构成对衬底表面直接加热，可以像前述那样更加提高沉积速度。

上述构成的金属膜连续形成装置实际如图 1 4 所示，作为中继室的传送室 3 2 6 实质上等价于把前述的装载锁气室 3 1 1、CVD 反应室 3 1 2、RF 腐蚀室 3 1 3、溅射室 3 1 4 以及装载锁气室 3 1 5 互相连接的构造。在此种构成中，装载锁气室 3 1 1 兼做装载锁气室 3 1 5 用。如图所示，所说的传送室 3 2 6 内设置了臂 3 2 7 作为传送装置，即能在 A A 方向正反向旋转，又能在 B B 方向伸缩。利用该臂 3 2 7，能在不暴露于外部气体的情况下，按照图 1 5 箭头所示方向，根据工序，依次地把衬底从装载锁气室 3 1 1 连续地传送至 CVD 室 3 1 2、RF 腐蚀室 3 1 3、溅射室 3 1 4 以及装载锁气室 3 1 5。
(成膜工序)

对用于形成本发明的电极和布线的成膜工序予以说明。

图 1 6 是说明用于形成本发明的电极和布线的成膜工序的示意透视图。

首先做概略说明，准备好在绝缘膜上形成了开孔的半导体衬底，将该衬底配置在成膜室内，使其表面保持在例如 $260 \sim 450^\circ\text{C}$ ，

采用在作为氢化烷基铝的DMAH气体和氢气的混合气氛中的热CVD法，在开孔内露出的半导体部分，选择地沉积Al。当然，也可以如前述那样导入含Si原子等的气体，选择沉积Al-Si等以Al为主要成分的金属膜。随后，在选择沉积的Al和绝缘膜上，采用溅射法非选择地形成Al或以Al为主要成分的金属膜。之后，如果对非选择沉积的金属膜按期望的布线形状进行刻图处理，则可形成电极和布线。

以下参照图13~图16做具体说明。首先，准备好衬底，例如在单晶Si片上形成设有各种口径开孔的绝缘膜备作衬底。

图16A是显示该衬底的一部分的示意图。其中401是作为传导性衬底的单晶硅衬底，402是作为绝缘膜(层)的热氧化硅膜。403和404是开孔(露出部位)，口径各不相同。

在衬底上，构成电极的第1布线层，如果按图13所示进行，则Al的成膜过程如下。

首先，在装载锁气室311内配置上述衬底。按前述那样，把氢气导入装载锁气室311，使之处于氢气气氛中。然后，用排气系统316b把反应室312排气至大约 1×10^{-8} Torr。但是，即使反应室312的真空度劣于 1×10^{-8} Torr也能形成Al膜。

随后，通过气体管道319供给经起泡了的DMAH气体。采用H₂气作DMAH管道中的携带气体。

第2气体管道319'用于反应气体H₂，H₂从第2气体管道流过，通过控制慢渗漏阀的开口(未示出)，将反应室312内的压力控制在预定值。在此情况下，典型的压力最好是大约1.5 Torr。通过DMAH管道把DMAH导入反应室内。使总压强大约在1.5

Torr, DMAH分压强大约在 5.0×10^{-3} Torr。然后,使卤素灯330通电,对晶片直接加热。这样可以选择沉积A1。

经过预定的沉积时间后,立即停止供给DMAH。在这个过程中,沉积A1膜的预定沉积时间是指,S1(单晶硅衬底1)上的A1膜厚度变到等于SiO₂(热氧化硅膜2)膜的厚度所需的时间,可预先通过实验求出。

此时通过直接加热的衬底表面的温度大约在270℃。随着至此的工序,如图16B所示,A1膜405选择地沉积在开孔内。

以上称为在接触孔内形成电极的第1成膜工序。

在上述第1成膜工序之后,用排气系统316b把CVD反应室312排气至 5×10^{-3} Torr以下的真空度。同时把RF腐蚀室313排气至 5×10^{-6} Torr以下。在确认两室已达到上述真空度之后,打开闸阀310c,用传送装置把衬底从CVD反应室312传到RF腐蚀室313,然后关闭闸阀310c。在把衬底传送到RF腐蚀室313之后,用排气系统316c把RF腐蚀室313排气至 10^{-6} Torr以下的真空度。之后,由RF腐蚀用的氩气供给管道322供给氩气,使RF腐蚀室313的氩气气氛保持 $10^{-1} \sim 10^{-3}$ Torr。使RF腐蚀用的衬底支架320保持在200℃,给RF腐蚀用的电极321施加60秒的100WRF电能,激发RF腐蚀室313内的氩气放电。由此,可用氩离子腐蚀衬底的表面,除掉CVD沉积膜上不需要的表面层。此时的腐蚀深度大约相当于氧化物的厚度100Å。这里,CVD沉积膜的表面腐蚀是在RF腐蚀室内进行的,但是由于在真空中传送的衬底其CVD膜表面层不接触大气中的氧,即使不进行RF腐蚀也是可行的。此时,当CVD反应室

3 1 2 与溅射室 3 1 4 之间的温差较大时, R F 腐蚀室 3 1 3 起着在短时间内实现温度变化室的作用。

在 R F 腐蚀室 3 1 3 内, 完成 R F 腐蚀后, 停止氩气的进气, 并排出 R F 腐蚀室 3 1 3 内的氩气。把 R F 腐蚀室 3 1 3 排气至 5×10^{-6} Torr, 并把溅射室 3 1 4 排气至 5×10^{-6} Torr 以下之后, 打开闸阀 3 1 0 d。随后, 把衬底用传送装置从 R F 腐蚀室 3 1 3 传送到溅射室 3 1 4, 并关闭闸阀 3 1 0 d。

在衬底传送到溅射室 3 1 4 之后, 使溅射室 3 1 4 处于与 R F 腐蚀室 3 1 3 同样的 $10^{-1} \sim 10^{-3}$ Torr 的氩气气氛, 把装载着衬底的衬底支架 3 2 3 的温度设置在 $200 \sim 250$ °C。然后, 用 $5 \sim 10$ KW 的直流电能使氩气放电, 用氩离子刮削 Al 或 Al-Si (Si: 0.5%) 等靶金属, 以 $10000 \text{ \AA}/\text{分}$ 的沉积速度在衬底上形成 Al 或 Al-Si 等金属膜。此工序是非选择的沉积工序, 被称为形成与电极连接的布线的第 2 成膜工序。

在衬底上形成大约 5000 \AA 的金属膜之后, 停止供给氩气, 并停止施加直流电能。把装载锁气室 3 1 1 排气到 5×10^{-3} Torr 以下, 然后打开闸阀 3 1 0 e, 移动衬底。关闭闸阀 3 1 0 e, 然后向装载锁气室 3 1 1 供给氮气, 直至达到大气压, 打开闸阀 3 1 0 f, 从设备中取出衬底。

根据上述的第 2 Al 膜沉积工序, 可如图 1 6 C 所示, 在 SiO_2 膜 4 0 2 上形成 Al 膜 4 0 6。

而且, 可以将 Al 膜 4 0 6 刻成图 1 6 D 所示的图形, 得到所期望的布线形状。

(实验例)

以下将介绍上述 A l - C V D 法的优点所在，并根据实验结果说明由此如何使开孔内沉积的 A l 成为优质膜。

首先，对作为衬底的 N 型单晶硅片表面进行热氧化，形成 8000 Å 的 S i O₂，并刻出从 0.25 μ m × 0.25 μ m 到 100 μ m × 100 μ m 的各种口径的开孔，使基底的 S i 单晶露出，这样的硅片准备多个。(样品 1 - 1)

采用以下条件的 A l - C V D 法形成 A l 膜，以 D M A H 作为原料气体，以氢作为反应气体，总压强为 1.5 Torr，D M A H 分压强为 5.0×10^{-3} Torr，在这样的共同条件下，控制施加给卤素灯的电能进行直接加热，使衬底表面温度保持在 200 °C ~ 490 °C 范围，进行成膜。

其结果如表 1 所示。

表 1

衬底表面 温度 (°C)	200	230	250	260	270	280	300	350	400	440	450	460	470	480	490
沉积速度 (A/分)	1000 ~ 1500														
生产效率 (片/时)	7 ~ 10														
硅线缺陷	未检测到														
含碳量	未观察到														
电阻率 ($\mu\Omega\text{cm}$)	2.7 ~ 3.3														
反射率 (%)	85 ~ 95														
1 μm 以 上的小丘 密度 (cm^{-2})	1 ~ 10 ²														
尖峰发生 (%) (0.15 μm 结的 损坏率)	0														

由表 1 可知，当直接加热的衬底表面温度在 260°C 以上时，Al 以 $3000\sim 5000\text{ \AA}/\text{分}$ 的高沉积速度选择地沉积在开孔内。

当衬底表面温度处于 $260\sim 440^{\circ}\text{C}$ 范围内时，对开孔内的 Al 膜特性进行测验，未发现含有碳，电阻率为 $2.8\sim 3.4\mu\Omega\text{ cm}$ ，反射率为 $90\sim 95\%$ ， $1\mu\text{ m}$ 以上小丘密度为 $0\sim 10\text{ cm}^{-2}$ ，几乎不产生尖峰（ $0.15\mu\text{ m}$ 结的损坏率），可见其特性良好。

相反，当衬底表面温度为 $200\sim 250^{\circ}\text{C}$ 时，膜的质量比 $260\sim 440^{\circ}\text{C}$ 时要差一些，但与已有技术的膜相比还是相当好的。而且 $1000\sim 1500\text{ \AA}/\text{分}$ 的沉积速度绝不能说是十分地高， $7\sim 10$ 片/小时的生产效率也比较低的。

当衬底表面温度为 450°C 以上时，反射率为 60% 以下， $1\mu\text{ m}$ 以上的小丘密度为 $10\sim 10^4\text{ cm}^{-2}$ ，合金尖峰产生为 $0\sim 30\%$ ，因而开孔内 Al 膜的特性低劣。

以下将说明上述方法是如何能适用于接触孔或通孔这类开孔的。

即它可较好地适用于由下述材料构成的接触孔/通孔的结构。

在与样品 1-1 上形成 Al 膜时相同的条件下，在具有如下所述结构的衬底（样品）上形成 Al 膜。

在作为第 1 衬底表面材料的单晶硅上，用 CVD 法形成氧化硅膜作为第 2 衬底表面材料，由光刻工序进行刻图，使单晶硅表面部分地露出来。

此时，热氧化 SiO_2 膜的厚度为 8000 \AA ，单晶硅的露出部位即开口的尺寸为 $0.25\mu\text{ m}\times 0.25\mu\text{ m}\sim 100\mu\text{ m}\times 100\mu\text{ m}$ 。这样就制得了样品 1-2（下文把样品写成“CVD SiO_2 （以下略为 SiO_2 ）/单晶硅”）。

样品 1-3 是用常压 CVD 形成的掺硼氧化膜 (以下略为 BSG)
/ 单晶硅。

样品 1-4 是用常压 CVD 形成的掺磷氧化膜 (以下略为 PSG)
/ 单晶硅。

样品 1-5 是用常压 CVD 形成的掺硼和掺磷的氧化膜 (以下略
为 BPSG) / 单晶硅。

样品 1-6 是用等离子 CVD 形成的氮化膜 (以下略为 P-SiN)
/ 单晶硅。

样品 1-7 是热氮化膜 (以下略为 T-SiN) / 单晶硅。

样品 1-8 是用减压 CVD 形成的氮化膜 (以下略为 LP-SiN)
/ 单晶硅。

样品 1-9 是用 ECR 设备形成的氮化膜 (以下略为 ECR-SiN)
/ 单晶硅。

以下是第 1 衬底表面材料 (18 种) 与第 2 衬底表面材料 (9 种)
的全组合而构成的样品 1-11~179 (注: 其中缺样品号 1-
10、20、30、40、50、60、70、80、90、100、
110、120、130、140、150、160 及 170)。作
为第 1 衬底表面材料的有: 单晶硅 (单晶 Si)、多晶硅 (多晶 Si)、
非晶硅 (非晶 Si)、钨 (W)、钼 (Mo)、钽 (Ta)、硅化钨
(WSi)、硅化钛 (TiSi)、铝 (Al)、铝-硅 (Al-Si)、
铝-钛 (Al-Ti)、氮化钛 (Ti-N)、铜 (Cu)、
铝-硅-铜 (Al-Si-Cu)、铝-钯 (Al-Pd)、钛 (Ti)、
硅化钼 (Mo-Si) 以及硅化钽 (Ta-Si)。作为第 2 衬底表
面材料的有: T-SiO₂、SiO₂、BSG、PSG、BPSG、

P-SiN、T-SiN、LP-SiN以及ECR-SiN。以上所有样品均可形成与样品1-1相比的良好Al膜。

接着，在具有如上所述选择沉积Al的衬底上，用溅射方法选择性地沉积Al，然后刻图。

结果，由于开孔内Al膜的表面特性良好，由溅射方法得到的Al膜和开孔内选择沉积的Al膜，在电学和机械两方面均能经久保持高的接触状态。

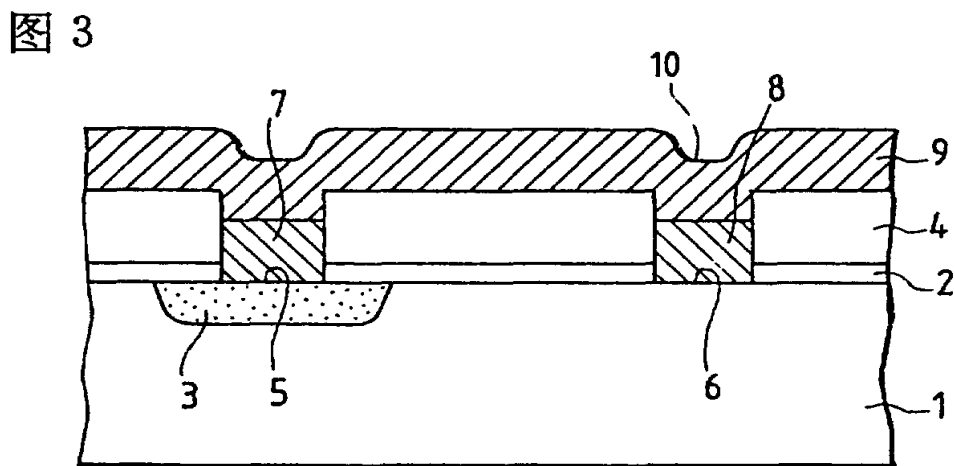
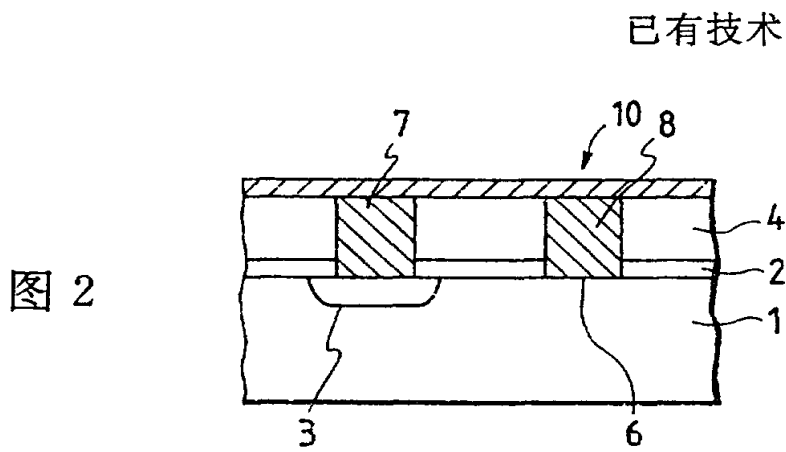
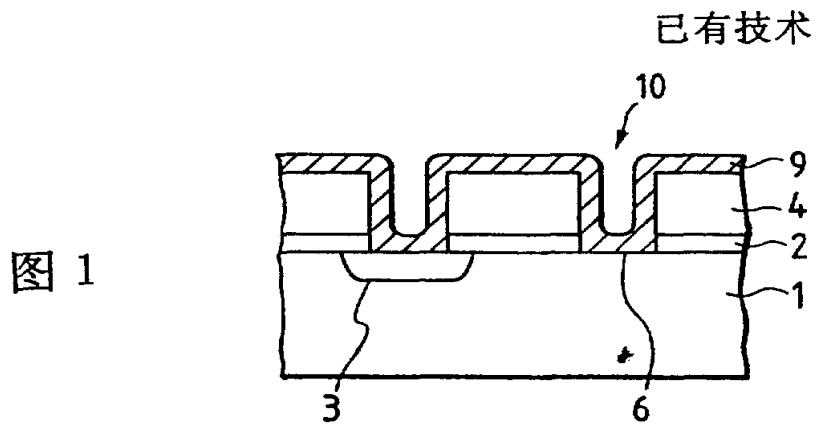


图 4A

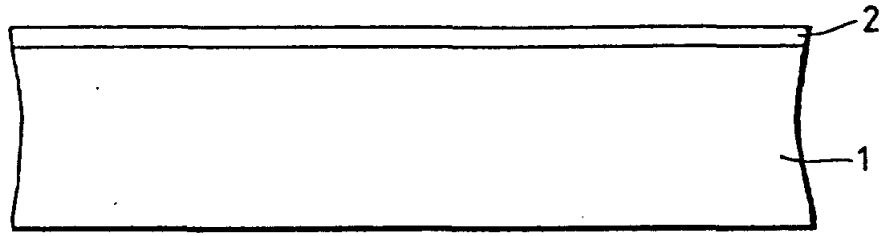


图 4B

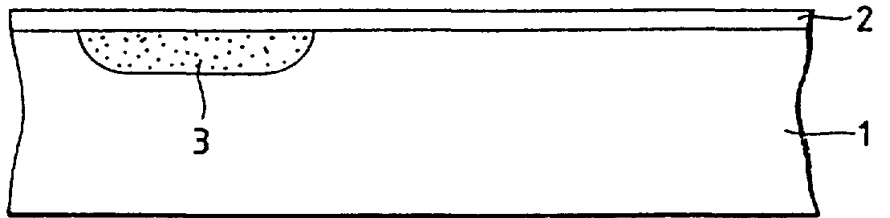


图 4C

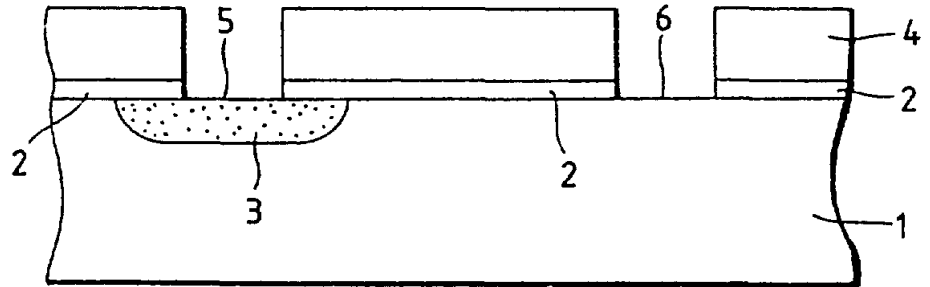


图 4D

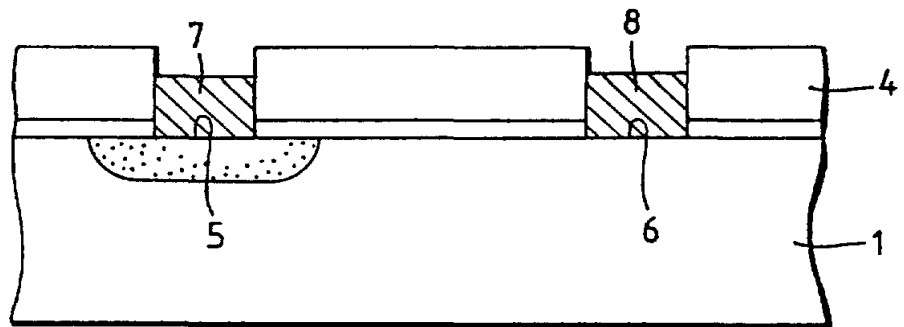


图 5

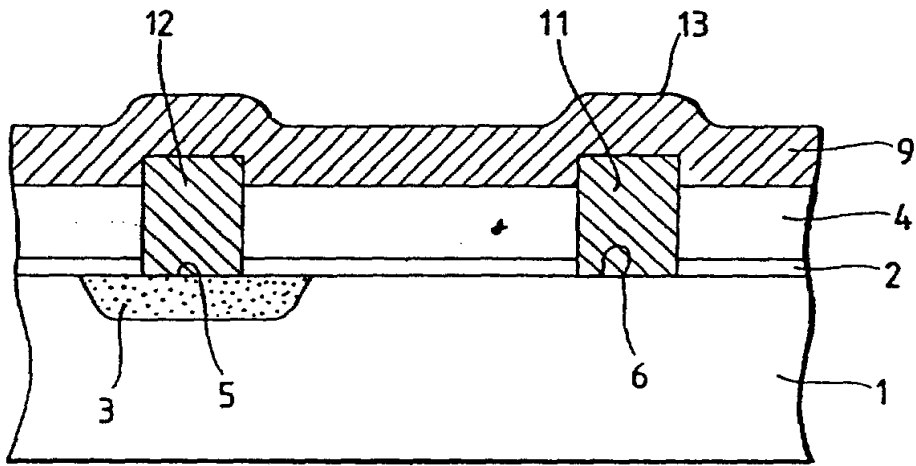


图 6

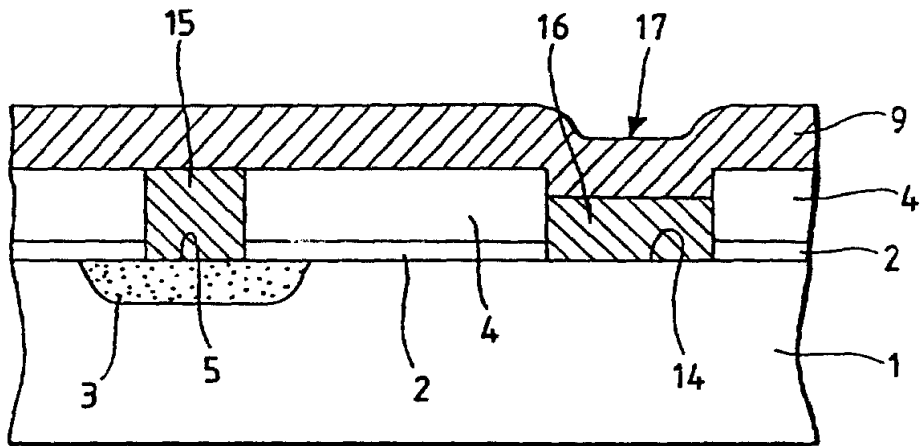


图 7A



图 7B

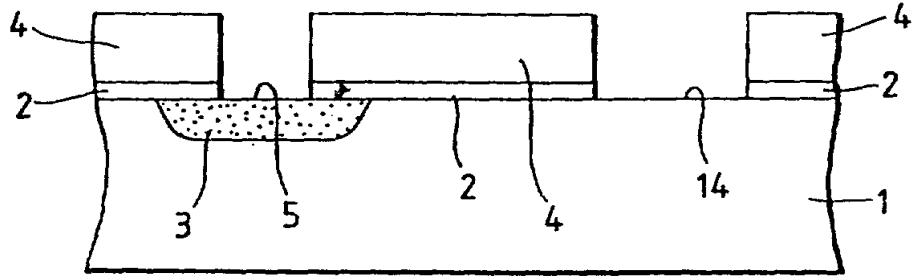


图 7C

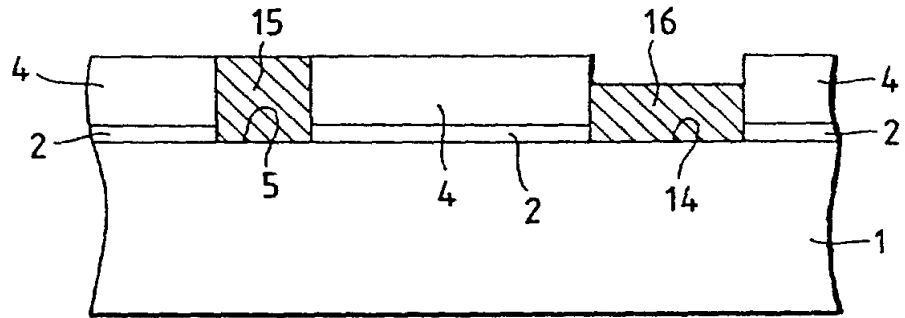


图 8

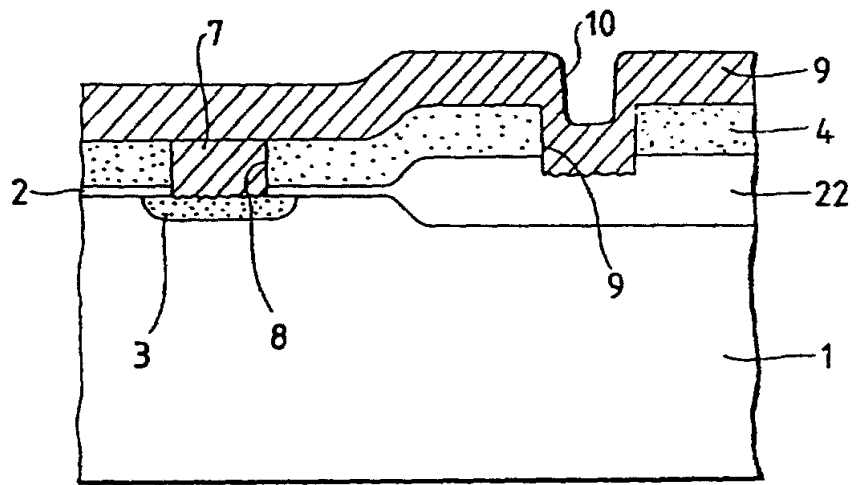


图 9A

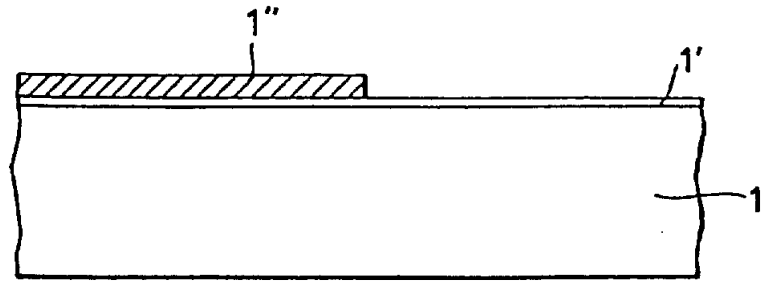


图 9B

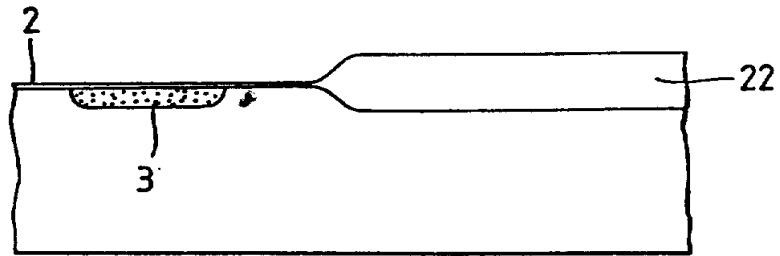


图 9C

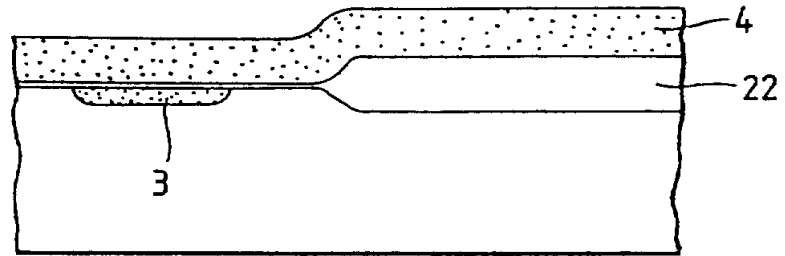


图 9D

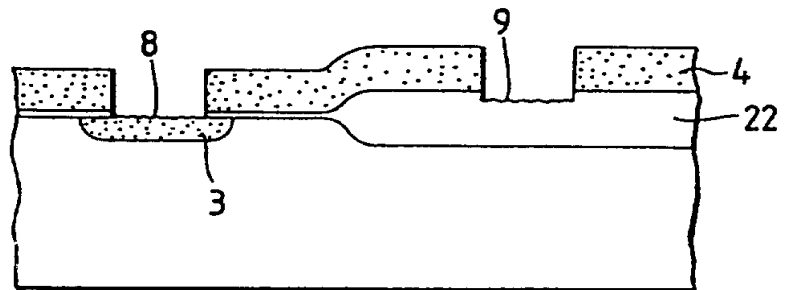


图 9E

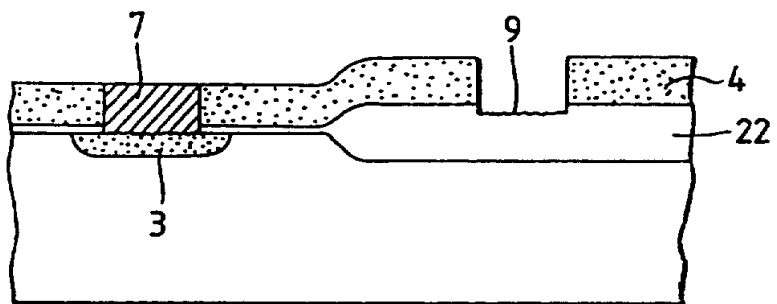


图 10

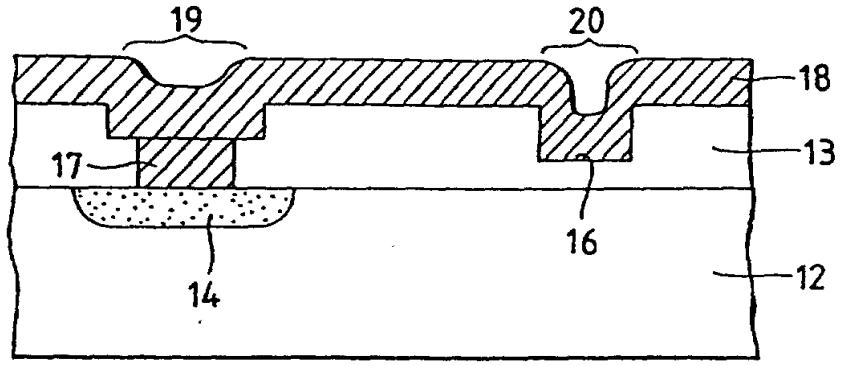


图 11A

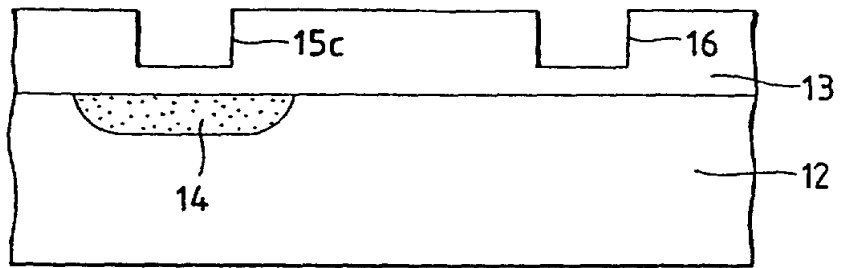


图 11B

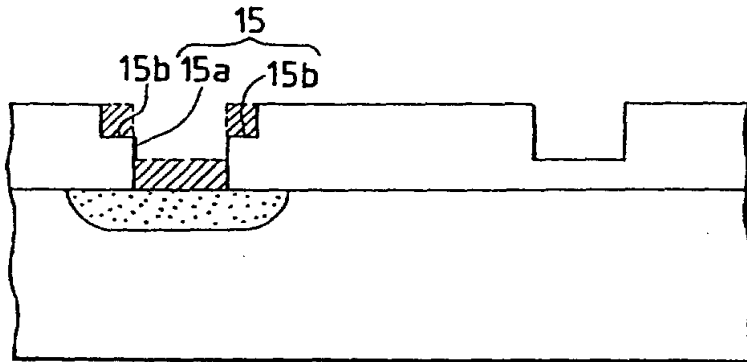


图 11C

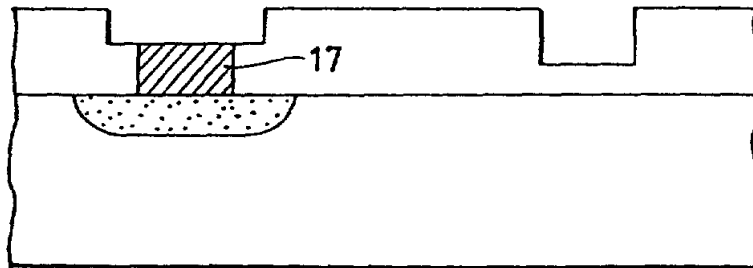


图 12

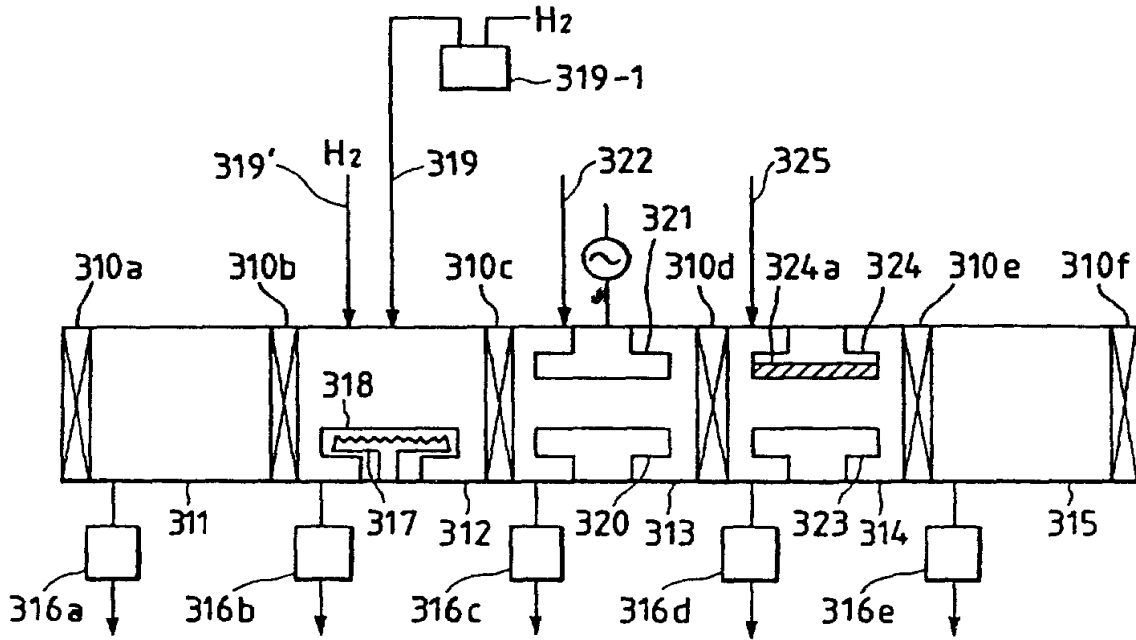


图 13

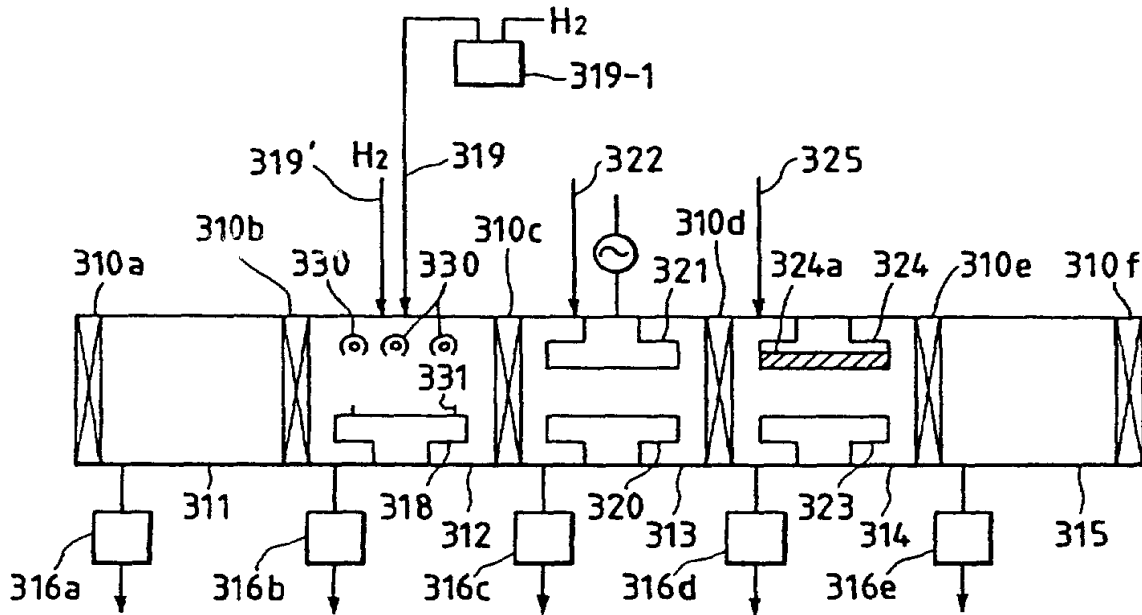


图 14

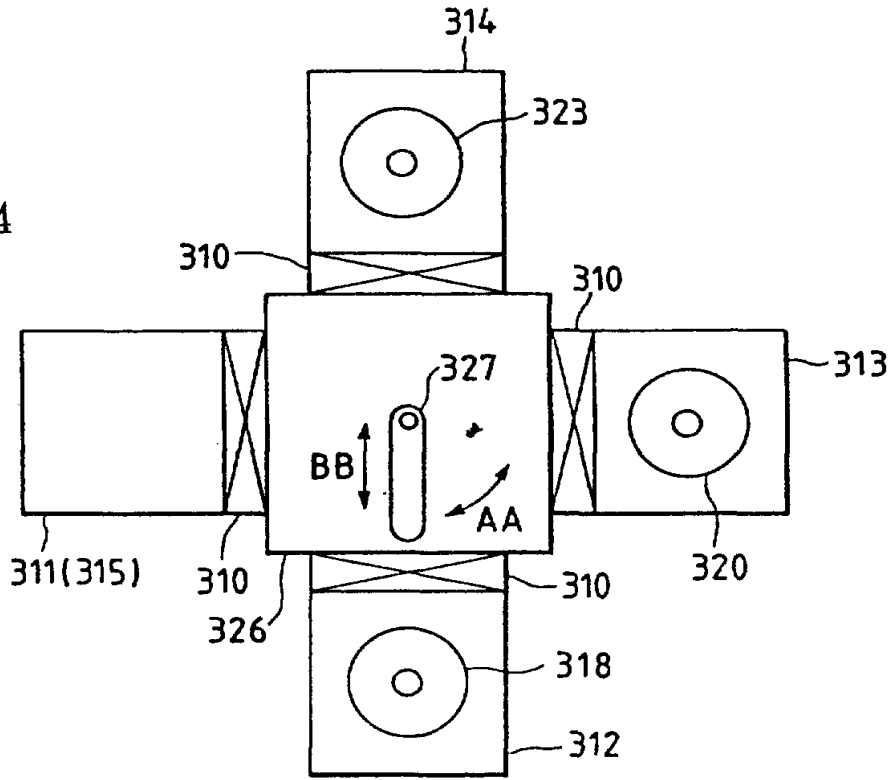


图 15

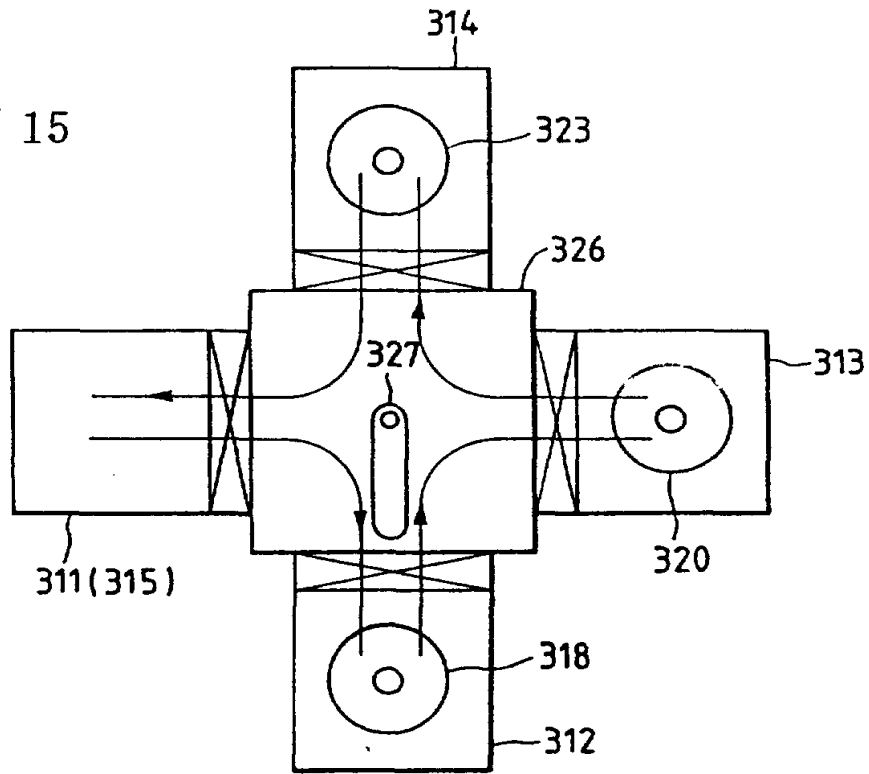


图 16A

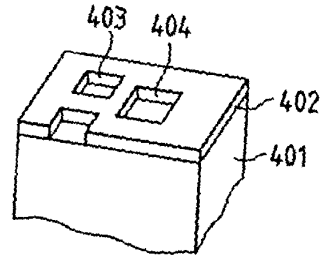


图 16B

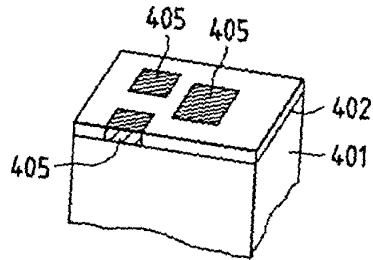


图 16C

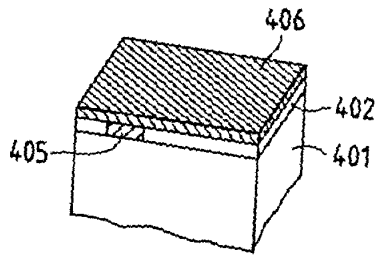


图 16D

