

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 22 日(22.11.2012)



(10) 国際公開番号

WO 2012/157722 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) H04N 5/66 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062707
- (22) 国際出願日: 2012 年 5 月 17 日(17.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-111905 2011 年 5 月 18 日(18.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 井上 明彦
(INOUE, Akihiko).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);

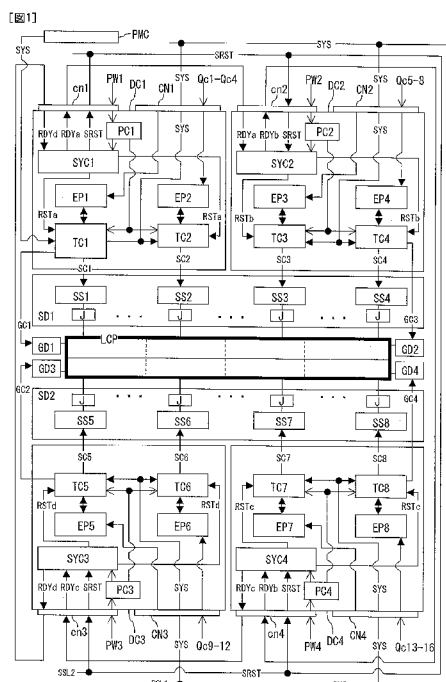
〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置



(57) Abstract: This liquid crystal display device comprises: a single liquid crystal panel; and first to n-th control boards (n being an integer equal to or greater than two) for controlling the liquid crystal panel. When the first control board becomes ready for operation, the first control board transmits a preparation completion signal to the second control board, which is on the next stage, and when the n-th control board receives a preparation completion signal from the control board on the preceding stage and determines that the n-th control board itself is ready for operation, the n-th control board transmits a preparation completion signal to the first control board. This makes it possible to suppress a synchronization failure between the multiple control boards provided in a single liquid crystal display device.

(57) 要約: 本液晶表示装置は、1つの液晶パネルと、上記液晶パネルの制御を行う第1～第n制御基板(nは2以上の整数)とを備え、第1制御基板は、動作可能状態になると次段である第2制御基板に準備完了信号を送信し、第n制御基板は、前段の制御基板からの準備完了信号を受けて自身が動作可能状態にあると判断すると、上記第1制御基板に準備完了信号を送信する。これにより、1つの液晶表示装置内に設けられた複数の制御基板間の同期不良を抑制することができる。

WO 2012/157722 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：液晶表示装置

技術分野

[0001] 本発明は、１つの表示装置内に複数のコントローラを設ける技術に関する。

背景技術

[0002] 特許文献１には、１つの表示装置内に複数のコントローラを設け、それぞれを互いに同期して（並列して）動作させる技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献１：特許３０７６２７２号

発明の概要

発明が解決しようとする課題

[0004] 液晶表示装置の高精細化および高速駆動化によって各コントローラで要求される電力も増大しており、例えば、電源投入後の立ち上がり時に、各コントローラの電源状態のばらつきによってコントローラ間の同期が乱れ、表示に不具合が生じるという問題があった。

[0005] 本発明の目的の１つは、１つの表示装置内に設けられた複数のコントローラの同期不良を抑制することにある。

課題を解決するための手段

[0006] 本液晶表示装置は、１つの液晶パネルと、上記液晶パネルの制御を行う第１～第 n 制御基板（ n は２以上の整数）を備え、第１制御基板は、動作可能状態になると次段である第２制御基板に準備完了信号を送信し、第 n 制御基板は、前段の制御基板からの準備完了信号を受けて自身が動作可能状態にあると判断すると上記第１制御基板に準備完了信号を送信する。

[0007] 上記液晶表示装置によれば、第１制御基板（マスター）は、他の制御基板（スレーブ）が準備完了になっていることを認識することができ、１つの液

晶表示装置内に設けられた複数の制御基板間の同期不良を抑制することができる。

発明の効果

[0008] 上記構成によれば、１つの液晶表示装置内に設けられた複数の制御基板間の同期不良を抑制することができる。

図面の簡単な説明

[0009] [図1]実施例１に係る液晶表示装置の構成を示す模式図である。

[図2]複数の表示制御基板の接続状態を示す模式図である。

[図3]図２の一部の構成例を示す回路図である。

[図4]実施例１での各表示制御基板の動作を示すタイミングチャートである。

[図5]実施例２に係る液晶表示装置の構成を示す模式図である。

[図6]実施例２での各表示制御基板の動作を示すタイミングチャートである。

[図7]実施例３に係る液晶表示装置の構成を示す模式図である。

[図8]図１の液晶パネルの一部を示す回路図である。

[図9]図１の液晶パネルの中央部分を示す回路図である。

[図10]図８・図９の液晶パネルの駆動方法を表すタイミングチャートである。

[図11]図１０の駆動方法による画素極性の分布（図８の部分）を示す回路図である。

[図12]図１０の駆動方法による画素極性の分布（図９の部分）を示す回路図である。

[図13]図１０の駆動方法による明暗領域の分布（図８の部分）を示す回路図である。

[図14]図１０の駆動方法による明暗領域の分布（図９の部分）を示す回路図である。

発明を実施するための形態

[0010] [実施例１]

本実施の形態にかかる液晶表示装置ＬＣＤは、フルＨＤ画素数（横１９２

0画素×縦1080画素)の16倍の画素数(8K4K)を有する映像規格(例えば、横7680画素×縦4320画素のスーパーハイビジョン)に対応するものであり、図2に示すように、入力処理回路IPC、ピクセルマッピング回路PMC、4つの表示制御基板(タイミングコントローラ基板)DC1~DC4、液晶パネルLCP、4つのゲートドライバGD1~GD4、2つのソースドライバSD1~SD2、4つのCSドライバCD1~CD4、それぞれが異なる商用電源に接続される3つの電源装置(図示せず)、電源コントローラ(図示せず)、バックライトBL、バックライトドライバBLD、およびバックライトコントローラBLCを備える。ここで、4つの表示制御基板(いわゆるタイミングコントローラ基板)DC1~DC4は、1枚の液晶パネルLCP(特に、大型高精細の液晶パネル)の表示制御を行うものである。

[0011] 入力処理回路IPCに入力される映像信号は、ブロックスキャンフォーマットの8K4K画素数を有する映像信号(例えば、スーパーハイビジョン)であってもよいし、マルチディスプレイフォーマットの8K4K画素数を有する映像信号であってもよい。もちろん、4K2K画素数を有する映像信号であってもよいし、2K1K画素数(フルHD画素数)を有する映像信号であってもよい。

[0012] ブロックスキャンフォーマットは、1フレーム(8K4K画素数を有する全体画像)をキメの粗い(フルHD画素数の)16枚の全体画像(いわゆる間引き画像)に分割して送信する方式である。この場合、入力処理回路IPCに入力される16本の映像信号Qa1~Qa16それぞれが、キメの粗い全体画像(フルHD画素数)となっている。

[0013] マルチディスプレイフォーマットは、1フレーム(8K4K画素数を有する全体画像)をキメの細かさを変えずに16分割し、16枚の部分画像に分割して送信する方式である。この場合、入力処理回路IPCに入力される16本の映像信号Qa1~Qa16それぞれが、キメの細かい部分画像(フルHD画素数)となっている。

- [0014] 入力処理回路IPCでは、映像データの同期処理、 γ 補正処理、色温度補正処理、および色域変換処理等を行い、映像信号Qb1～Qb16をピクセルマッピング回路PMCに出力する。
- [0015] ここで、表示制御基板DC1は、2つの映像処理回路EP1・EP2および2つのタイミングコントローラTC1・TC2を備え、表示制御基板DC2は、2つの映像処理回路EP3・EP4および2つのタイミングコントローラTC3・TC4を備え、表示制御基板DC3は、2つの映像処理回路EP5・EP6および2つのタイミングコントローラTC5・TC6を備え、表示制御基板DC4は、2つの映像処理回路EP7・EP8および2つのタイミングコントローラTC7・TC8を備える。
- [0016] ピクセルマッピング回路PMCは、ローカルエリア1（液晶パネルLCPを上下左右に4分割したときの左上領域）の左半分AR1に対応する映像信号（2K2K画素数）を、2本（フルHD画素数の映像信号Qc1・Qc2）に分割して表示制御基板DC1の映像処理回路EP1に出力し、上記ローカルエリア1の右半分AR2に対応する映像信号（2K2K画素数）を、2本（フルHD画素数の映像信号Qc3・Qc4）に分割して表示制御基板DC1の映像処理回路EP2に出力し、ローカルエリア2（液晶パネルLCPを上下左右に4分割したときの右上領域）の左半分AR3に対応する映像信号（2K2K画素数）を、2本（フルHD画素数の映像信号Qc5・Qc6）に分割して表示制御基板DC2の映像処理回路EP3に出力し、上記ローカルエリア2の右半分AR4に対応する映像信号（2K2K画素数）を、2本（フルHD画素数の映像信号Qc7・Qc8）に分割して表示制御基板DC2の映像処理回路EP4に出力し、ローカルエリア3（液晶パネルLCPを上下左右に4分割したときの左下領域）の左半分AR5に対応する映像信号（2K2K画素数）を、2本（フルHD画素数の映像信号Qc9・Qc10）に分割して表示制御基板DC3の映像処理回路EP5に出力し、ローカルエリア3の右半分AR6に対応する映像信号（2K2K画素数）を、2本（フルHD画素数の映像信号Qc11・Qc12）に分割して表示制御基板

DC 3 の映像処理回路 EP 6 に出力し、ローカルエリア 4（液晶パネル LCP を上下左右に 4 分割したときの右下領域）の左半分 AR 7 に対応する映像信号（2K 2K 画素数）を、2 本（フル HD 画素数の映像信号 Qc 13・Qc 14）に分割して表示制御基板 DC 4 の映像処理回路 EP 7 に出力し、上記ローカルエリア 4 の右半分 AR 8 に対応する映像信号（2K 2K 画素数）を、2 本（フル HD 画素数の映像信号 Qc 15・Qc 16）に分割して表示制御基板 DC 4 の映像処理回路 EP 8 に出力する。

[0017] さらに、ピクセルマッピング回路 PMC は、表示制御基板 DC 1 のタイミングコントローラ TC 1 に同期信号 SYS（垂直同期信号、水平同期信号、クロック信号、デタインエーブル信号、極性反転信号等）を出力し、これを受けたタイミングコントローラ TC 1 は、この同期信号 SYS を、表示制御基板 DC 1～DC 4 に接続された基板間共有線 SSL に送信する。

[0018] タイミングコントローラ TC 1 は、ピクセルマッピング回路 PMC から受けた同期信号 SYS を受けて映像処理回路 EP 1 と協働し、映像信号 Qc 1・Qc 2 に階調変換処理およびフレームレート変換（FRC）処理等の映像処理を行った後に、AR 1 に対応するソースドライバ基板（図示せず）にソース制御信号 SC 1 を出力し、ゲートドライバ GD 1 のゲートドライバ基板（図示せず）にゲート制御信号 GC 1 を出力し、CS ドライバ CD 1 に CS 制御信号 CC 1 を出力する。

[0019] タイミングコントローラ TC 2 は、タイミングコントローラ TC 1 から基板間共有線 SSL を介して送信された同期信号 SYS を受けて映像処理回路 EP 2 と協働し、映像信号 Qc 3・Qc 4 に上記映像処理を行った後に、AR 2 に対応するソースドライバ基板（図示せず）にソース制御信号 SC 2 を出力する。

[0020] タイミングコントローラ TC 3 は、タイミングコントローラ TC 1 から基板間共有線 SSL を介して送信された同期信号 SYS を受けて映像処理回路 EP 3 と協働し、映像信号 Qc 5・Qc 6 に上記映像処理を行った後に、AR 3 に対応するソースドライバ基板（図示せず）にソース制御信号 SC 3 を

出力する。

[0021] タイミングコントローラTC4は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP4と協働し、映像信号Qc7・Qc8に上記映像処理を行った後に、AR4に対応するソースドライバ基板（図示せず）にソース制御信号SC4を出力し、ゲートドライバGD2のゲートドライバ基板（図示せず）にゲート制御信号GC2を出力し、CSドライバCD2にCS制御信号CC2を出力する。

[0022] タイミングコントローラTC5は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP5と協働し、映像信号Qc9・Qc10に上記映像処理を行った後に、AR5に対応するソースドライバ基板（図示せず）にソース制御信号SC5を出力し、ゲートドライバGD3のゲートドライバ基板（図示せず）にゲート制御信号GC3を出力し、CSドライバCD3にCS制御信号CC3を出力する。

[0023] タイミングコントローラTC6は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP6と協働し、映像信号Qc11・Qc12に上記映像処理を行った後に、AR6に対応するソースドライバ基板（図示せず）にソース制御信号SC6を出力する。

[0024] タイミングコントローラTC7は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP7と協働し、映像信号Qc13・Qc14に上記映像処理を行った後に、AR7に対応するソースドライバ基板（図示せず）にソース制御信号SC7を出力する。

[0025] タイミングコントローラTC8は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP8と協働し、映像信号Qc15・Qc16に上記映像処理を行った後に

、A R 8に対応するソースドライバ基板（図示せず）にソース制御信号S C 8を出力し、ゲートドライバG D 4のゲートドライバ基板（図示せず）にゲート制御信号G C 4を出力し、C SドライバC D 4にC S制御信号C C 4を出力する。

[0026] なお、ソース制御信号S C 1～S C 8には、データ信号、データイネーブル信号（D E信号）、ソーススタートパルス、およびソースクロックが含まれ、ゲート制御信号G C 1～G C 4には、イニシャル信号、ゲートスタートパルスおよびゲートクロックが含まれる。

[0027] ここで、上記階調変換処理には、高速表示処理（Q S処理）やパネル上下分割駆動（以下に詳述）とデータ信号線の1 V反転駆動（以下に詳述）との組み合わせに対応するための、画素位置（列方向の位置）に応じた階調補正処理が含まれていてもよい。

[0028] また、上記F R C処理では、各映像処理回路で、16本の映像信号Q a 1～Q a 16のいずれか1つ（フルHD画素数である、キメの粗い全体画像）を用いて動きベクトルを求めるとともに、映像信号Q c 1～Q c 16のうち対応する1つ（フルHD画素数である、キメの細かい部分画像）を用いて内挿用の部分画像（フルHD画素数）を生成してもよい。

[0029] また、映像信号Q c 1～Q c 16の入力に、12ビット転送のH D M I（高精細マルチメディアインターフェース）を用いると、D E信号（1920ライン分）が1クロック（1ライン分）前に伸びて1921ライン分となるエラーが生じうるため、D E信号の幅を監視して、1921ライン分となった場合には、1クロック遅らせてD E信号を立ち上げるエラー補正処理を行うことも可能である。すなわち、入力インターフェース（例えば、H D M I）を介してデータ信号（例えば、映像信号Q c 1～Q c 4）と該データ信号の有効期間を示す有効信号（D E）とが入力される表示制御基板D C 1に、上記有効信号に基づいて得られるデータ信号の内容および上記有効信号のアクティブ期間の少なくとも1つを検出する検出部と、該検出部の検出結果に応じて上記有効信号の位相ずれを補正する補正部とを設ける。こうすれば、

有効信号の位相ずれに起因するデータ信号の不具合（特にHDMIを用いたときに生じ易い不具合）を解消することができる。

[0030] 表示制御基板DC1～DC4は、基板間で各種信号をやり取りあるいは共有することで、互いの動作を同期させている。具体的には、マスターである表示制御基板DC1が、RDY（準備完了）信号をスレーブの表示制御基板DC2に送り、これを受けた表示制御基板DC2は、準備が完了し次第、RDY信号をスレーブの表示制御基板DC3に送り、これを受けた表示制御基板DC3は、準備が完了し次第、RDY信号をスレーブの表示制御基板DC4に送り、これを受けた表示制御基板DC4は、準備が完了し次第、RDY信号を表示制御基板DC1に返送する。表示制御基板DC1は、RDY信号が返送されたのを受けて、動作開始（SRST）信号を、基板間共有線SSLを介して表示制御基板DC2～DC4に一斉送信する。動作開始（SRST）信号が送信された後には、表示制御基板DC1のタイミングコントローラTC1が、ピクセルマッピング回路PMCから受けた上記同期信号SYSを、基板間共有線SSLを介して、タイミングコントローラTC2～TC8に一斉送信する。より詳細には以下のとおりである。

[0031] 図1に示すように、表示制御基板DC1は、ローカル電源回路PC1、映像信号Qc1～Qc4が入力される映像コネクタCN1、同期コネクタcn1、同期回路SYC1、タイミングコントローラTC1・TC2、および映像処理回路EP1・EP2を備える。ローカル電源回路PC1は、同期回路SYC1、タイミングコントローラTC1・TC2、および映像処理回路EP1・EP2に接続され（図示せず）、同期回路SYC1は、同期コネクタcn1およびタイミングコントローラTC1・TC2に接続され、タイミングコントローラTC1は、映像処理回路EP1およびタイミングコントローラTC2に接続され、タイミングコントローラTC2は、映像処理回路EP2およびタイミングコントローラTC1に接続されている。

[0032] また、表示制御基板DC2は、ローカル電源回路PC2、映像信号Qc5～Qc8が入力される映像コネクタCN2、同期コネクタcn2、同期回路

S Y C 2、タイミングコントローラ T C 3・T C 4、および映像処理回路 E P 3・E P 4 を備える。ローカル電源回路 P C 2 は、同期回路 S Y C 2、タイミングコントローラ T C 3・T C 4、および映像処理回路 E P 3・E P 4 に接続され（図示せず）、同期回路 S Y C 2 は、同期コネクタ c n 2 およびタイミングコントローラ T C 3・T C 4 に接続され、タイミングコントローラ T C 3 は、映像処理回路 E P 3 およびタイミングコントローラ T C 4 に接続され、タイミングコントローラ T C 4 は、映像処理回路 E P 4 およびタイミングコントローラ T C 3 に接続されている。

[0033] また、表示制御基板 D C 3 は、ローカル電源回路 P C 3、映像信号 Q c 9～Q c 12 が入力される映像コネクタ C N 3、同期コネクタ c n 3、同期回路 S Y C 3、タイミングコントローラ T C 5・T C 6、および映像処理回路 E P 5・E P 6 を備える。ローカル電源回路 P C 3 は、同期回路 S Y C 3、タイミングコントローラ T C 5・T C 6、および映像処理回路 E P 5・E P 6 に接続され（図示せず）、同期回路 S Y C 3 は、同期コネクタ c n 3 およびタイミングコントローラ T C 5・T C 6 に接続され、タイミングコントローラ T C 5 は、映像処理回路 E P 5 およびタイミングコントローラ T C 6 に接続され、タイミングコントローラ T C 6 は、映像処理回路 E P 6 およびタイミングコントローラ T C 5 に接続されている。

[0034] また、表示制御基板 D C 4 は、ローカル電源回路 P C 4、映像信号 Q c 13～Q c 16 が入力される映像コネクタ C N 4、同期コネクタ c n 4、同期回路 S Y C 4、タイミングコントローラ T C 7・T C 8、および映像処理回路 E P 7・E P 8 を備える。ローカル電源回路 P C 4 は、同期回路 S Y C 4、タイミングコントローラ T C 7・T C 8、および映像処理回路 E P 7・E P 8（図示せず）に接続され、同期回路 S Y C 4 は、同期コネクタ c n 4 およびタイミングコントローラ T C 7・T C 8 に接続され、タイミングコントローラ T C 7 は、映像処理回路 E P 7 およびタイミングコントローラ T C 8 に接続され、タイミングコントローラ T C 8 は、映像処理回路 E P 8 およびタイミングコントローラ T C 7 に接続されている。

- [0035] なお、表示制御基板DC1はマスターとして動作し、表示制御基板DC2～DC4はスレーブとして動作する。
- [0036] 映像コネクタCN1～CN4はそれぞれ同期用共有線SSL1に接続され、同期コネクタcn1～cn4はリセット用共有線SSL2に接続されている。
- [0037] 同期回路SYC1では、ローカル電源回路PC1からの電源電圧信号が閾値レベル以上になると、準備信号RDYaをアクティブ（準備完了信号）とし、同期コネクタcn1・cn2を介して同期回路SYC2に送信する。同期回路SYC2は、同期回路SYC1からの準備信号RDYaがアクティブであり、かつローカル電源回路PC2からの電源電圧信号が閾値レベル以上であれば、準備信号RDYbをアクティブ（準備完了信号）とし、同期コネクタcn2・cn4を介して同期回路SYC4に送信する。同期回路SYC4は、同期回路SYC2からの準備信号RDYbがアクティブであり、かつローカル電源回路PC4からの電源電圧信号が閾値レベル以上であれば、準備信号RDYcをアクティブ（準備完了信号）とし、同期コネクタcn4・cn3を介して同期回路SYC3に送信する。同期回路SYC3は、同期回路SYC4からの準備信号RDYcがアクティブであり、かつローカル電源回路PC3からの電源電圧信号が閾値レベル以上であれば、準備信号RDYdをアクティブ（準備完了信号）とし、同期コネクタcn3・cn1を介して同期回路SYC1に送信する。
- [0038] 同期回路SYC1は、同期回路SYC3からの準備信号RDYdがアクティブになると、リセット信号RSTを非アクティブ（リセット解除信号）にし、同期コネクタcn1を介してリセット用共有線SSL2に送信するとともに、タイミングコントローラTC2に送信する。リセット解除信号は、リセット用共有線SSL2および同期コネクタcn2～cn4を介して同期回路SYC2～SYC4に一斉送信される。
- [0039] リセット解除信号を受けた同期回路SYC2は、タイミングコントローラTC3・TC4へのリセット解除信号RSTbをアクティブにし、これによ

ってタイミングコントローラTC3・TC4の動作準備が完了する。また、リセット解除信号を受けた同期回路SYC4は、タイミングコントローラTC7・TC8へのリセット解除信号RSTcをアクティブにし、これによってタイミングコントローラTC7・TC8の動作準備が完了する。また、リセット解除信号を受けた同期回路SYC3は、タイミングコントローラTC5・TC6へのリセット解除信号RSTdをアクティブにし、これによってタイミングコントローラTC5・TC6の動作準備が完了する。

[0040] そして、タイミングコントローラTC1に入力された同期信号SYS（垂直同期信号、水平同期信号、クロック信号、データイネーブル信号、極性反転信号等）が、タイミングコントローラTC1から、映像コネクタCN1、同期用共有線SSL1および映像コネクタCN2～CN4を介してタイミングコントローラTC2～TC8に送信され、これによってタイミングコントローラTC1～TC8の同期動作が開始される。

[0041] 図3は、図1の一具体例を示す回路図であり、図4は、図3の構成の動作を示すタイミングチャートである。図3・4に示すように、同期回路SYC1は、アンド回路AC1およびバッファ回路BU1を備え、同期回路SYC2は、アンド回路AC2およびバッファ回路BU2を備え、同期回路SYC3は、アンド回路AC3およびバッファ回路BU3を備え、同期回路SYC4は、アンド回路AC4およびバッファ回路BU4を備える。

[0042] まず、ローカル電源回路PC1からの電源電圧信号CP1が閾値レベル以上「H」になると、準備信号RDYaがアクティブ「H」（準備完了信号）となり、同期コネクタcn1・cn2を介して同期回路SYC2のアンド回路AC2に送信される。アンド回路AC2には、準備信号RDYaとローカル電源回路PC2からの電源電圧信号CP2とが入力されており、両者がアクティブ「H」になると、準備信号RDYbがアクティブ「H」（準備完了信号）となり、同期コネクタcn2・cn4を介して同期回路SYC4のアンド回路AC4に送信される。アンド回路AC4には、準備信号RDYbとローカル電源回路PC4からの電源電圧信号CP4とが入力されており、両

者がアクティブ「H」になると、準備信号RDY_cがアクティブ「H」（準備完了信号）となり、同期コネクタc_{n4}・c_{n3}を介して同期回路SYC₃のアンド回路AC₃に送信される。アンド回路AC₃には、準備信号RDY_cとローカル電源回路PC₃からの電源電圧信号CP₃とが入力されており、両者がアクティブ「H」になると、準備信号RDY_dがアクティブ「H」（準備完了信号）となり、同期コネクタc_{n3}・c_{n1}を介して同期回路SYC₁のアンド回路AC₁に送信される。アンド回路AC₁には、準備信号RDY_dとローカル電源回路PC₁からの電源電圧信号CP₁とが入力されており、準備信号RDY_dがアクティブ「H」になると、リセット信号SRSTが非アクティブ「H」（リセット解除信号）となる。リセット解除信号は、バッファ回路BU₁に送信されるとともに、コネクタc_{n1}、リセット用共有線SSL₂、およびコネクタc_{n2}～c_{n4}を経てバッファ回路BU₂～BU₄に一斉送信され、バッファ回路BU₁～BU₄からのリセット解除信号RST_a～RST_dはアクティブ「H」となる。なお、バッファ回路BU₁～BU₄はインピーダンス変換を行うものである。

[0043] 上記構成によれば、表示制御基板DC₁～DC₄すべての動作準備が完了してからこれらの同期動作を開始することができ、電源投入時やフェイルセーフからの復帰時の映像破綻を回避することができる。

[0044] 図1では、8枚のタイミングコントローラを用いているが、表示部の分割形態に合わせて、4枚でも、2枚でもよい。また、同期信号SYSに含まれる各種の信号も必要に応じて決定すればよい。ローカル電源回路PC₁～PC₄は、同時に立ち上げても（電源投入しても）よいし、順次立ち上げても構わない。

[0045] 図3では、準備信号RDY_a～RDY_dおよびリセット信号SRSTが抵抗によってプルダウン処理されているため、前段の表示制御基板に電源が投入されていない場合や、接続ラインが外れていた場合でも、入力状態が不安定になり難い。なお、図4では、準備信号RDY_a～RDY_dを正論理、リセット信号SRSTを負論理としているために、図3でプルダウン処理して

いるが、準備信号を負論理、リセット信号を正論理とする場合には、プルアップ処理を行えばよい。

[0046] また、表示制御基板DC1～DC4が動作中にいずれかの表示制御基板に表示制御の異常が発生した場合には、異常が発生した表示制御基板から送信されたフェイルセーフ信号が、他のすべての表示制御基板に伝達（巡回送信あるいは共有線を介して同時送信）され、全ての制御表示基板は瞬時に自走状態（黒表示）モードとなる。これにより、映像破綻が回避される。

[0047] また、表示制御基板DC1～DC4それぞれにおいて、各種駆動電源が個別に生成されており、同種（同電位・同位相）の駆動電源が供給されるラインは、電流制限回路を介して表示制御基板間で接続されている。こうすれば、同種の駆動電源の調整を図りつつ、基板間の立ち上がりタイミングのずれ等に起因して各種ドライバや表示制御基板に過電流が流れることを防止することができる。

[0048] 液晶パネルLCPは、アクティブマトリクス基板、液晶層（図示せず）および対向基板（図示せず）を備え、アクティブマトリクス基板には、複数の画素電極（図示せず）、複数のTFT（薄膜トランジスタ、図示せず）、行方向（パネルの長辺に沿う方向）に延伸する走査信号線Ga～Gd、列方向に延伸する複数のデータ信号線Sa～Sd、行方向に延伸する保持容量配線（CS配線）CSa～CSd、および列方向に延伸するCS幹配線Ma～Mhが設けられ、対向基板には、共通電極（図示せず）、カラーフィルタ、およびブラックマトリクス（図示せず）が設けられている。

[0049] また、ゲートドライバGD1は、液晶パネルLCPの上半分が有する2つの短辺の一方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。垂直ドライバGD2は、液晶パネルLCPの上半分が有する上記2つの短辺の他方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。また、ゲートドライバGD3は、液晶パネルLCPの下半分が有する2つの短辺の一方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。垂直ドライバGD4は、液晶パネルLCPの下半分

が有する上記2つの短辺の他方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。そして、パネル上半分に設けられた各走査信号線はゲートドライバGD1・GD2によって駆動され、パネル下半分に設けられた各走査信号線はゲートドライバGD3・GD4によって駆動される。すなわち、1本の走査信号線がその両側に配置された2つのゲートドライバに接続され、これら2つのゲートドライバからこの1つの走査信号線に同一位相の走査（パルス）信号が供給される。こうすれば、走査信号線のCR（時定数）に起因する信号鈍りのばらつき（行方向の位置によって信号鈍りの度合いが変わること）を抑制することができる。

[0050] ソースドライバSD1は、液晶パネルLCPの上半分が有する1つの長辺に沿って設けられ、行方向に並ぶ48個のソースドライバチップJ（1つのソースドライバチップの出力端子数は960個）と、図示しない4つのソースドライバ基板を含む（1つのソースドライバ基板には12個のソースドライバチップJが装着される）。一方、ソースドライバSD2は、液晶パネルLCPの下半分が有する1つの長辺に沿って設けられ、行方向に並ぶ48個のソースドライバチップJ（1つのソースドライバチップの出力端子数は960個）と、図示しない4つのソースドライバ基板を含む（1つのソースドライバ基板には12個のソースドライバチップJが装着される）。そして、パネル上半分に設けられた各データ信号線はソースドライバSD1によって駆動され、パネル下半分に設けられた各データ信号線はソースドライバSD2によって駆動される。例えば、データ信号線SaはソースドライバSD1によって駆動され、データ信号線ScはソースドライバSD2によって駆動される。なお、スペースの関係でソースドライバチップJをパネル長辺に沿って並べることができない場合は、スペースの余裕のあるパネル短辺側に並べる（ソースドライバチップJとゲートドライバチップIとを列方に並べる）こともできる。この場合、データ信号線とパネル短辺側のソース端子とを接続する中継ラインを、対向基板側に設けたり、アクティブマトリクス基板のソース層（TFTのソース・ドレイン電極の形成層）以外、すなわち、ゲ

ート絶縁膜の下層（ゲート層）やソース層とITO層（画素電極形成層）との間の層に設けたりすることもできる。

[0051] 液晶パネルLCPは、1つの画素列の上半分（第1領域、パネルの上流側）に対応して2本のデータ信号線が設けられるとともに、この画素列の下半分（第2領域、パネルの下流側）に対応して2本のデータ信号線が設けられた、いわゆる上下分割ダブルソース構造（1画素列あたり4本のデータ信号線が設けられ、同時に4本の走査信号線を選択することが可能な構造）を有し、4倍速駆動が可能である。さらに、液晶パネルLCPは、1つの画素に少なくとも2つの画素電極を備えたいわゆるマルチ画素方式であり、1画素内に形成された明領域と暗領域とによって視野角特性を高めることが可能となっている。

[0052] 例えば、図2および図8～図9に示すように、パネルの上半分（上流側）に走査信号線Ga・Gbおよび保持容量配線CSa・CSbが設けられるとともに、パネルの下半分（下流側）に走査信号線Gc・Gdおよび保持容量配線CSc・CSdが設けられ、1つの画素列PL1の上半分（上流側）に列方向に隣り合う2つの画素Pa・Pbが含まれるとともに、画素列PL1の下半分（下流側）に列方向に隣り合う2つの画素Pc・Pdが含まれ、画素列PL1の上半分（上流側）に対応してデータ信号線Sa・Sbが設けられるとともに、画素列PL1の下半分（下流側）に対応してデータ信号線Sc・Sdが設けられている。

[0053] そして、画素Paに含まれる2つの画素電極17A・17aのうち画素電極17Aに接続するTF T12Aおよび画素電極17aに接続するTF T12aそれぞれが、データ信号線Saと走査信号線Gaとに接続され、画素電極17Aが保持容量配線CSnと保持容量CAを形成し、画素電極17aが保持容量配線CSaと保持容量Caを形成し、さらに、画素Pbに含まれる2つの画素電極17B・17bのうち画素電極17Bに接続するTF T12Bおよび画素電極17bに接続するTF T12bそれぞれが、データ信号線Sbと走査信号線Gbとに接続され、画素電極17Bが保持容量配線CSa

と保持容量C Bを形成し、画素電極1 7 bが保持容量配線C S bと保持容量C bを形成し、さらに、画素P cに含まれる2つの画素電極1 7 C・1 7 cのうち画素電極1 7 Cに接続するT F T 1 2 Cおよび画素電極1 7 cに接続するT F T 1 2 cそれぞれが、データ信号線S cと走査信号線G cとに接続され、画素電極1 7 Cが保持容量配線C S mと保持容量C Cを形成し、画素電極1 7 cが保持容量配線C S cと保持容量C cを形成し、さらに、画素P dに含まれる2つの画素電極1 7 D・1 7 dのうち画素電極1 7 Dに接続するT F T 1 2 Dおよび画素電極1 7 dに接続するT F T 1 2 dそれぞれが、データ信号線S dと走査信号線G dとに接続され、画素電極1 7 Dが保持容量配線C S cと保持容量C Dを形成し、画素電極1 7 dが保持容量配線C S dと保持容量C dを形成しており、4本の走査信号線G a～G dは同時に選択される。

[0054] なお、画素列P L 1では、左端にデータ信号線S a・S cが列方向に並べて配されるとともに、右端にデータ信号線S b・S dが列方向に並べて配され、画素列P L 1と隣り合う画素列P L 2では、左端にデータ信号線S A・S Cが列方向に並べて配されるとともに、右端にデータ信号線S B・S Dが列方向に並べて配されている。

[0055] そして、画素列P L 2では、画素電極P aと隣り合う画素に含まれる2つの画素電極は、別々のT F Tを介してデータ信号線S Bに接続され、画素電極P bと隣り合う画素に含まれる2つの画素電極は、別々のT F Tを介してデータ信号線S Aに接続され、画素電極P cと隣り合う画素に含まれる2つの画素電極は、別々のT F Tを介してデータ信号線S Dに接続され、画素電極P dと隣り合う画素に含まれる2つの画素電極は、別々のT F Tを介してデータ信号線S Cに接続されている。

[0056] 上半分（第1領域）と下半分（第2領域）の境界近傍の構成は、図9のとおりである。すなわち、第1領域のボトムに位置する画素P xに含まれる2つの画素電極1 7 X・1 7 xのうち画素電極1 7 Xに接続するT F T 1 2 Xおよび画素電極1 7 xに接続するT F T 1 2 xそれぞれが、データ信号線S

bと走査信号線G_mとに接続され、画素電極17Xが保持容量配線CS_iと保持容量を形成し、画素電極17xが保持容量配線CS_mと保持容量を形成し、第2領域のトップに、上記画素P_cが位置している。

[0057] なお、パネル上半分に設けられたデータ信号線の本数は、少なくとも7680（画素）×3（原色）×2（ダブルソース）＝46080本であり、パネル上半分に設けられた走査信号線の本数は、少なくとも2160本であり、パネル上半分に設けられた保持容量配線の本数は、少なくとも2160本であり、パネル下半分に設けられたデータ信号線の本数は、少なくとも46080本であり、パネル下半分に設けられた走査信号線の本数は、少なくとも2160本であり、パネル下半分に設けられた保持容量配線の本数は、少なくとも2160本である。

[0058] CS幹配線M_a（第1幹配線）およびCS幹配線M_bは、アクティブマトリクス基板の上半分が有する2つの短辺の一方に近接して設けられ、CSドライバCD1によってそれぞれが別位相となるように駆動される。CS幹配線M_c（第3幹配線）およびCS幹配線M_dは、アクティブマトリクス基板の上半分が有する上記2つの短辺の他方に近接して設けられ、CSドライバCD2によってそれぞれが別位相となるように駆動される。CS幹配線M_e・CS幹配線M_f（第2幹配線）は、アクティブマトリクス基板の下半分が有する2つの短辺の一方に近接して設けられ、CSドライバCD3によってそれぞれが別位相となるように駆動される。CS幹配線M_g・CS幹配線M_h（第4幹配線）は、アクティブマトリクス基板の下半分が有する上記2つの短辺の他方に近接して設けられ、それぞれが別位相となるようにCSドライバCD4によって駆動される。そして、1本の保持容量配線は、その両側に配置された2本のCS幹配線に接続され、これら2本のCS幹配線からこの1本の保持容量配線に同一位相の変調（パルス）信号が供給される。こうすれば、保持容量配線のCR（時定数）に起因する信号鈍りのばらつき（行方向の位置によって信号鈍りの度合いが変わること）を抑制することができる。

[0059] 例えば、保持容量配線CSaはCS幹配線Ma・Mcに接続され、保持容量配線CSbはCS幹配線Mb・Mdに接続され、保持容量配線CScはCS幹配線Me・Mgに接続され、保持容量配線CSDはCS幹配線Mf・Mhに接続されている。したがって、例えば、CS幹配線Ma・Mbの電位を逆位相となるように制御すると、保持容量配線CSa・CSbの電位も逆位相となり、画素Pbでは、2つの画素電極17B・17bのうち画素電極17Bが保持容量配線CSaと容量を形成し、画素電極17bが保持容量配線CSbと容量を形成していることから、画素電極17B・17bに同一の信号電位を書き込んだ後に、例えば、画素電極17Bの実効電位をセンター電位に近づく方向にシフトさせる一方、画素電極17bの実効電位をセンター電位から離れる方向にシフトさせる（これにより、1画素内に、画素電極17Bに対応する暗領域と画素電極17bに対応する明領域とを形成する）ことができる。

[0060] なお、1つのデータ信号線の供給されるデータ信号の極性は1垂直走査期間（1V）ごとに反転し、同一垂直走査期間では、1画素列に対応しても設けられる2つのデータ信号線の一方と他方とに供給されるデータ信号の極性が逆極性となっている。こうすれば、各データ信号線を1V反転としながら（すなわち、極性反転周期を長くして消費電力を低減しながら）、画面内の画素の極性分布をドット反転とする（これにより、TFTがOFFしたときに生じる引き込み電圧に起因するフリッカを抑制する）ことができる。

[0061] 液晶パネルの図8・9に示す部分の駆動方法を、図10のタイミングチャートおよび図11～図14の模式図に示す。なお、図10に示すように、データ信号線Sa・SA・Sc・SCには、1垂直走査期間中、プラスのデータ信号電位を供給し、データ信号線Sb・SB・Sd・SDには、1垂直走査期間中、マイナスのデータ信号電位を供給する。

[0062] 時刻t0で走査信号線Ga～Gdの同時走査が始まり、t0から1H（垂直走査期間）後の時刻t1で走査信号線Ga～Gdの同時走査が終了する。これにより、画素電極17A・17aにはプラスのデータ信号電位が書き込

まれ、画素電極 17 B・17 b にはマイナスのデータ信号電位が書き込まれ、画素電極 17 C・17 c にはプラスのデータ信号電位が書き込まれ、画素電極 17 D・17 d にはマイナスのデータ信号電位が書き込まれる。

[0063] t₁ から 1 H 後の t₂ では、CS 幹配線 Mb から送られる変調信号によって、保持容量配線 CS_n の電位が L (Low) 側にシフトし、これに伴って、画素電極 17 A の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも低下する (暗領域となる)。また、t₂ では、CS ドライバ CD1・CD2 から CS 幹配線 Ma・Mc を介して送られる変調信号によって、保持容量配線 CS_a の電位が H (High) 側にシフトし、これに伴って、画素電極 17 a の電位は突き上がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも上昇する (明領域となる)。また、t₂ では、(保持容量配線 CS_a の電位が H 側にシフトするため)、画素電極 17 B の電位は突き上がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (-) よりも上昇する (暗領域となる)。

[0064] さらに、t₂ では、CS 幹配線 Mm から送られる変調信号によって、保持容量配線 CS_m の電位が L (Low) 側にシフトし、これに伴って、画素電極 17 C の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも低下する (暗領域となる)。また、t₂ では、CS ドライバ CD3・CD4 から CS 幹配線 Me・Mg を介して送られる変調信号によって、保持容量配線 CS_c の電位が H (High) 側にシフトし、これに伴って、画素電極 17 c の電位は突き上がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも上昇する (明領域となる)。

[0065] さらに、t₂ では、CS ドライバ CD1・CD2 から CS 幹配線 Mb・Md を介して送られる変調信号によって、保持容量配線 CS_b の電位が L 側にシフトし、これに伴って、画素電極 17 b の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (-) よりも低下する (明領域となる)。

[0066] そして、第1領域のボトムに位置する画素 P_x の走査が時刻 t_3 で終了すると、画素電極 $17X \cdot 17x$ にはマイナスのデータ信号電位が書き込まれる。さらに、 t_3 では、CS幹配線 M_m から送られる変調信号によって、保持容量配線 CS_m の電位がL (Low) 側にシフトするため、画素電極 $17x$ の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位(−)よりも低下する(明領域となる)。

[0067] なお、同時に選択される4本の走査信号線 $G_a \sim G_d$ について、走査信号線 G_a がパネルの上側長辺から数えて n ライン目で走査信号線 G_b が $n+1$ ライン目とすると(図8～図14では $n=0$ として説明している)、走査信号線 G_c は、この上側長辺から数えて $n+2160$ ライン目で走査信号線 G_b が $n+2161$ ライン目となっており、パネル上半分に設けられた走査信号線 G_a に第 N フレームの n ライン目のデータ信号が書き込まれるとすると、パネル下半分に設けられた走査信号線 G_c には、1つ前のフレームである第 $N-1$ フレームの $n+2160$ ライン目のデータ信号が書き込まれる。こうすることで、パネル上下での表示ずれ感が抑制される。

[0068] バックライトコントローラ BLC は、ピクセルマッピング回路 PMC から出力された映像信号 QBL を受けてバックライト制御信号をバックライトドライバ BD に出力し、バックライトドライバ BD によってバックライト BL が駆動される。なお、バックライト BL は、複数に分割され、それぞれが、映像信号 QBL に応じて個別に輝度調整される(アクティブバックライト)。

[0069] 電源コントローラは、3つの電源回路それぞれに接続される商用電源の供給電力レベルを監視しており、何らかの理由で1つまたは複数の商用電源に異常(供給電力レベルの低下)が生じた場合には、バックライト BL への電源ライン(例えば、 $R \cdot B \cdot G$ 用の3系統)と表示制御基板 $DC1 \sim DC4$ への電源ライン(例えば、1系統)とを1つまたは複数の正常な商用電源に繋ぎかえるとともに、バックライトコントローラ BLC に異常発生信号を出力する。この異常発生信号を受けたバックライトコントローラ BLC は、バ

ックライトＢＬの輝度の上限を下げるような制御信号をバックライトドライバＢＤに出力する。これにより、予期せぬ商用電源の異常に起因する表示制御基板ＤＣ１～ＤＣ４の破損等を回避することができる。

[0070] なお、液晶表示装置の省電力化等によって３つの電源回路が必要でなくなり、商用電源に接続される電源回路が１つのみ設けられる構成が可能となった場合には、電源コントローラは、この１つの商用電源の供給電力レベルを監視し、何らかの理由でこの商用電源に異常（供給電力レベルの低下）が生じた場合には、バックライトコントローラＢＬＣに異常発生信号を出力する（この異常発生信号を受けたバックライトコントローラＢＬＣは、バックライトＢＬの輝度の上限を下げるような制御信号をバックライトドライバＢＤに出力する）ようにすることも可能である。

[0071] 〔実施例２〕

図１・３・４では、準備信号ＲＤＹａ～ＲＤＹｄ、リセット信号ＳＲＳＴ、および同期信号ＳＹＳにＴＴＬレベル信号やＣＭＯＳレベル信号（シングルエンド信号）を用いているがこれに限定されない。例えば、準備信号ＲＤＹａ～ＲＤＹｄ、リセット信号ＳＲＳＴ、および同期信号ＳＹＳの少なくとも１つに、ＬＶＤＳ等の差動（系）信号を用いることもできる。例えば、図５のように、準備信号ＲＤＹａ～ＲＤＹｄ、リセット信号ＳＲＳＴ、および同期信号ＳＹＳすべてに差動信号（図中では、差動信号経路を太線としている）を用いてもよい。なお、タイミングコントローラＴＣ～ＴＣ８や映像処理回路ＥＰ１～ＥＰ８にはシングルエンド信号が入力されるため、表示制御基板ＤＣ１～ＤＣ４に、差動信号をシングルエンド信号に変換する変換回路ＬＣＣ設けている。

[0072] こうすれば、表示制御基板間が長くなったり、リセット用共有線ＳＳＬ２や同期用共有線ＳＳＬ１が長くなったりしてもノイズの影響を受けにくくすることができる。また、準備信号ＲＤＹａ～ＲＤＹｄ、リセット信号ＳＲＳＴ、および同期信号ＳＹＳの伝送線が重なっても、相互干渉を抑制することができる。

[0073] 〔実施例 3〕

液晶表示装置のバックライトを液晶パネルの駆動と同期させる必要がある場合（例えば、3D対応の場合やアクティブバックライトとする場合）には、図5の液晶表示装置にバックライト制御基板BCS1・BCS2を設け、図7のように構成することもできる。すなわち、バックライト制御基板BCS1に、同期回路SYC5、電源回路PC5、映像信号Qc1～Qc8が入力されるバックライト制御回路BC1、バックライトドライバBD1、およびバックライトB1を設け、バックライト制御基板BCS2に、同期回路SYC6、電源回路PC6、映像信号Qc9～Qc16が入力されるバックライト制御回路BC2、バックライトドライバBD2、およびバックライトB2を設ける。

[0074] 同期回路SYC1では、ローカル電源回路PC1からの電源電圧信号が閾値レベル以上になると、準備信号RDYaをアクティブ（準備完了信号）とし、同期コネクタcn1・cn2を介して同期回路SYC2に送信する。同期回路SYC2は、同期回路SYC1からの準備信号RDYaがアクティブであり、かつローカル電源回路PC2からの電源電圧信号が閾値レベル以上であれば、準備信号RDYbをアクティブ（準備完了信号）とし、同期コネクタcn2・cn4を介して同期回路SYC4に送信する。同期回路SYC4は、同期回路SYC2からの準備信号RDYbがアクティブであり、かつローカル電源回路PC4からの電源電圧信号が閾値レベル以上であれば、準備信号RDYcをアクティブ（準備完了信号）とし、同期コネクタcn4・cn3を介して同期回路SYC3に送信する。同期回路SYC3は、同期回路SYC4からの準備信号RDYcがアクティブであり、かつローカル電源回路PC3からの電源電圧信号が閾値レベル以上であれば、準備信号RDYdをアクティブ（準備完了信号）とし、同期コネクタcn3を介して同期回路SYC6に送信する。同期回路SYC6は、同期回路SYC3からの準備信号RDYdがアクティブであり、かつローカル電源回路PC6からの電源電圧信号が閾値レベル以上であれば、準備信号RDYeをアクティブ（準備

完了信号)とし、同期回路SYC5に送信する。同期回路SYC5は、同期回路SYC6からの準備信号RDY_eがアクティブであり、かつローカル電源回路PC5からの電源電圧信号が閾値レベル以上であれば、準備信号RDY_fをアクティブ(準備完了信号)とし、同期コネクタを介して同期回路SYC1に送信する。

[0075] 同期回路SYC1は、同期回路SYC5からの準備信号RDY_fがアクティブになると、リセット信号RSTを非アクティブ(リセット解除信号)にし、同期コネクタcn1を介してリセット用共有線SSL2に送信するとともに、タイミングコントローラTC2に送信する。リセット解除信号は、リセット用共有線SSL2および同期コネクタcn2～cn4を介して同期回路SYC2～SYC6に一斉送信される。

[0076] リセット解除信号を受けた同期回路SYC2は、タイミングコントローラTC3・TC4へのリセット解除信号RST_bをアクティブにし、これによってタイミングコントローラTC3・TC4の動作準備が完了する。また、リセット解除信号を受けた同期回路SYC4は、タイミングコントローラTC7・TC8へのリセット解除信号RST_cをアクティブにし、これによってタイミングコントローラTC7・TC8の動作準備が完了する。また、リセット解除信号を受けた同期回路SYC3は、タイミングコントローラTC5・TC6へのリセット解除信号RST_dをアクティブにし、これによってタイミングコントローラTC5・TC6の動作準備が完了する。また、リセット解除信号を受けた同期回路SYC6は、バックライト制御回路BC2へのリセット解除信号RST_eをアクティブにし、これによってバックライト制御回路BC2の動作準備が完了する。また、リセット解除信号を受けた同期回路SYC5は、バックライト制御回路BC1へのリセット解除信号RST_fをアクティブにし、これによってバックライト制御回路BC1の動作準備が完了する。

[0077] 本発明は説明の便宜上、表示制御基板を4つとしているが、表示制御基板は5つ以上も適応できる。

- [0078] 以上のように、本液晶表示装置は、1つの液晶パネルと、上記液晶パネルの制御を行う第1～第n制御基板（nは2以上の整数）を備え、第1制御基板は、動作可能状態になると次段である第2制御基板に準備完了信号を送信し、第n制御基板は、前段の制御基板からの準備完了信号を受けて自身が動作可能状態にあると判断すると上記第1制御基板に準備完了信号を送信する。
- [0079] 上記液晶表示装置によれば、第1制御基板（マスター）は、他の制御基板（スレーブ）が準備完了になっていることを認識することができ、1つの液晶表示装置内に設けられた複数の制御基板間の同期不良を抑制することができる。
- [0080] 本液晶表示装置では、上記液晶パネルに、第1～第n制御基板それぞれによって表示制御される第1～第n領域が含まれている構成とすることもできる。
- [0081] 本液晶表示装置では、第1～第n制御基板それぞれにタイミングコントローラが設けられ、各タイミングコントローラが同期信号に基づいて同期して動作する構成とすることもできる。
- [0082] 本液晶表示装置では、上記第1制御基板は、第n制御基板からの準備完了信号を受けて他の制御基板全てにリセット解除信号を送信する構成とすることもできる。
- [0083] 本液晶表示装置では、第1制御基板は、リセット解除信号を送信した後に他の制御基板全てに上記同期信号を送信する構成とすることもできる。
- [0084] 本液晶表示装置では、第1～第n制御基板それぞれに電源回路が設けられている構成とすることもできる。
- [0085] 本液晶表示装置では、上記準備完了信号は差動信号である構成とすることもできる。
- [0086] 本液晶表示装置では、上記同期信号は差動信号である構成とすることもできる。
- [0087] 本液晶表示装置では、上記リセット解除信号は差動信号である構成とする

こともできる。

[0088] 本液晶表示装置では、第1制御基板以外の制御基板に、前段の制御基板からの準備完了信号と電源回路の供給電圧とに基づいて自段の準備完了信号を生成する同期回路が設けられている構成とすることもできる。

[0089] 本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

産業上の利用可能性

[0090] 本発明は、液晶テレビや液晶ディスプレイに適用できる。

符号の説明

[0091] LCD 液晶表示装置
LCP 液晶パネル
TC1～TC8 タイミングコントローラ
DC1～DC4 表示制御基板
SYC1～SYC4 同期回路
PC1～PC4 ローカル電源回路
CN1～CN4 映像コネクタ
cn1～cn4 同期コネクタ
RDYa～RDYf 準備信号
SRST リセット信号
SYS 同期信号
RSTa～RSTf リセット解除信号
SSL 基板間共有線
SSL1 同期用共有線
SSL2 リセット用共有線
Pa～Pd 画素
Ga～Gd 走査信号線
17a・17A 画素電極

17b・17B 画素電極

12a・12A トランジスタ

12b・12B トランジスタ

Sa～Sd データ信号線

SA～SD データ信号線

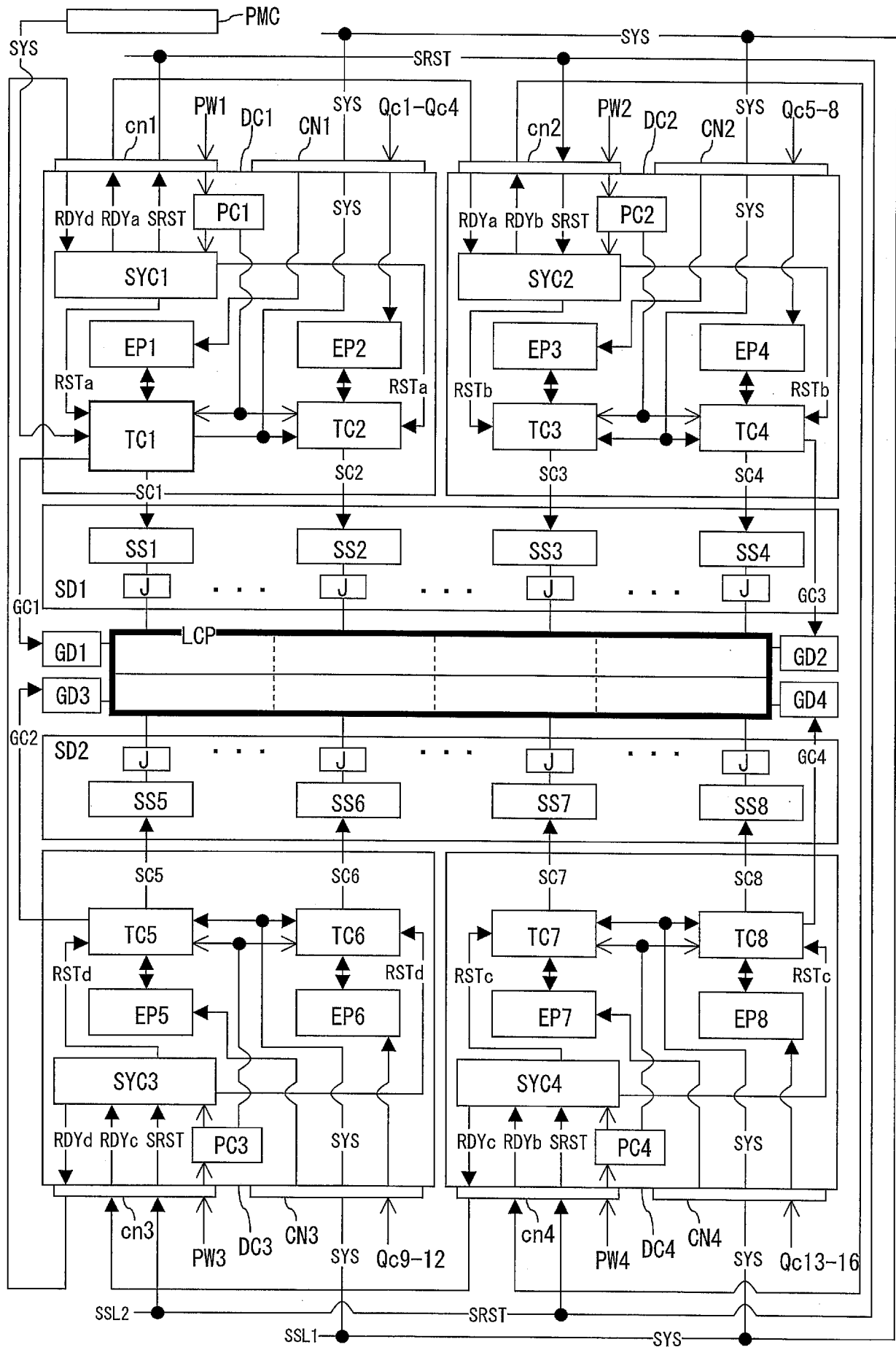
AR1～AR4 (ローカルエリア1・2) 第1領域

AR5～AR8 (ローカルエリア3・4) 第2領域

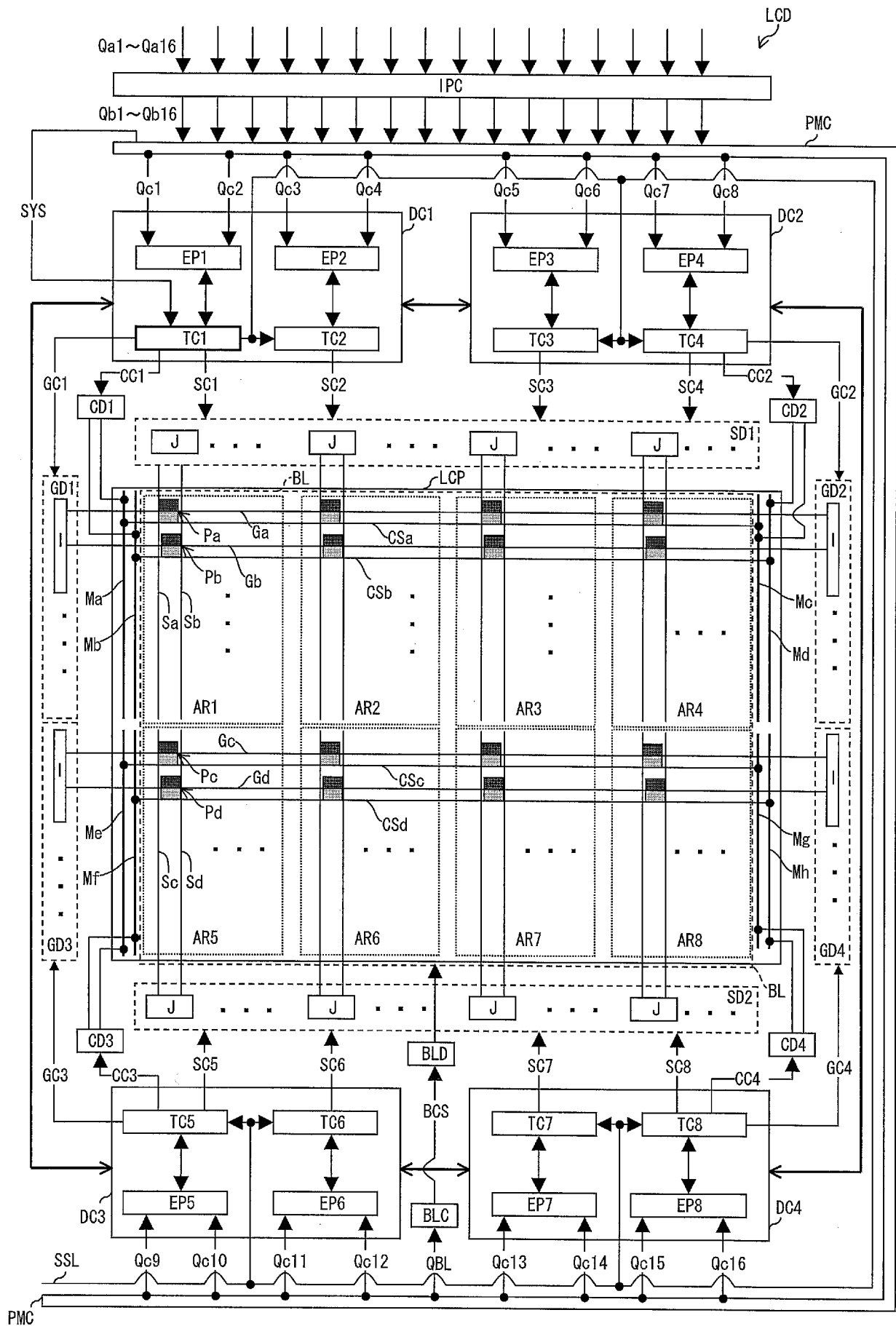
請求の範囲

- [請求項1] 1つの液晶パネルと、上記液晶パネルの制御を行う第1～第n制御基板（nは2以上の整数）とを備え、
- 第1制御基板は、動作可能状態になると次段である第2制御基板に準備完了信号を送信し、
- 第n制御基板は、前段の制御基板からの準備完了信号を受けて自身が動作可能状態にあると判断すると上記第1制御基板に準備完了信号を送信する液晶表示装置。
- [請求項2] 上記液晶パネルに、第1～第n制御基板それぞれによって表示制御される第1～第n領域が含まれている請求項1記載の液晶表示装置。
- [請求項3] 第1～第n制御基板それぞれにタイミングコントローラが設けられ、各タイミングコントローラが同期信号に基づいて同期して動作する請求項1記載の液晶表示装置。
- [請求項4] 上記第1制御基板は、第n制御基板からの準備完了信号を受けて他の制御基板全てにリセット解除信号を送信する請求項3記載の液晶表示装置。
- [請求項5] 第1制御基板は、リセット解除信号を送信した後に他の制御基板全てに上記同期信号を送信する請求項4記載の液晶表示装置。
- [請求項6] 第1～第n制御基板それぞれに電源回路が設けられる請求項1記載の液晶表示装置。
- [請求項7] 上記準備完了信号は差動信号である請求項1記載の液晶表示装置。
- [請求項8] 上記同期信号は差動信号である請求項3記載の液晶表示装置。
- [請求項9] 上記リセット解除信号は差動信号である請求項4記載の液晶表示装置。
- [請求項10] 第1制御基板以外の制御基板に、前段の制御基板からの準備完了信号と電源回路の供給電圧とに基づいて自段の準備完了信号を生成する同期回路が設けられている請求項6記載の液晶表示装置。

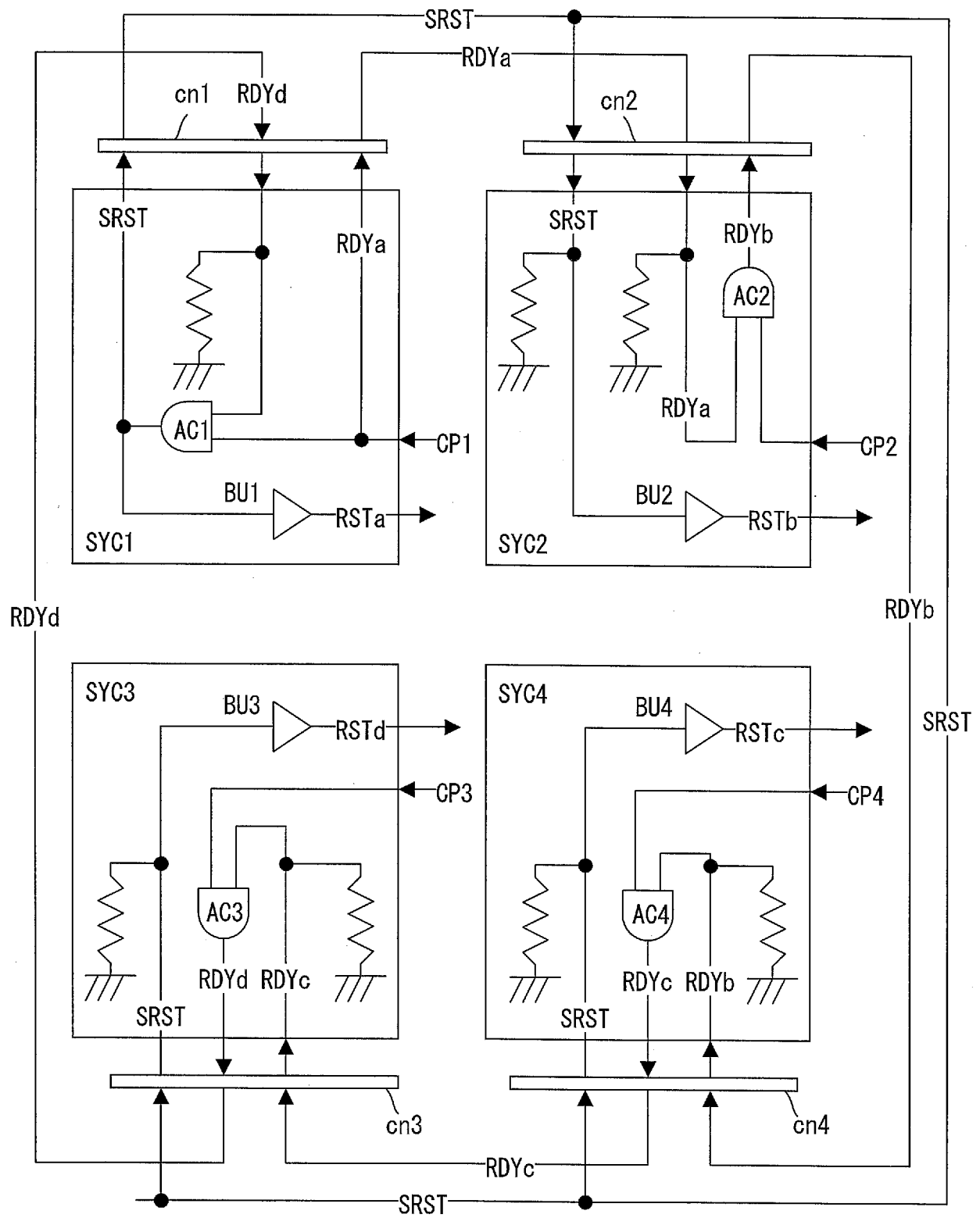
[図1]



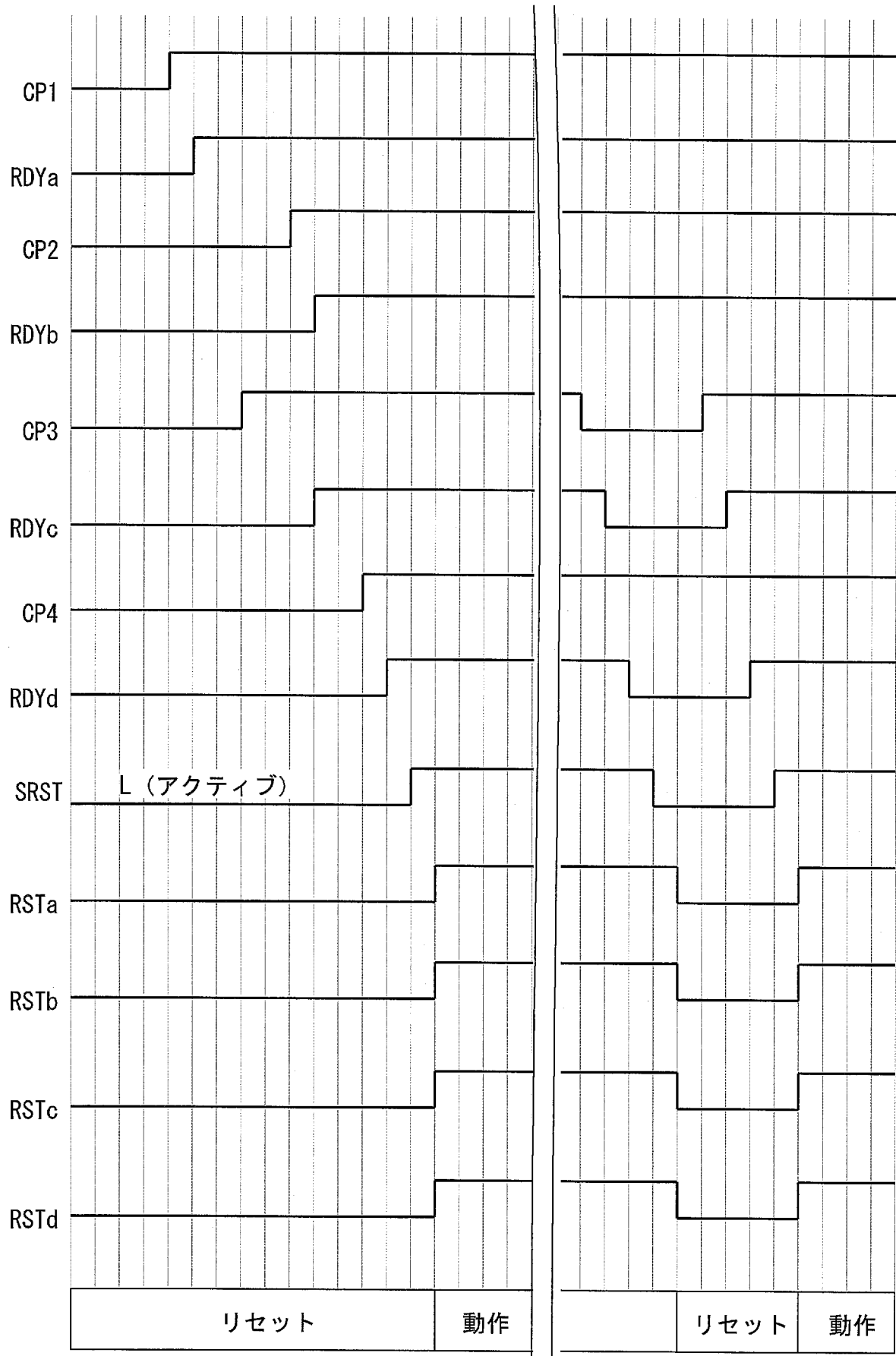
[図2]



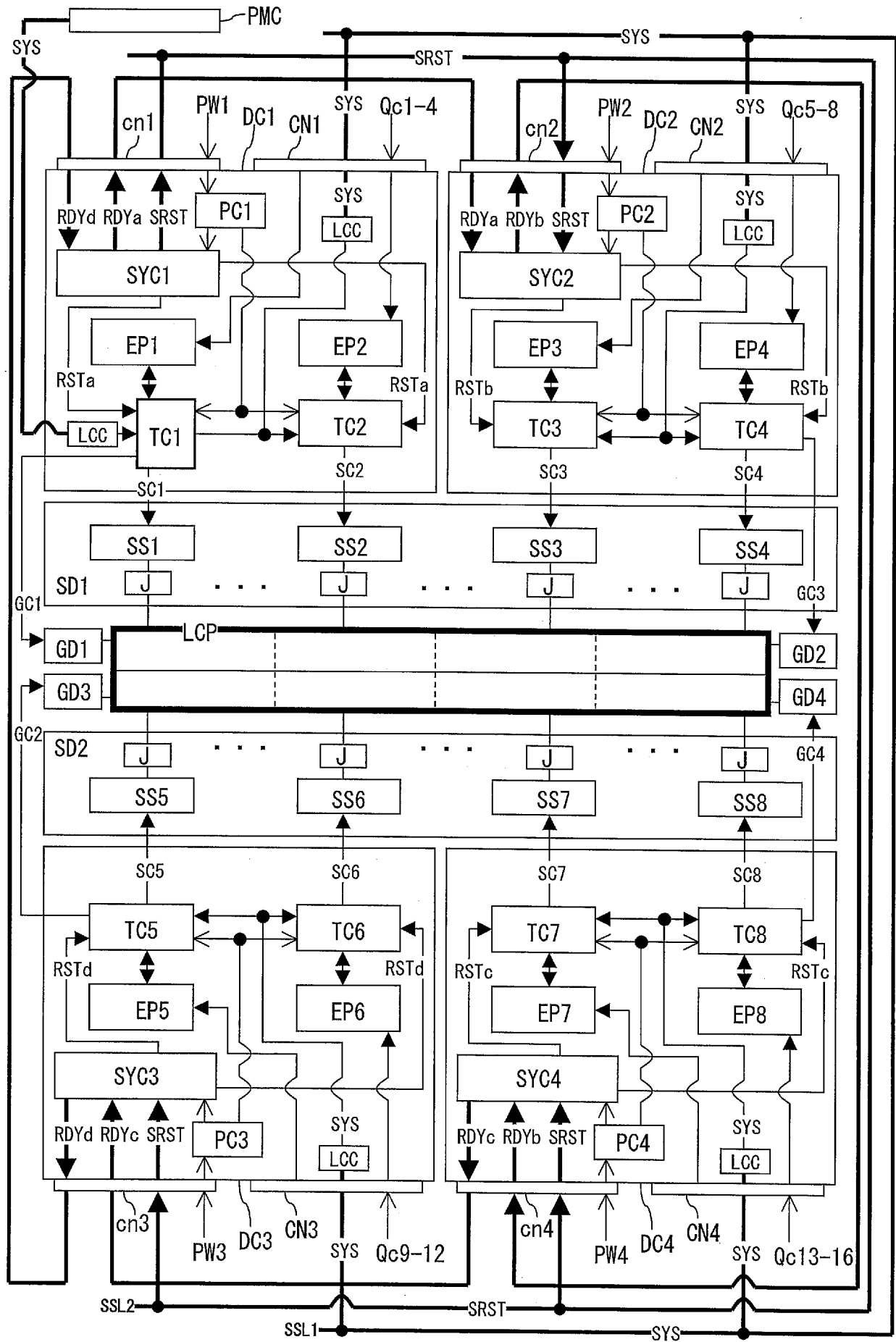
[図3]



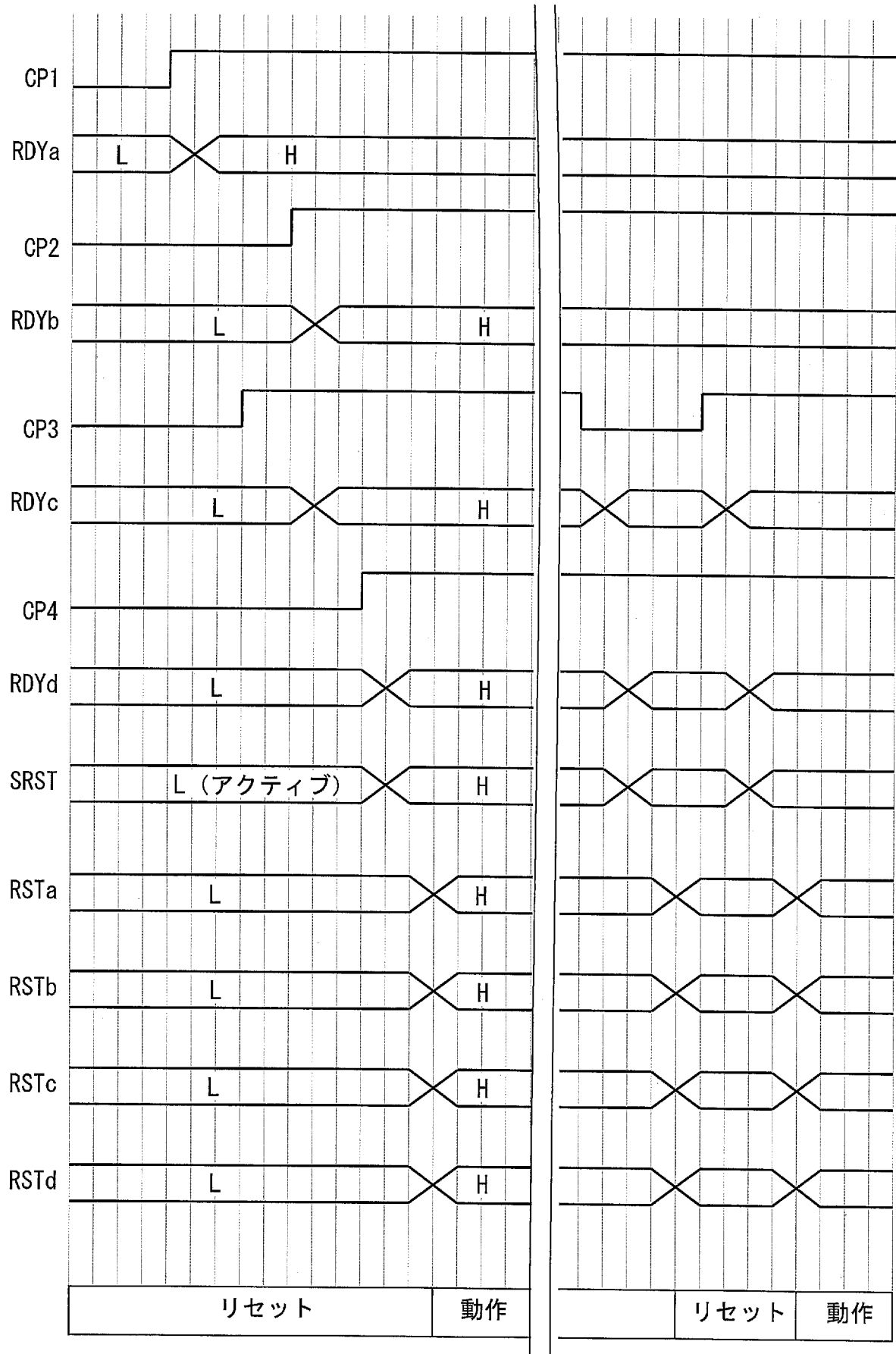
[図4]



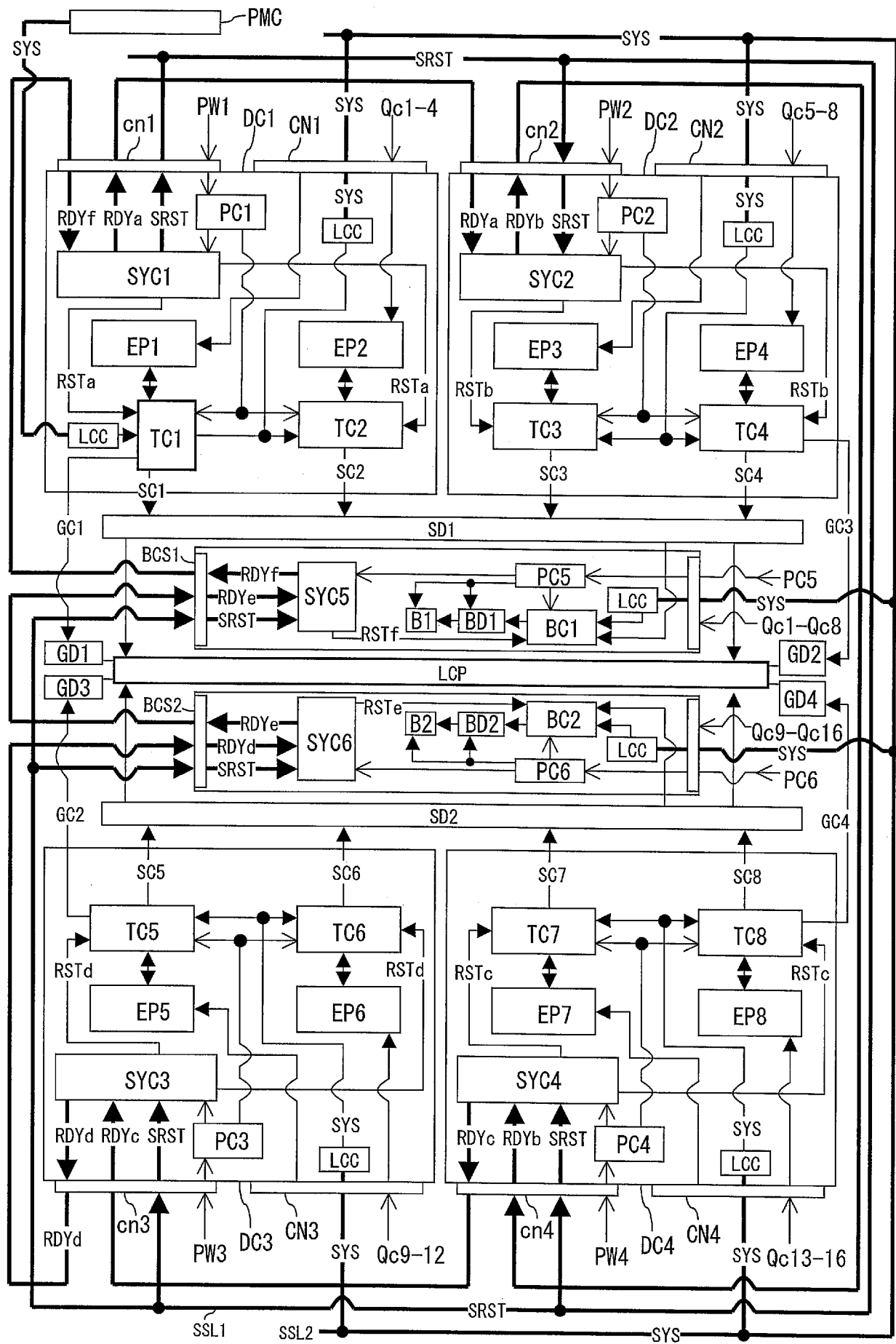
[図5]



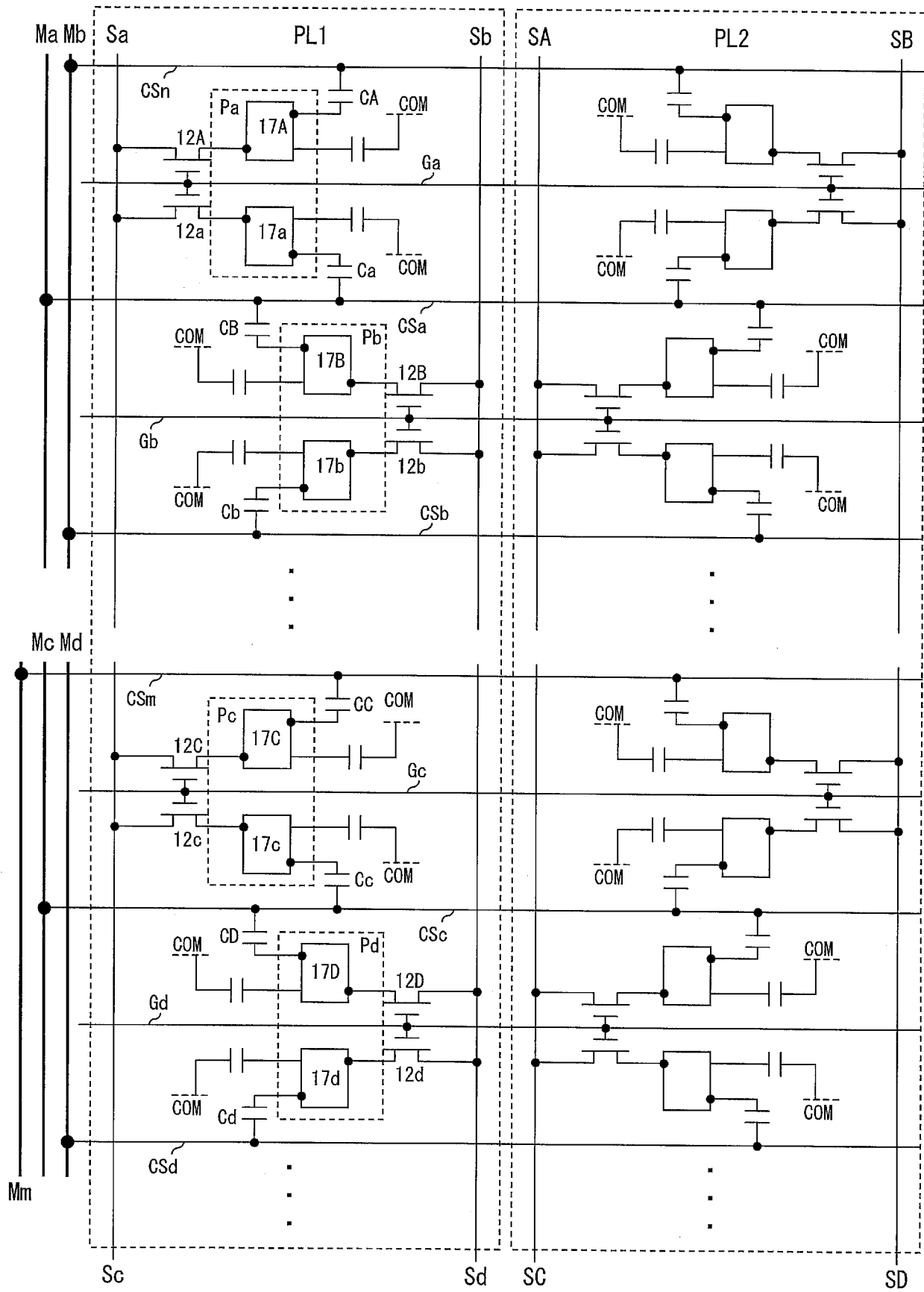
[図6]



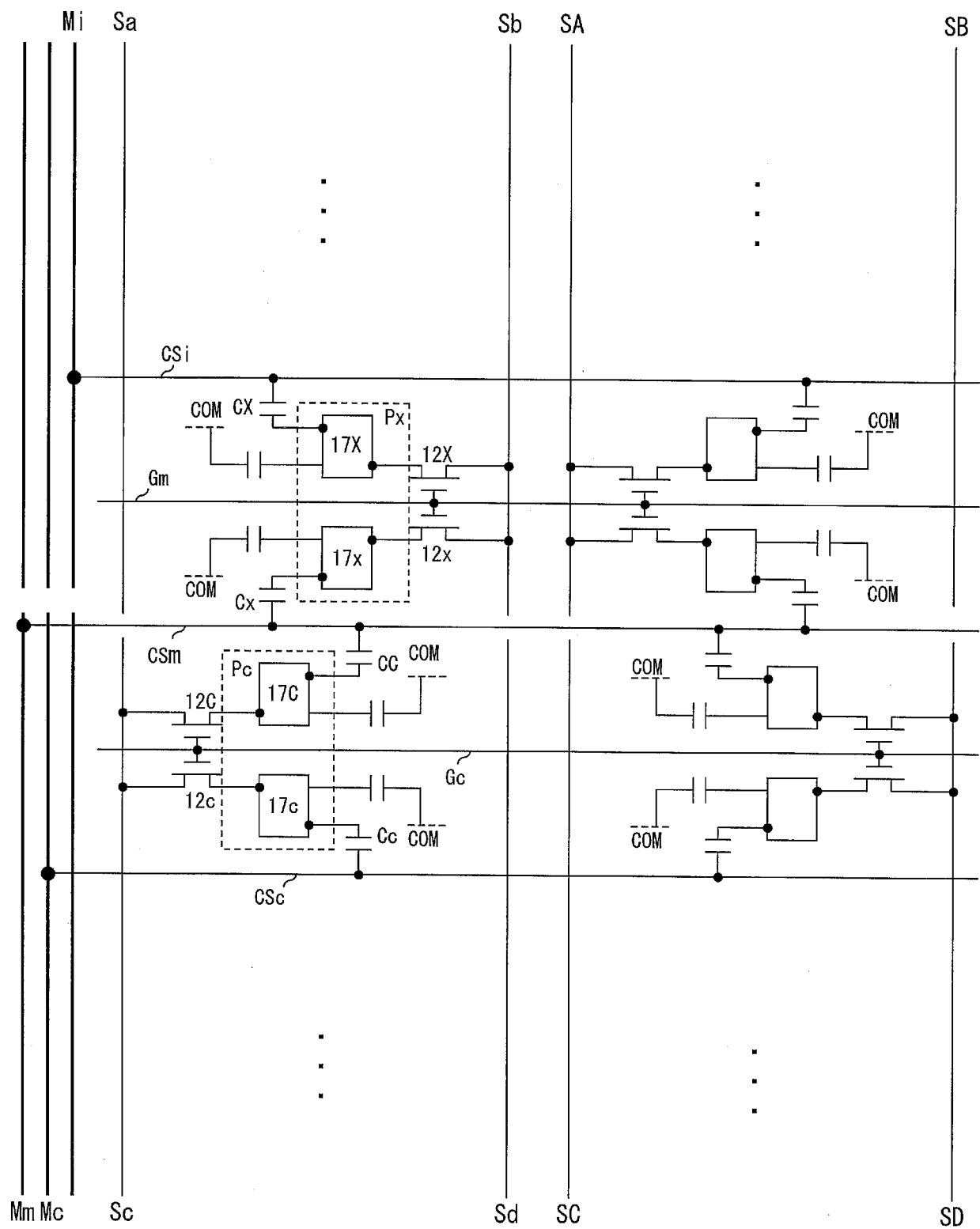
[図7]



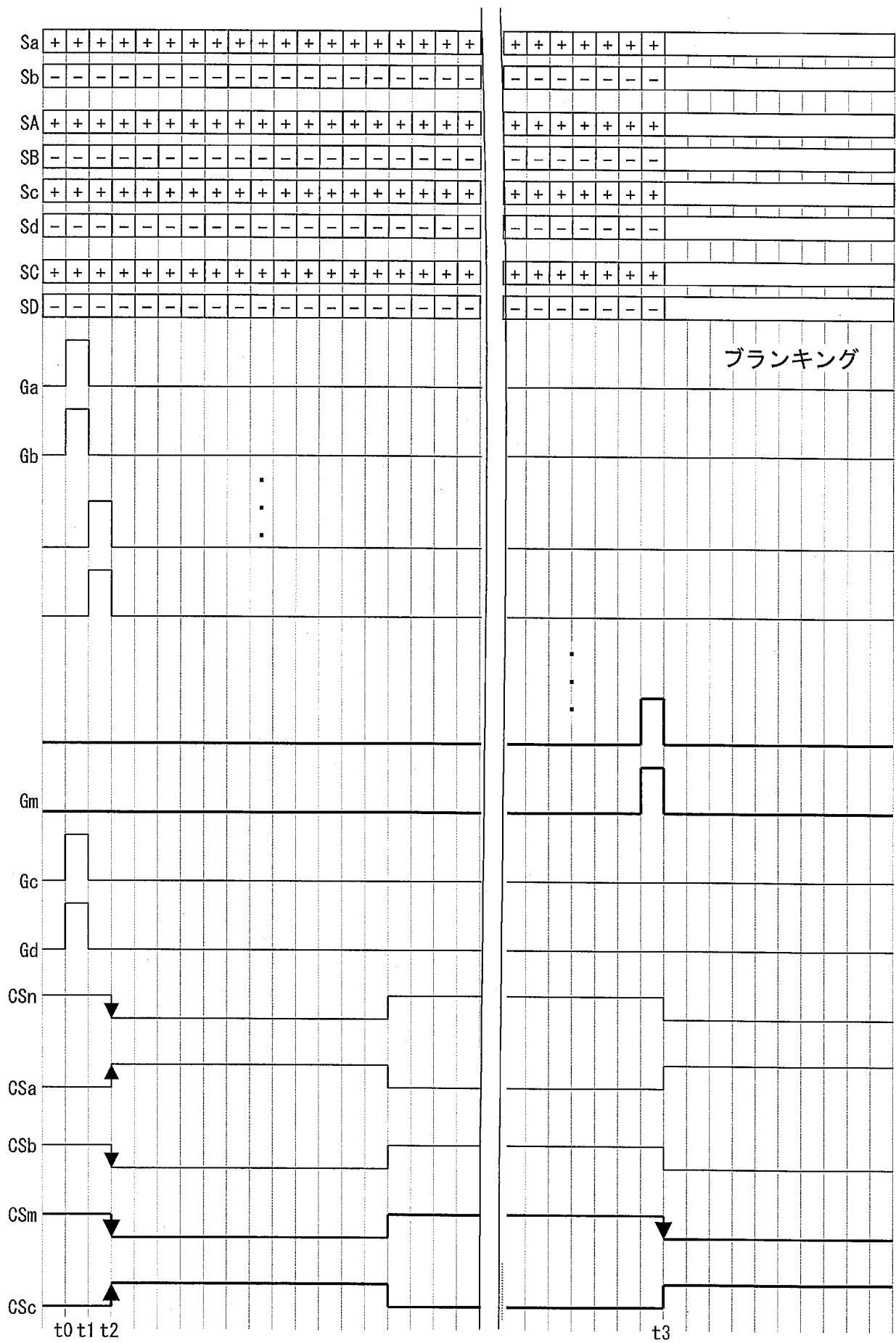
[図8]



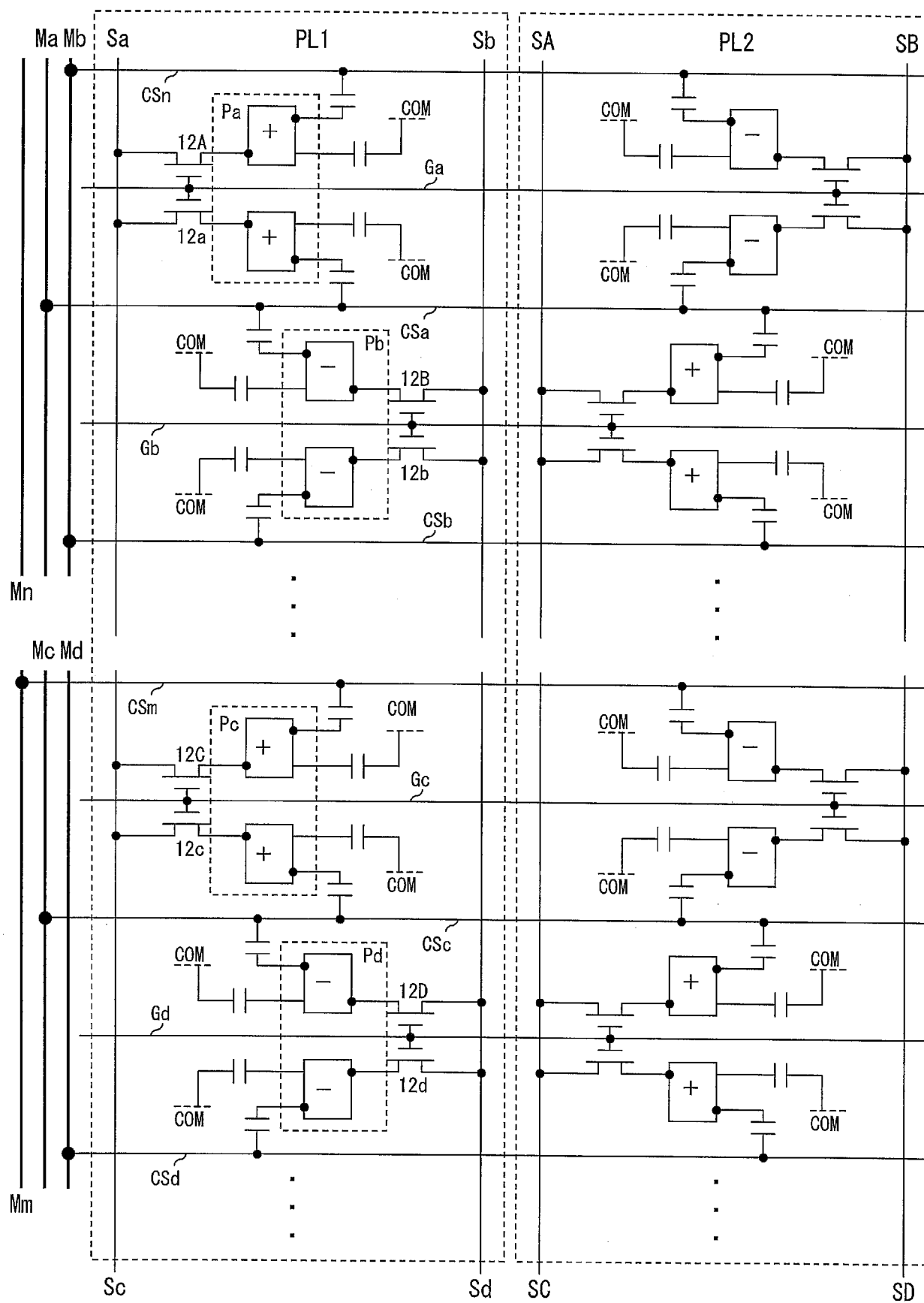
[図9]



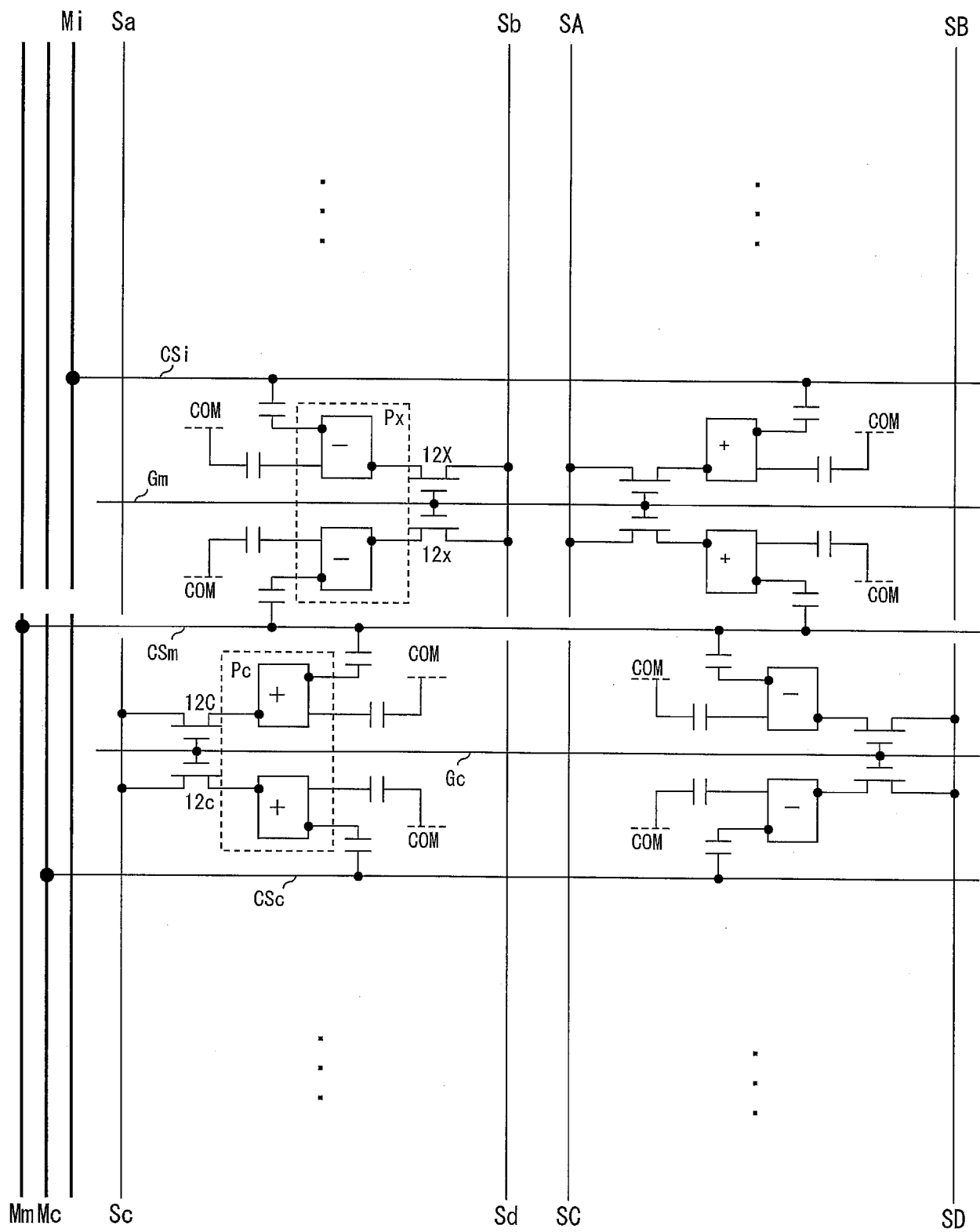
[図10]



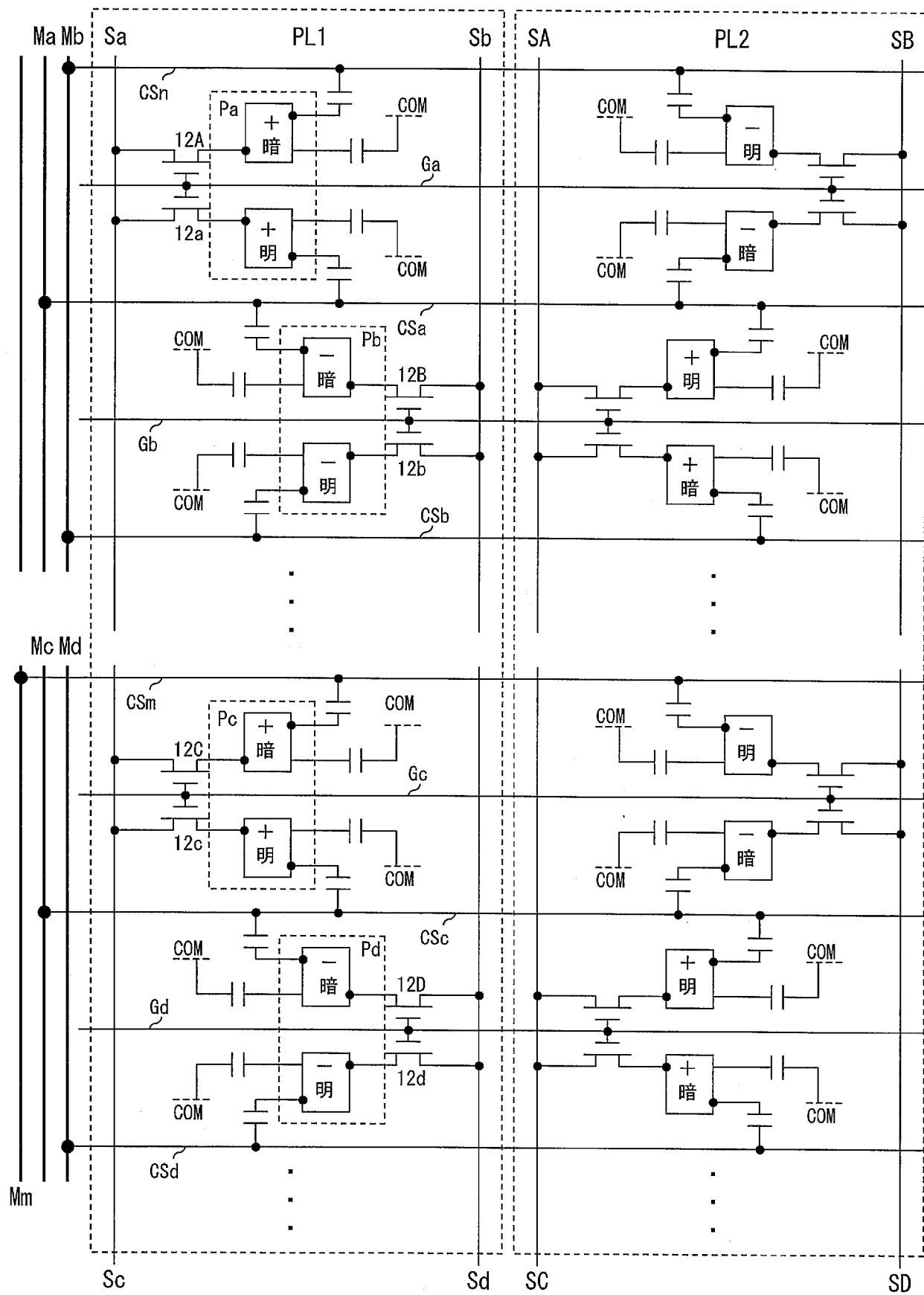
[図11]



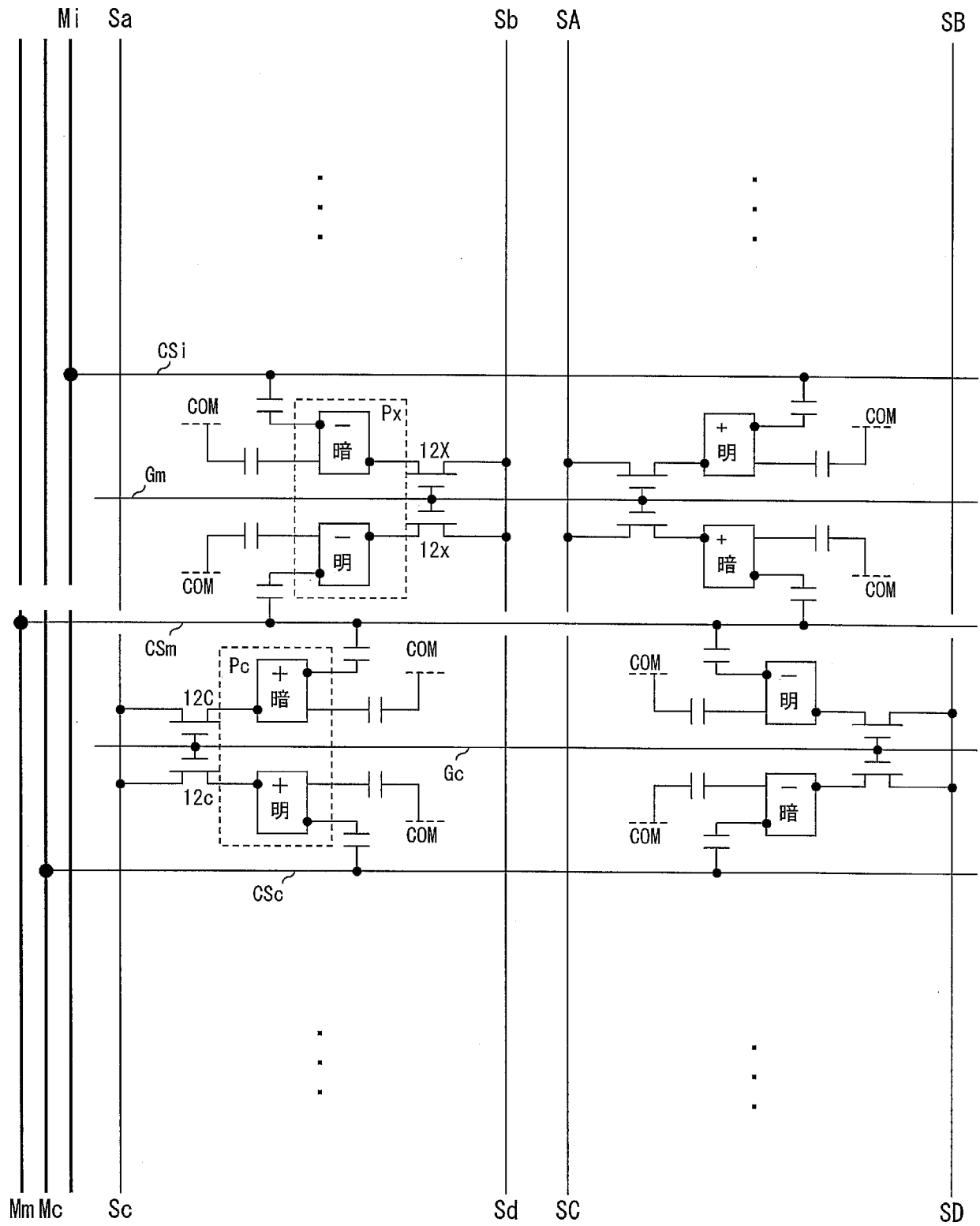
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062707

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, H04N5/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20, H04N5/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-15451 A (NEC IC Microcomputer Systems, Ltd.), 22 January 1999 (22.01.1999), entire text; all drawings (Family: none)	1-9
Y	WO 2002/030079 A1 (Matsushita Electric Industrial Co., Ltd.), 11 April 2002 (11.04.2002), page 3, line 12 to page 5, line 5; fig. 11 & US 2004/0088436 A1 & EP 1330086 A1	1-9
Y	JP 2009-186502 A (Sharp Corp.), 20 August 2009 (20.08.2009), paragraphs [0002] to [0003] (Family: none)	7-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
31 May, 2012 (31.05.12)

Date of mailing of the international search report
12 June, 2012 (12.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062707

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-276144 A (Iiyama Corp.), 12 October 2006 (12.10.2006), paragraphs [0035] to [0036]; fig. 6 (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, H04N5/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20, H04N5/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-15451 A（日本電気アイシーマイコンシステム株式会社） 1999.01.22, 全文全図（ファミリーなし）	1-9
Y	WO 2002/030079 A1（松下電器産業株式会社）2002.04.11, 第3頁第 1 2 行－第5頁第5行, 第1 1 図 & US 2004/0088436 A1 & EP 1330086 A1	1-9
Y	JP 2009-186502 A（シャープ株式会社）2009.08.20, 段落【0 0 0 2】－【0 0 0 3】（ファミリーなし）	7-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 1 . 0 5 . 2 0 1 2

国際調査報告の発送日

1 2 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

森口 忠紀

2 G

4 4 0 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-276144 A (株式会社イーヤマ) 2006.10.12, 段落【0035】－【0036】, 図6 (ファミリーなし)	1-10