

(12) 发明专利

(10) 授权公告号 CN 102160158 B

(45) 授权公告日 2013. 05. 22

(21) 申请号 200980136187. 5

(22) 申请日 2009. 08. 21

(30) 优先权数据

12/210, 305 2008. 09. 15 US

(85) PCT申请进入国家阶段日

2011. 03. 15

(86) PCT申请的申请数据

PCT/US2009/054646 2009. 08. 21

(87) PCT申请的公布数据

W02010/030493 EN 2010. 03. 18

(73) 专利权人 美光科技公司

地址 美国爱达荷州

(72) 发明人 沃纳·云林

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 宋献涛

(51) Int. Cl.

H01L 21/336 (2006. 01)

H01L 29/78 (2006. 01)

(56) 对比文件

US 2007/0262377 A1, 2007. 11. 15, 说明书第 [0045] 段, 附图 1A.

US 2007/0296014 A1, 2007. 12. 27, 说明书第 [0037] 段, 附图 1 和 2.

US 5977579 A, 1999. 11. 02, 全文.

US 2003/0111686 A1, 2003. 06. 19, 全文.

US 2007/0262377 A1, 2007. 11. 15, 说明书第 [0045] 段, 附图 1A.

审查员 祁恒

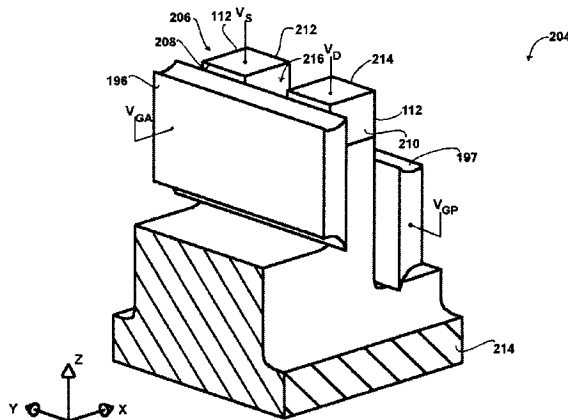
权利要求书2页 说明书10页 附图45页

(54) 发明名称

具有无源栅极的晶体管及其制造方法

(57) 摘要

本发明揭示一种具有晶体管 (204、244、286) 的装置, 所述晶体管包括源极、漏极、在所述源极与所述漏极之间延伸的沟道区、接近所述沟道区安置的栅极 (196、238、284) 及在所述沟道区对面与所述栅极 (196、238、284) 相对地安置的导电部件 (197、240、264)。所述导电部件 (197、240、264) 可不重叠所述源极、所述漏极或所述源极与所述漏极两者。



1. 一种具有晶体管的装置,其包含:  
所述晶体管,其包含:  
源极;  
漏极;  
沟道区,其在所述源极与所述漏极之间及下面延伸,其中所述源极和所述漏极垂直地安置在所述沟道上面;  
栅极,其安置在所述晶体管的第一大体垂直侧壁上、接近所述沟道区;及  
导电部件,其安置在所述晶体管的第二大体垂直侧壁上、在所述沟道区对面与所述栅极相对,其中所述导电部件不重叠所述源极、所述漏极或所述源极与所述漏极两者,其中所述导电部件的顶部在所述源极及所述漏极下面。
2. 根据权利要求1所述的装置,其中所述导电部件不重叠所述源极或所述漏极。
3. 根据权利要求1所述的装置,其中所述导电部件通过电介质与所述沟道隔离。
4. 根据权利要求1所述的装置,其中所述晶体管包含:  
从衬底大体垂直升起的第一支腿;及  
从所述衬底大体垂直升起的第二支腿。
5. 根据权利要求4所述的装置,其中所述源极接近所述第一支腿的远端部分安置且所述漏极接近所述第二支腿的远端部分安置。
6. 根据权利要求1所述的装置,其中所述导电部件及所述栅极由晶体管行共享。
7. 根据权利要求6所述的装置,其中所述导电部件耦合到由其它晶体管行共享的其它导电部件。
8. 根据权利要求6所述的装置,其中所述栅极不耦合到由其它晶体管行共享的栅极。
9. 一种用于制造晶体管的方法,其包含:  
在半导体材料中形成上部经掺杂区;  
由所述半导体材料形成部件,其中所述部件从衬底大体垂直升起;  
接近所述部件形成有源栅极;及  
接近所述部件形成无源栅极,其中所述无源栅极安置在所述上部经掺杂区下面,且其中所述有源栅极沿所述部件的第一侧大体垂直延伸,所述无源栅极沿所述部件的第二侧大体垂直延伸。
10. 根据权利要求9所述的方法,其中形成所述部件包含形成鳍。
11. 根据权利要求10所述的方法,其中形成所述鳍包含形成一对支腿。
12. 根据权利要求9所述的方法,其中由在此相同步骤或若干相同步骤期间沉积的相同材料或若干相同材料形成所述有源栅极及所述无源栅极。
13. 根据权利要求9所述的方法,其中形成所述部件包含:  
在所述部件的一侧上形成第一沟槽;  
在所述第一沟槽上方形成第一掩模;及  
在所述部件的相对侧上形成第二沟槽,其中所述第二沟槽比所述第一沟槽深。
14. 根据权利要求13所述的方法,其中形成所述无源栅极包含:  
在所述有源栅极及所述第一沟槽上方形成第二掩模;及  
使所述无源栅极凹入到所述上部经掺杂区下面。

15. 根据权利要求 14 所述的方法,其中在使所述无源栅极凹入时接近所述第二沟槽的底部安置所述第二掩模的一部分。

16. 根据权利要求 9 所述的方法,其中形成所述无源栅极包含:  
形成覆盖所述有源栅极的掩模;及  
蚀刻所述无源栅极。

17. 根据权利要求 9 所述的方法,其中在所述部件的所述第二侧之前形成所述部件的所述第一侧。

18. 根据权利要求 17 所述的方法,其中在形成所述部件的所述第二侧之前沿所述部件的所述第一侧形成所述无源栅极。

19. 根据权利要求 17 所述的方法,其中在所述有源栅极之前形成所述无源栅极。

20. 一种具有晶体管阵列的装置,其包含:  
晶体管阵列,所述阵列包含:  
多个晶体管行,每一行包含:  
多个鳍,其具有经掺杂远端部分;  
第一栅极,其沿所述多个鳍的第一侧大体垂直延伸;及  
第二栅极,其沿所述多个鳍的第二侧大体垂直延伸,其中所述第二栅极不重叠所述经掺杂远端部分。

21. 根据权利要求 20 所述的装置,其中所述多个鳍中的每一鳍包含两个支腿。

22. 根据权利要求 20 所述的装置,其中所述第一栅极不重叠所述经掺杂远端部分。

23. 根据权利要求 20 所述的装置,其中所述多个晶体管行中的所述晶体管行与邻近晶体管行反射对称。

24. 根据权利要求 20 所述的装置,其中所述多个晶体管行中的所述晶体管行与邻近晶体管行旋转对称。

25. 根据权利要求 20 所述的装置,其中所述第二栅极在所述多个晶体管行之中的邻近晶体管行之间延伸。

## 具有无源栅极的晶体管及其制造方法

### 技术领域

[0001] 本发明的实施例一般来说涉及电子装置,且更具体来说在某些实施例中涉及非对称鳍状晶体管。

### 背景技术

[0002] 在许多类型的电子装置中,晶体管用于选择性地传导电流。晶体管通常包括源极、漏极及栅极。栅极控制在源极与漏极之间流动的电流。晶体管的特征通常在于阈值栅极电压,低于所述阈值栅极电压,晶体管被视为处于关断状态中,而高于所述阈值栅极电压,晶体管被视为处于接通状态中。因此,为在晶体管关断时阻止电流的流动,晶体管的栅极电压保持低于阈值电压。然而,一些晶体管以相反方式起作用 - 在次阈值栅极电压下传导电流且在较高栅极电压下阻碍电流。

[0003] 当晶体管处于关断状态中时,仍可泄漏一些电流。晶体管内的电场可形成导电路径,电流经由所述导电路径逸出。通常,当晶体管关断时,栅极电压不同于漏极电压。此电压差可形成相对强的电场,因为栅极的一部分经常接近漏极的一部分安置。所得电场可致使电荷载子在栅极与晶体管形成于其上的衬底之间流动,此即称作“栅极诱导的漏极泄漏”(GIDL) 的现象。

### 附图说明

[0004] 图 1 到 25 图解说明根据本发明实施例的用于形成晶体管阵列的工艺的第一实例;

[0005] 图 26 到 33 图解说明根据本发明实施例的用于形成晶体管阵列的工艺的第二实例;及

[0006] 图 34 到 45 图解说明根据本发明实施例的用于形成晶体管阵列的工艺的第三实例。

### 具体实施方式

[0007] 图 1 图解说明用于形成晶体管阵列的工艺的实施例中的第一步骤。所述工艺可以获得衬底 110 开始。衬底 110 可包括半导体材料,例如单晶硅或多晶硅、砷化镓、磷化铟或具有半导体性质的其它材料。或者或另外,衬底 110 可包括电子装置可构造于其上的非半导体主体,例如,例如塑料或陶瓷工作表面的主体。术语“衬底”涵盖各种制造阶段中的这些结构,包含未经处理的整个晶片、经部分处理的整个晶片、经完全处理的整个晶片、经切割晶片的一部分或经封装电子装置中的经切割晶片的一部分。

[0008] 衬底 110 可包括上部经掺杂区 112 及下部经掺杂区 114。上部经掺杂区 112 的深度在衬底 110 的实质区域上可大体均匀,且可不同于下部经掺杂区 114 地对上部经掺杂区 112 进行掺杂。举例来说,上部经掺杂区 112 可包含 n+ 材料且下部经掺杂区 114 可包含 p- 材料,或反之亦然。

[0009] 接下来,可在衬底 110 上形成数个膜,如图 2 所图解说明。可在上部经掺杂区 112

上形成垫氧化物 116。垫氧化物 116 可具有小于约**300 Å**的厚度,例如,小于或等于约**80 Å**可适用。可借助各种技术形成垫氧化物 116。举例来说,可通过将衬底 110 暴露于氧气来生长垫氧化物 116(例如,在扩散炉中),或可借助原子层沉积(ALD)、化学气相沉积(CVD)或其它工艺来沉积垫氧化物 116。可借助(举例来说)CVD 在垫氧化物 116 上形成终止主体(例如,一层)118。终止主体 118 可包括氮化物(例如氮化硅),且其可具有小于约**300 Å**的厚度,例如,约**95 Å**可适用,但像本文中所描述的其它结构一样,终止主体 118 并不限于这些尺寸或材料。可在终止主体 118 上形成牺牲主体 120。牺牲主体 120 可由多晶硅制成且其可具有在约**500 Å**与约**2000 Å**之间的厚度,例如,约**1000 Å**可适用。可借助 CVD 或其它适当工艺形成牺牲主体 120。可在牺牲主体 120 上形成下部遮蔽主体 122。下部遮蔽主体 122 可由氧化物制成且其可具有在约**500 Å**与约**2000 Å**之间的厚度,例如,约**1000 Å**可适用。可借助 CVD、旋涂电介质工艺或其它工艺形成下部遮蔽主体 122。最终,可在下部遮蔽主体 122 上形成上部遮蔽主体 124。上部遮蔽主体 124 可由借助 CVD 或其它工艺形成的碳或其它材料制成,且其可具有在约**1000 Å**与约**3000 Å**之间的厚度,例如,约**2000 Å**可适用。

[0010] 接下来,可形成列掩模 126,如图 3 所图解说明。(术语“列”并非是指衬底 110 上除不同于随后引入的行延伸的方向以外的任一特定水平方向。)列掩模 126 可包含线图案,其界定具有宽度 128 的已遮蔽区及具有宽度 130 的已暴露区。宽度 128 及 130 可彼此大体相等且各自大体等于被称作“F”的光刻分辨率限度(例如,光学光刻分辨率限度或最小特征大小)。列掩模 126 可具有大体等于 2F 的间距 132(例如,图案越过其重复的距离)。由列掩模 126 形成的线可大体笔直、彼此大体平行且可大体沿 Y 方向延伸。这些线在 Y 方向上可大体连续且大体均匀。在其它实施例中,由列掩模 126 形成的线可具有其它形状,例如,其可波动(例如,上下、左右或两者均有),其可在 Y 方向上宽度不同,或其可由多个较短区段形成。

[0011] 在形成列掩模 126 之后,可形成列硬掩模 134,如图 4 所图解说明。可通过大体各向异性地蚀刻(例如,借助定向等离子蚀刻)上部遮蔽主体 124 的安置于未被列掩模 126 覆盖的区下方的部分及下部遮蔽主体 122 的安置于未被列掩模 126 覆盖的区下方的部分而形成列硬掩模 134。在一些实施例中,所述蚀刻可终止于牺牲主体 120 上或牺牲主体 120 中。

[0012] 接下来,可移除列掩模 126,并可在列硬掩模 134 的侧壁上形成列间隔件 136,如图 5 所图解说明。列间隔件 136 可通过以下步骤形成:沉积大体保形膜(例如,在垂直结构与水平结构两者上均具有大体均匀厚度的膜),且然后各向异性地蚀刻所述膜以将其从水平表面移除,从而将抵靠大体垂直表面安置的材料留在衬底 110 上。列间隔件 136 可由氧化物制成,且其可具有小于 100nm(例如,小于或等于约 36nm)的宽度 138。列间隔件 136 可使由列硬掩模 134 暴露的区变窄为小于或等于约 F 的宽度 140,例如,等于或小于约 3/4F、1/2F 或 1/4F。

[0013] 接下来,如图 6 所图解说明,可形成列隔离沟槽 142。可通过各向异性地蚀刻列间隔件 136 之间的已暴露区形成列隔离沟槽 142。列隔离沟槽 142 可具有对应于(例如,大体等于或与其成比例)宽度 140 的宽度 141。列隔离沟槽 142 可大体沿 Y 方向延伸且可彼此大体平行且大体笔直。列隔离沟槽 142 的横截面形状在 Y 方向上可大体均匀。在一些实施例中,列隔离沟槽 142 可具有在约**500 Å**与约**5000 Å**之间(例如,约**2500 Å**)的深度 144。

[0014] 在形成列隔离沟槽 142 之后,可用电介质 146 部分地或完全地填充列隔离沟槽

142,如图7所图解说明。电介质146可由各种材料(例如氧化物)制成,且可用各种衬里膜(未显示)给电介质146加衬里,例如氧化物衬里及氮化物衬里。可包含所述衬里以增强特性或防止电介质146与下伏材料在下游处理期间的不期望的交互。应了解,可通过任何常规技术安置或生长所述衬里。可借助各种工艺(例如高密度等离子CVD工艺)形成电介质146。在一些实施例中,在形成电介质146之前,可向列隔离沟槽142的底部植入或扩散掺杂剂(未显示),所述掺杂剂经选择以进一步电隔离列隔离沟槽142的相对侧上的结构。

[0015] 接下来,可平面化衬底110,如图8所图解说明。平面化衬底110可包括蚀刻衬底110或借助化学机械平面化(CMP)对所述衬底进行抛光。平面化可包括移除上部遮蔽主体124及下部遮蔽主体122两者,且平面化可终止于牺牲主体120上或牺牲主体120中。另外,可移除电介质146的上部部分。

[0016] 接下来,可部分地或完全地移除牺牲主体120,如图9所图解说明。移除牺牲主体120可包括借助选择性地蚀刻牺牲主体120的蚀刻(即,借助对牺牲主体120具有选择性的蚀刻)来湿式蚀刻或干式蚀刻衬底110而不移除已暴露电介质146的实质部分。如果蚀刻移除材料而不移除实质量的暴露于衬底上的其它类型的材料,那么称所述蚀刻对所述材料“具有选择性”。在移除牺牲主体120之后,由电介质146形成的大体垂直突出部148可从衬底110延伸。

[0017] 接下来,可在电介质146的大体垂直突出部148的侧壁上形成第二列间隔件150,如图10所图解说明。如同先前所描述的列间隔件136一样,可通过以下步骤形成第二列间隔件150:在衬底110上沉积大体保形膜且各向异性地蚀刻所述膜直到将所述膜从水平表面大体移除为止,从而将垂直表面上的材料留在衬底110上。第二列间隔件150可由与电介质146相同的材料(例如,氧化物)制成,或其可由不同材料制成。第二列间隔件150可具有小于或等于100nm的宽度151,例如,小于或等于约36nm。间隔件150可界定邻近间隔件150之间的宽度154,宽度154小于或等于约1F、3/4F、1/2F或1/4F。

[0018] 在形成第二群组的列间隔件150之后,可形成装置内沟槽152,如图11所图解说明。可通过各向异性地蚀刻第二列间隔件150之间的已暴露区形成装置内沟槽152。装置内沟槽152可彼此大致平行且平行于列隔离沟槽142,且其可大体沿Y方向延伸。装置内沟槽152可具有不仅小于列隔离沟槽142的深度144(图6)且又大于上部经掺杂区112的深度的深度154。

[0019] 接下来,可形成电介质156,如图12所图解说明。电介质156可形成有产生覆盖层158的厚度,从而增加填充装置内沟槽152的可能性。举例来说,电介质156可具有小于约800 Å的厚度,例如,小于或等于约400 Å。电介质156可包括或主要由四乙酯原硅烷(TEOS)(例如,由CVD TEOS)或其它适当电介质材料形成。

[0020] 在形成电介质156之后,可通过加热衬底110以从电介质156驱出挥发性化合物来使电介质156致密化。在形成电介质156之后,可平面化衬底110,如图13所图解说明。可借助CMP、回蚀工艺(例如,通过沉积牺牲平面化材料,且然后蚀刻穿过所述牺牲平面化材料并蚀刻到下伏结构中)或其它适当工艺平面化衬底110。终止主体118(图2)可用作平面化终止件,从而阻止从上部经掺杂区112及垫氧化物116移除材料。在平面化之后,可移除来自终止主体118的保留在衬底110上的材料(例如,借助终止于垫氧化物116中或

上部经掺杂区 112 中的湿式蚀刻)。

[0021] 接下来,可形成行掩模 160,如图 14 所图解说明。行掩模 160 可大致垂直于列掩模 126(图 4)。可借助光致抗蚀剂来形成行掩模 160 或其可为硬掩模,举例来说,且可通过光学光刻或其它光刻工艺(例如,纳米压印光刻或电子束光刻)来图案化行掩模 160。举例来说,可通过图案化形成于衬底 110 上的无定形碳的主体来形成行掩模 160。所述无定形碳可形成有小于约**3000 Å**的厚度(例如,小于或等于约**2000 Å**的厚度)。行掩模 160 可界定具有宽度 162 的已遮蔽区及具有宽度 164 的已暴露区。已遮蔽宽度 162 可大于已暴露宽度 164,举例来说,大出多于约 F、3/4F 或 1/2F。在一些实施例中,可借助次光学光刻工艺(例如,侧壁间隔件工艺、抗蚀剂回流工艺、湿式蚀刻底切工艺或其它线宽度薄化工艺)来形成行掩模 160。行掩模 160 可界定具有间距 166 的线图案。在其它实施例中,所述图案可被其它结构中中断。由行掩模 160 形成的线可大致笔直、彼此大致平行且可沿大约 X 方向水平延伸且沿大约 Z 方向垂直延伸。在其它实施例中,行掩模 160 的已遮蔽区可在宽度上变化,侧到侧波动或上下波动,或其可被分段。

[0022] 接下来,可形成浅行沟槽 168,如图 15 所图解说明。浅行沟槽 168 相对于随后描述的深行沟槽(图 17)为浅的。可借助以近似相同的速率蚀刻上部经掺杂区 112、下部经掺杂区 114、电介质 146 及电介质 156 的干式蚀刻形成浅行沟槽 168。浅行沟槽 168 可具有深度 170,所述深度大于装置内沟槽 152(图 11)的深度且小于列隔离沟槽 142(图 11)的深度。举例来说,深度 170 可小于约**3000 Å**,例如,等于或小于约**1400 Å**。

[0023] 在形成浅行沟槽 168 之后,可形成另一行掩模 172,如图 16 所图解说明。行掩模 172 可为借助光学光刻或其它光刻技术形成的软掩模或硬掩模。行掩模 172 可界定已暴露宽度 174 及已遮蔽宽度 176。宽度 174 及 176 可分别近似等于宽度 164 及 162(图 14)。行掩模 172 可部分地或大致完全地安置于浅行沟槽 168(图 15)上方,从而延伸到浅行沟槽 168 中且重叠浅行沟槽 168(图 15)。行掩模 172 可在 X 方向上大致平行于行掩模 160(图 14)延伸且可具有大致均匀的宽度。在其它实施例中,行掩模 172 可侧到侧波动,上下波动,在宽度上变化,或被分段。行掩模 172 可形成以间距 178 重复的图案,或所述图案可被其它结构中中断。

[0024] 接下来,可形成深行沟槽 180,如图 17 所图解说明。可借助以大体相同的速率蚀刻上部经掺杂区 112、下部经掺杂区 114、电介质 146 及电介质 156 的干式蚀刻形成深行沟槽 180。深行掩模 180 可具有深度 182,所述深度大于装置内沟槽 152(图 11)的深度、大于浅行沟槽 168(图 15)的深度 170 且小于列隔离沟槽 142(图 11)的深度。举例来说,深度 182 可小于约**4000 Å**例如,等于或小于约**1800 Å**。

[0025] 在形成深行沟槽 180 之后,可移除行掩模 172,从而留下图 18 所图解说明的结构。可借助燃烧或其它适当工艺移除行掩模 172。所得衬底 110 可包括浅行沟槽 168 中以使浅行沟槽 168 与深行沟槽 180 交替的图案定位于每一对深行沟槽 180 之间的一者。深行沟槽 180 可比浅行沟槽 168 深大于或等于约**100 Å**、**400 Å**或**800 Å**的深度 184。浅行沟槽 168 及深行沟槽 180 可界定鳍状行 186,所述鳍状行在 Z 方向上从衬底 110 大致垂直地升起且在 X 方向上大致水平地延伸。

[0026] 可在行沟槽 168 及 180 中形成栅极电介质 188,如图 19 所图解说明。可沉积、生长或以其它方式形成栅极电介质 188,且栅极电介质 188 可大致或完全覆盖上部经掺杂区 112

及下部经掺杂区 114 的已暴露部分。栅极电介质 188 可包含各种电介质材料,例如氧化物(例如,二氧化硅)、氧氮化物或像二氧化铪、二氧化锆及二氧化钛的高介电常数材料。栅极电介质 188 可具有小于约**60 Å**的厚度,例如,等于或小于约**40 Å**的厚度。

[0027] 接下来,可形成栅极材料 190 及保护材料 192,如图 20 所图解说明。栅极材料 190 可包括导电材料,例如经掺杂的多晶硅或一种或一种以上金属(例如,Ti、TiN 或 Ru)。保护材料 192 可包括形成于栅极材料 190 上的高纵横比工艺(HARP)氧化物。栅极材料 190 可小于约**400 Å**厚(例如,小于或等于约**250 Å**厚),且保护材料 192 可小于**200 Å**厚(例如,等于或小于约**150 Å**)。这些材料 190 及 192 可大体保形地形成于衬底 110 上。

[0028] 如图 21 所图解说明,可各向异性地蚀刻保护材料 192 以形成侧壁间隔件。可借助大体对保护材料 192 具有选择性的干式蚀刻来蚀刻保护材料 192。在蚀刻之后,可暴露栅极材料 190 的安置于水平表面上的部分。举例来说,可暴露接近鳍状行 186 的顶部以及浅行沟槽 168 及深行沟槽 180 的底部两者安置的栅极材料 190。在其它实施例中,接近深行沟槽 180 的底部的保护材料 192 的一部分或大致全部保留在衬底 110 上。

[0029] 接下来,可蚀刻栅极材料 190,如图 22 所图解说明。可干式蚀刻或湿式蚀刻栅极材料 190 的已暴露部分,例如,借助 SC1 蚀刻达小于约 10 分钟(例如,等于或小于约 5 分钟)。可蚀刻栅极材料 190 直到安置于鳍状行 186 的任一侧上的栅极材料 190 被分离,从而在鳍状行 186 的侧上留下导电侧壁间隔件。可移除栅极材料 190 的接近浅行沟槽 168 及深行沟槽 180 的底部安置的部分,或可将所述部分留在衬底 110 上。

[0030] 为形成单独间隔件而蚀刻栅极材料 190 可形成每一鳍状行 186 的一个侧上的无源栅极 194 的前体及每一鳍状行 186 的另一侧上的有源栅极 196。术语“有源”是指与经选择性地通电以接通晶体管的组件相关的结构,且术语“无源”是指与当晶体管接通及当晶体管关断两者时均以大体相同电压通电的组件相关的结构。无源栅极 194 的前体可形成于深行沟槽 180 中,且有源栅极 196 可形成于浅行沟槽 168 中。邻近鳍状行 186 及其相关联栅极 196 及 194 可关于每一深行沟槽 180 大致反射对称,使得无源栅极 194 的前体安置于鳍状行 186 的邻近侧上且有源栅极 196 安置于邻近鳍状行 186 的远侧上,或反之亦然。

[0031] 接下来,可在衬底 110 上形成行掩模 198,如图 23 所图解说明。行掩模 198 可为借助光学光刻或其它光刻技术图案化的软掩模或硬掩模。行掩模 198 可与浅行沟槽 168(图 22)大致对准且安置于其中且可重叠鳍状行 186 的顶部的一部分。行掩模 198 还可包括由未经显影的光致抗蚀剂形成的凹入部分 200。举例来说,可借助正性光致抗蚀剂(即,当暴露于光时硬化的抗蚀剂)形成行掩模 198,且深行沟槽 180 中的凹入部分 200 可不接收足够光来对行掩模 198 的所述部分进行显影,因为光并不穿透到深行沟槽 180 的底部。因此,所述光致抗蚀剂的一部分可保留在深行沟槽 180 的底部中。

[0032] 接下来,可使无源栅极 194 的前体凹入以形成无源栅极 197,如图 24 所图解说明。可借助对无源栅极 197 具有大体选择性的蚀刻使无源栅极 197 凹入。举例来说,可借助湿式蚀刻(例如上文所描述的 SC1 蚀刻)使无源栅极 197 凹入。可使无源栅极 197 凹入到上部经掺杂区 112 下面一距离 202。距离 202 可大于或等于约**50 Å**、**100 Å**、**300 Å**或**500 Å**。无源栅极 197 在凹入之后可重叠装置内沟槽 152 的一部分。在使无源栅极 197 凹入之后,可(例如)借助燃烧或其它适当工艺移除行掩模 198。

[0033] 图 25 图解说明借助上述工艺形成的晶体管 204 的实施例。晶体管 204 可包括具



有较短侧 208 及较长侧 210 的非对称鳍 206。多个非对称鳍 206 可为先前所描述的鳍状行 186(图 18) 中的每一者的一部分。非对称鳍 206 可包括由对应于装置内沟槽 152(图 11) 的凹槽 216 分离的一对支腿 212 及 214。支腿 212 及 214 的远端部分可由上部经掺杂区 112 形成,且支腿 212 及 214 的下部部分可由下部经掺杂区 214 形成。有源栅极 196 可接近非对称鳍 206 的较短侧 208 安置,从而重叠上部经掺杂区 212 及下部经掺杂区 214 两者,包括下部经掺杂区 214 的在支腿 212 与 214 之间的凹槽 216 下面延伸的一部分。无源栅极 197 可接近非对称鳍 206 的较长侧 210 安置。无源栅极 197 可与凹槽 216 而不重叠上部经掺杂区 112。

[0034] 在操作中,晶体管 204 可控制在支腿 212 与 214 之间流动的电流。可根据有源栅极 196 的电压  $V_{GA}$  控制所述电流。施加到有源栅极 196 的电压  $V_{GA}$  的范围可分为两个类别:高于晶体管 204 的阈值电压的电压及低于所述阈值电压的电压。当  $V_{GA}$  高于所述阈值电压时,从有源栅极 196 发出的电场可在下部经掺杂区 212 中建立导电沟道,所述导电沟道在支腿 212 与 214 之间延伸。在其它实施例中,晶体管 204 可响应于小于所述阈值电压的  $V_{GA}$  而接通。所得导电沟道沿一个支腿 212 或 214 大体垂直向下延伸、在凹槽 216 下方大体水平延伸且然后沿另一支腿 212 或 214 大体垂直向上延伸返回。施加到支腿 212 及 214 的电压  $V_s$  与电压  $V_D$  的差可驱动电流通过所述沟道,且所述电流可沿任一方向流动,此取决于  $V_s$  及  $V_D$  的相对值。所述沟道可安置于较短侧 208 而非接近无源栅极 197 定位的较长侧 210 上。

[0035] 无源栅极 197 可调整晶体管 204 的阈值电压。举例来说,在当有源栅极 196 升高到高于阈值电压时接通的晶体管中,无源栅极 197 可处于低于所述阈值电压的电压,例如,小于下部经掺杂区 214 的电压的电压。从无源栅极 197 发出的电场可降低关于有源栅极 196 的阈值电压,据信此使 GIDL 减少。举例来说,当晶体管 204 关断时,所述无源栅极可在约 -3V 与约 0V 之间,且所述有源栅极可在约 0V 与约 100mV 之间。 $V_s$  与  $V_D$  之间的电压差可为约 2.5V 或更小。

[0036] 当晶体管接通时(例如,当从耦合到支腿 212 或 214 的存储器装置读取或向耦合到支腿 212 或 214 的存储器装置写入时),无源栅极 197 的电压可保持静态。大致所有无源栅极 197(图 24) 的电压可连接到在晶体管 204 的操作期间保持大体恒定的共用电压源。

[0037] 在其它实施例中,晶体管 204 可响应于  $V_{GA}$  降低到低于阈值电压而接通。在这些实施例中, $V_{GP}$  可为正,借此当晶体管 204 关断时使阈值电压升高且使 GIDL 减少。

[0038] 图 26 到 33 图解说明用于形成晶体管阵列的工艺的另一实施例。如图 26 所图解说明,所述工艺可包括获得(例如,制造或向制造厂订购来制造)借助上文参照图 1 到 13 所描述的步骤形成的衬底 218。

[0039] 在获得衬底 218 之后,所述工艺可包括在衬底 218 上形成行掩模 220,如图 26 所图解说明。行掩模 220 可为借助光学光刻或其它光刻技术形成的硬掩模或软掩模。举例来说,行掩模 220 可为借助次光学光刻技术(例如侧壁间隔件工艺、抗蚀剂回流工艺或湿式蚀刻底切工艺)形成的掩模。行掩模 220 可包括具有宽度 222 的已遮蔽区及具有宽度 224 的已暴露区。已遮蔽宽度 222 可约等于或小于  $F$ 、 $1/2F$  或  $3/4F$ 。所述已遮蔽区及已暴露区可以周期 226 重复,或所述图案可被其它结构中断。行掩模 220 可大致沿 X 方向、大致垂直于电介质 146 延伸。行掩模 220 可大致笔直,具有大致均匀的宽度 222 及 224,且大体平行。在其它实施例中,行掩模 220 可侧到侧波动,可上下波动,可在宽度 222 及 224 上变化,或可

被分段。

[0040] 接下来,如图 27 所图解说明,可形成行沟槽 228。可借助以大致类似的速率蚀刻已暴露材料的湿式蚀刻或干式蚀刻形成行沟槽 228。行沟槽 228 的深度可比装置内沟槽 152 深,且不像列隔离沟槽 142 一样深。所述蚀刻可形成鳍状行 230,鳍状行 230 大致在 X 方向上延伸且大致在 Y 方向上从衬底 218 升起。

[0041] 在形成行沟槽 228 之后,可形成栅极电介质 232,如图 28 所图解说明。可借助各种工艺及材料(例如上文参照图 19 所描述的那些工艺及材料)形成栅极电介质 232。

[0042] 接下来,可在衬底 218 上形成栅极材料 234 及保护材料 236,如图 29 所图解说明,且可形成无源栅极 238 及有源栅极 240,如图 30 所图解说明。可借助类似于上文参照图 20 到 22 所描述的材料及工艺的材料及工艺形成这些材料 234 与 236 及结构 238 与 240。

[0043] 在形成有源栅极 238 及无源栅极 240 之后,可在衬底 218 上形成有源栅极掩模 242,如图 31 所图解说明。有源栅极掩模 242 可为借助光学光刻或其它光刻技术形成的软掩模或硬掩模。有源栅极掩模 242 可覆盖有源栅极 238 的一部分或大致全部,同时使无源栅极 240 的一部分或大致全部被暴露。

[0044] 接下来,可使无源栅极 240 凹入,如图 32 所图解说明。可借助干式蚀刻或湿式蚀刻使无源栅极 240 凹入。可使无源栅极 240 的顶部凹入到上部经掺杂区 112 下面,或可使无源栅极 240 凹入到有源栅极 238 的顶部下面且随后处理(例如,清洁步骤)可进一步使无源栅极 240 凹入到上部经掺杂区 112 下面。

[0045] 最终,可移除有源栅极掩模 242,如图 33 所图解说明。可通过燃烧或其它工艺移除有源栅极掩模 242。

[0046] 在移除有源栅极掩模 242 之后,衬底 218 可包括类似于上文针对图 24 及 25 所描述的晶体管 204 的多个晶体管 244。晶体管 244(图 33)及晶体管 204(图 24)可具有差别。举例来说,在此实施例中,鳍状行 230 中的每一者可沿大体相同方向定向,其中有源栅极 238 面向邻近鳍状行 230 上的无源栅极 240,而先前实施例可包括沿不同交替方向定向的鳍状行 186(图 23)。

[0047] 在操作中,如同先前所描述的晶体管 204(图 25)一样,无源栅极 240 可调整晶体管 244 的阈值电压,且有源栅极 238 可控制通过晶体管 244 的电流。可调整所述阈值电压以使 GIDL 减少。

[0048] 图 34 到 45 图解说明用于形成晶体管阵列的工艺的另一实例。如图 34 所图解说明,所述工艺可包括获得衬底 246,像上文借助图 1 到 13 所图解说明的步骤所生产的衬底。

[0049] 在获得衬底 246 之后,所述工艺可包括形成牺牲主体 248,如图 34 所描绘。牺牲主体 248 可包括具有在约  $550 \text{ \AA}$  与约  $2450 \text{ \AA}$  之间的组合厚度的一个或多个膜,例如,牺牲主体 248 可为具有约  $1500 \text{ \AA}$  的厚度的氧化物膜。在其它实施例中,根据本技术的包括牺牲主体 248 的各种实施例,其它材料(例如氮化物膜)或其它厚度的材料可用作牺牲主体 248。

[0050] 接下来,可形成行掩模 250,如图 35 所图解说明。行掩模 250 可为借助光学光刻或其它光刻技术形成的硬掩模或软掩模。举例来说,行掩模 250 可为借助次光学光刻技术(例如上文所描述的那些技术中的一者或多者)形成的掩模。行掩模 250 可包括具有宽度 252 的已遮蔽区及具有宽度 254 的已暴露区。已遮蔽宽度 252 可约等于或小于  $F$ 、 $1/2F$  或  $3/4F$ 。所述已遮蔽区及已暴露区可以周期 256 重复,或所述图案化可被其它结构中中断。行

掩模 250 可大致在 X 方向上、大致垂直于电介质 146 (图 8) 延伸。行掩模 250 可大致笔直, 具有大致均匀的宽度 252 及 254, 且大体平行。在其它实施例中, 行掩模 250 可侧到侧波动, 可上下波动, 可在宽度 252 及 254 上变化, 或可被分段。

[0051] 接下来, 可形成无源栅极沟槽 258, 如图 36 所描绘。举例来说, 可借助各向异性干式蚀刻从衬底 246 蚀刻无源栅极沟槽 258。在垂直于 X 方向的横截面中, 无源栅极沟槽 258 可为大体矩形或梯形。或者, 无源壁沟槽可具有带有某一其它形状的横截面。在一个实施例中, 无源栅极沟槽 258 可比装置内沟槽 152 深且比列隔离沟槽 142 (图 11) 浅。无源栅极沟槽 258 的侧壁形成无源壁 260, 所述无源壁可各自形成随后形成的鳍的第一壁或侧。

[0052] 在形成无源栅极沟槽 258 之后, 可形成无源栅极电介质 262, 如图 37 所图解说明。可借助各种工艺及电介质材料 (例如上文参照图 19 所描述的那些工艺及电介质材料) 形成无源栅极电介质 262。

[0053] 接下来, 可构造无源栅极 264, 如图 38 所描绘。无源栅极 264 可至少部分地或大致完全地安置于无源栅极沟槽 258 中。举例来说, 无源栅极 264 可包括导电材料, 例如 p- 加上经掺杂多晶硅、导电金属或或其它适当功函数材料。可沉积所述导电材料且然后对其进行回蚀, 借此使所述导电材料凹入到衬底 246 及牺牲主体 248 的表面下面。可使无源栅极 264 凹入到上部经掺杂区 112 下面, 以使得无源栅极 264 与下部经掺杂区 114 而不重叠上部经掺杂区 112。举例来说, 可使无源栅极 264 凹入到上部经掺杂区 112 下面一距离 266, 所述距离大于或等于约  $100 \text{ \AA}$ 、 $200 \text{ \AA}$  或  $500 \text{ \AA}$ 。

[0054] 接下来, 可在无源栅极 264 上面形成保护插塞 268, 如图 39 所描绘。保护插塞 268 可包括氮化硅或其它适当材料。可沉积保护插塞 268 并对其回蚀或回抛光直到其与牺牲主体 248 的表面大体在同一平面内或凹入到牺牲主体 248 的表面下面。保护插塞 268 可充当用于在保护插塞 268 的任一侧上形成自对准的鳍的参考结构。

[0055] 在形成保护插塞 268 之后, 可移除牺牲主体 248, 如图 40 所图解说明。可借助对牺牲主体 248 具有选择性的湿式蚀刻或干式蚀刻移除牺牲主体 248。在此阶段处, 保护插塞 268 可在衬底 246 的表面上面突出。

[0056] 随后, 可形成鳍掩模间隔件 270, 如图 41 所描绘。鳍掩模间隔件 270 可包括具有经选择以大体确定随后形成的鳍的宽度的厚度的氧化物或其它适当材料。为使鳍掩模间隔件 270 成形, 其组件材料或若干组件材料可保形地沉积于保护插塞 268 上方且借助 (举例来说) 各向异性蚀刻对其进行间隔件回蚀。在所述间隔件回蚀之后, 鳍掩模间隔件 270 的宽度可大体确定鳍宽度。

[0057] 接下来, 使用鳍掩模间隔件 270 作为自对准的硬掩模, 可各向异性地蚀刻或以其它方式形成有源栅极沟槽 272, 如图 42 所描绘。有源栅极沟槽 272 可不与无源栅极沟槽 258 (图 36) 同时形成, 例如, 在无源栅极沟槽 258 之后形成, 且在一些实施例中, 在无源栅极 250 之后形成。

[0058] 有源栅极沟槽 272 可沿 X 方向延伸、大致平行于无源栅极沟槽 258 (现至少部分地填充有用以形成无源栅极 264 的导电材料) 且插入于其之间地延伸。有源栅极沟槽 272 的侧壁可形成鳍 274 的有源壁 278。有源栅极沟槽 272 可比无源栅极沟槽 258 (图 36) 深、与无源栅极沟槽 258 一样深或不如无源栅极沟槽 258 深。

[0059] 鳍掩模间隔件 270 可促进具有鳍宽度 276 的鳍 274 的形成, 鳍宽度 276 小于用于

图案化衬底 246 上的其它特征的设备的分辨率限度。举例来说,鳍宽度 276 可小于 193 纳米光刻工艺或 157 纳米光刻工艺的分辨率限度,所述两种工艺中的任一者可包括浸润式光刻步骤或双重图案化。举例来说,鳍宽度 276 可小于**900 Å、800 Å、700 Å、600 Å、500 Å、400 Å、350 Å、300 Å、250 Å、200 Å、150 Å**或**100 Å**。

[0060] 在制造期间,无源栅极 264 可以机械方式支撑鳍 274。举例来说,在一些实施例中,在移动及/或浸润于液体中期间,鳍 274 内的应力可由于无源栅极 264 限制鳍 274 的移动而为有限的。因此,在一些实施例中,可制造极薄、高纵横比的鳍 274。举例来说,鳍 274 的纵横比(即,鳍高度 280 与鳍宽度 276 的比率)可大于 20 : 1、15 : 1、10 : 1、9 : 1、8 : 1、7 : 1、6 : 1、5 : 1、4 : 1 或 3 : 1。然而,应注意,本技术不限于具有无源栅极的实施例、其中鳍 274 被支撑的实施例或具有薄、高纵横比的鳍的实施例。

[0061] 此外,由于可在保护插塞 268 的侧上形成鳍掩模间隔件 270,因此鳍掩模间隔件 270 可与无源栅极 264 自对准。在其它实施例中,可根据本技术的实施例采用其它自对准、次光学光刻、直接图案化或直接对准技术。

[0062] 鳍 274 可具有沿其在 y 方向上的长度的至少实质部分延伸(例如,通过一个、两个、五个或更多晶体管长度)的大体均匀横截面,例如大体矩形横截面、大体梯形横截面或其它横截面形状。当然,在一些实施例中,所述鳍横截面可沿鳍在 y 方向上的长度而变化。举例来说,鳍宽度 276 可变化或鳍高度 280 可变化。鳍宽度 276 可在 Z 方向上大体均匀,或鳍宽度 276 可沿鳍高度 280 变窄或扩展。在一些实施例中,有源壁 262 及无源壁 260(图 38)可在 Z 方向上沿鳍高度 280 朝向或远离彼此大体倾斜或弯曲(即,鳍宽度 276 可逐渐变小)。

[0063] 接下来,可在有源沟槽 260 中形成有源栅极电介质 282,如图 43 所描绘。可借助各种工艺及电介质材料(例如上文参照图 19 所描述的那些工艺及电介质材料)形成有源栅极电介质 282。

[0064] 在形成有源栅极电介质 282 之后,可形成有源栅极 284,如图 44 所图解说明。可通过以下步骤形成有源栅极 284:毯覆沉积导电材料(例如,氮化钛、经掺杂的多晶硅或其它导电材料)并对所述材料进行间隔件蚀刻以形成有源栅极 284。所述有源栅极可紧挨有源壁 278(图 42)安置且可在 X 方向上大致平行于鳍 274(图 42)延伸。在其它实施例中,可借助上文参照图 20 到 22 所描述的步骤形成有源栅极 284。

[0065] 接下来,可移除保护插塞 268 及鳍掩模间隔件 270(图 41)以暴露晶体管 286 阵列,如图 45 所图解说明。可借助对这些材料具有选择性的蚀刻、借助 CMP 或借助其它工艺移除保护插塞 268 及鳍掩模间隔件 270。两个晶体管 286 安置于无源栅极 264 的每一侧上,且无源栅极 264 在晶体管 286 行之间延伸。可以类似于上文针对图 25 所描述的晶体管 204 的方式操作晶体管 286。通过晶体管 286 的电流由有源栅极 284 的断面部分所显示的箭头 288 图解说明。类似地,可加偏压于无源栅极 264 以调整晶体管 286 的阈值电压且使 GIDL 减少,如上文所描述。

[0066] 在一些实施例中,晶体管 286(或先前所描述的晶体管 204 或 244)可用于存取电容器、浮动栅极或其它易失性或非易失性存储器组件。举例来说,数字线可连接到晶体管 286 的一个支腿,且电容器可连接到另一支腿,或反之亦然。在此实施例中,有源栅极 284 可用作字线。在操作中,此实施例可通过接通晶体管 286 存取存储器组件。举例来说,有源

栅极 284 可连接到电压源且所述数字线耦合到感测放大器,或反之亦然。或者,晶体管 286 可用于某一其它类型的电子装置中。举例来说,晶体管 286 可用于微处理器、数字信号处理器、可编程存储器装置或专用集成电路(仅举几例)中。

[0067] 尽管易于对本发明作出各种修改及替代形式,但具体实施例已以实例方式显示于所述图式中且已详细地描述于本文中。然而,应理解,并不打算将本发明限定于所揭示的特定形式。相反,本发明将涵盖归属于以上所附权利要求书所界定的本发明精神及范围内的所有修改、等效内容及替代方案。

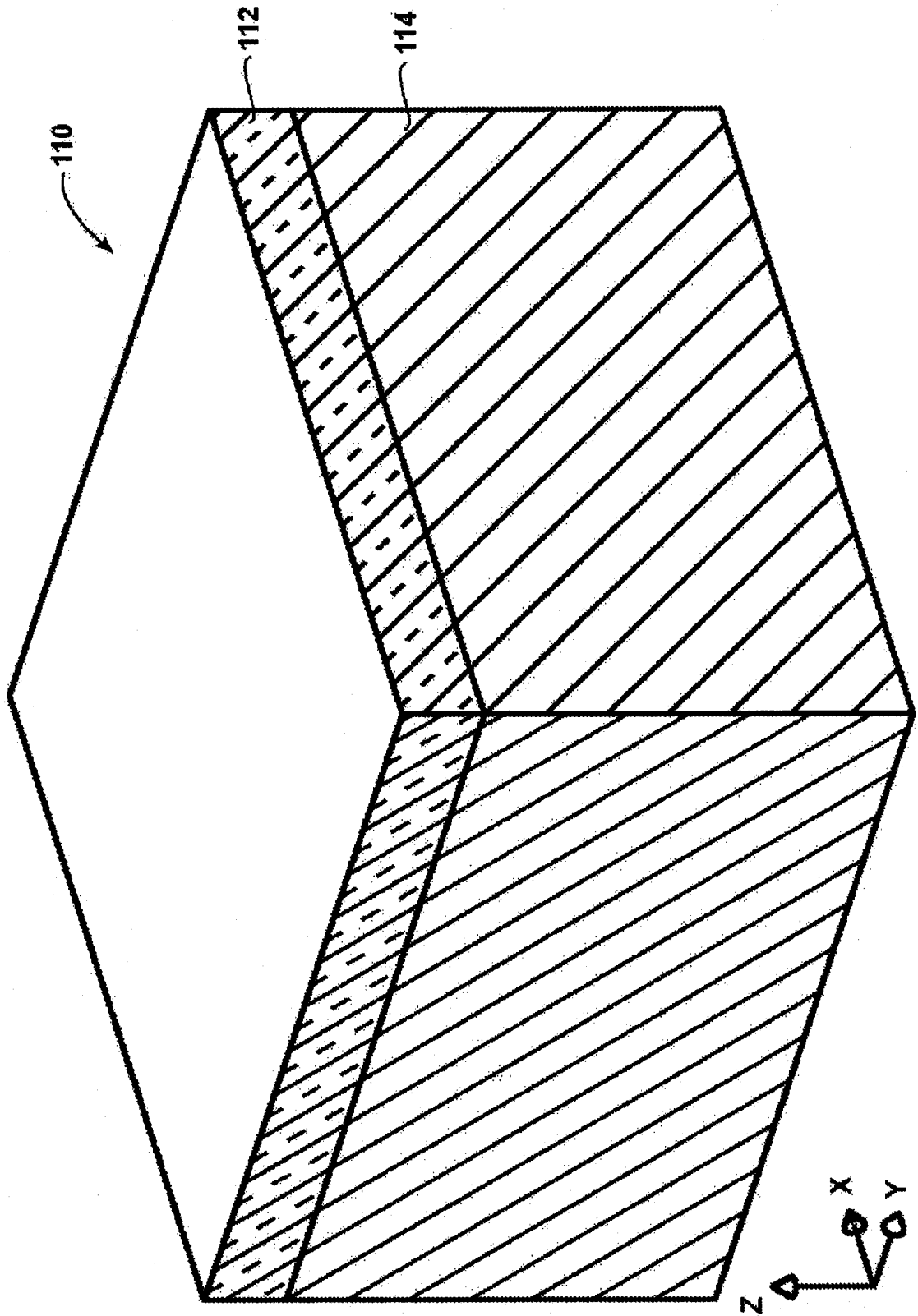


图 1

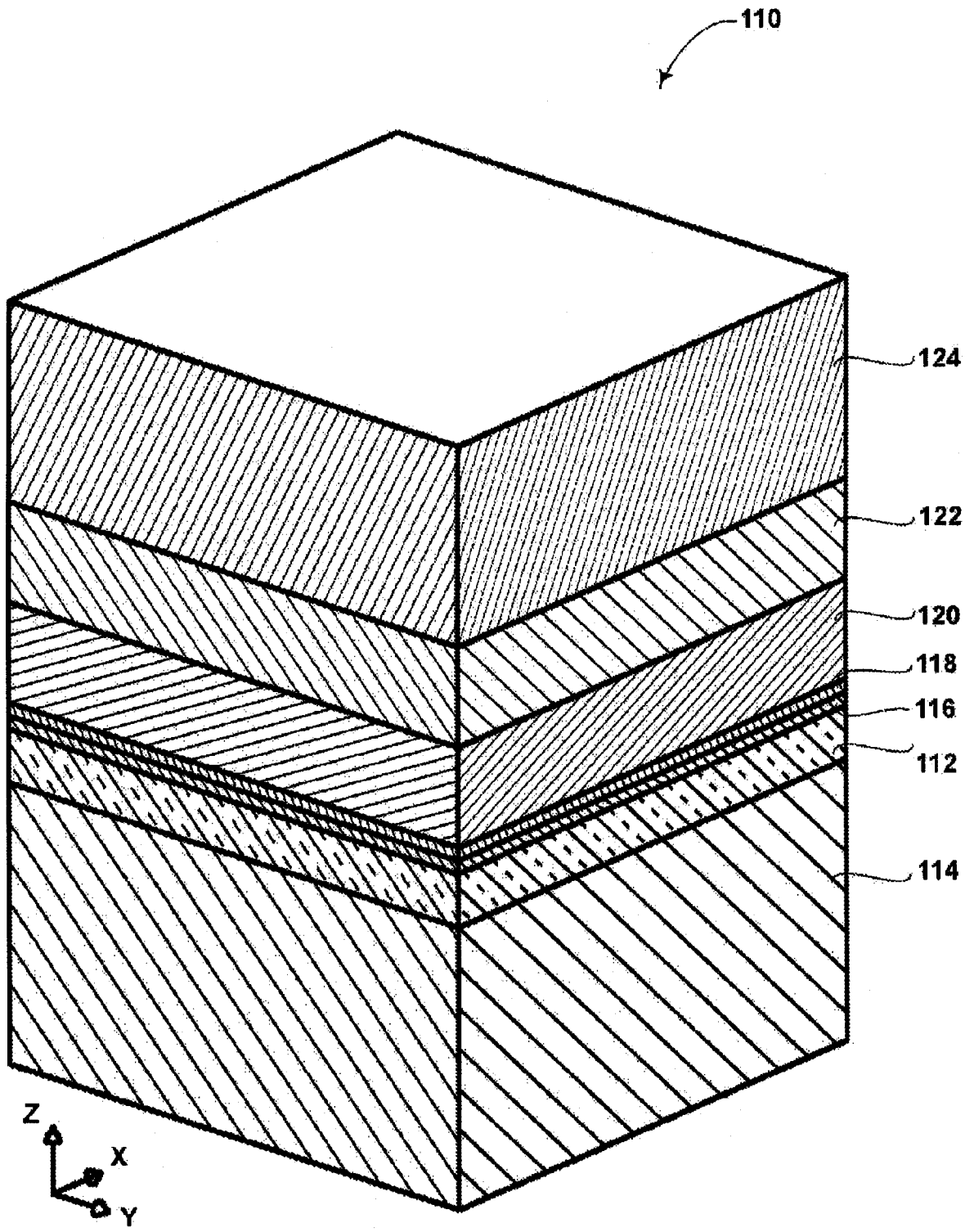


图 2

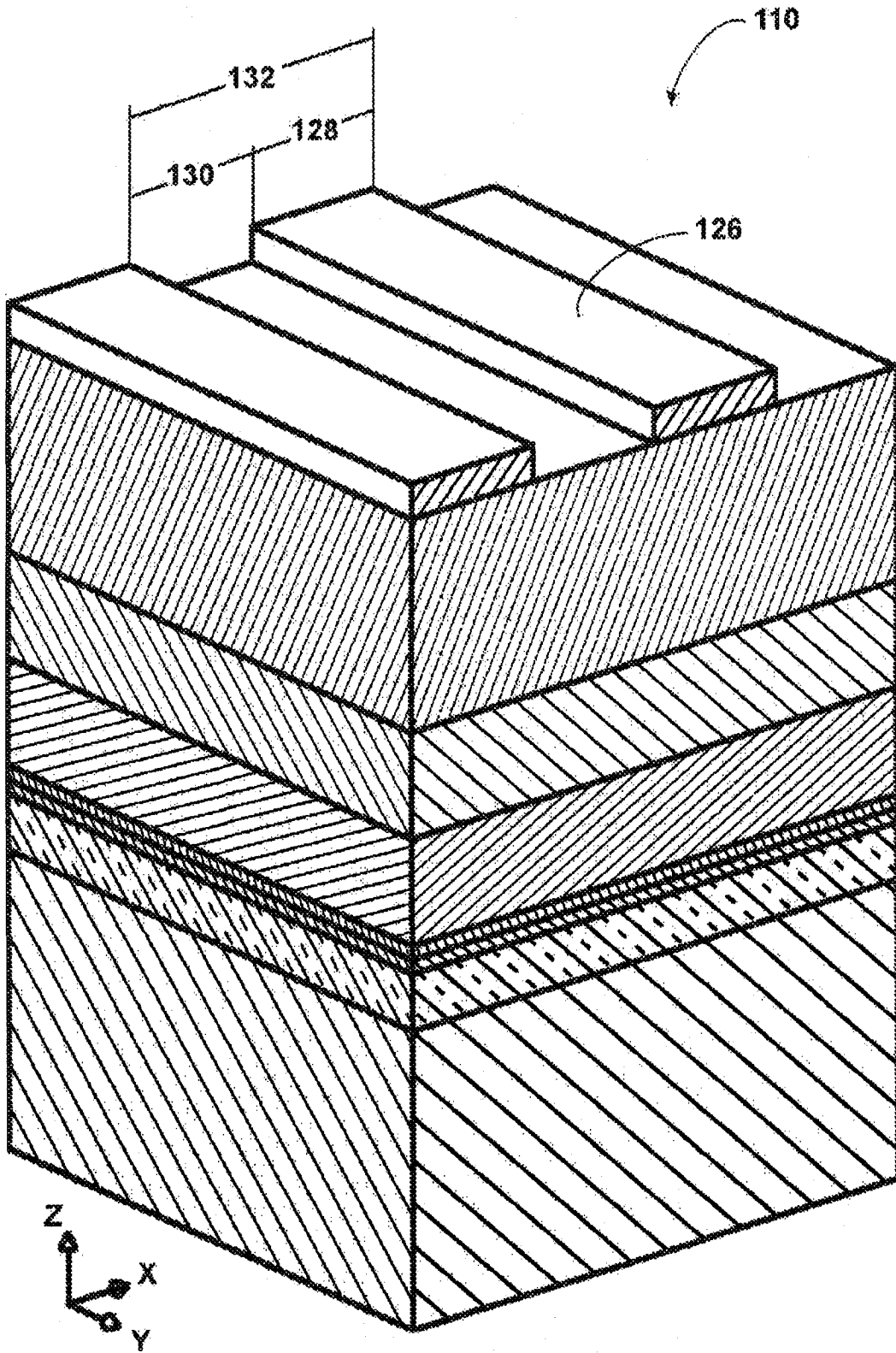


图 3



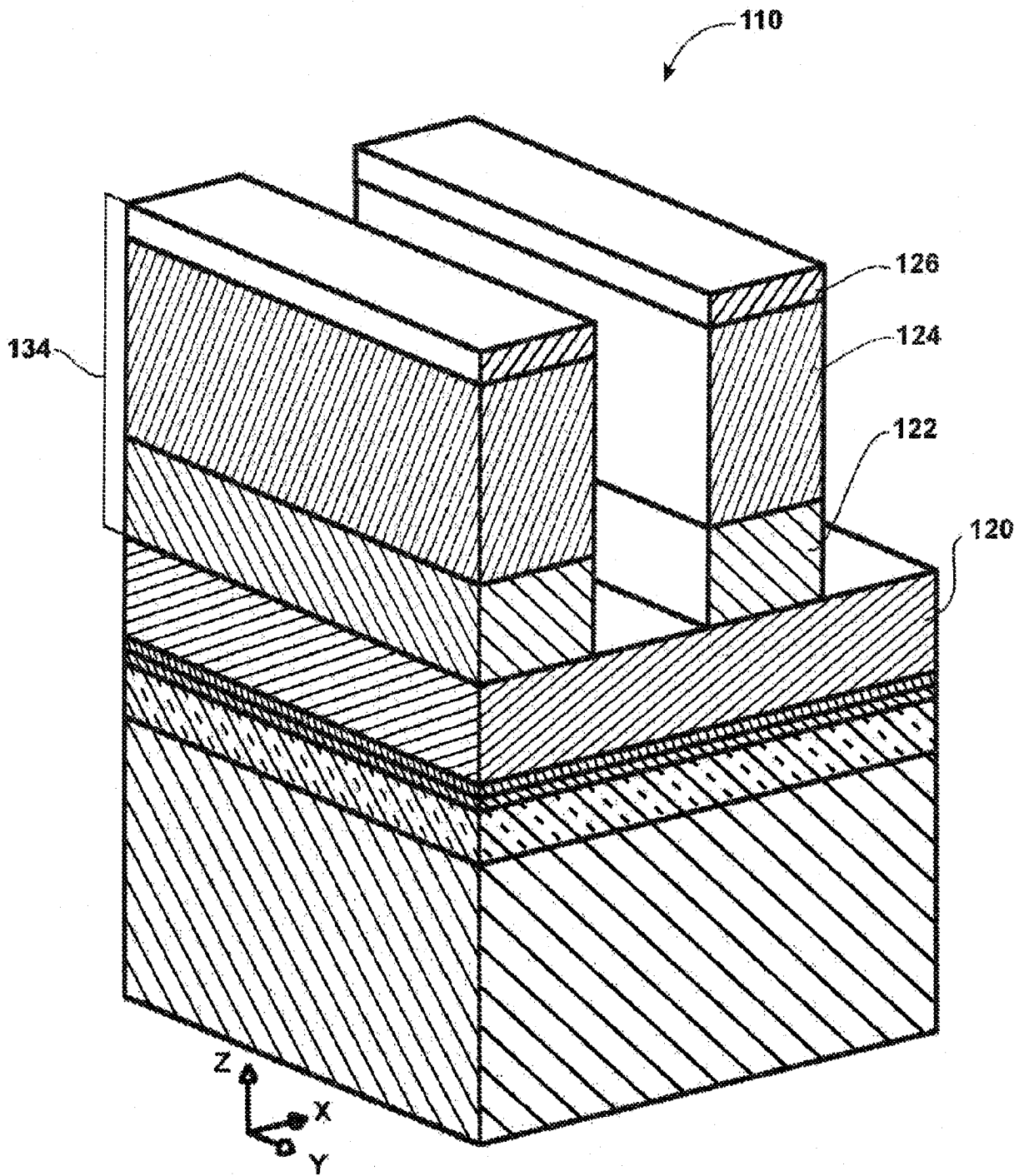


图 4

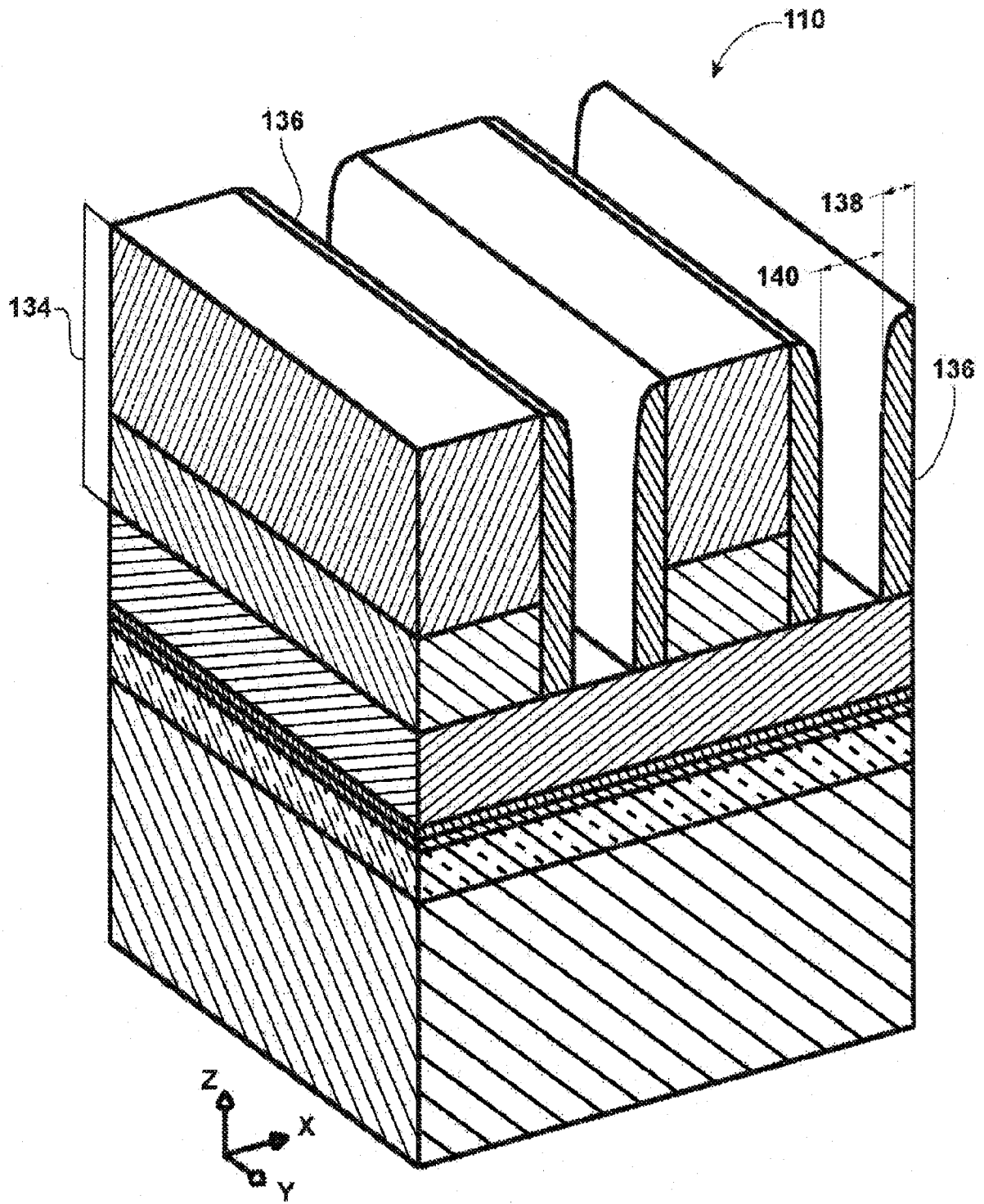


图 5

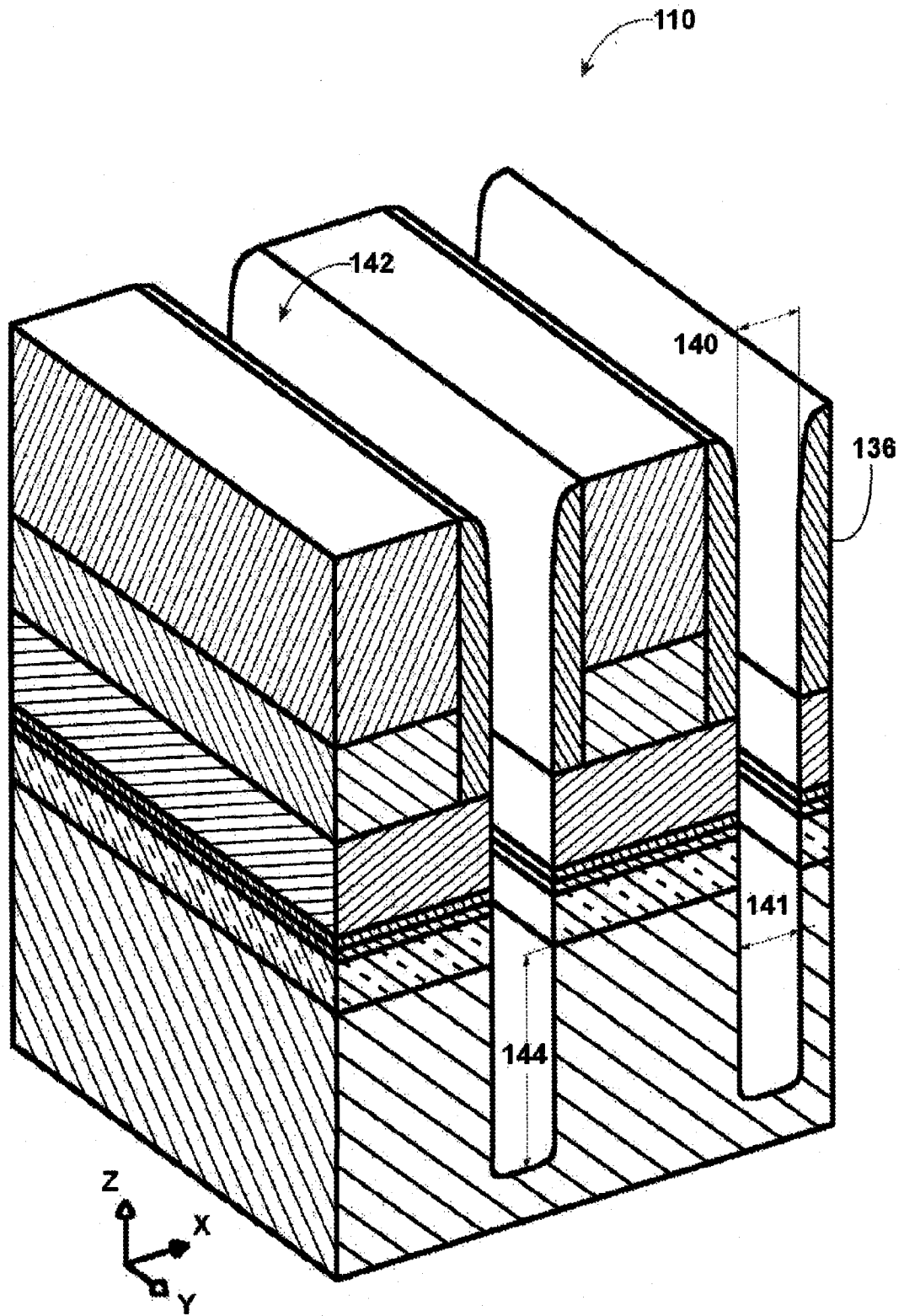


图 6

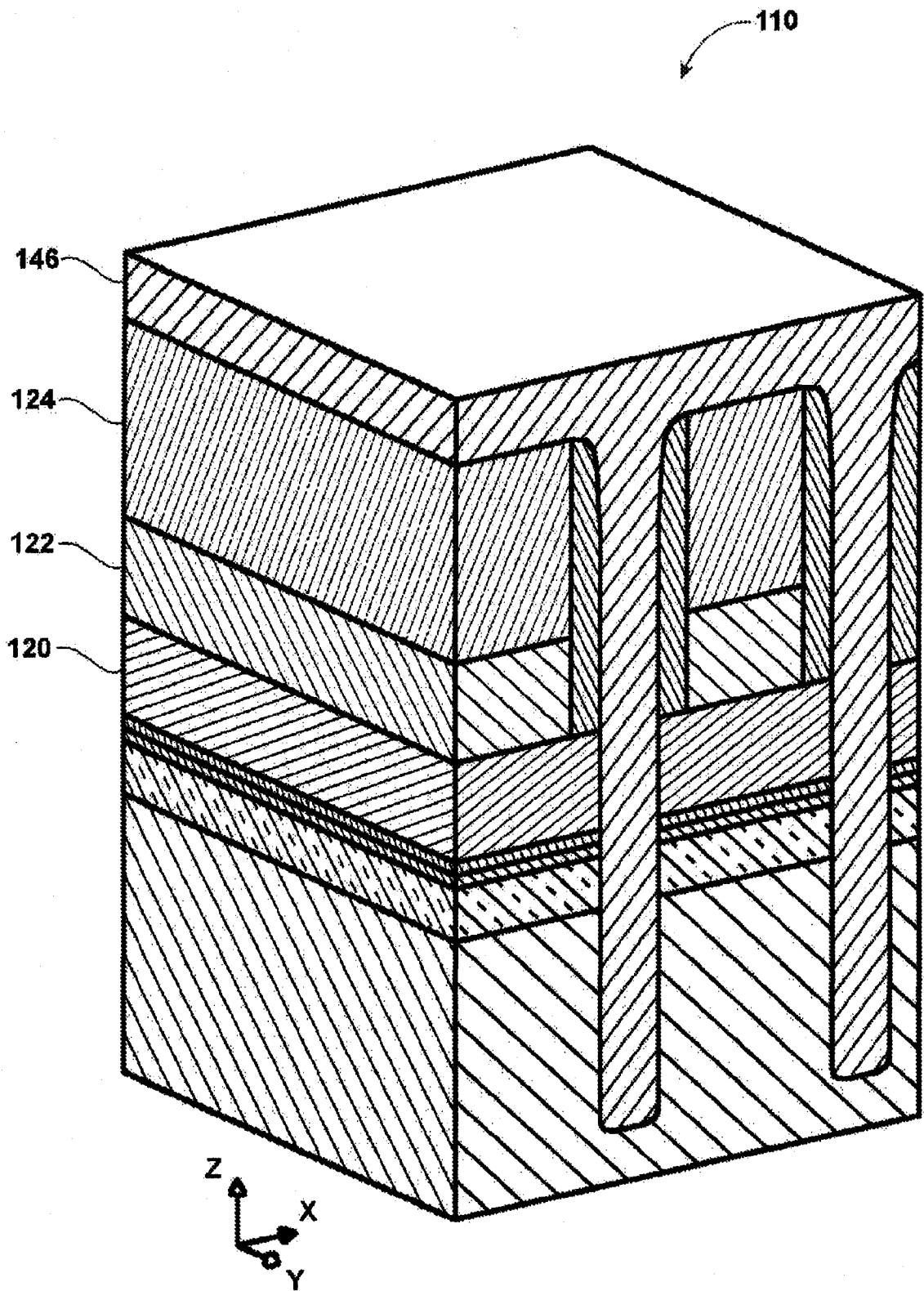


图 7

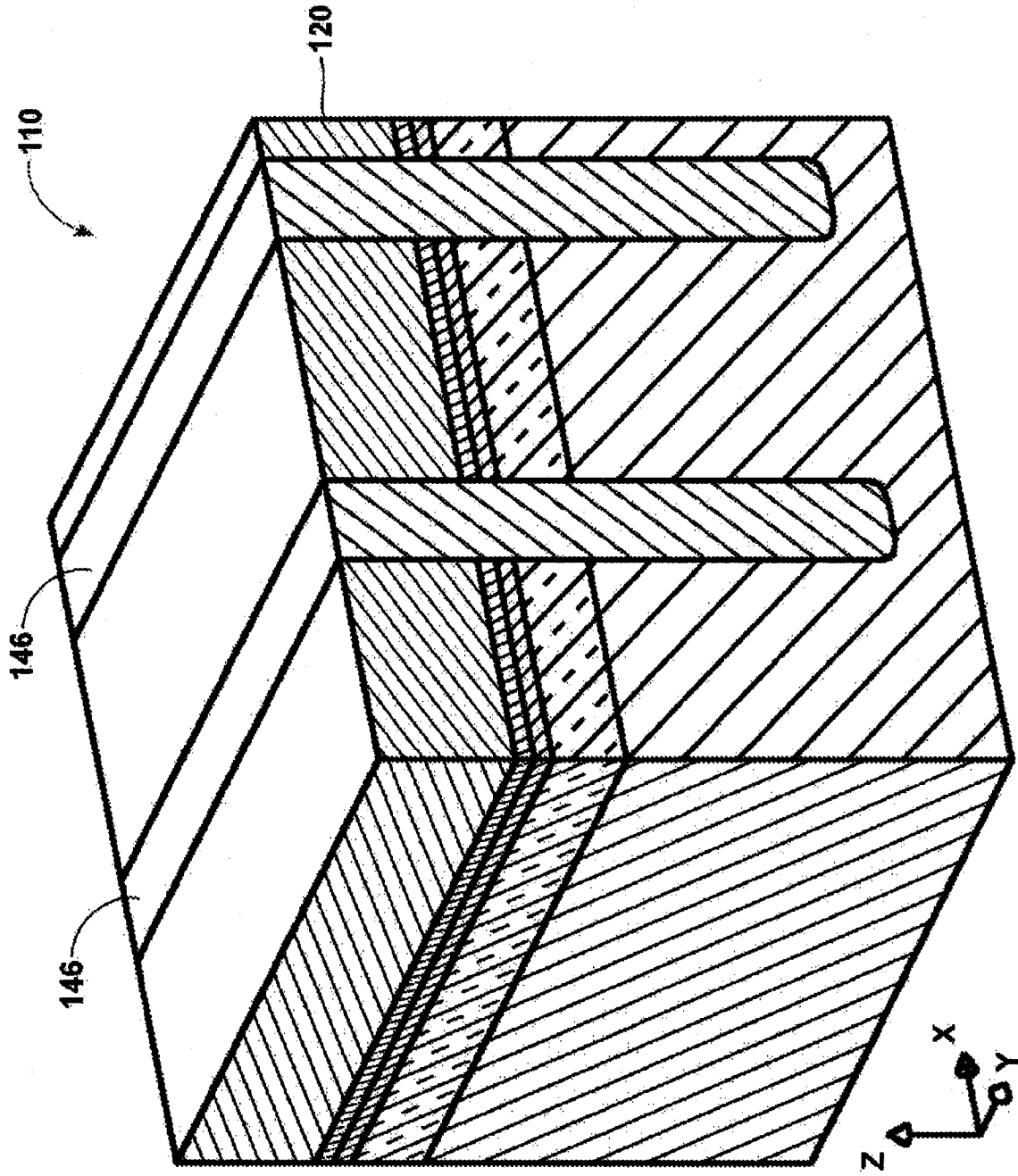


图 8

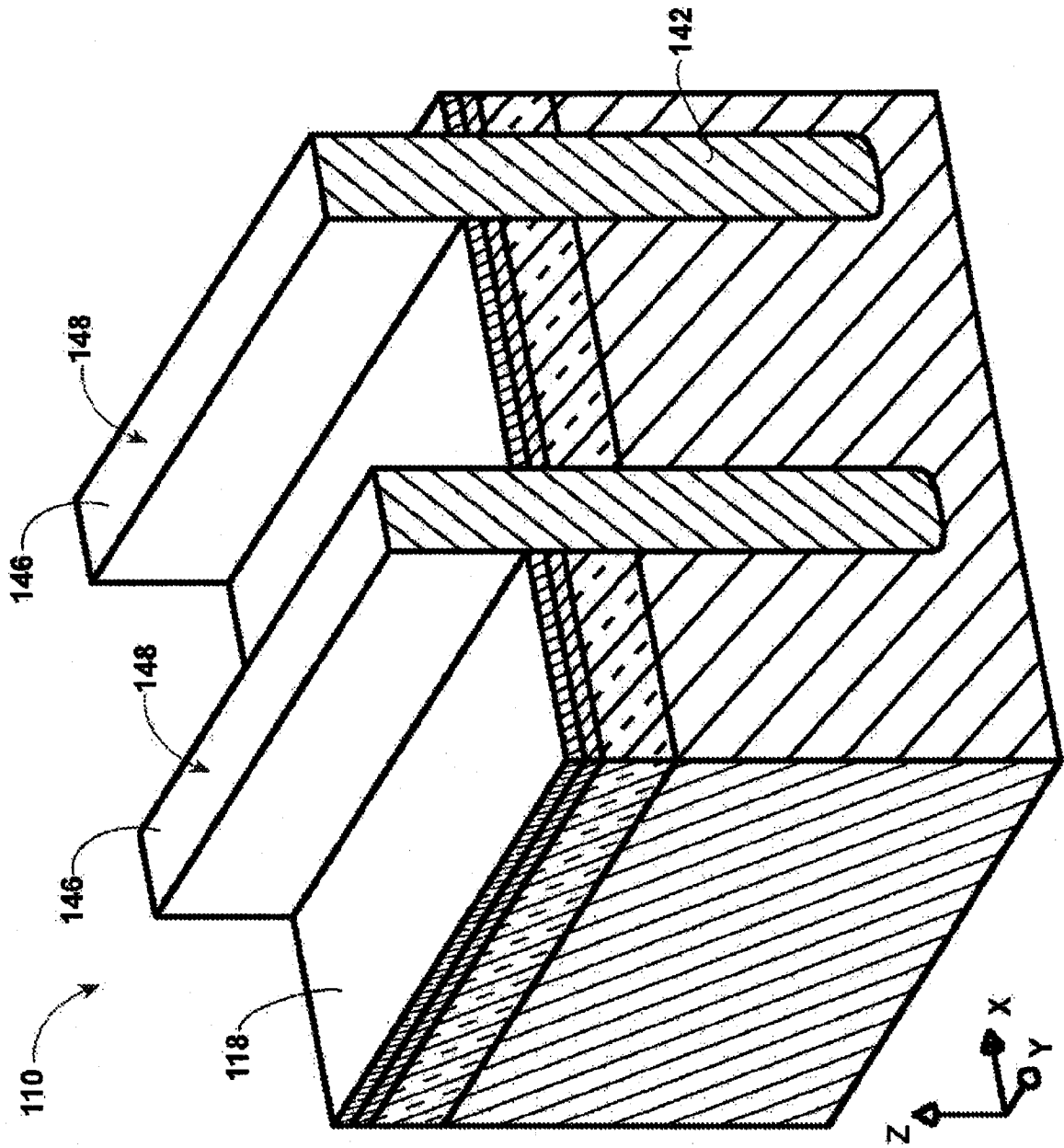


图 9

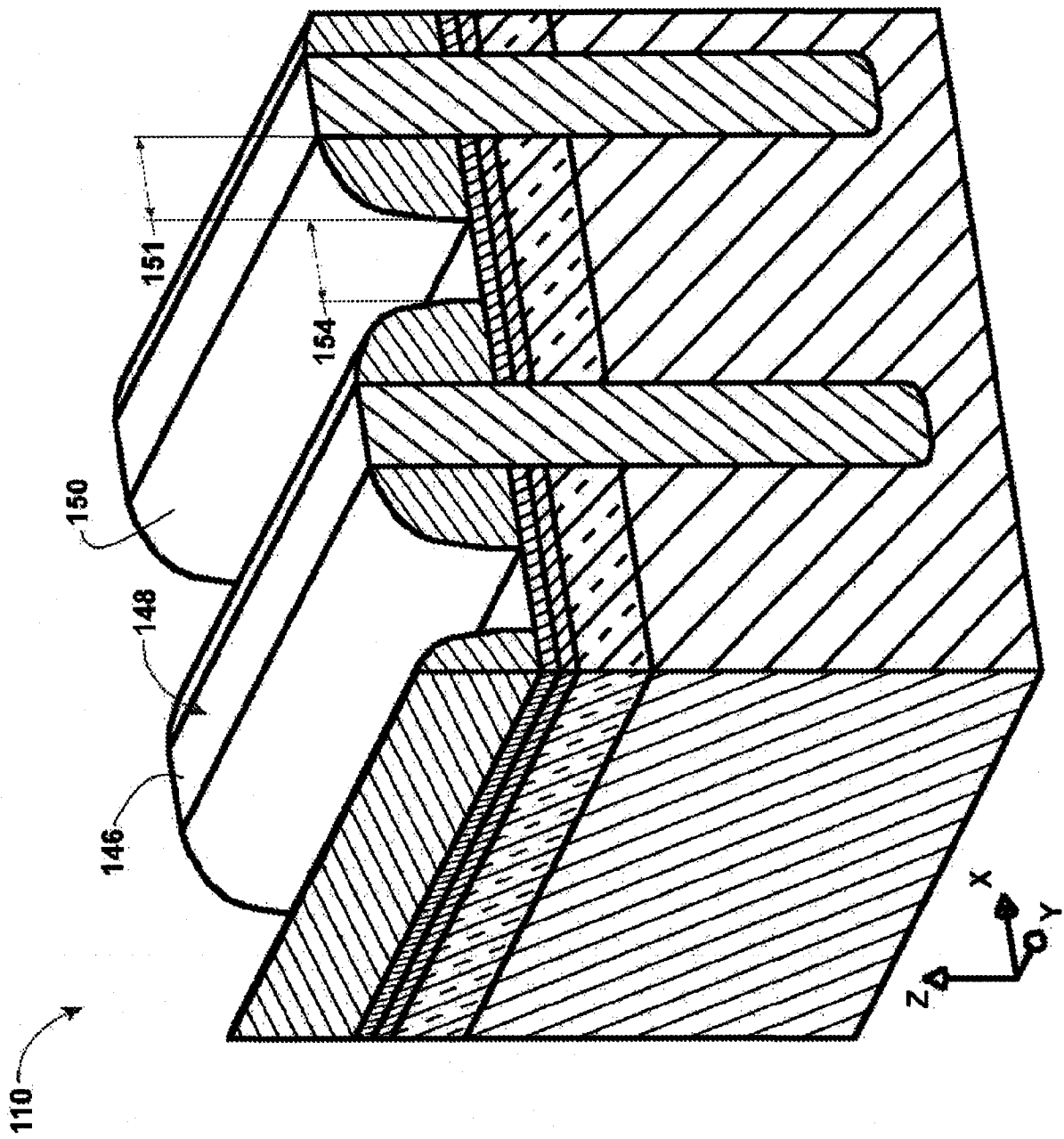


图 10

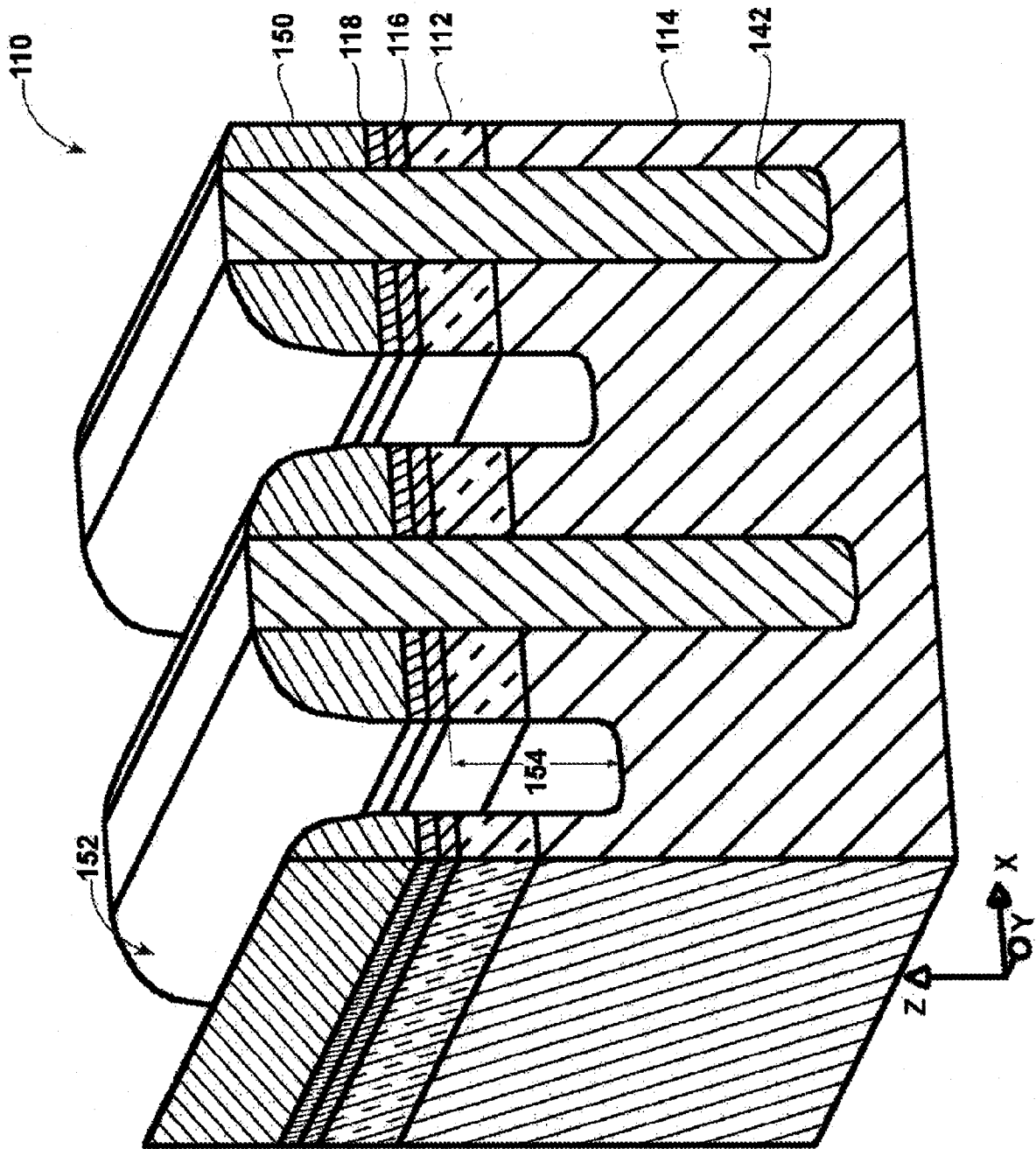


图 11



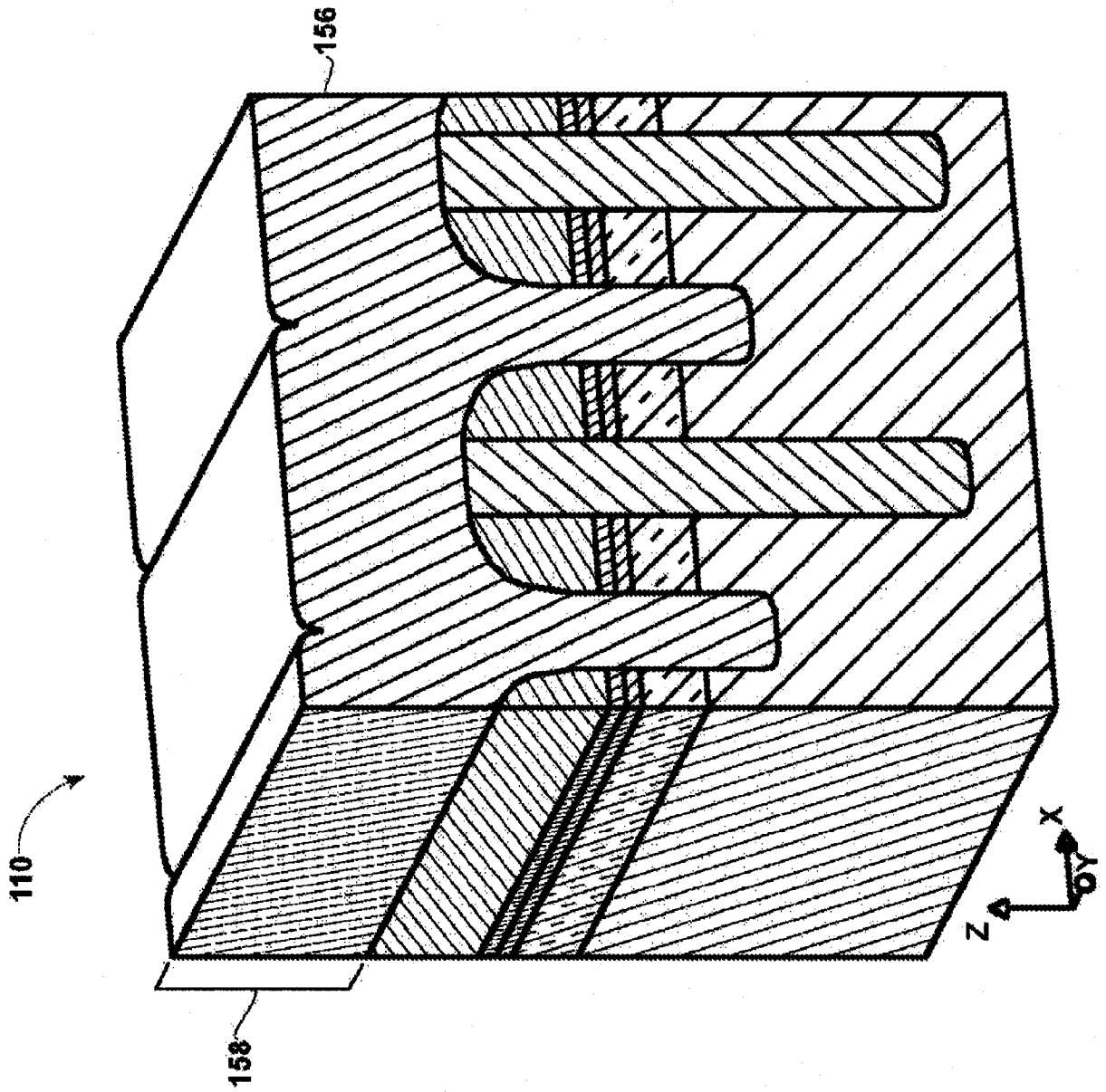


图 12

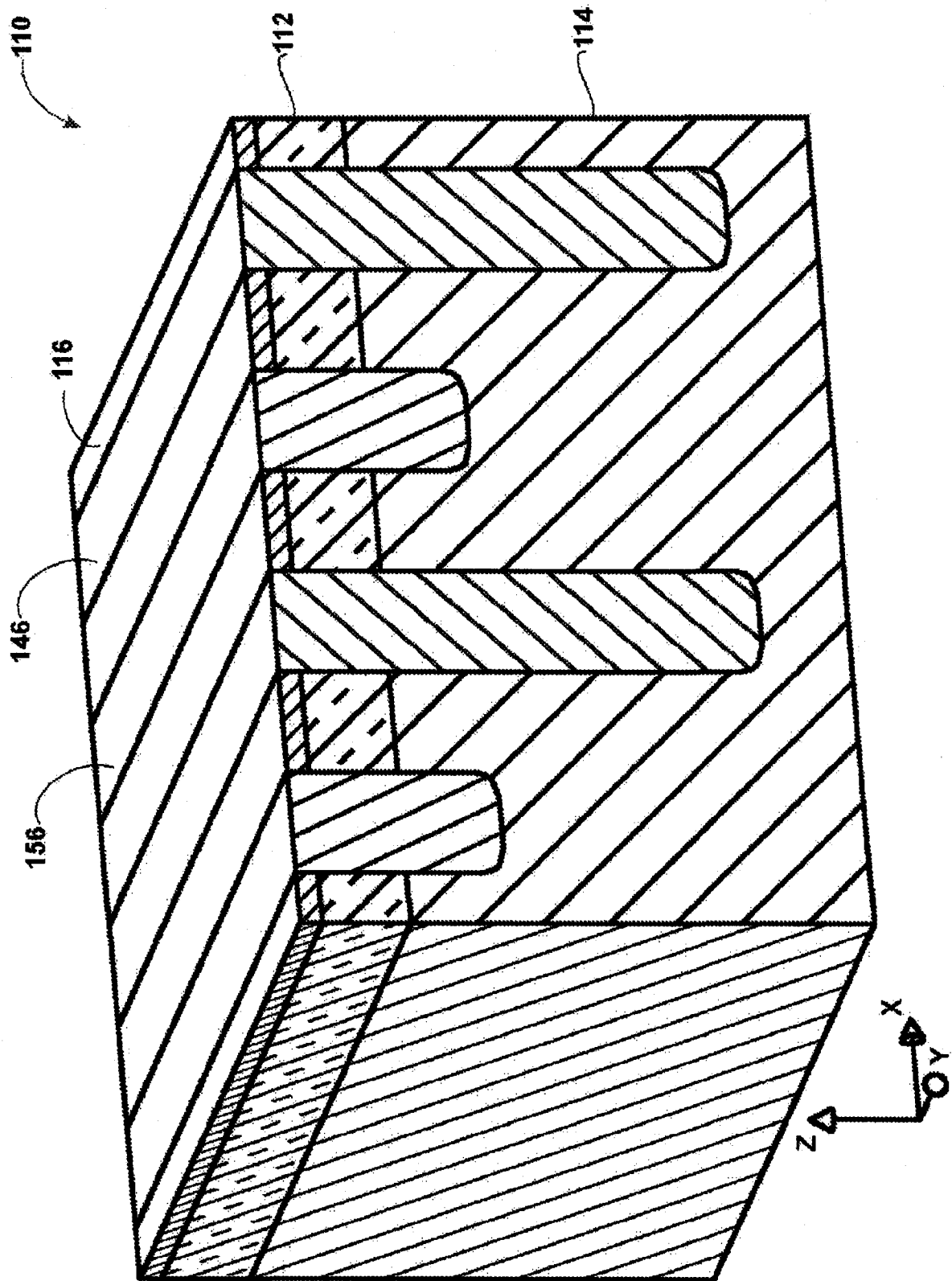


图 13

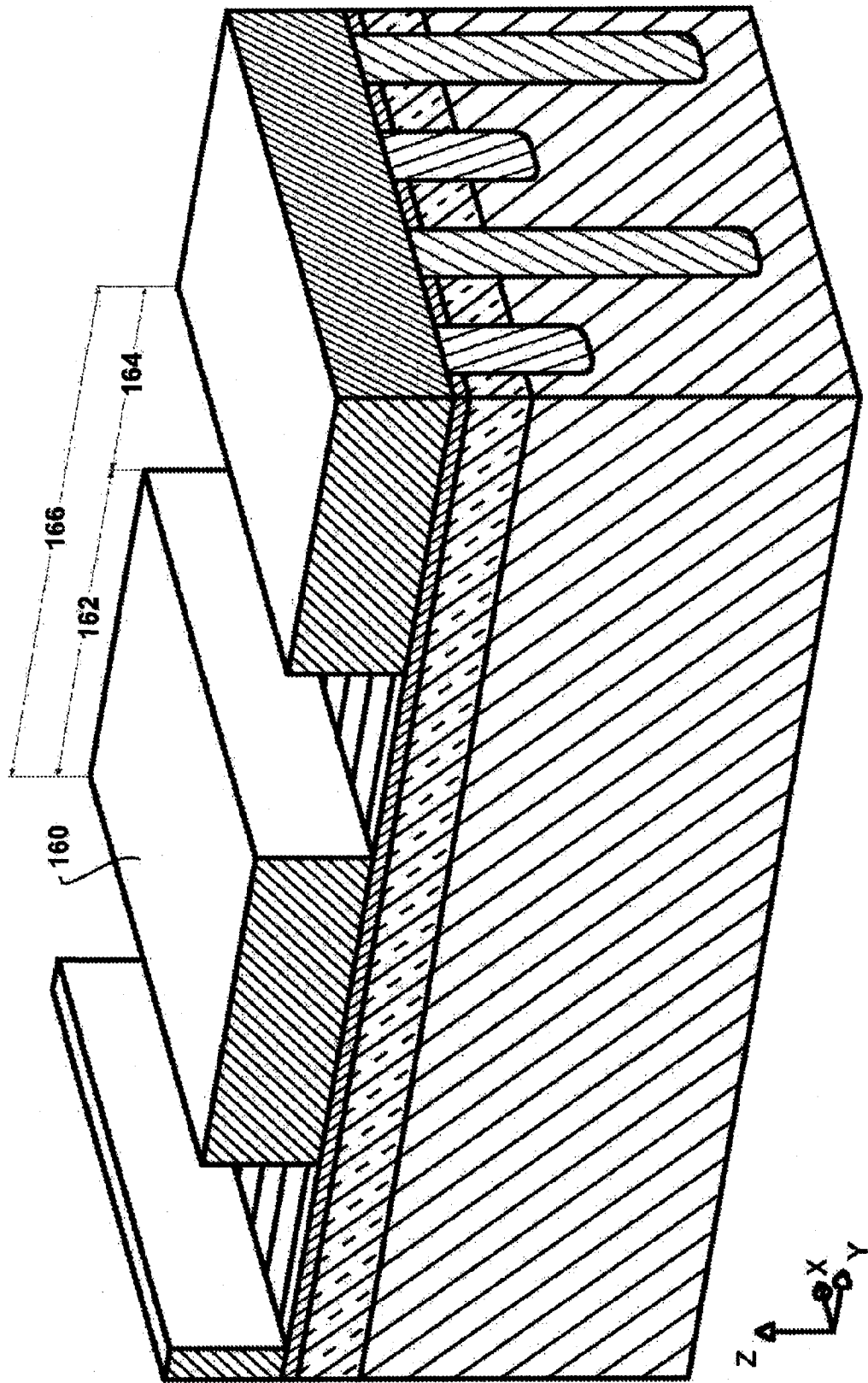


图 14

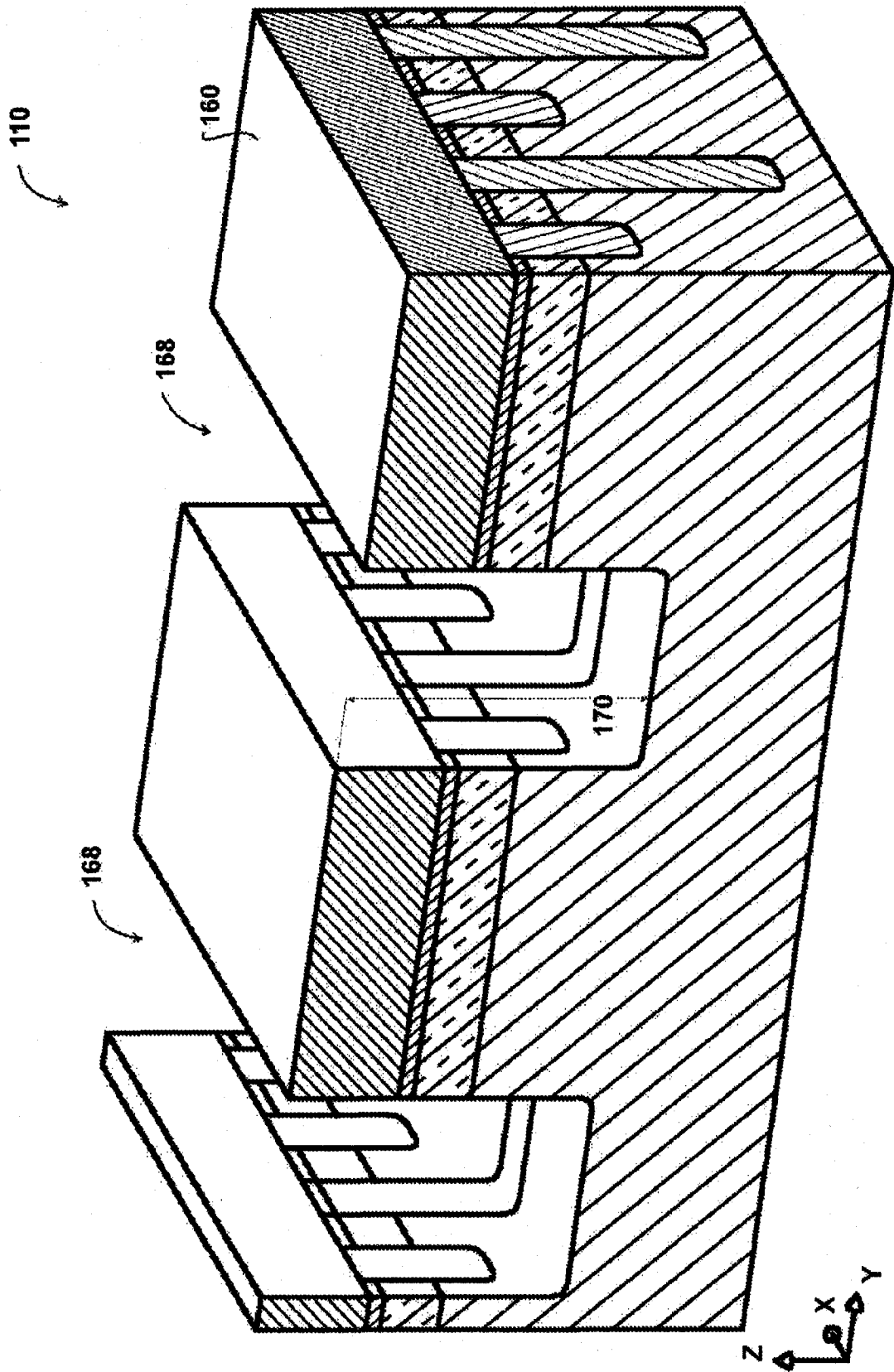


图 15

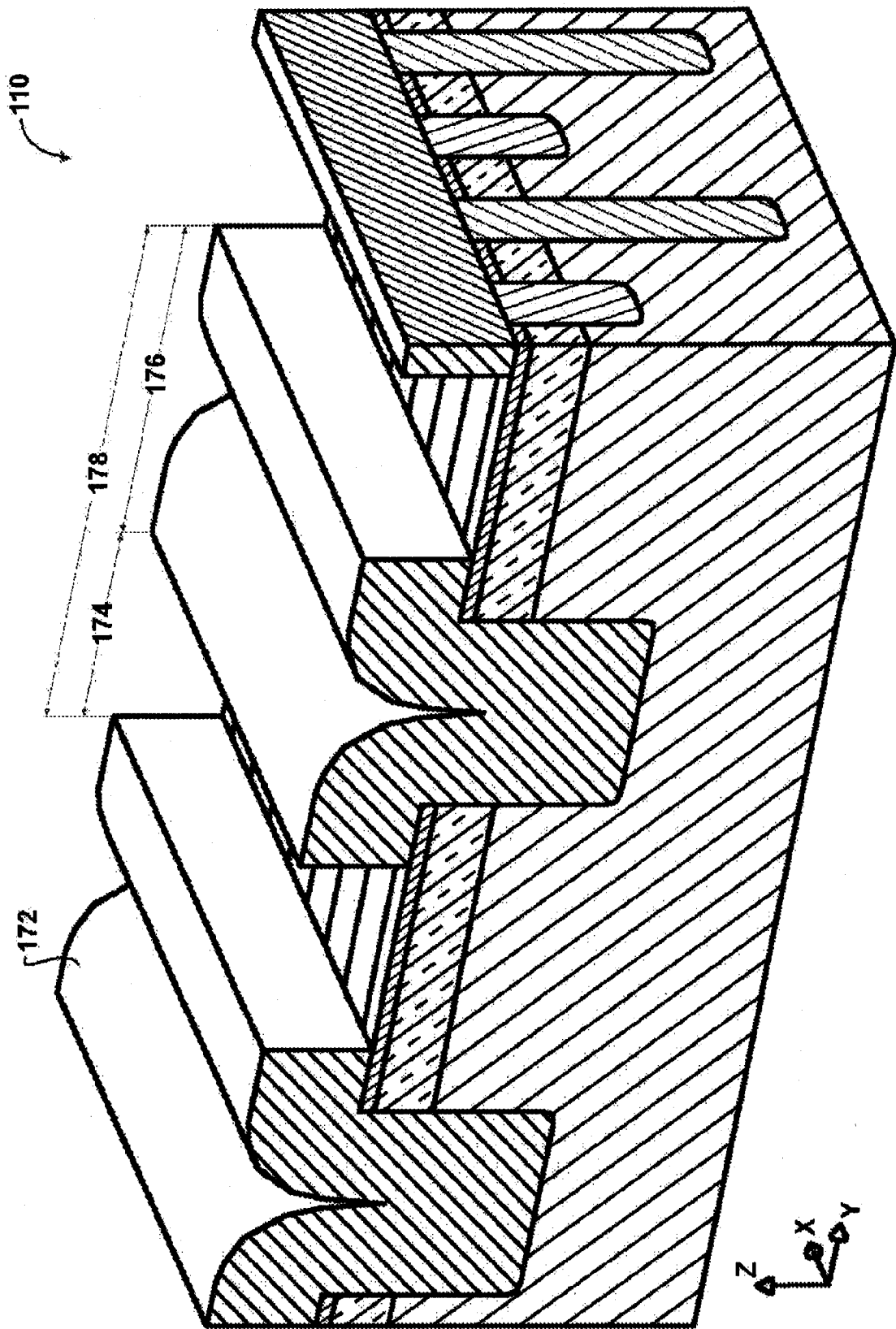


图 16

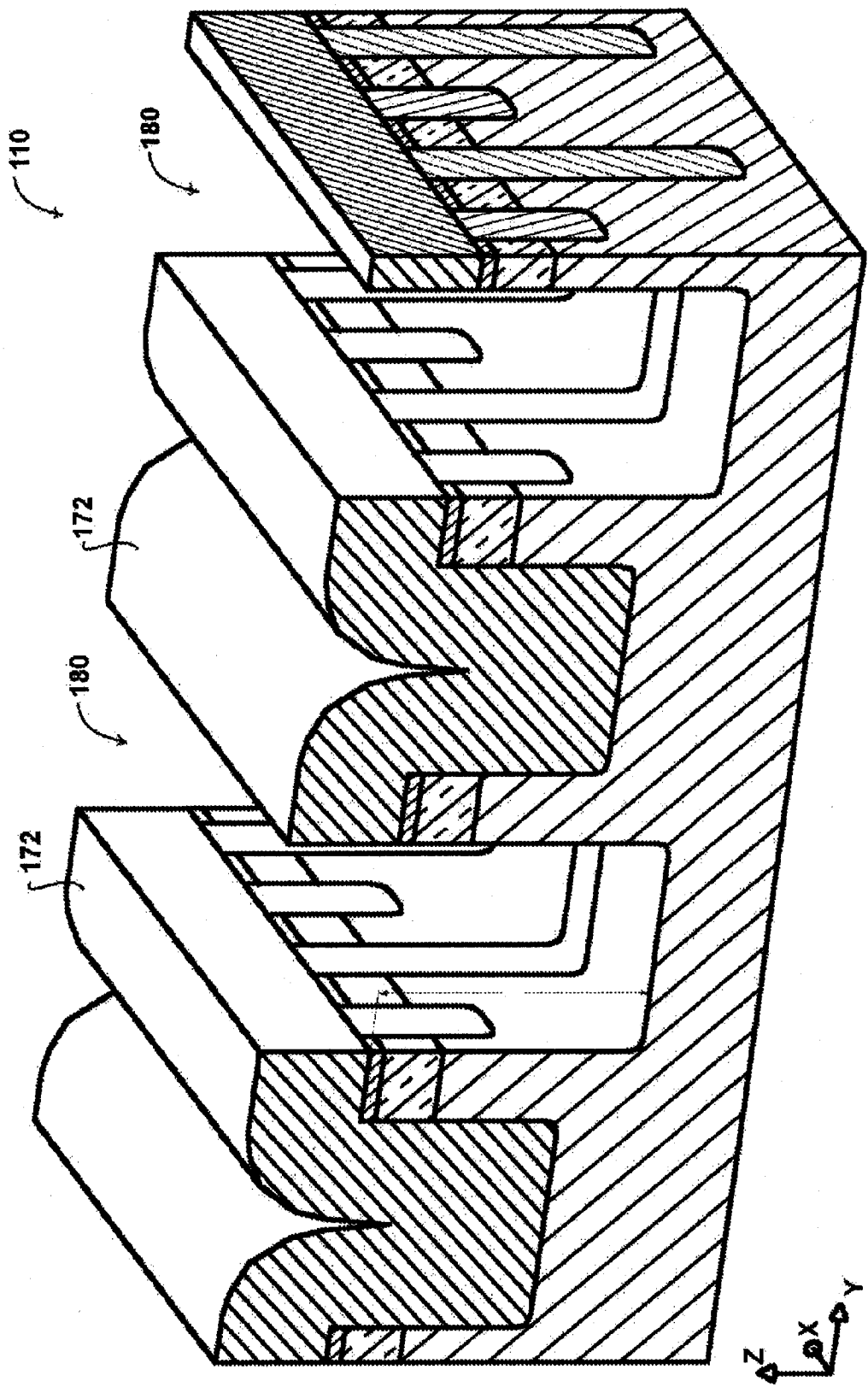


图 17

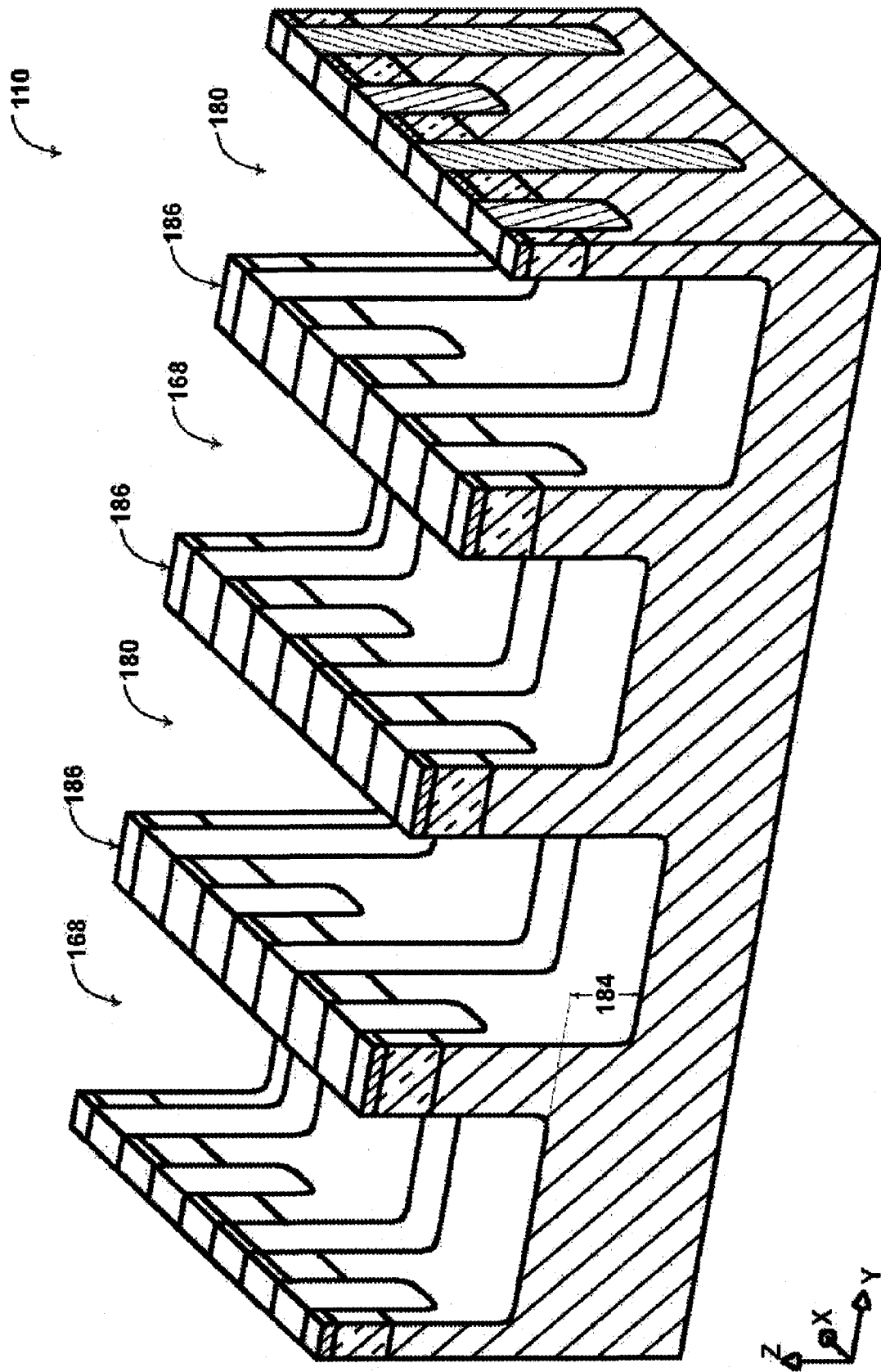


图 18

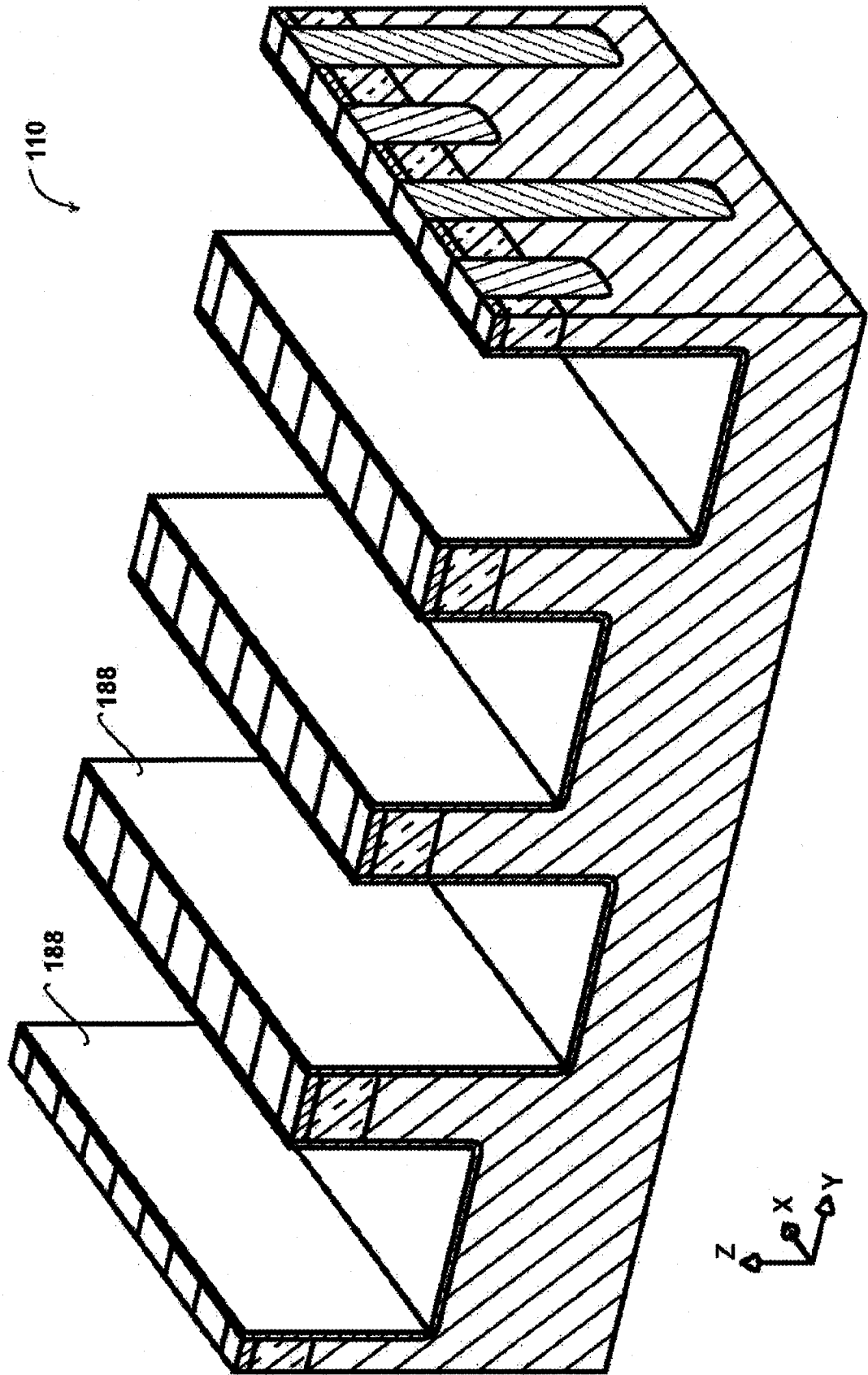


图 19



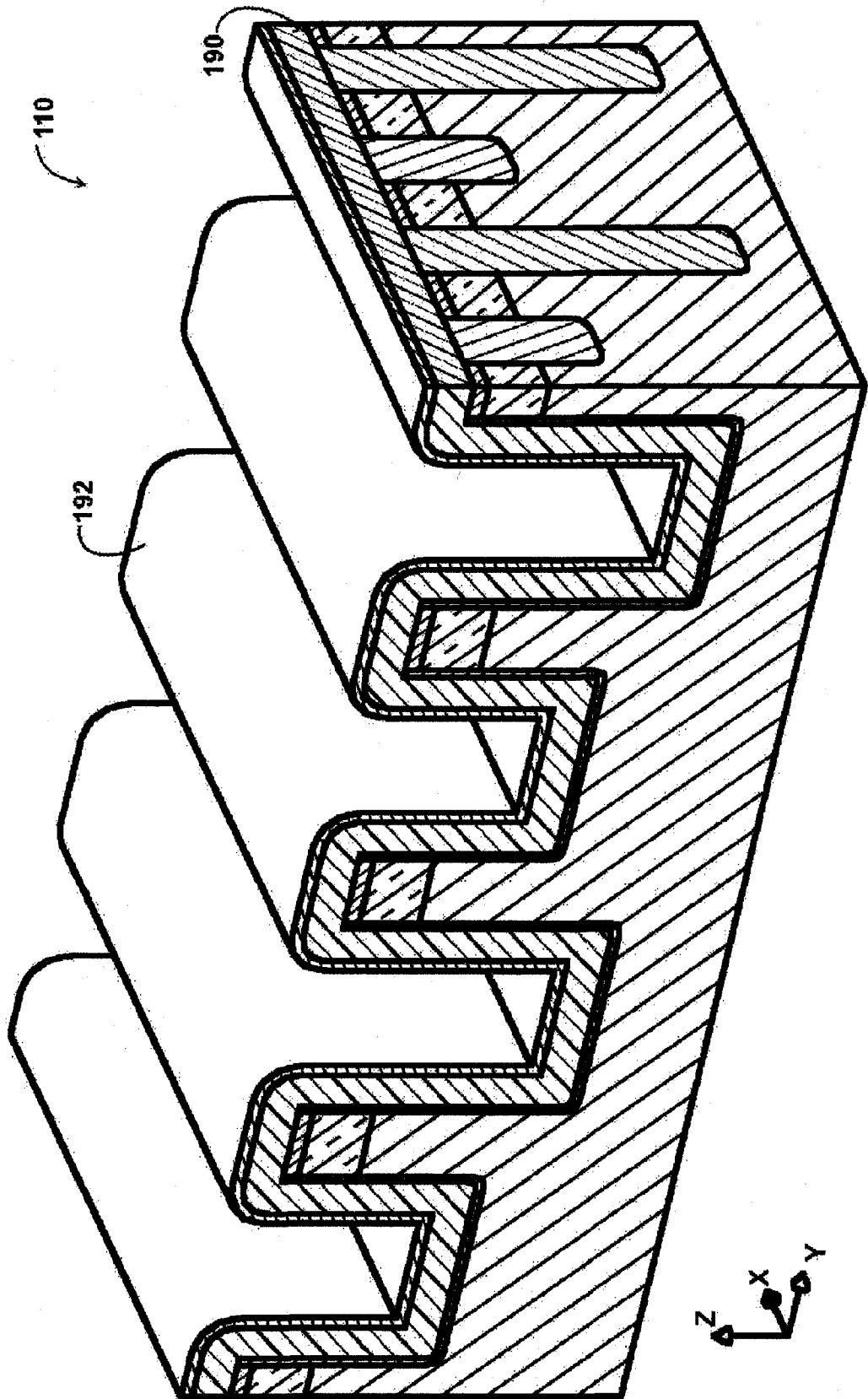


图 20

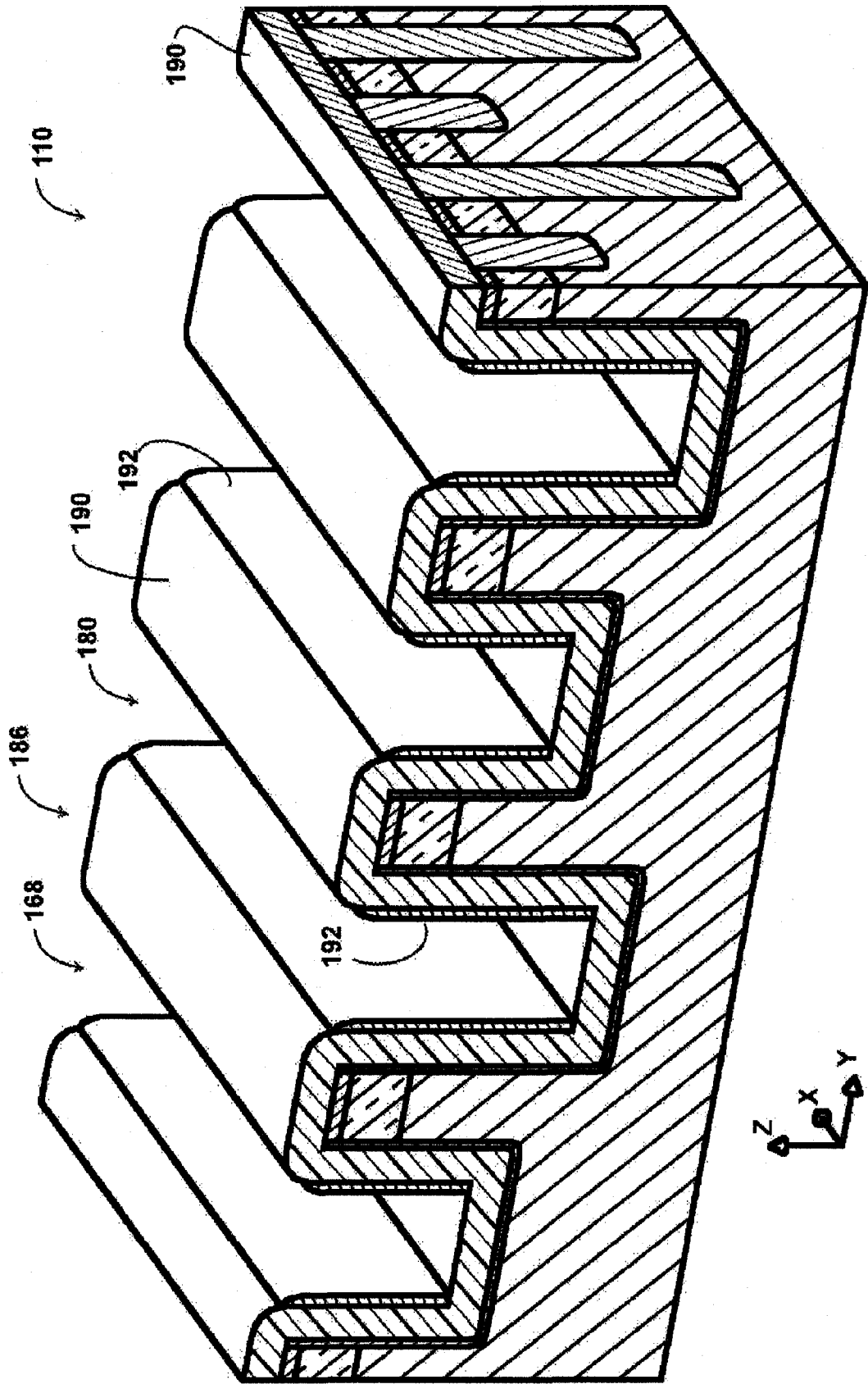


图 21

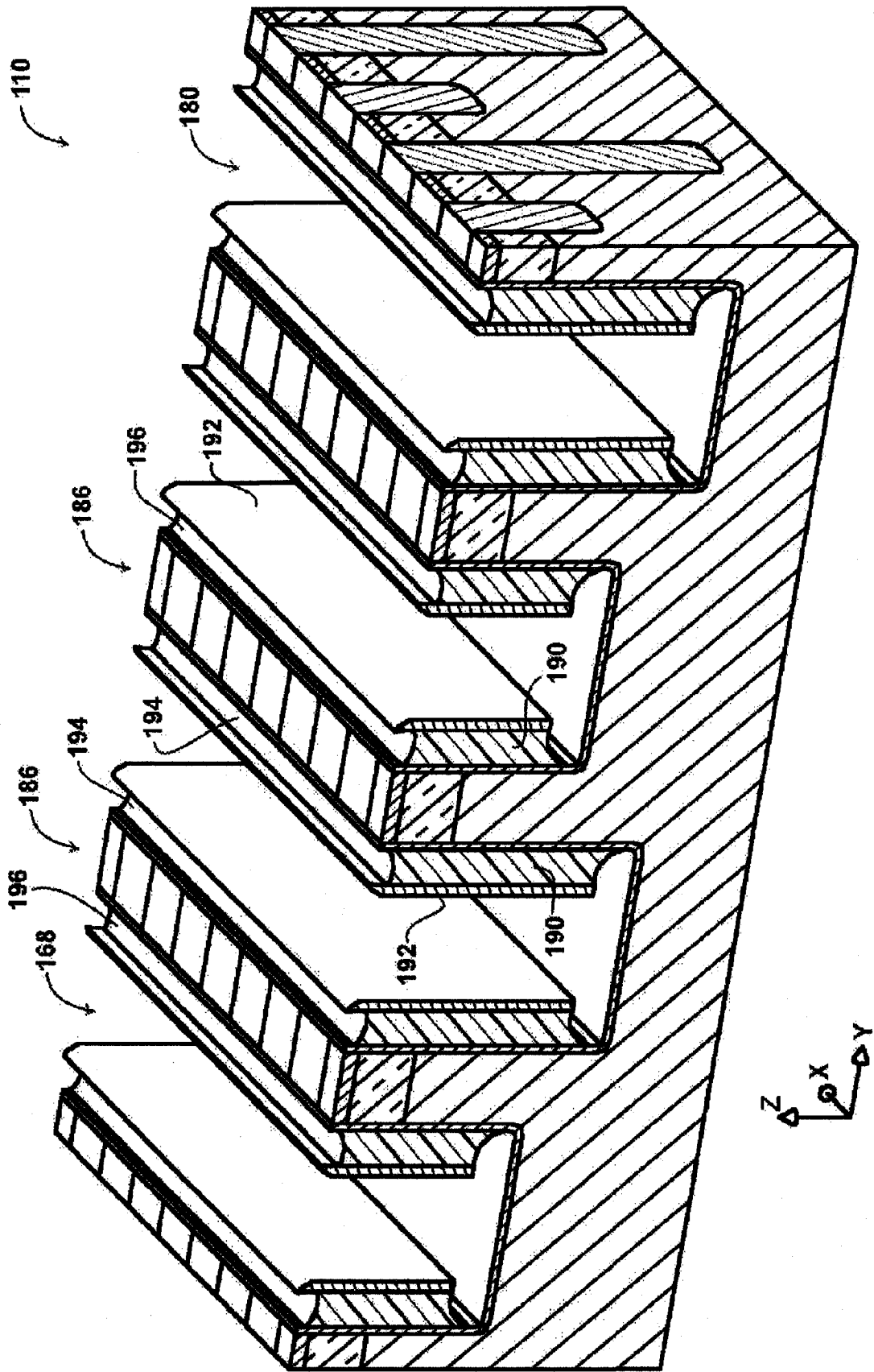


图 22

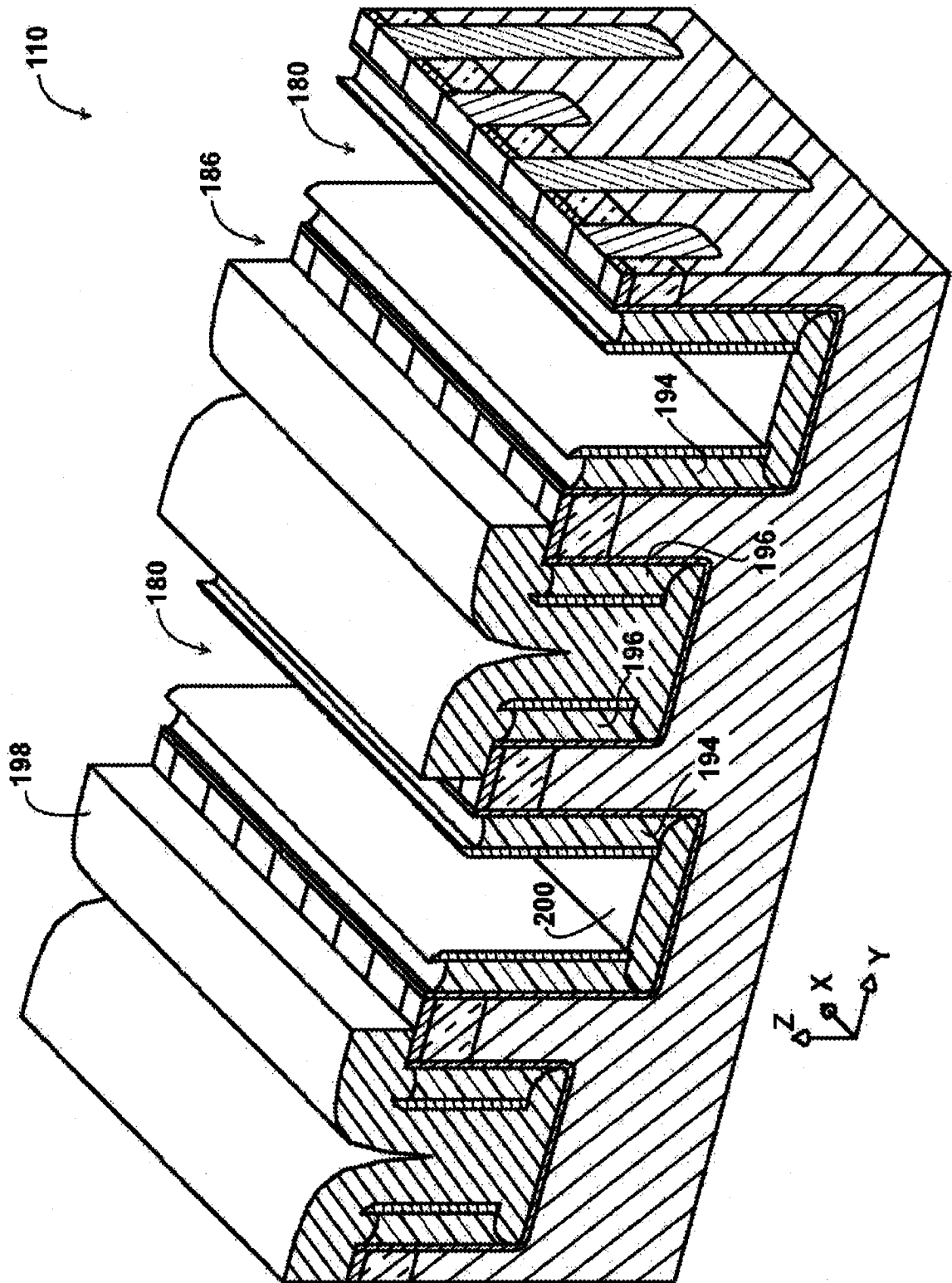


图 23

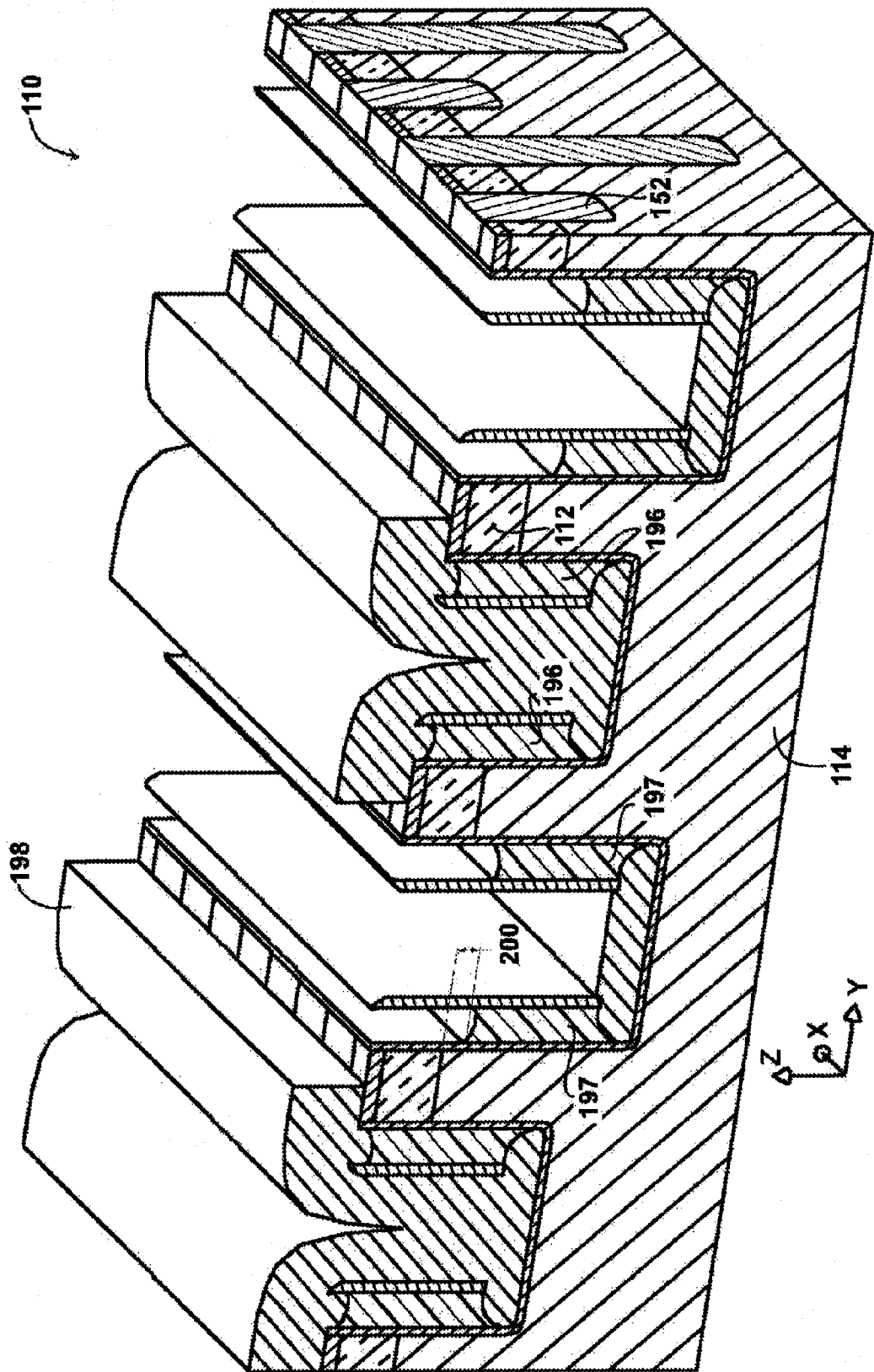


图 24

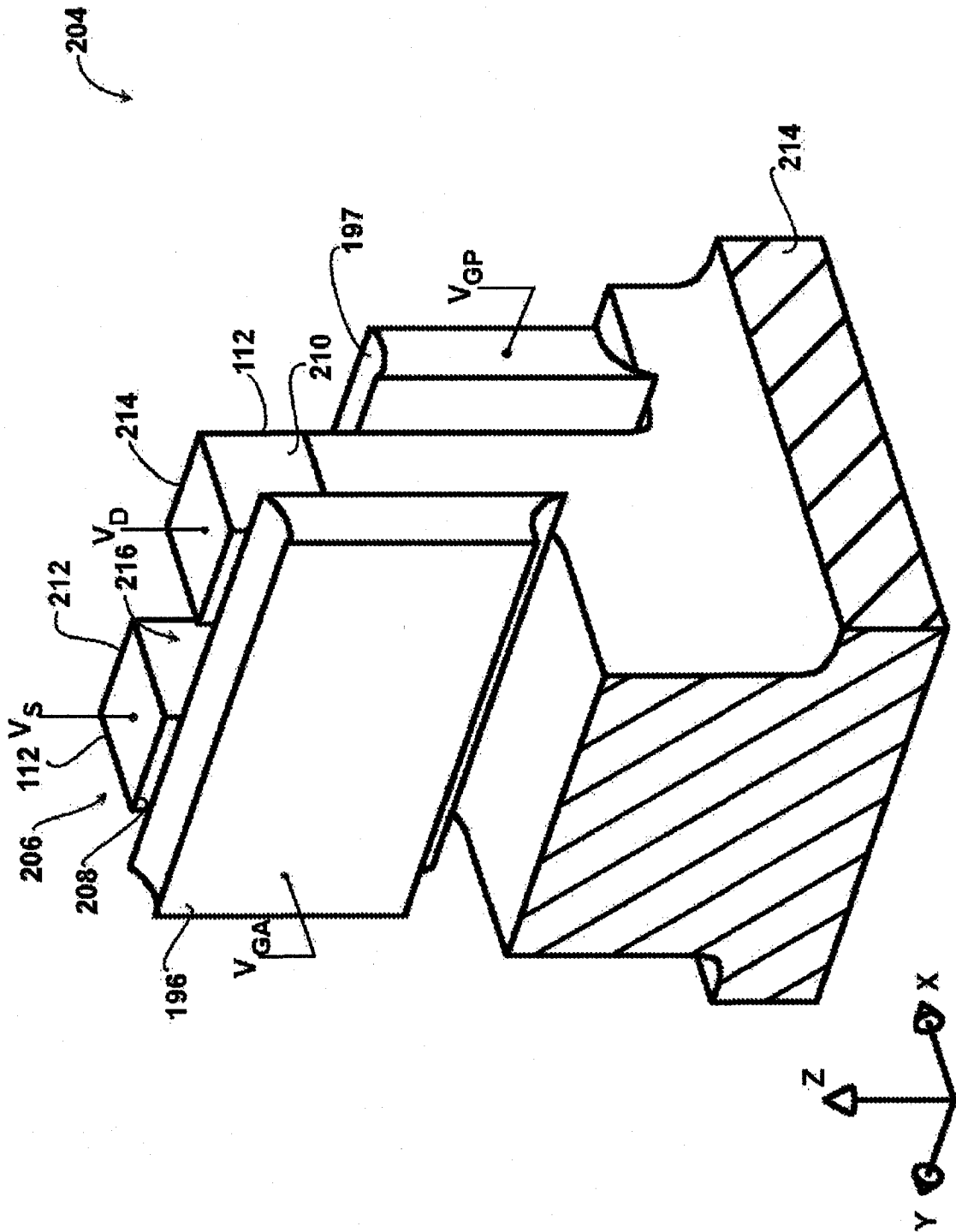


图 25

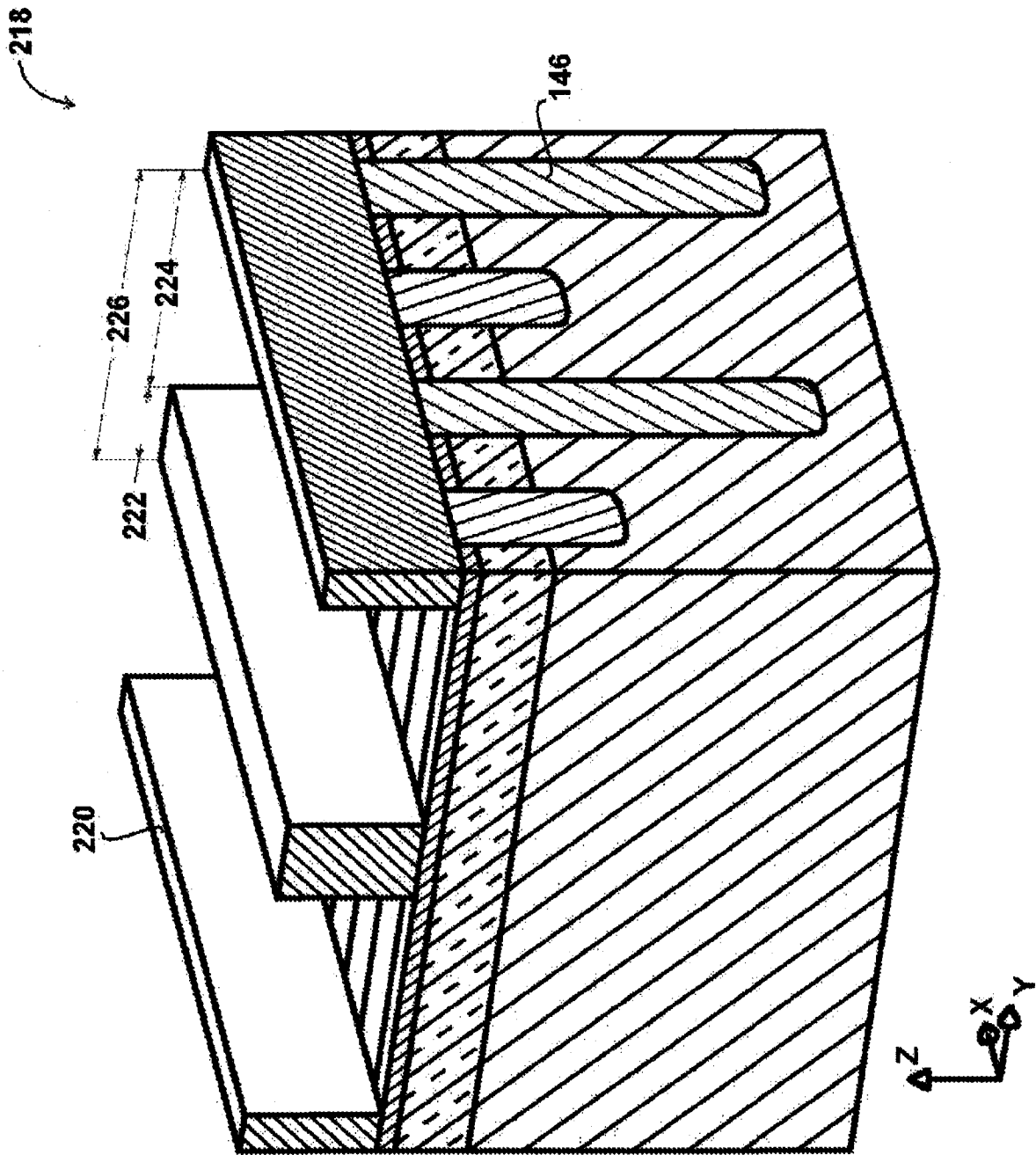


图 26

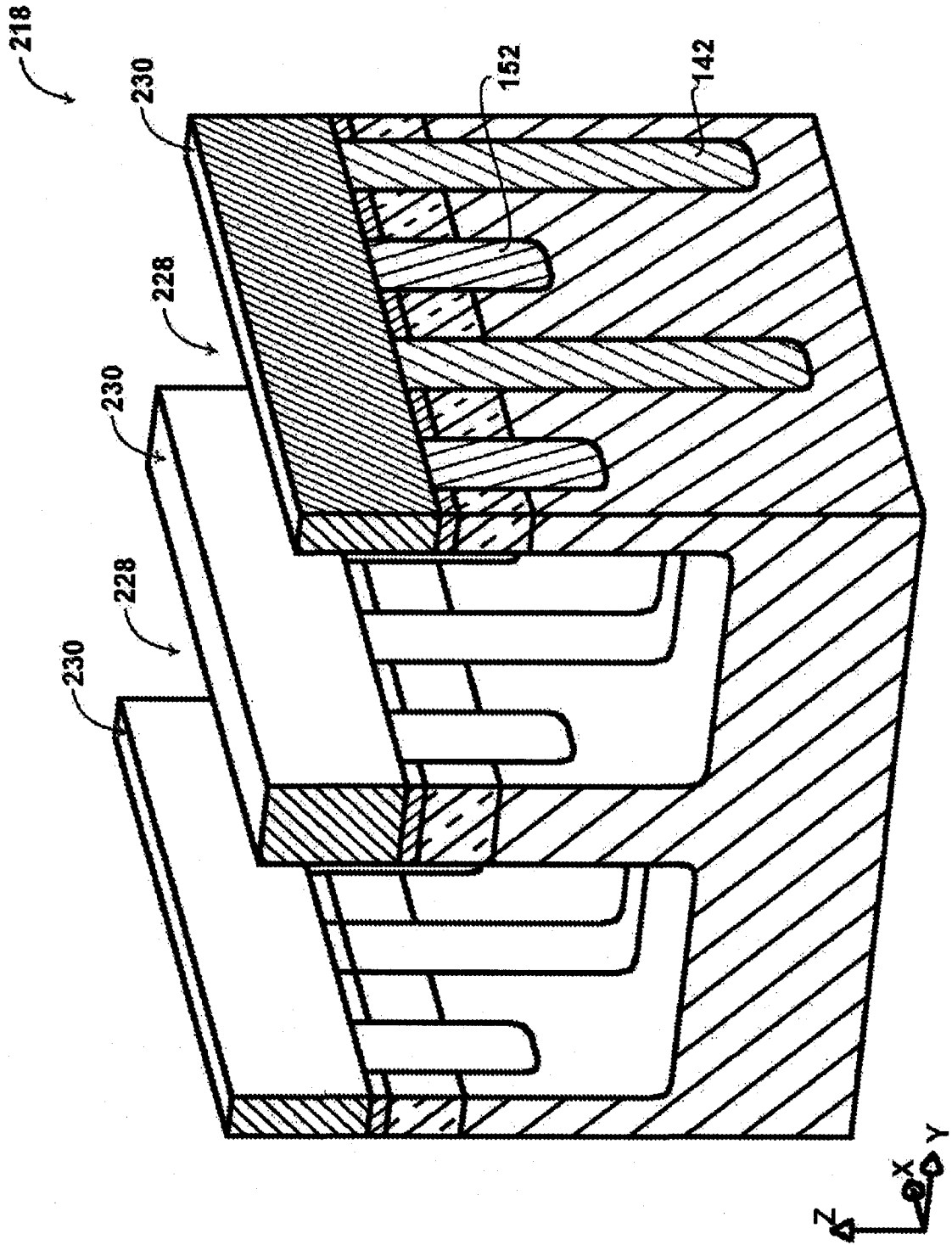


图 27



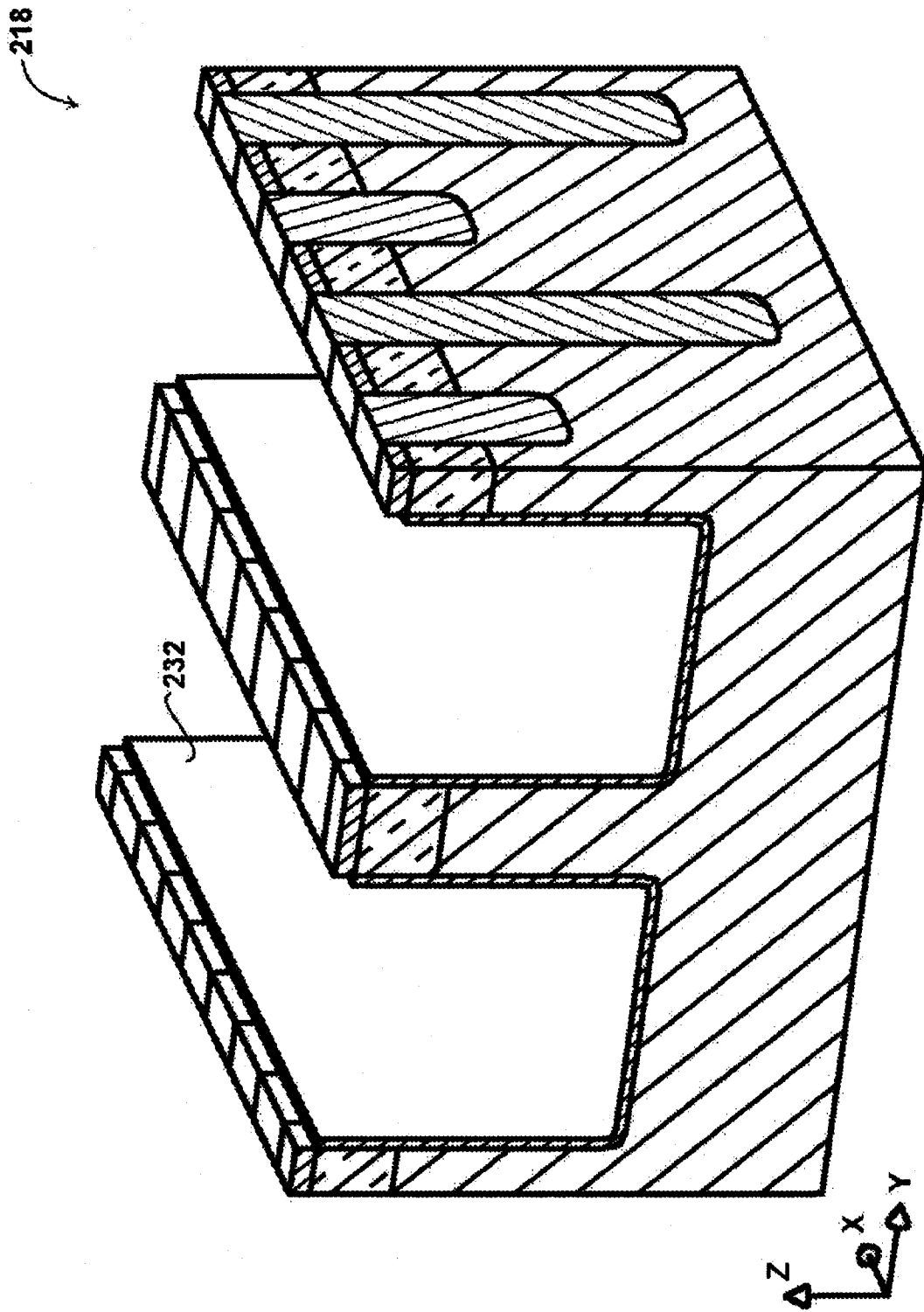


图 28

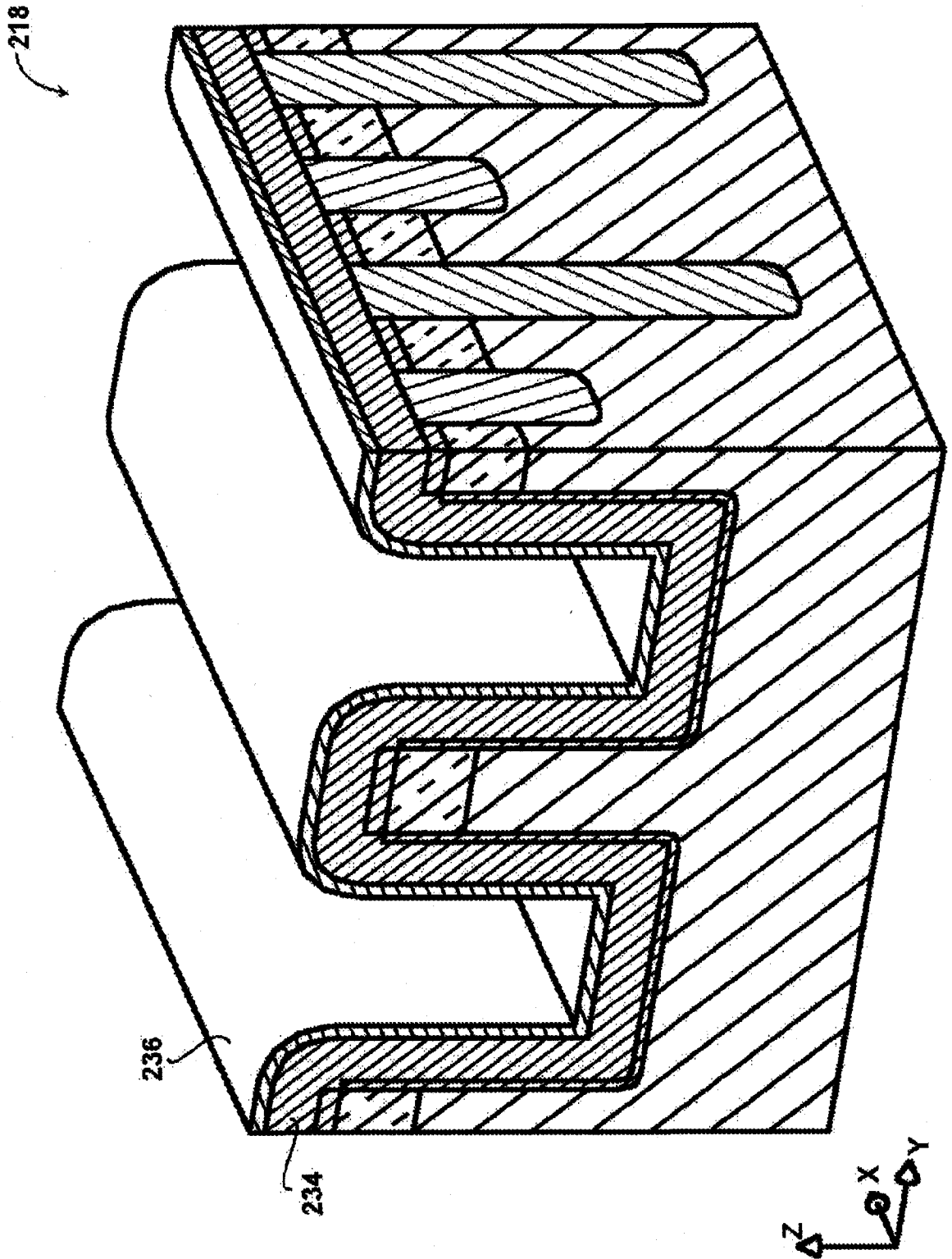


图 29

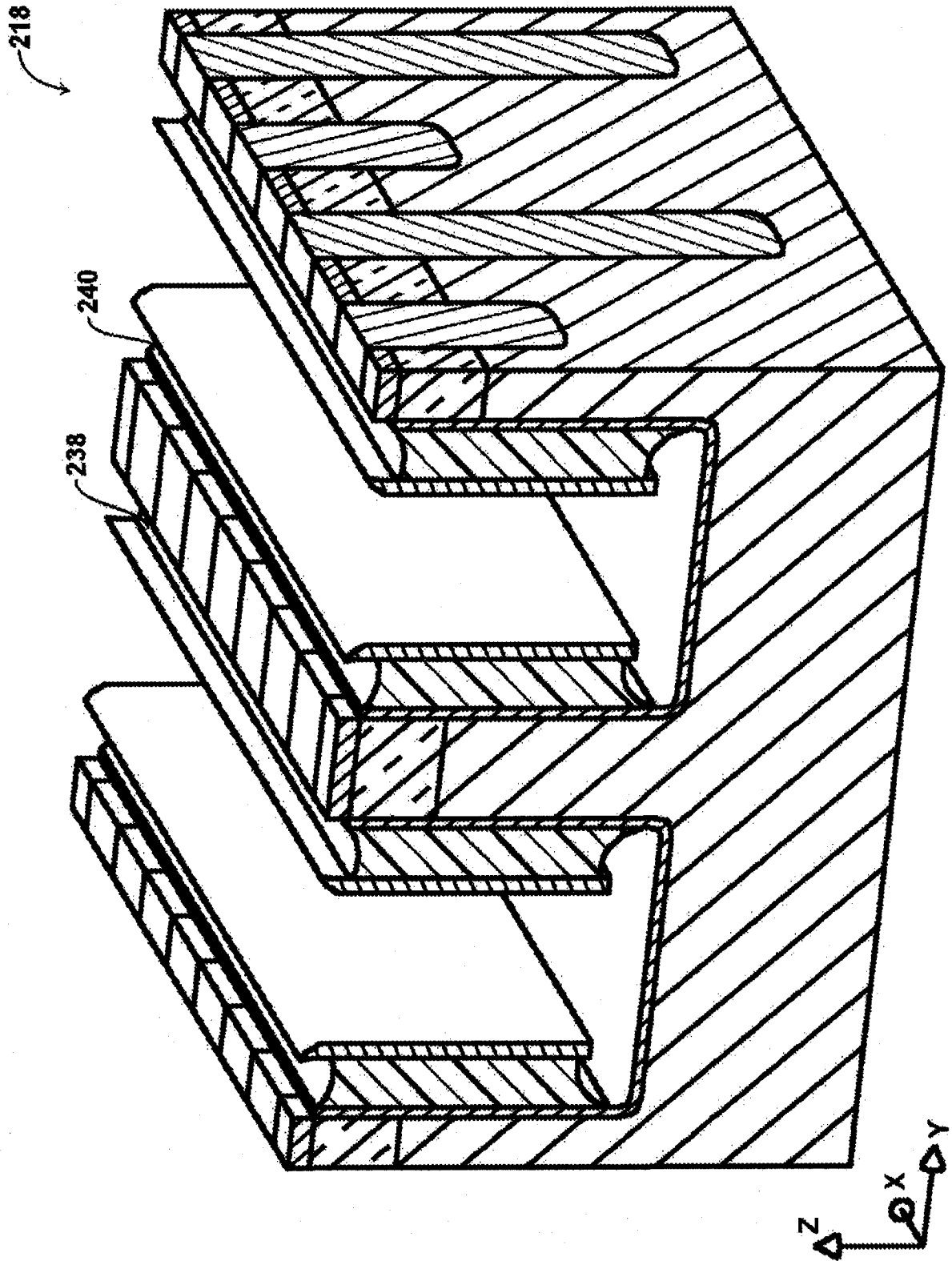


图 30

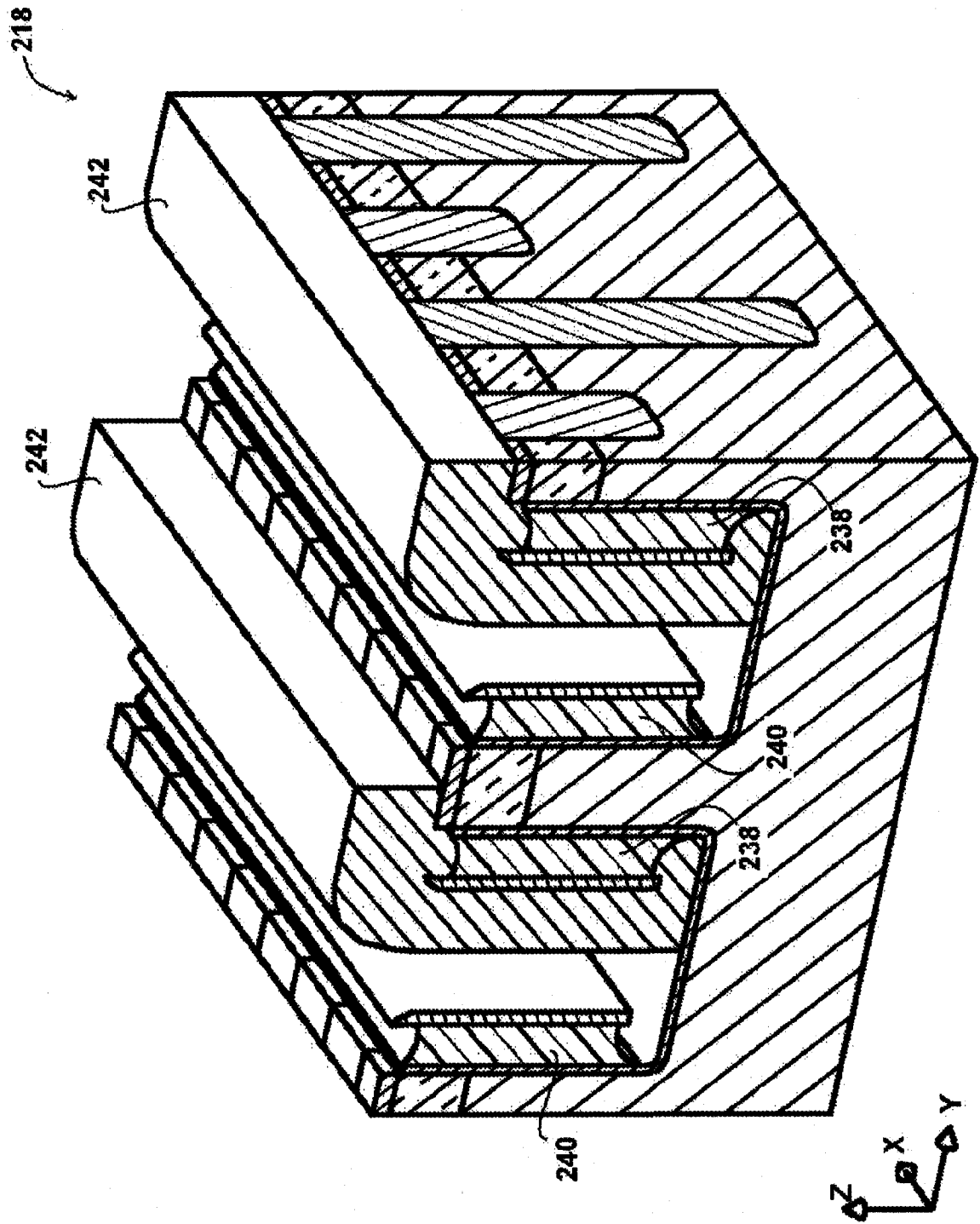


图 31

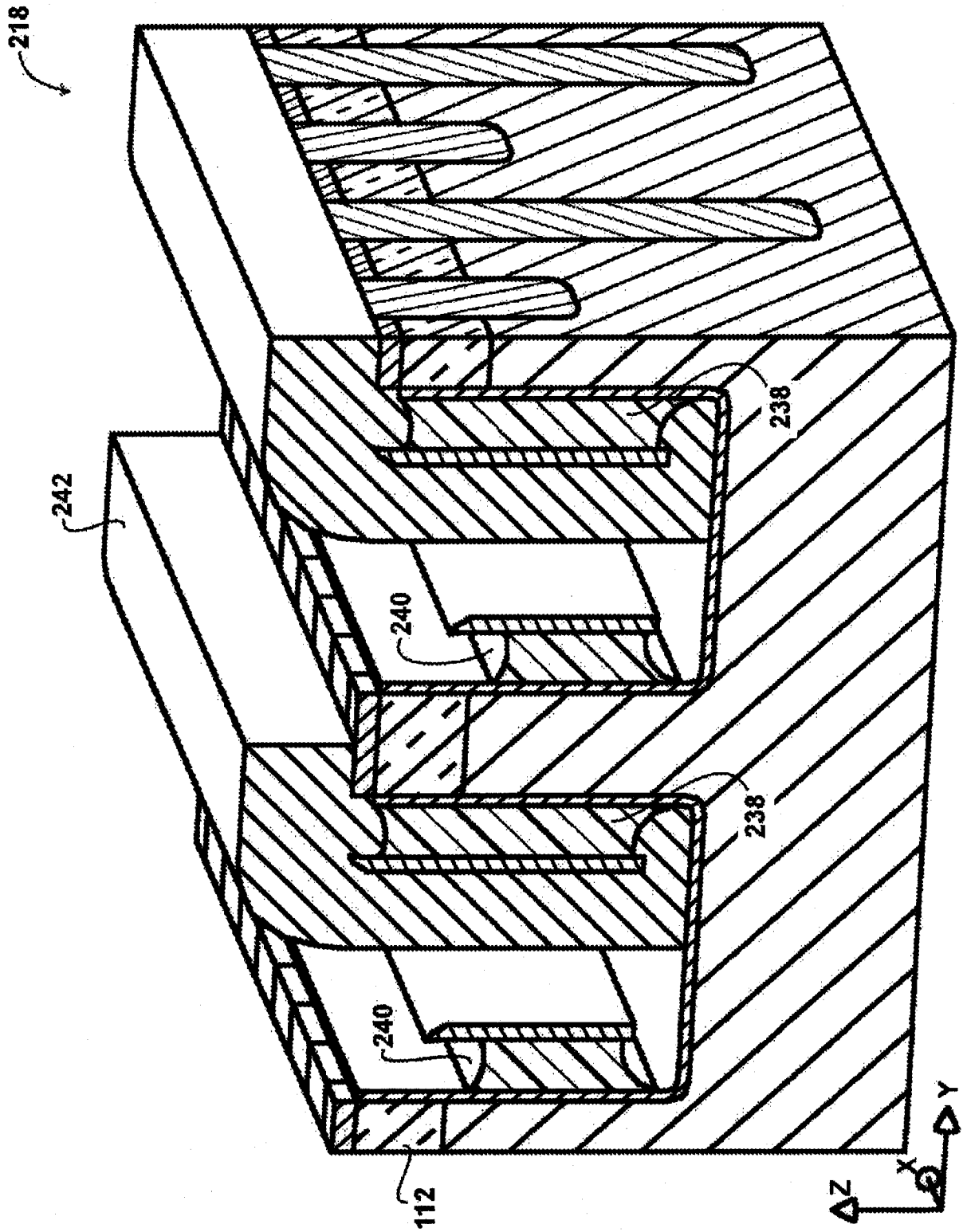


图 32

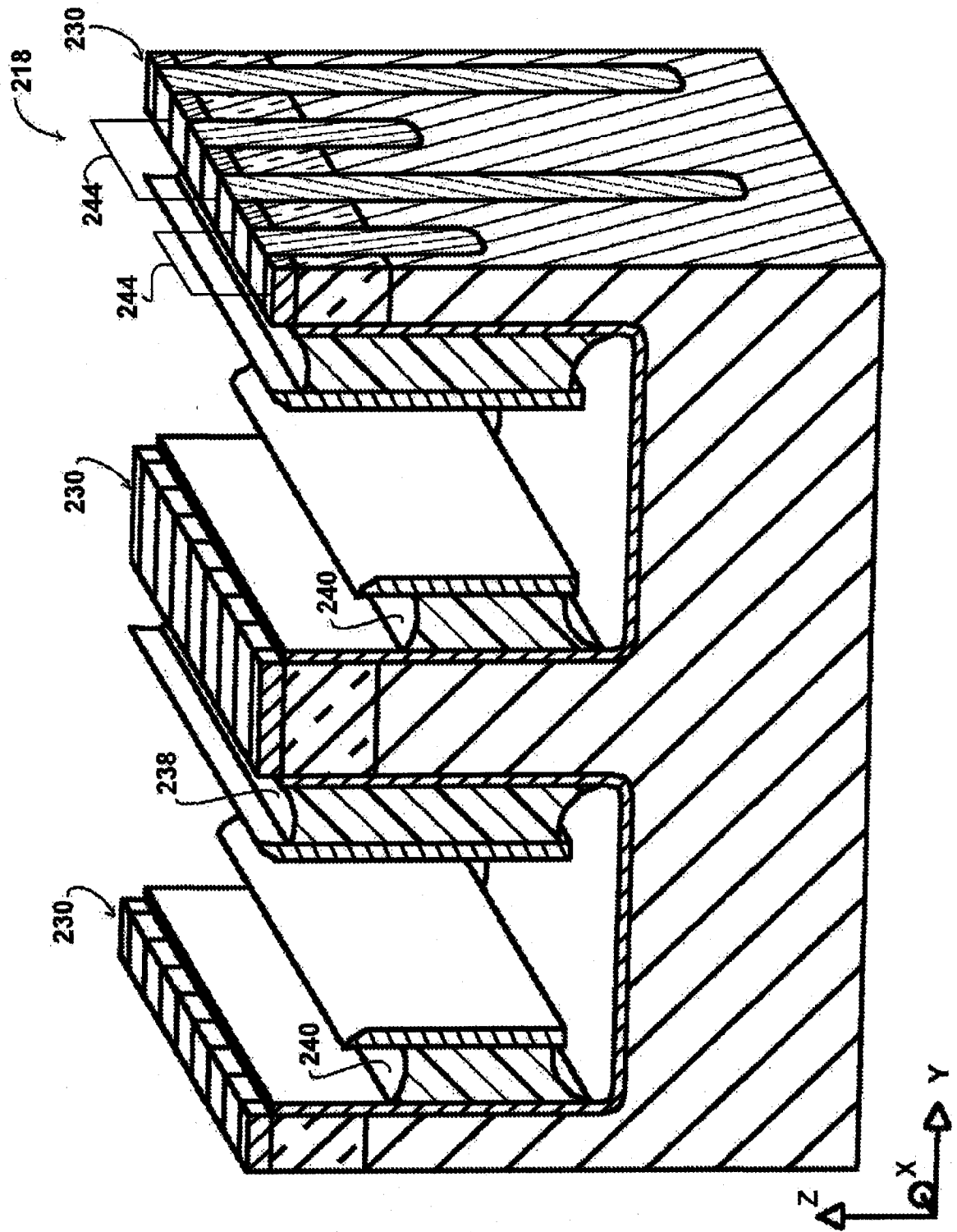


图 33

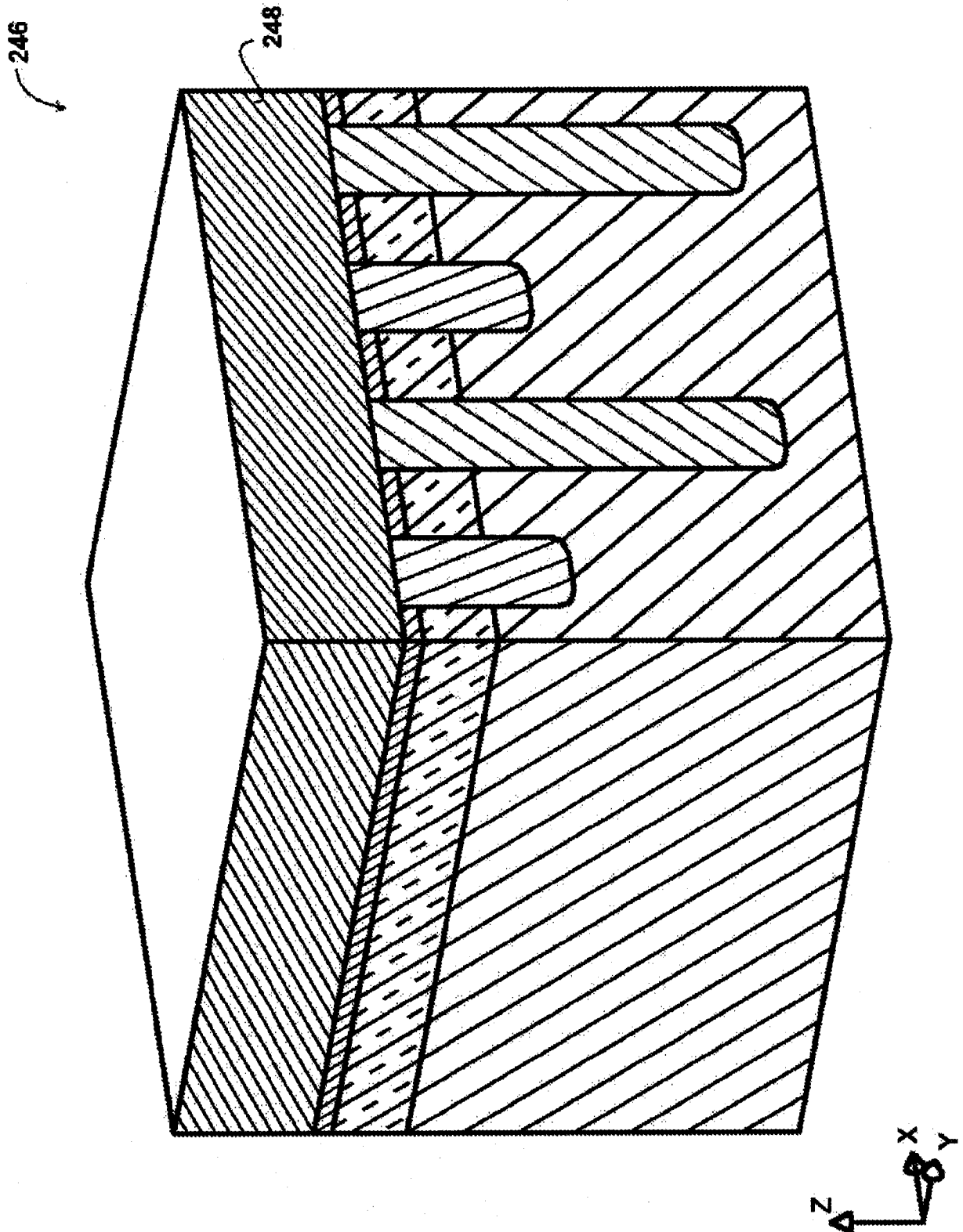


图 34

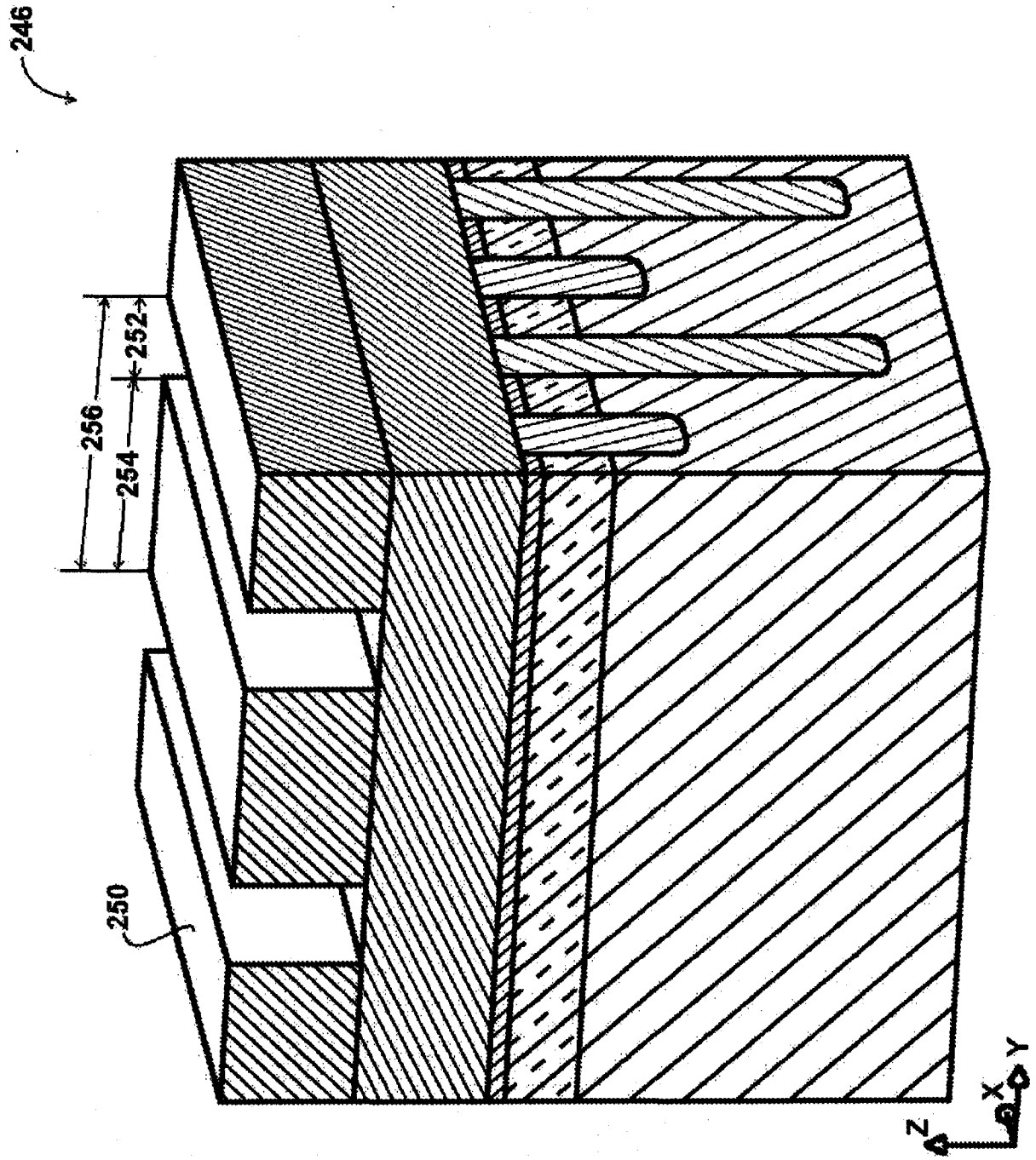


图 35



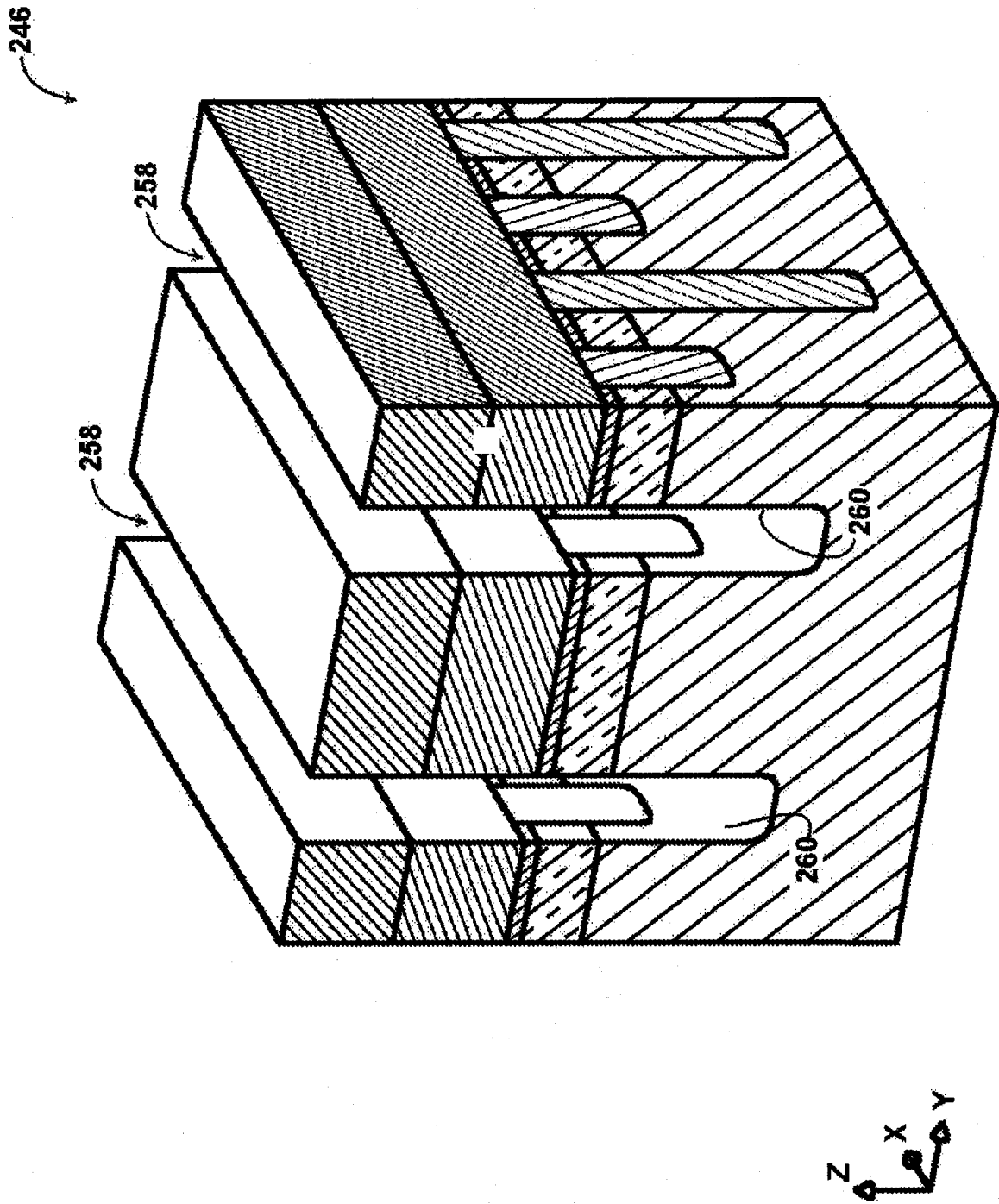


图 36

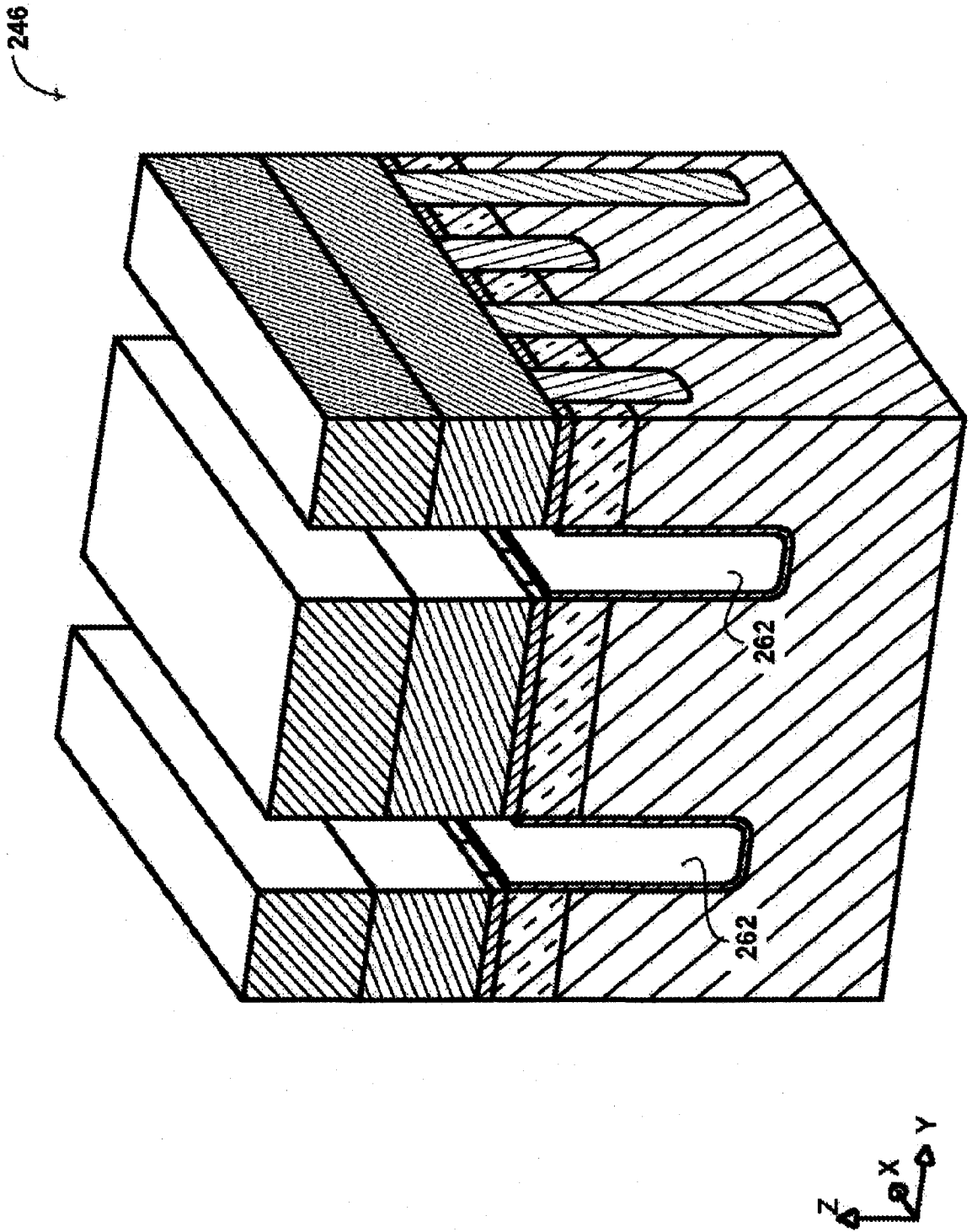


图 37

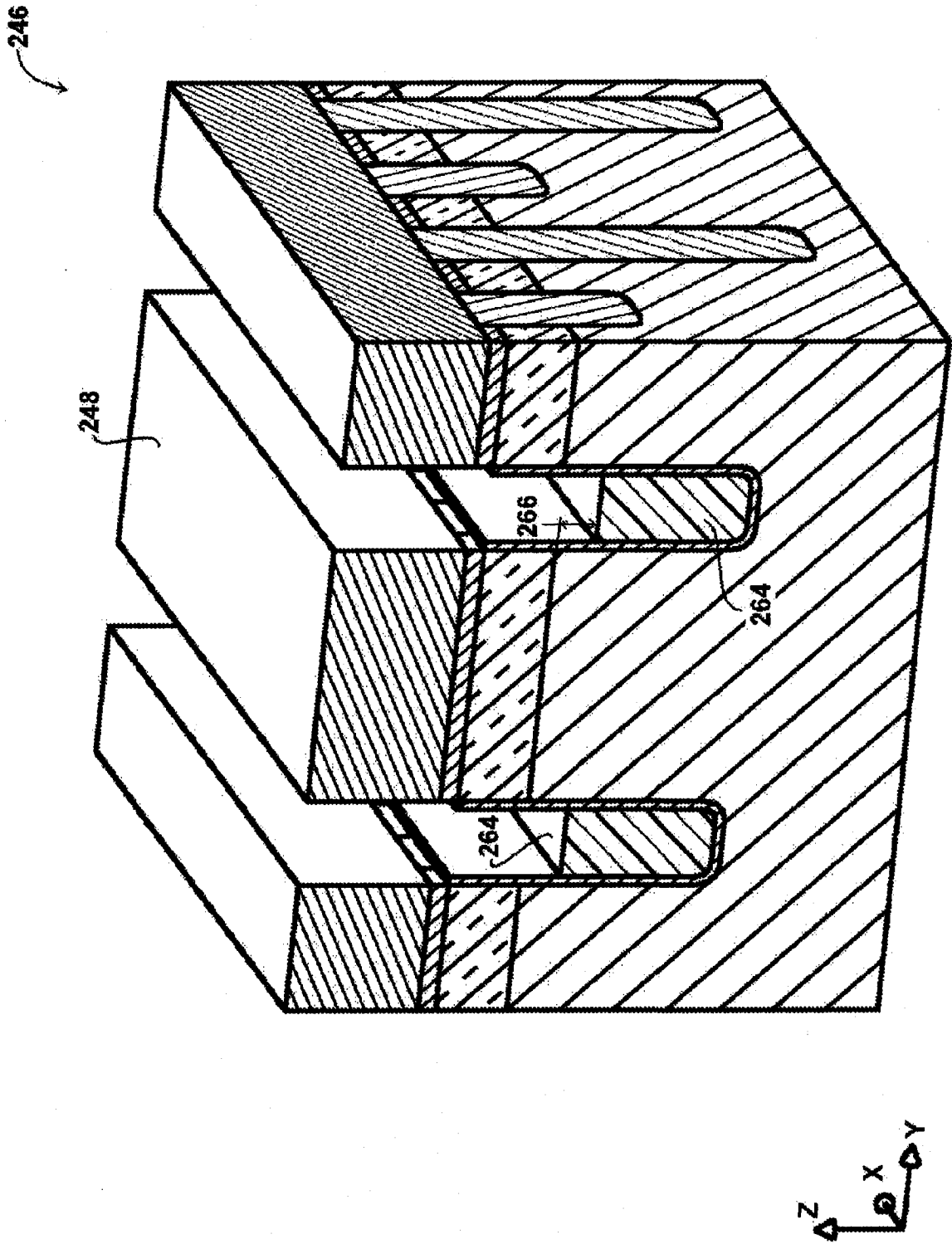


图 38

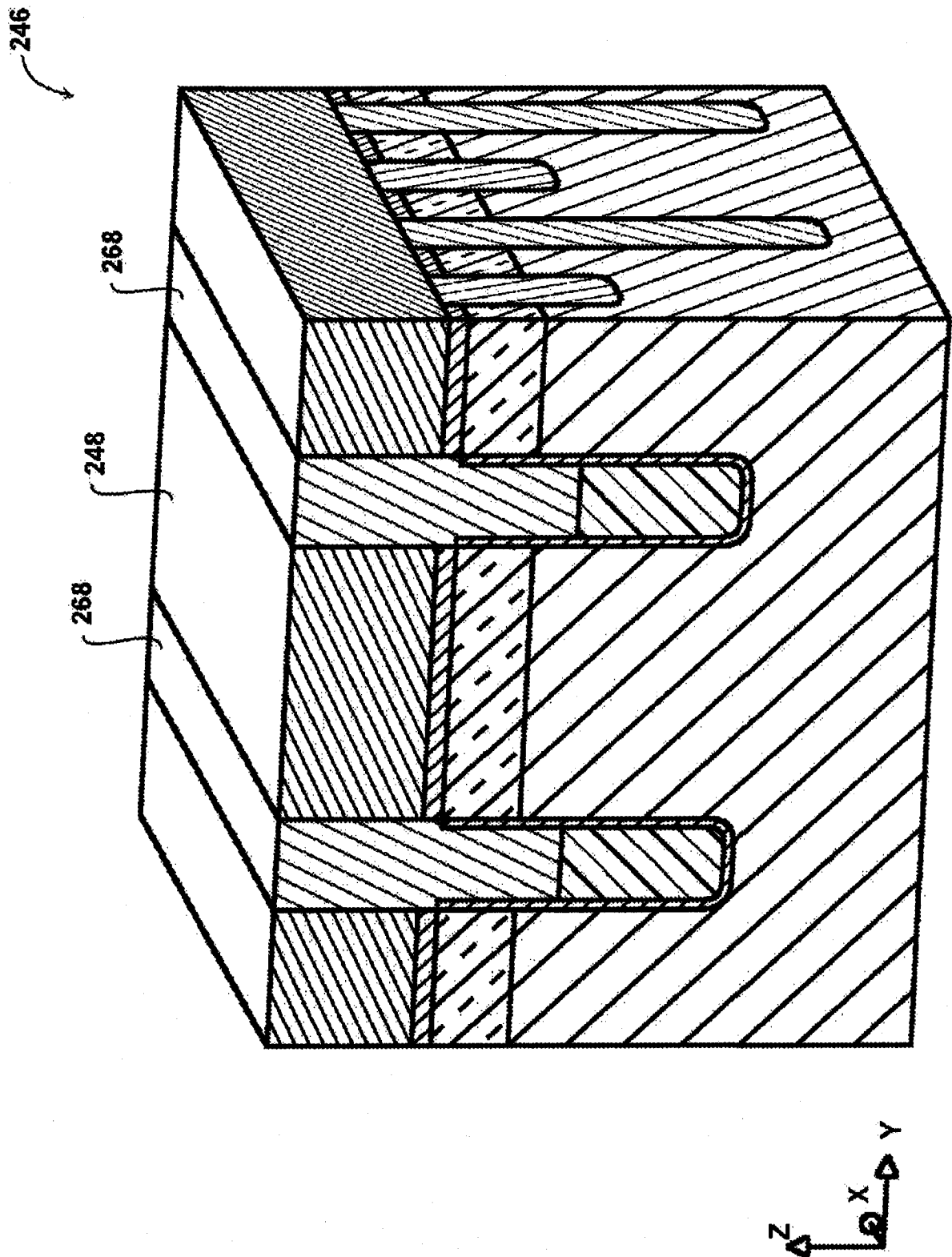


图 39

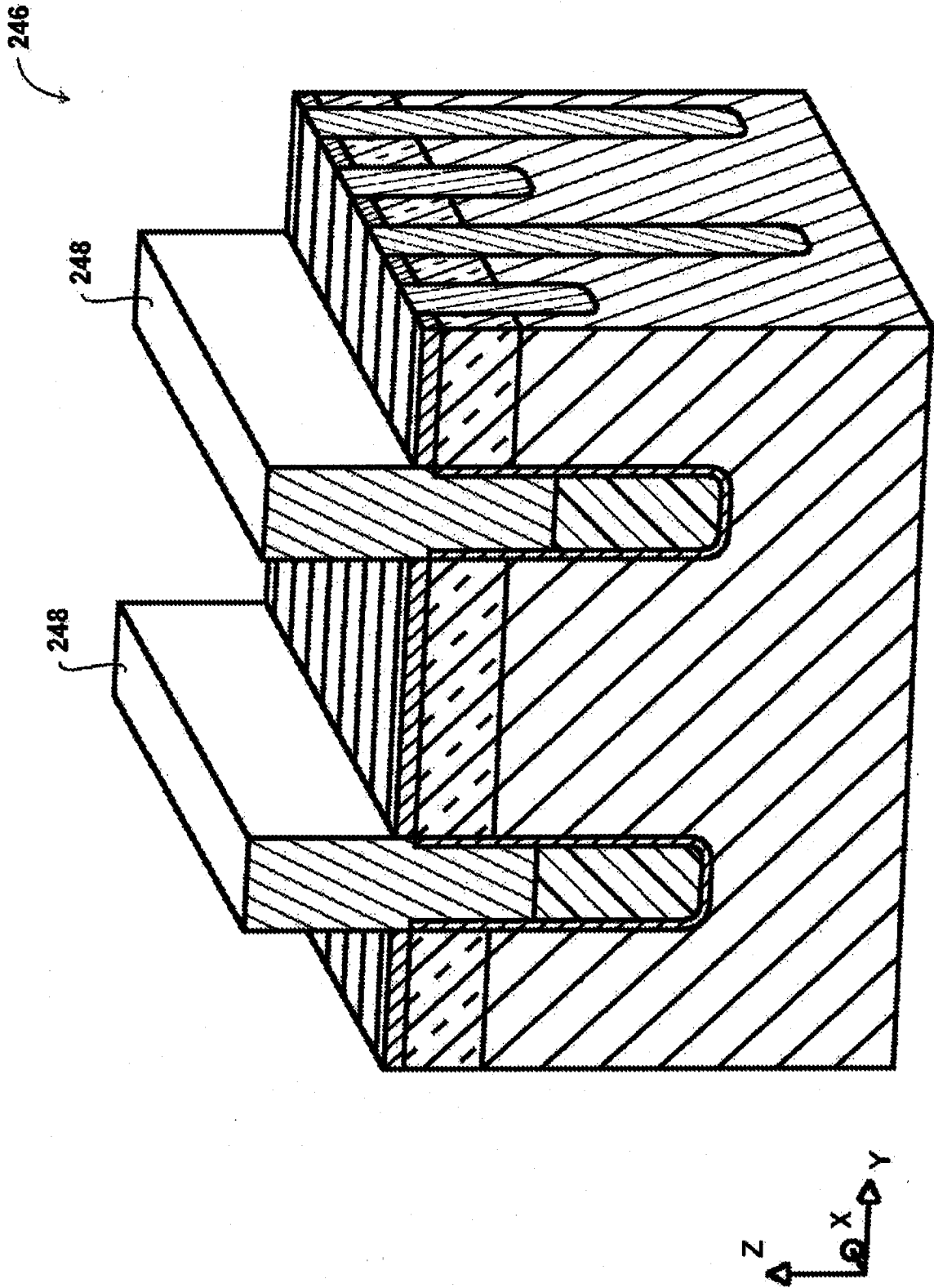


图 40

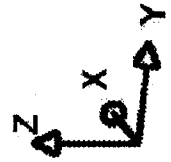
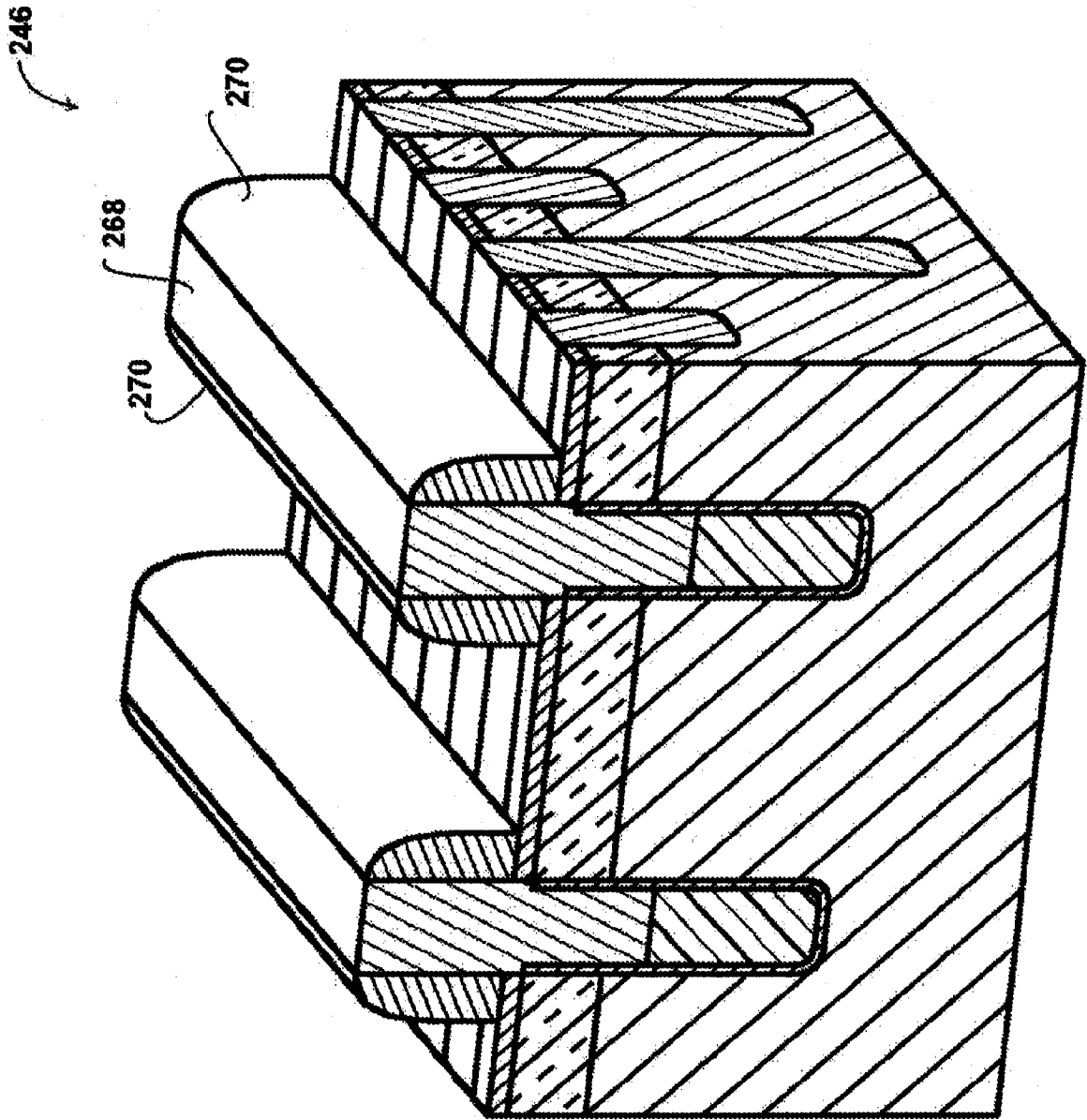


图 41

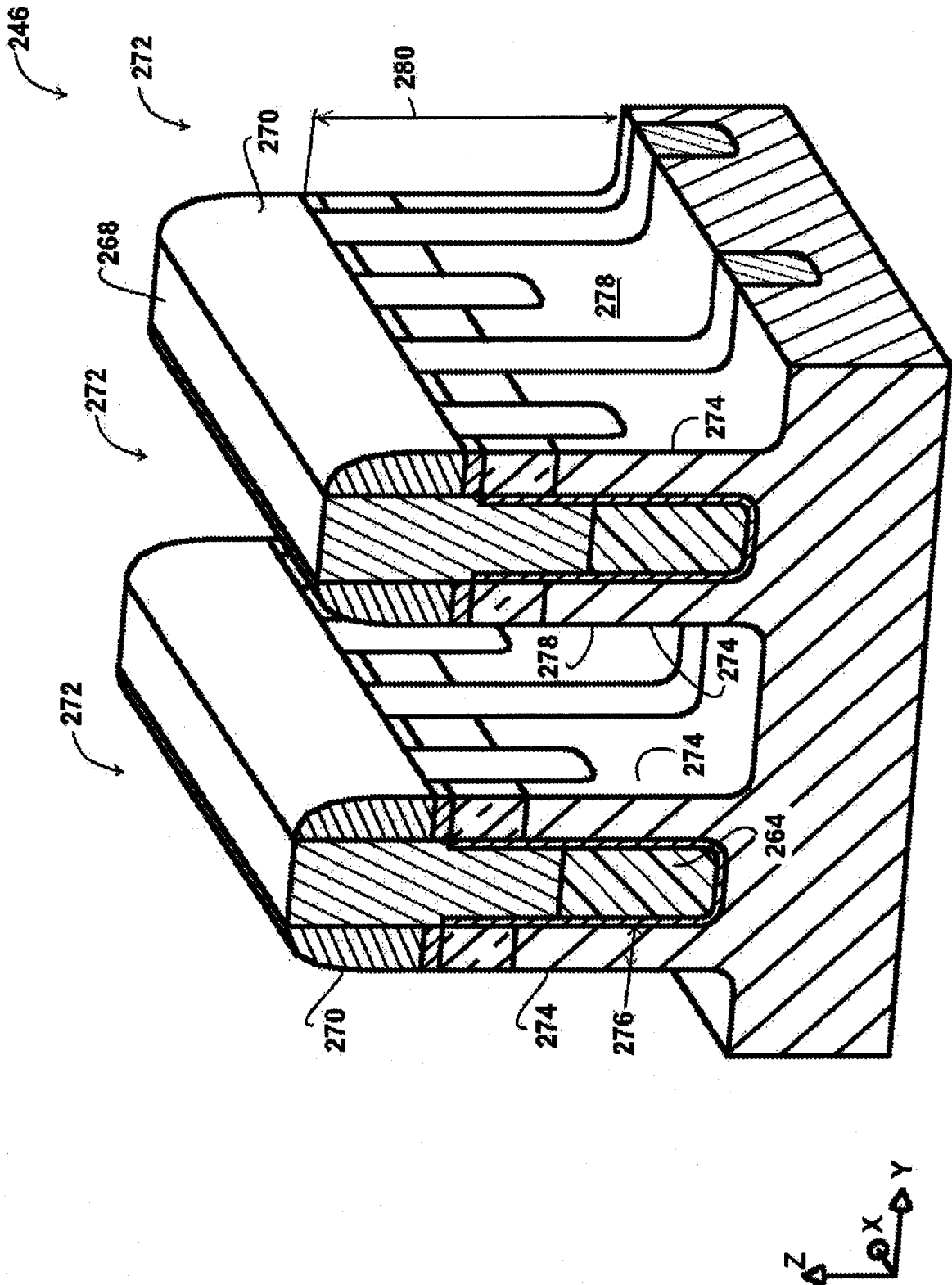


图 42

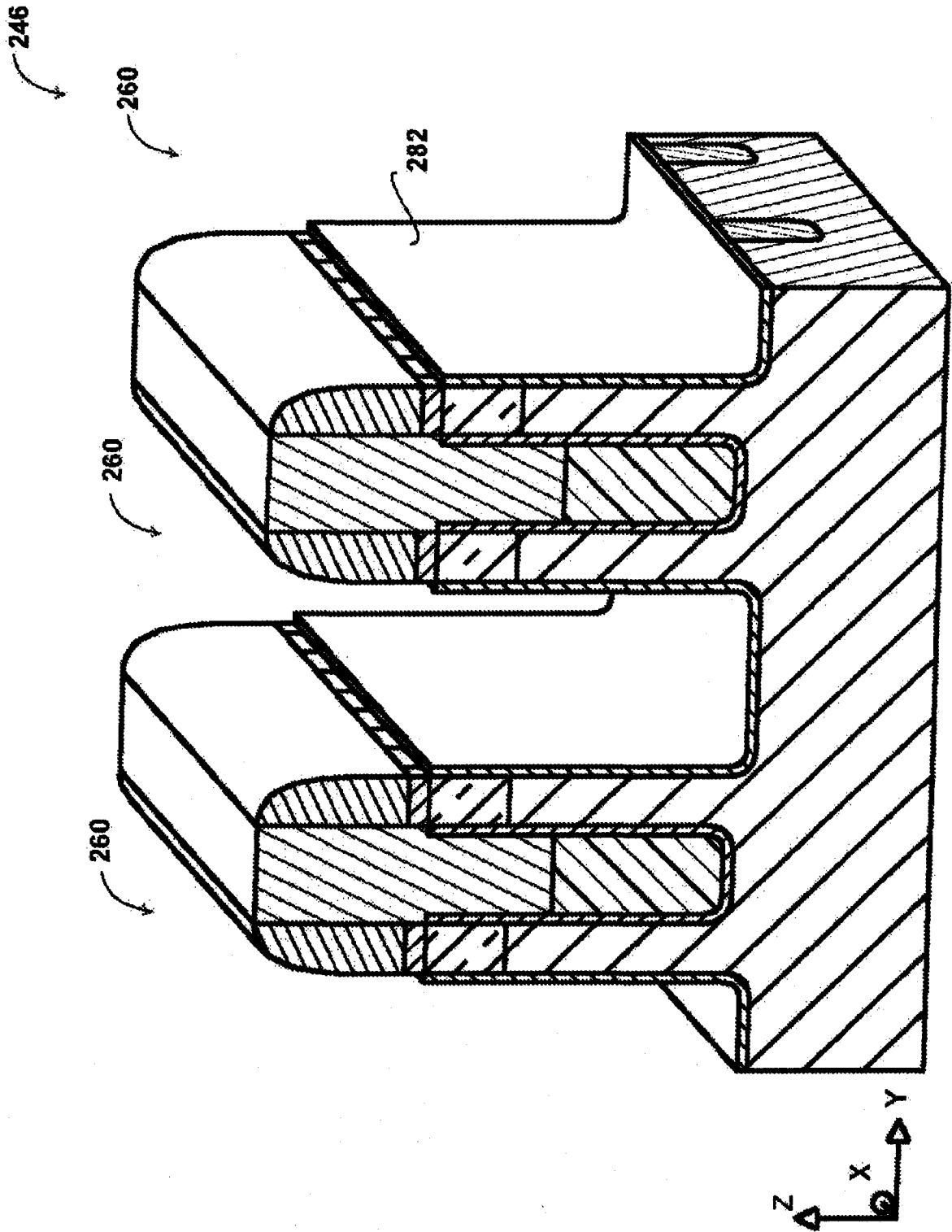


图 43



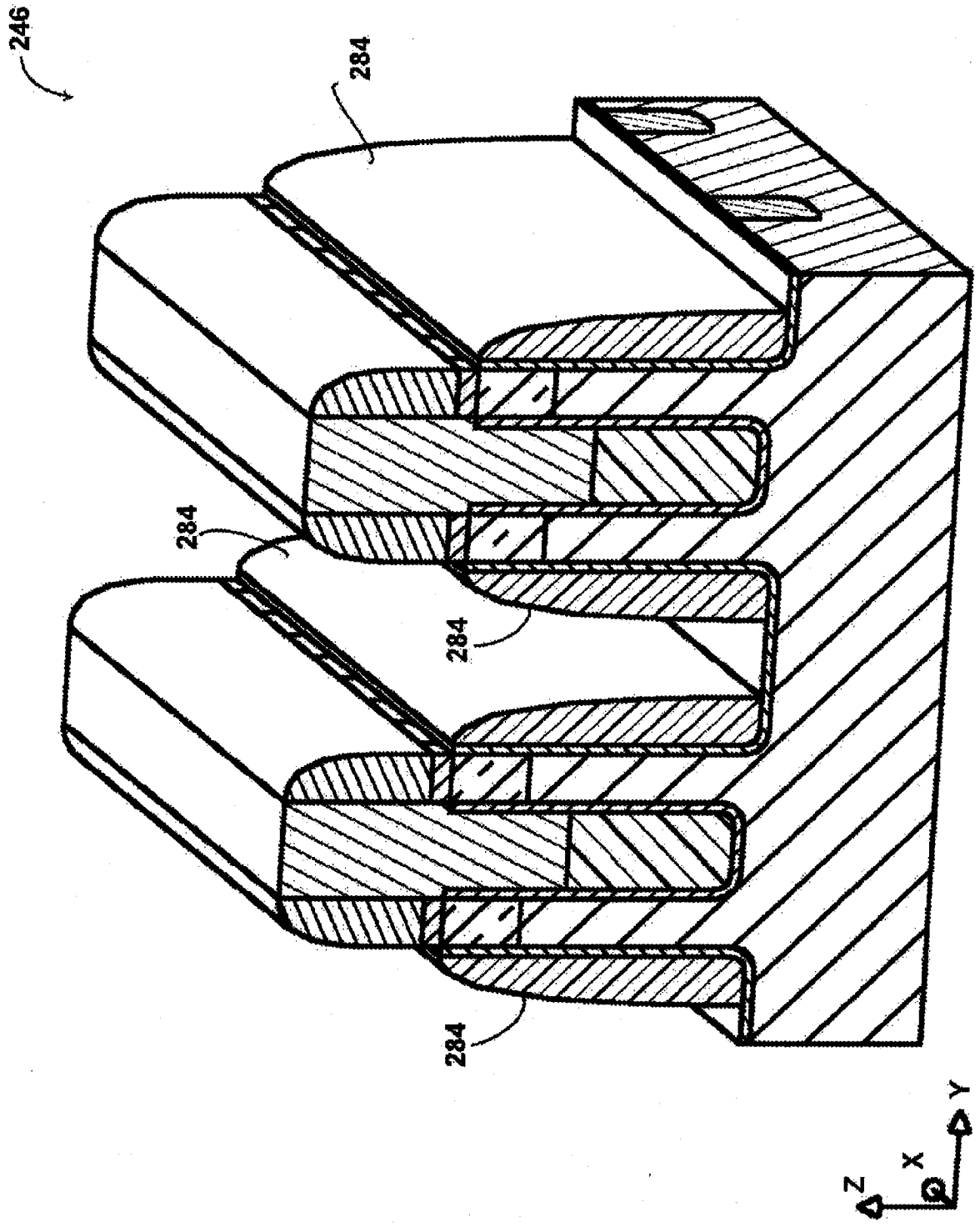


图 44

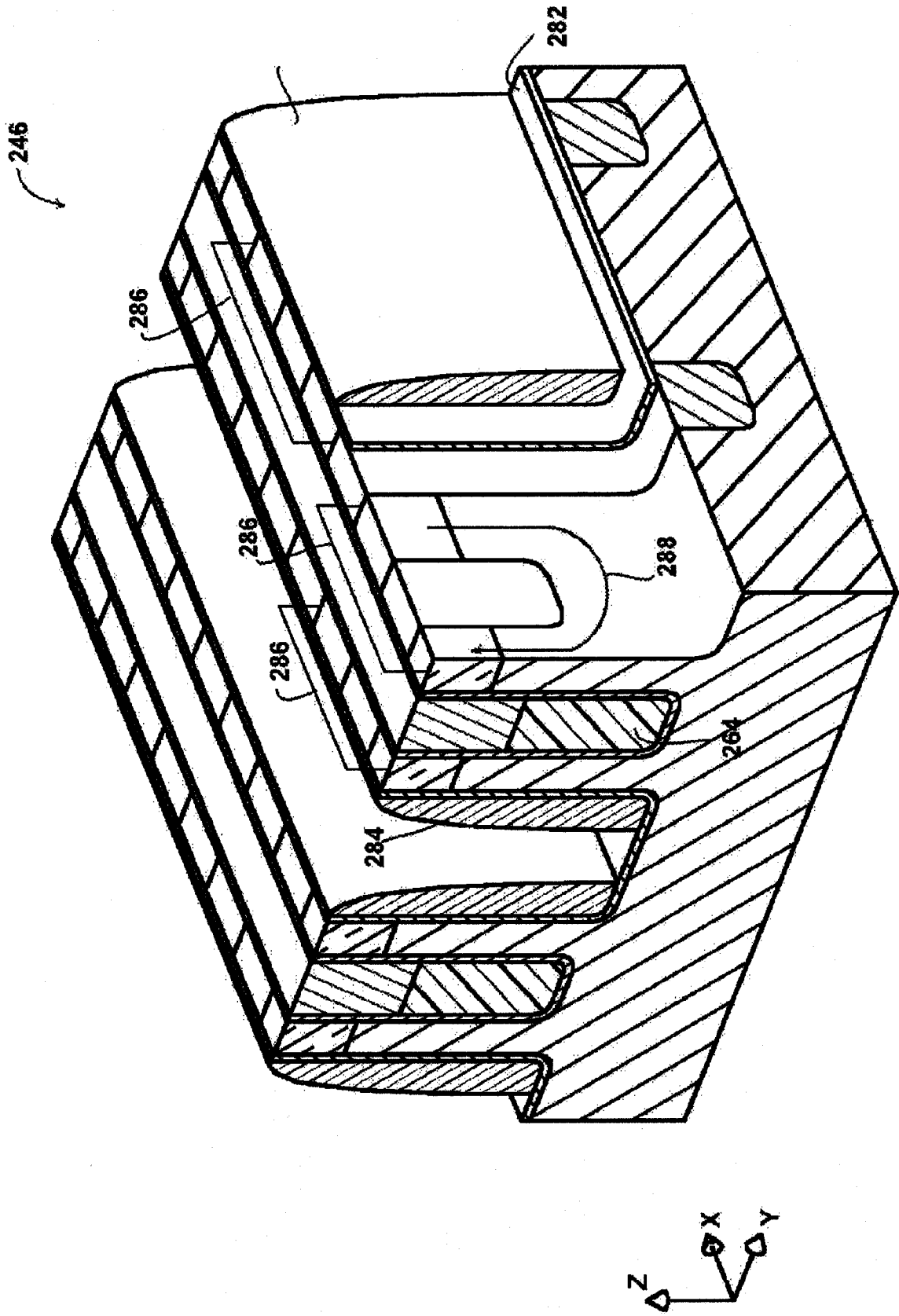


图 45