

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-157873

(P2012-157873A)

(43) 公開日 平成24年8月23日(2012.8.23)

(51) Int.Cl.	F I	テーマコード (参考)
<b>B 2 3 K 35/26 (2006.01)</b>	B 2 3 K 35/26 3 1 0 C	5 E 3 1 9
<b>C 2 2 C 12/00 (2006.01)</b>	B 2 3 K 35/26 3 1 0 A	
<b>C 2 2 C 13/02 (2006.01)</b>	C 2 2 C 12/00	
<b>B 2 3 K 1/00 (2006.01)</b>	C 2 2 C 13/02	
<b>H 0 5 K 3/34 (2006.01)</b>	B 2 3 K 1/00 3 3 0 E	

審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2011-18233 (P2011-18233)  
 (22) 出願日 平成23年1月31日 (2011.1.31)

(71) 出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 (74) 代理人 100091672  
 弁理士 岡本 啓三  
 (72) 発明者 赤松 俊也  
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
 (72) 発明者 今泉 延弘  
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
 (72) 発明者 作山 誠樹  
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
 最終頁に続く

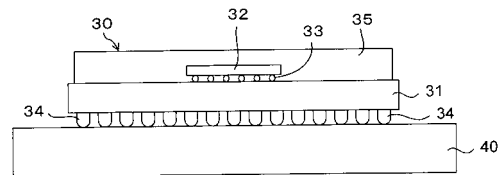
(54) 【発明の名称】 はんだ、はんだ付け方法及び半導体装置

(57) 【要約】

【課題】 延性が高く、長期間にわたり十分な接合強度を維持できるPbフリーはんだ、そのはんだを用いた半導体装置及びはんだ付け方法を提供する。

【解決手段】 Sn (スズ)、Bi (ビスマス) 及びZn (亜鉛) を含み、Znの含有量が0.01wt%乃至0.1wt%であるはんだを使用する。例えばBi含有量が4.5wt%~6.5wt%、Zn含有量が0.01wt%乃至0.1wt%、残部がSnからなるはんだ、又はBi含有量が4.5wt%~6.5wt%、Sb (アンチモン) 含有量が0.3wt%~0.8wt%、Zn含有量が0.01wt%乃至0.1wt%、残部がSnからなるはんだを使用し、電子部品と基板とを接合する。

【選択図】 図13



**【特許請求の範囲】****【請求項 1】**

S n (スズ)、B i (ビスマス) 及び Z n (亜鉛) を含み、前記 Z n の含有量が 0 . 0 1 w t % 乃至 0 . 1 w t % であることを特徴とするはんだ。

**【請求項 2】**

前記 B i の含有量が 4 5 w t % 乃至 6 5 w t % であることを特徴とする請求項 1 に記載のはんだ。

**【請求項 3】**

更に、0 . 3 w t % 乃至 0 . 8 w t % の S b (アンチモン) を含有することを特徴とする請求項 1 又は 2 に記載のはんだ。

**【請求項 4】**

電子部品を基板にはんだ付けするはんだ付け方法において、  
前記電子部品と前記基板上の導電パターンとの間に融点以上に加熱したはんだを付着させる工程と、  
前記はんだを前記融点よりも低く且つ室温よりも高い温度まで冷却して一定時間保持する工程と、  
前記はんだを室温まで冷却する工程とを有し、  
前記はんだが、S n (スズ)、B i (ビスマス)、Z n (亜鉛) を含み、前記 Z n の含有量が 0 . 0 1 w t % 乃至 0 . 1 w t % であることを特徴とするはんだ付け方法。

**【請求項 5】**

前記はんだは、更に 0 . 3 w t % 乃至 0 . 8 w t % の S b (アンチモン) を含有することを特徴とする請求項 4 に記載のはんだ付け方法。

**【請求項 6】**

電子部品と基板との接合部を形成しているはんだが、  
少なくとも 4 5 w t % 乃至 6 5 w t % の B i (ビスマス) と、0 . 0 1 w t % 乃至 0 . 1 w t % の Z n (亜鉛) と、0 . 3 w t % 乃至 0 . 8 w t % の S b (アンチモン) と、S n (スズ) とを含有してなることを特徴とする電子機器。

**【請求項 7】**

半導体チップと、  
両面にそれぞれ導体パターンが形成されたパッケージ基板と、  
前記パッケージ基板の一方の面と前記半導体チップとの間に介在して前記半導体チップを前記パッケージ基板に接合する第 1 のはんだと、  
前記パッケージ基板の他方の面の前記導体パターンに接合された第 2 のはんだとを有し、

前記第 1 のはんだは前記第 2 のはんだよりも融点が高く、前記第 2 のはんだは S n (スズ)、B i (ビスマス)、Z n (亜鉛) を含み、前記 Z n の含有量が 0 . 0 1 w t % 乃至 0 . 1 w t % であることを特徴とする半導体装置。

**【請求項 8】**

前記第 2 のはんだは、更に 0 . 3 w t % 乃至 0 . 8 w t % の S b (アンチモン) を含有することを特徴とする請求項 7 に記載の半導体装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、はんだ、はんだ付け方法及び半導体装置に関する。

**【背景技術】****【0002】**

従来、電子部品を回路基板に実装する際には、例えば P b (鉛) 含有量が 3 7 w t % の S n (スズ) - P b 共晶はんだが広く使用されていた。しかし、近年、環境保全の観点から P b を含むはんだの使用が規制され、P b を含まないいわゆる P b フリーはんだが使用されるようになった。

10

20

30

40

50

## 【0003】

一般的なPbフリーはんだとして、Ag（銀）含有量が3wt%、Cu（銅）含有量が0.5wt%、残部がSnからなるSn-Ag-Cu合金が知られている。以下、合金の組成を示す場合には、元素記号の前に含有量（wt%）を記載する。例えば上記のSn-Ag-Cu合金の場合は、Sn-3wt%Ag-0.5wt%Cuというように記載する。

## 【0004】

その他、Pbフリーはんだとして、Sn-3.5wt%Ag合金や、Sn-0.7wt%Cu合金が知られている。

## 【先行技術文献】

10

## 【特許文献】

## 【0005】

【特許文献1】特開昭62-252693号公報

【特許文献2】特開2001-334386号公報

【特許文献3】特開2010-167472号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

延性が高く、長期間にわたり十分な接合強度を維持できるPbフリーはんだ、そのはんだを用いた半導体装置及びはんだ付け方法を提供することを目的とする。

20

## 【課題を解決するための手段】

## 【0007】

開示の技術の一観点によれば、Sn（スズ）、Bi（ビスマス）及びZn（亜鉛）を含み、前記Znの含有量が0.01wt%乃至0.1wt%であるはんだが提供される。

## 【0008】

開示の技術の他の一観点によれば、電子部品を基板にはんだ付けするはんだ付け方法において、前記電子部品と前記基板上の導電パターンとの間に融点以上に加熱したはんだを付着させる工程と、前記はんだを前記融点よりも低く、室温よりも高い温度まで冷却して一定時間保持する工程と、前記はんだを室温まで冷却する工程とを有し、前記はんだが、Sn（スズ）、Bi（ビスマス）、Zn（亜鉛）を含み、前記Znの含有量が0.01wt%乃至0.1wt%であるはんだ付け方法が提供される。

30

## 【0009】

開示の技術の更に他の一観点によれば、半導体チップと、両面にそれぞれ導体パターンが形成されたパッケージ基板と、前記パッケージ基板の一方の面と前記半導体チップとの間に介在して前記半導体チップを前記パッケージ基板に接合する第1のはんだと、前記パッケージ基板の他方の面の前記導体パターンに接合された第2のはんだとを有し、前記第1のはんだは前記第2のはんだよりも融点が高く、前記第2のはんだはSn（スズ）、Bi（ビスマス）、Zn（亜鉛）を含み、前記Znの含有量が0.01wt%乃至0.1wt%である半導体装置が提供される。

40

## 【図面の簡単な説明】

## 【0010】

【図1】図1は、Sn-Bi合金の状態図である。

【図2】図2は、Sn-Bi合金中のBi含有量と疲労寿命との関係を表した図である。

【図3】図3は、疲労寿命の測定方法の概要を説明する図である。

【図4】図4は、Sn-Bi-Sb合金のSb含有量と破断伸びとの関係を調べた結果を表した図である。

【図5】図5(a)はSn-58wt%Bi-0.5wt%Sb合金の組織を撮影した走査型電子顕微鏡写真を2値化処理した図、図5(b)は、Sn-58wt%Bi-0.5wt%Sb-0.1wt%Zn合金の組織を撮影した走査型電子顕微鏡写真を2値化処理した図である。

50

【図6】図6は、Sn-58wt%Bi合金の成分を示す図である。

【図7】図7は、リフロー時の温度プロファイルの一例を表した図である。

【図8】図8は、バンププル試験の概要を説明する図である。

【図9】図9は、バンププル試験の結果を表した図である。

【図10】図10は、125の温度下で1000時間保持した後におけるSn-58wt%Bi-0.5wt%Sb-Zn合金中のZn含有量と引張強度（破断応力）との関係を表した図である。

【図11】図11は、濡れ広がり率の算出方法を説明する図である。

【図12】図12は、Sn-Bi-Sb合金中のZn含有量と濡れ広がり率との関係を表した図である。

10

【図13】図13はFC-BGAパッケージ型半導体装置の一例を示す断面図である。

【発明を実施するための形態】

【0011】

以下、実施形態について説明する前に、実施形態の理解を容易にするための予備的事項について説明する。

【0012】

FC-BGA（Flip Chip Ball Grid Array）パッケージ型半導体装置では、パッケージ基板（インターポザー）の上側に半導体チップ（ダイ）が1次実装用はんだ（はんだバンプ）により実装されている。また、パッケージ基板の下側には、回路基板に接続するための2次実装用はんだ（はんだボール）が設けられている。このFC-BGAパッケージ型半導体装置では、回路基板上に実装するとき1次実装用はんだが溶融しないことが必要である。そのためには、2次実装用はんだの融点が1次実装用はんだの融点よりも十分低いことが重要となる。

20

【0013】

前述したPbフリーはんだは、いずれもSn-Pbはんだ（共晶はんだ）よりも融点が高く、現状では2次実装用はんだとして好適な低融点のPbフリーはんだが見当たらない。例えば、Sn-37wt%Pbはんだの融点が183であるのに対し、前述したSn-3wt%Ag-0.5wt%Cu合金の融点は217、Sn-3.5wt%Ag合金の融点は221、Sn-0.7wt%Cu合金の融点は227である。

【0014】

ところで、融点が高い合金として、Sn-Bi（ビスマス）合金が知られている。例えば、Sn-58wt%Bi合金の融点は139である。そこで、例えば1次実装用はんだとしてSn-3wt%Ag-0.5wt%Cu合金を使用し、2次実装用はんだとしてSn-58wt%Bi合金を使用することが考えられる。

30

【0015】

しかし、Sn-58wt%Bi合金は硬くて脆く、接合後に衝撃や大きなストレスが加わると亀裂が発生するため、電子部品用はんだとしての信頼性が十分ではない。

【0016】

一方、Sn-Bi合金にSbを0.5wt%~1.5wt%、Agを0.5wt%~3wt%の割合で添加したPbフリーはんだや、Sn-Bi合金にSbを0.3wt%~0.8wt%の割合で添加したPbフリーはんだが提案されている。

40

【0017】

本願発明者らは、上述のAg又はSbを添加したSn-Bi合金（Pbフリーはんだ）をCu（銅）電極上にはんだ付けし、高温環境下に保持して接合強度の劣化を調べる環境試験（加速試験）を実施した。その結果、上述のPbフリーはんだでは、電極とはんだとの界面でCuとSnとが反応して金属間化合物（Cu-Sn反応層）が成長するとともに脆いBiリッチ層が形成され、それにより接合強度が低下することが判明した。

【0018】

なお、Sn-Bi合金にSbを0.1wt%~3wt%、Zn（亜鉛）を2wt%~4wt%の割合で添加したはんだも提案されているが、このはんだはセラミック用であり、

50

Cu等の電極材料に対する濡れ性が十分ではない。

【0019】

(実施形態)

本願発明者らは、FC-BGAパッケージ型半導体装置に適用できるPbフリーはんだ、すなわち融点が低く、延性が高く、長期間にわたり十分な接合強度を維持できるPbフリーはんだを提供すべく、種々実験研究を行った。その結果、Sn-Bi合金にZnを0.01wt%~0.1wt%の割合で添加したはんだ(Sn-Bi-Zn合金)は、融点が低く、凝固後にSnとBiとの共晶組織を形成し、高温環境下で環境試験を実施しても強度の低下が少ないことが判明した。

【0020】

Sn-Bi-Zn合金中のBi含有量が45wt%未満の場合は、Snの初晶析出が増加して合金(はんだ)の融点が高くなる。一方、Sn-Bi-Zn合金中のBi含有量が65wt%を超えると、融点が高くなるとともに、Biの初晶析出が増加して合金が脆くなる。このため、Sn-Bi-Zn合金中のBi含有量は45wt%以上、65wt%以下とすることが好ましい。

【0021】

図1は、Sn-Bi合金の状態図である。この図1から、Sn-Bi合金の場合、Bi含有量が45wt%~65wt%の範囲で融点が165以下になることがわかる。本実施形態に係るPbフリーはんだ(Sn-Bi-Zn合金)は、Sn-Bi合金にZnを添加したものであるが、Zn含有量が0.1wt%以下と少ないため、その融点はSn-Bi合金の融点から殆ど変化しない。

【0022】

図2は、横軸にBi含有量を取り、縦軸に疲労寿命をとって、Sn-Bi合金中のBi含有量と疲労寿命との関係を表した図である。ここでは、図3のように幅が10mm、長さが50mm、厚さが0.7mmの試験片1に、ねじり方向の歪み(0.5%)を6.28rad/secの速度で反復して印加し、試験片1が破損するまでの回数(反復回数)を測定して疲労寿命としている。

【0023】

図2からわかるように、Bi含有量が51wt%~60wt%の場合は、反復回数が $10 \times 10^3$ 回以上であり、疲労寿命が十分に長いことがわかる。従って、融点だけでなく疲労寿命も考慮する場合は、Sn-Bi-Zn合金中のBi含有量は51wt%以上、60wt%以下とすることが好ましい。

【0024】

Znは、Cu電極に対する接合強度を改善する効果を有する。すなわち、Znは、電極材料であるCuと反応して電極とはんだとの界面にCu-Zn化合物を形成する。このCu-Zn化合物により、電極とはんだとの接合強度が向上する。

【0025】

しかし、Sn-Bi-Zn合金中のZn含有量が0.01wt%未満の場合は、Cu-Zn化合物の生成量が少なく、接合強度を向上させる効果が十分でない。一方、Sn-Bi-Zn合金中のZn含有量が0.1wt%を超える場合は、はんだの濡れ性が低下する。はんだの濡れ性が低下すると、活性力の高いフラックスが必要となる。活性力の高いフラックスは一般的に腐食性が高く、フラックス洗浄後に僅かでも残渣が残ると長期間にわたる信頼性が低下する。このため、本実施形態に係るPbフリーはんだ(Sn-Bi-Zn合金)のZn含有量は、0.01wt%以上、0.1wt%以下とする。

【0026】

上述したように、Sn-Bi合金にZnを添加することにより、電極とはんだとの界面の接合強度が向上する。これにより、接合部の破断を抑制することができるが、はんだ自体の強度が低いと、応力が加えられたときにはんだ部分で破断してしまう。このため、はんだ自体の強度を向上させることが好ましい。

【0027】

10

20

30

40

50

図4は、横軸にSb含有量を取り、縦軸に破断伸びをとって、Sn-Bi-Sb合金のSb含有量と破断伸びとの関係を表した図である。この図4から、Sn-Bi-Sb合金中のSb含有量が0.5wt%以下の場合にはSb含有量が多くなるほど破断伸びは大きくなるが、Sb含有量が0.5wt%を超えるとSb含有量が多くなるほど破断伸びは小さくなるのがわかる。また、この図4から、Sb含有量を0.3wt%~0.8wt%とすると、Sn-58wt%Bi合金(図4中Sb含有量が0のとき)よりも破断伸びを確実に大きくできることがわかる。

【0028】

従って、本実施形態に係るPbフリーはんだにおいても、Sbを0.3wt%~0.8wt%の範囲で添加することが好ましい。これにより、延性が向上し、電極とはんだとの接合部の破断だけでなく、はんだ部分での破断も抑制できる。

10

【0029】

図5(a)は、Sn-58wt%Bi-0.5wt%Sb合金の組織を撮影した走査型電子顕微鏡写真を2値化処理した図である。また、図5(b)は、Sn-58wt%Bi-0.5wt%Sb-0.1wt%Zn合金の組織を撮影した走査型電子顕微鏡写真を2値化処理した図である。

【0030】

図5(a)、(b)において、色の濃い部分はSn、色の薄い部分はBiである。SbはBiに全率固溶する数少ない元素の一つである。また、Sn-Bi合金中に添加されたSbは、Snと結合して金属間化合物を形成する。更に、Sn-Bi合金の場合、Biは共晶として晶出するものと、Snから析出するものがある。Sn-Bi合金中にSbを添加すると、共晶組織が微細化されて延性(伸び)が向上する。

20

【0031】

図5(a)、(b)から、Sn-Bi-Sb合金にZnを添加しても、共晶組織の粗大化やZnの晶出は殆どなく、微細な組織となっていることがわかる。

【0032】

以下、本実施形態に係るPbフリーはんだの特性を調べた結果について説明する。

【0033】

(常温パンプル試験)

まず、試料1として、Sn-58wt%Bi合金を用意した。図6に、このSn-58wt%Bi合金の成分を示す。なお、図6中のSn及びBi以外の元素は不純物(不可避的不純物)である。

30

【0034】

次に、試料1と同一組成のSn-Bi合金にSbを0.5wt%の割合で添加してSn-Bi-Sb合金とし、試料2とした。更に、試料2と同一組成のSn-Bi-Sb合金にZnを0.01wt%、0.5wt%、1.0wt%及び1.5wt%の割合で添加して、それぞれ試料3~6とした。

【0035】

一方、サイズが110mm×110mm、厚さが1.0mmのプリント基板(ガラスエポキシ基板)を複数枚用意した。それらのプリント基板の表面には直径が0.64mmのCu電極(ランド)が格子状に配列して形成されている。また、プリント基板の面上にはソルダーレジスト膜が形成されており、そのソルダーレジスト膜のCu電極に対応する部分には直径が0.54mmの開口部が設けられている。

40

【0036】

次に、各試料1~6の合金からそれぞれ球状のはんだボールとはんだペーストを作成した。そして、印刷法により各プリント基板のCu電極(ランド)上にはんだペーストを塗布した後、はんだペーストの上にはんだボールを搭載した。なお、プリント基板毎にはんだペースト及びはんだボールの種類を変えており、同一プリント基板上のはんだペースト及びはんだボールは、同一の試料(合金)から作成したものである。

【0037】

50

次に、窒素雰囲気中でリフローしてはんだボールとCu電極とを接合した。リフロー時には、図7の温度プロファイルに示すように180の温度に加熱した後、融点以下の温度まで冷却して一定時間保持し、その後室温まで冷却した。

【0038】

このようにしてCu電極上にはんだボールが接合されたプリント基板を試験体とした。そして、それらの試験体を電気炉に入れて125の温度に保持し、所定の時間経過後に電気炉から取り出して常温バンプブル試験を実施した。常温バンプブル試験には、DAGE社製試験装置SRRIS-4000Pを用いた。

【0039】

図8は、バンプブル試験の概要を説明する図である。図8中の符号15は試験装置の治具であり、符号10はプリント基板、符号11はCu電極、符号12はソルダーレジスト膜、符号13ははんだボールである。この図8のように、試験装置の治具15によりはんだボール13を把持して300  $\mu\text{m/s}$ の速度で引きはがし、破断時の応力（引張強度）を測定した。

10

【0040】

図9は横軸に時間を取り、縦軸に引張強度をとって、バンプブル試験の結果を表した図である。また、図10は、横軸にZn含有量を取り、縦軸に引張強度をとって、125の温度下で1000時間保持した後におけるSn-58wt%Bi-0.5wt%Sb-Zn合金中のZn含有量と引張強度（破断応力）との関係を表した図である。

20

【0041】

図9からわかるように、Znを添加していない試料1（Sn-58wt%Bi）及び試料2（Sn-58wt%Bi-0.5wt%Sb）は、いずれも125の温度下で1000時間保持した後の引張強度が、初期の1/3以下に低下した。一方、Znを0.01wt%以上含有する試料3～6は、いずれも125の温度下で1000時間保持した後も、引張強度の低下は少ない。

【0042】

Znの含有により強度が向上する原因は、以下のように考えることができる。すなわち、Znを含まないSn-Bi合金の場合は、Cu電極とはんだ（Sn-Bi合金）との界面でSnがCuと結合し、その結果Snが欠乏して脆弱なBiリッチ層が形成される。これに対し、Sn-Bi-Zn合金の場合は、ZnがCuと優先的に結合するため、Snの欠乏が発生せず、脆弱なBiリッチ層の形成が抑制される。これにより、長期間にわたって十分な強度を維持することができる。

30

【0043】

以上の試験結果から、Sn-Bi-Zn合金中にはZnを0.01wt%以上含有させることが有効であることがわかる。

【0044】

（濡れ性試験）

まず、常温バンプブル試験時と同様に、試料1としてSn-58wt%Bi合金を用意した。また、試料1と同一組成のSn-Bi合金にSbを0.5wt%の割合で添加してSn-Bi-Sb合金とし、試料2とした。更に、試料2と同一組成のSn-Bi-Sb合金にZnを0.01wt%、0.1wt%、0.2wt%、0.5wt%、及び1.0wt%の割合で添加して、それぞれ試料3～7とした。

40

【0045】

次に、純度が99.9%のCu板の上にロジン系フラックス（RMAタイプ）を塗布した。そして、このCu板の上に、試料1～7の各合金により形成した直径が0.76mmのはんだボールを載置した。その後、窒素雰囲気中でリフローを実施した。リフロー時には、図7の温度プロファイルに示すように180の温度に加熱した後、融点以下の温度まで冷却して一定時間保持し、その後室温まで冷却した。

【0046】

次いで、リフロー後のはんだの高さを光学顕微鏡を用いた高さ測定器により測定し、濡

50

れ広がりを算出した。

【0047】

図11は、濡れ広がりの算出方法を説明する図である。図11中の符号21はCu板、符号22はリフロ前のはんだボール、符号23はリフロ後のはんだである。この図11のように、リフロ前のはんだボール22の直径をD、リフロ後のはんだ23の高さをHとしたときに、濡れ広がりは下記(1)式により計算する。

【0048】

$$\text{濡れ広がり率}(\%) = 100(D - H) / D \quad \dots (1)$$

図12は、横軸にSn-Bi-Sb合金中のZn含有量を取り、縦軸に濡れ広がりをとって、両者の関係を表した図である。この図12からわかるように、Zn含有量が多くなるほど濡れ広がりは低下し、Zn含有量が0.1wt%のときは濡れ広がりが約50%となる。また、Zn含有量が0.2wt%以上になると、濡れ広がりは約40%以下となる。

10

【0049】

濡れ広がりが40%以下になると、はんだ付けの際に活性力の高いフラックスが必要となる。そして、はんだ付け後の洗浄が十分でないと、はんだが腐食して長期間にわたる信頼性が著しく低下する。このため、本実施形態では、Sn-Bi-Zn合金中のZn含有量を0.1wt%以下とする。

【0050】

(FC-BGAパッケージ型半導体装置)

20

図13はFC-BGAパッケージ型半導体装置の一例を示す断面図である。この図13に示すように、FC-BGAパッケージ型半導体装置30では、半導体チップ32が1次実装用はんだ(はんだボール)33によりパッケージ基板31上に実装されている。また、半導体チップ32は封止樹脂35に覆われて封止されている。

【0051】

パッケージ基板31の上面側及び下面側にはそれぞれ金属箔からなるパッド(導体パターン:図示せず)が形成されている。パッケージ基板31の上面側のパッドと下面側のパッドとは、パッケージ基板31内に形成された配線(パターン配線及びビア:図示せず)を介して電氣的に接続されている。

【0052】

30

パッケージ基板31の下面側のパッドには、回路基板40に実装するための2次実装用はんだ(はんだボール)34が接合されている。この2次実装用はんだ34を介して、半導体チップ32に設けられた電子回路と、回路基板40に設けられた配線とが電氣的に接続される。

【0053】

1次実装用はんだ33として、例えば融点が221のSn-3.5wt%Ag合金、融点が227のSn-0.7wt%Cu合金、又は融点が217のSn-3wt%Ag-0.5wt%Cu合金を使用することができる。一方、2次実装用はんだ34として、本実施形態に係るSn-Bi-Zn合金又はSn-Bi-Sb-Zn合金を使用することができる。このように、1次実装用はんだ33及び2次実装用はんだ34の両方にPbフリーはんだを使用することにより、Pbによる環境汚染を防止することができる。

40

【0054】

FC-BGAパッケージ型半導体装置30を回路基板40に実装(はんだ付け)する場合、例えば図7に示す温度プロファイルとなるように加熱・冷却を行う。

【0055】

本実施形態に係るSn-Bi-Zn合金(はんだ)及びSn-Bi-Sb-Zn合金(はんだ)の融点は、135~150程度である。従って、はんだ付け時にはこの温度よりも高い温度に加熱する必要がある。但し、温度が高すぎると電子部品等に悪い影響を与えるので、例えば160~180に加熱すればよい。この場合、図7中に実線で示すように室温からSn-Bi-Zn合金が溶融する温度まで直線的に加熱してもよく、溶融

50



温度よりも低い温度まで加熱して所定時間保持した後、溶融温度まで加熱してもよい。

【0056】

また、はんだ付け後は自然冷却により温度を下げてよいが、冷却速度が速すぎると良好な共晶組織を得ることができない。一方、冷却速度が遅すぎると工程に時間がかかって製品コストの上昇の原因となる。このため、冷却速度は、例えば  $0.05 / \text{sec} \sim 5 / \text{sec}$  とすることが好ましい。

【0057】

図7の温度プロファイルでは、冷却工程ではんだの融点よりも低く且つ室温よりも高い温度で一定時間（例えば0.5分間以上）保持する保持工程を設けている。この保持工程は必須ではないが、共晶組織の粗大化をより一層抑制するためには、保持工程を設けることが好ましい。この保持工程の温度は例えば  $50 \sim 100$  とすればよい。

10

【0058】

このようにして回路基板40上に実装されたFC-BGAパッケージ型半導体装置30は、衝撃やストレスが加えられても接合部分に亀裂などの不具合が発生せず、接合部の信頼性が高い。

【0059】

なお、上記の例では実施形態に係るPbフリーはんだをFC-BGAパッケージ型半導体装置の2次実装用はんだとして使用する場合について説明した。しかし、実施形態に係るPbフリーはんだを、2次実装用はんだとしてではなく、通常の電子部品と回路基板との接合に使用してもよいことは勿論である。また、上述した通り、少なくとも  $45 \text{ wt} \% \sim 65 \text{ wt} \%$  のBiと、 $0.01 \text{ wt} \% \sim 0.1 \text{ wt} \%$  のZnと、 $0.3 \text{ wt} \% \sim 0.8 \text{ wt} \%$  のSbと、Snとを含有するはんだ材料は、疲労特性及び接合強度を向上させることが可能である。同様に、 $45 \text{ wt} \% \sim 65 \text{ wt} \%$  のBiと、 $0.01 \text{ wt} \% \sim 0.1 \text{ wt} \%$  のZnと、 $0.3 \text{ wt} \% \sim 0.8 \text{ wt} \%$  のSbと、Snとを含むはんだ接合部は、 $-55 \sim 125$  の温度サイクル試験において1000サイクル以上の高い信頼性を有する。

20

【0060】

実施形態に係るPbフリーはんだは、融点が低いため、はんだ付け工程で消費するエネルギーが削減でき、半導体装置の製造コストを低減できる。また、はんだ付けする電子部品に対する熱負荷が低いため、はんだ付け時の熱による電子部品の劣化が防止される。これらの理由により、本実施形態に係るPbフリーはんだは、微細化・高集積化された電子部品の実装に好適である。

30

【0061】

また、このような半導体装置は電子機器、例えばパソコン、携帯電話を始めとするコンシューマ機器や、サーバやルータ、及びネットワーク製品等に適用される。これにより、電子機器の信頼性が向上する。

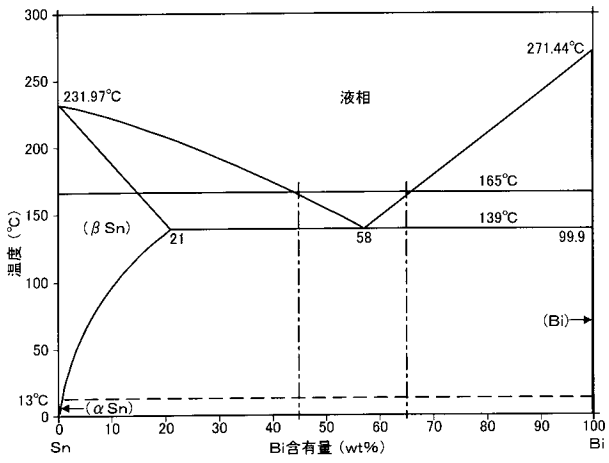
【符号の説明】

【0062】

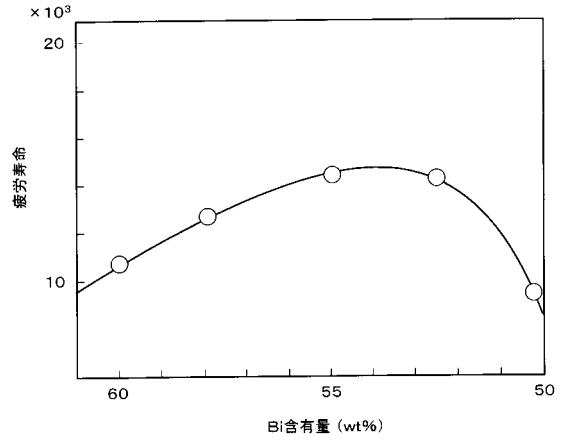
1...試験片、10...プリント基板、11...Cu電極、12...ソルダーレジスト膜、13...はんだボール、15...試験装置の治具、21...Cu板、22...リフロー前のはんだボール、23...リフロー後のはんだ、30...半導体装置、31...パッケージ基板、32...半導体チップ、33...1次実装用はんだ（はんだポンプ）、34...2次実装用はんだ（はんだボール）、35...封止樹脂、40...回路基板。

40

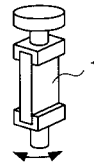
【 図 1 】



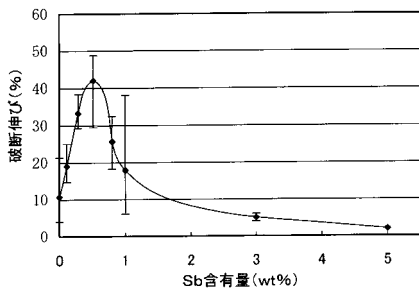
【 図 2 】



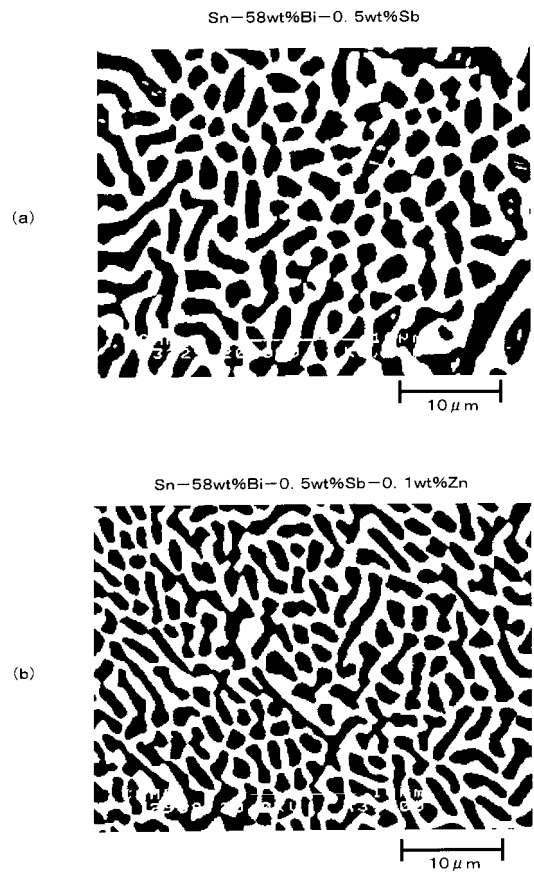
【 図 3 】



【 図 4 】



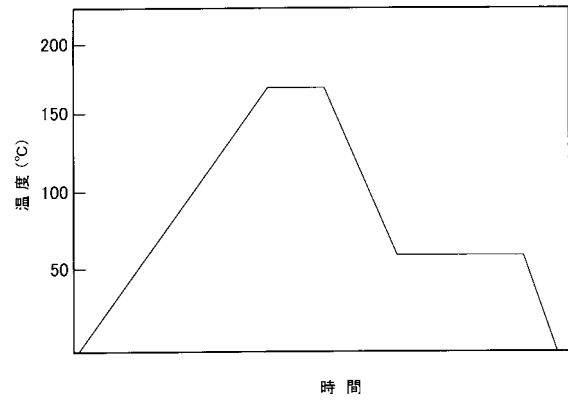
【 図 5 】



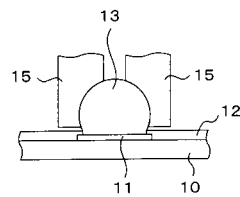
【 図 6 】

成分	含有量 (wt%)
Bi	57.0~59.0
Sn	残部
Sb	0.05以下
Cu	0.03以下
Zn	0.001以下
Fe	0.02以下
Al	0.001以下
As	0.03以下
Cd	0.002未満
Pb	0.05未満
Ag	0.02以下
In	0.01以下
Ni	0.005以下
Au	0.005以下

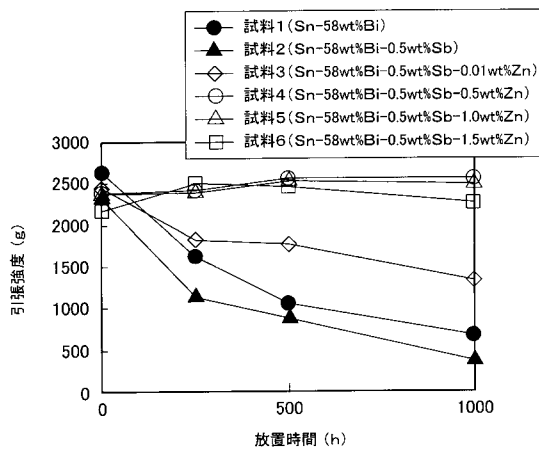
【 図 7 】



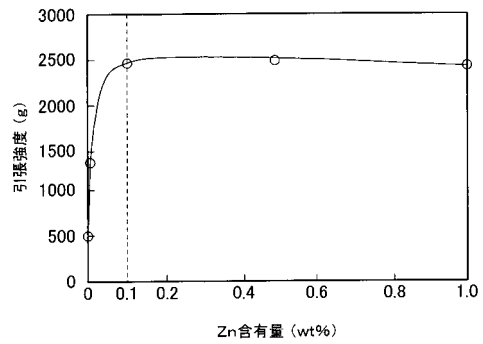
【 図 8 】



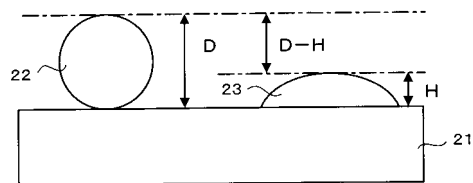
【 図 9 】



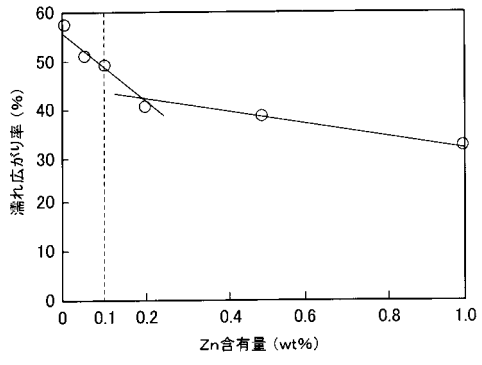
【 図 10 】



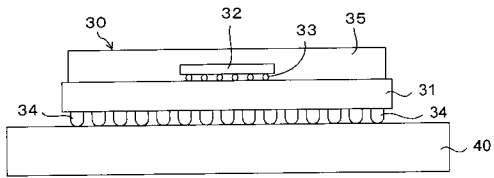
【 図 11 】



【 図 1 2 】



【 図 1 3 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
B 2 3 K 101/42 (2006.01)	B 2 3 K 1/00 3 1 0 C H 0 5 K 3/34 5 1 2 C B 2 3 K 101:42	

(72)発明者 上西 啓介  
大阪府吹田市山田丘1番1号 国立大学法人大阪大学内

(72)発明者 中西 徹洋  
大阪府吹田市山田丘1番1号 国立大学法人大阪大学内

Fターム(参考) 5E319 AA03 AB06 AC01 AC02 BB04 BB05 CC33 CD29 GG03 GG11