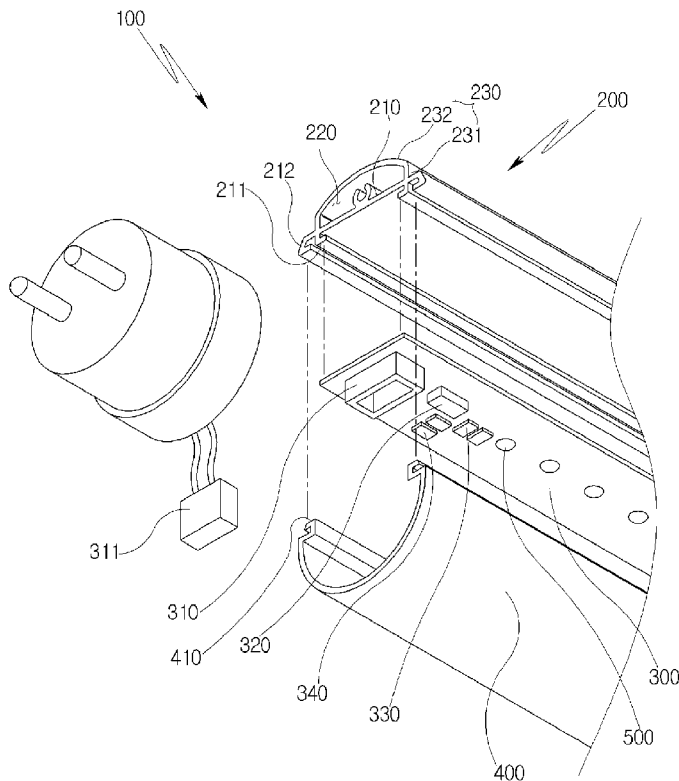




- | | |
|--|--|
| <p>(51) 국제특허분류:
 <i>F21V 17/00</i> (2006.01) <i>F21V 7/00</i> (2006.01)
 <i>H01L 33/00</i> (2010.01)</p> <p>(21) 국제출원번호: PCT/KR2013/010422</p> <p>(22) 국제출원일: 2013년 11월 15일 (15.11.2013)</p> <p>(25) 출원언어: 한국어</p> <p>(26) 공개언어: 한국어</p> <p>(30) 우선권정보:
 10-2012-0130629 2012년 11월 19일 (19.11.2012) KR
 10-2012-0131752 2012년 11월 20일 (20.11.2012) KR</p> <p>(71) 출원인: 서울반도체 주식회사 (SEOUL SEMICONDUCTOR CO., LTD.) [KR/KR]; 425-090 경기도 안산시 단원구 원시동 727 1 블럭 25, Gyeonggi-do (KR).</p> <p>(72) 발명자: 박병규 (PARK, Byeong Kyu); 425-090 경기도 안산시 단원구 원시동 727 1 블럭 25, Gyeonggi-do (KR). 박재현 (PARK, Jae Hyun); 425-090 경기도 안산시 단원구 원시동 727 1 블럭 25, Gyeonggi-do (KR). 이종국 (LEE, Jong Kook); 425-090 경기도 안산시 단원구 원시동 727 1 블럭 25, Gyeonggi-do (KR). 서일경</p> | <p>(SUH, Il Kyung); 425-090 경기도 안산시 단원구 원시동 727 1 블럭 25, Gyeonggi-do (KR).</p> <p>(74) 대리인: 특허법인 에이아이피 (AIP PATENT & LAW FIRM); 135-933 서울시 강남구 역삼동 823-14 신원빌딩 8층, Seoul (KR).</p> <p>(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.</p> <p>(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,</p> |
|--|--|

[다음 쪽 계속]

- (54) Title: LED LIGHTING DEVICE
(54) 발명의 명칭 : LED 조명장치



(57) Abstract: The present invention provides an LED lighting device capable of replacing existing fluorescent lamps, wherein the LED lighting device having a less number of LED chips applied thereto and has excellent optical uniformity. According to one embodiment of the present invention, provided is an LED lighting device comprising: a heat-dissipating frame; a substrate which is coupled to the lower side of the heat-dissipating frame and which has a surface on which a plurality of LED chips is mounted; and a cover which is coupled beneath the heat-dissipating frame so as to protect the substrate and which permits light emitted by the LED chips to penetrate therethrough. The LED chips are frameless LED chips.

(57) **요약서:** 본 발명은 기존의 형광등 램프를 대체할 수 있는 LED 조명장치에 있어서, 더 적은 개수의 LED 칩을 적용하면서도 광균일성이 우수한 것으로, 본 발명의 일 실시예에 의하면, 방열 프레임, 상기 방열 프레임의 하측에 결합되며 복수의 LED 칩이 표면에 실장되는 기판, 및 상기 기판을 보호하도록 상기 방열 프레임의 하부에 결합되며 상기 LED 칩에서 발산된 광이 투과되는 커버를 포함하고, 상기 LED 칩은 프레임리스 LED 칩인 LED 조명장치가 제공된다.



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, **공개:**

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,

KM, ML, MR, NE, SN, TD, TG). — 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: LED 조명장치

기술분야

- [1] 본 발명은 형광등을 대체할 수 있는 LED 조명장치에 관한 것으로, 더욱 상세하게는, 기존의 형광등 대체용 LED 조명장치에 비해 더 적은 개수의 LED 패키지를 적용하면서도 광균일성이 우수한 LED 조명장치에 관한 것이다.

배경기술

- [2] 일반적으로, 형광등은 전기에너지를 빛에너지로 변환하여 야간에 실내나 실외에서 물체를 식별할 수 있도록 광을 제공하는 조명장치이다. 그러나, 형광등은 LED에 비해 에너지 소비가 크며, 수명이 짧아 시간 경과에 따라 광량이 급격하게 저하되어 주기적인 관리가 필요하다. 또한, 형광등은 그것을 폐기할 때 발생할 수 있는 수은으로 인한 환경오염이 발생할 수 있다.
- [3] 최근, 대한민국 공개특허 제2010-0012952호 등에 개시된 바와 같이, 수명이 반영구적이고, 소비전력이 적으면서 고효율의 조도를 얻을 수 있는 LED(Light Emitting Diode; 발광 다이오드)를 광원으로 하는 LED 조명장치가 개발되고 있다. 이러한 LED 조명장치는 기존의 형광등을 대체할 수 있을 것으로 기대된다.
- [4] 도 1은 종래의 형광등 타입 LED 조명장치의 단면을 개략적으로 도시한다. 도 1에 도시된 바와 같이, 종래의 형광등 타입 LED 조명장치(10)는 기존 형광등 램프의 외관과 유사한 긴 원기둥 형태의 하우징(20), 하우징(20) 내에 배치되며 복수의 LED 패키지(30)가 어레이(array) 형태로 실장된 PCB(Printed Circuit Board; 인쇄회로기판)(40)를 포함한다. 이때, LED 패키지(30)는 스크린 프린팅(screen printing)과 리플로우(reflow)를 이용한 표면실장기술(Surface Mounting Technology; SMT)을 이용하여 PCB(40) 상에 실장된다. 그리고, LED 칩(31)은 패키지 몸체(32) 상측의 LED 칩 수용부(33)에 배치되어, 패키지 몸체(32)의 둘레를 따라 형성되는 리플렉터(34)에 의해 둘러싸이게 되며, LED 칩 수용부(33)에는 실리콘 등의 수지와 형광체를 혼합한 봉지재(35)가 몰딩된다.
- [5] 이와 같은 형광등 타입 LED 조명장치는 기존 형광등을 대체하기 위한 것이므로, 기존 형광등의 설치 위치에 별도의 설비 교체 없이 바로 장착되기 위해서 직경과 길이 등 그 규격이 기존 형광등과 동일해야 한다. 이에 따라, LED 패키지(30)와 하우징(20) 사이 간격이 제한되며, 높은 광 균일도를 가지는 형광등 타입 LED 조명장치를 제작하기 위해서 LED 패키지(30)들 간의 간격 역시 제한된다. 따라서 하나의 형광등 타입 LED 조명장치 내에는 많은 수량의 LED 패키지(30)가 요구된다. 예를 들어, 통상적인 바 타입(bar type) 형광등의 길이는 120cm이며 이 규격에 맞춰 형광등 타입 LED 조명장치를 제작하는 경우, 광 균일도 확보를 위해 약 120개 내지 140개 정도의 LED 패키지를 필요로 하게 된다.

- [6] 따라서, 생산성 향상과 제품의 가격 경쟁력 확보를 위해서는, 소요되는 LED 패키지의 개수가 감축되면서도 높은 광 균일도가 보장되는 형광등 타입 LED 조명장치를 개발할 필요가 있다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명은 상술한 바와 같은 필요에 의해 안출된 것으로, 종래와 동일하거나 더 우수한 광 균일도를 가지는 한편, LED 패키지의 개수 감축에 의해 생산성과 제품의 가격 경쟁력 향상 효과가 있는 LED 조명장치의 제공을 목적으로 한다.
- [8] 또한, 본 발명은 종래에 비해 LED 광원으로 부터 커버까지의 간격이 더 멀게 형성되는 LED 조명장치를 제공하는 것을 목적으로 한다.
- [9] 아울러, 본 발명은 종래에 비해 더 넓은 광 지향각 특성의 LED 칩이 적용되는 LED 조명장치의 제공을 목적으로 한다.

과제 해결 수단

- [10] 본 발명의 일 태양에 따른 LED 조명장치는, 방열 프레임; 상기 방열 프레임의 하측에 결합되며 복수의 LED 칩이 표면에 실장되는 기판; 및 상기 기판을 보호하도록 상기 방열 프레임의 하부에 결합되며, 상기 LED 칩에서 방출된 광이 투과되는 커버;를 포함하고, 상기 LED 칩은, 제1 도전형 반도체층; 상기 제1 도전형 반도체층 상에 서로 이격되어 배치되고, 각각 활성층 및 제2 도전형 반도체층을 포함하는 복수의 메사들; 각각 상기 복수의 메사들 상에 위치하여 제2 도전형 반도체층에 오픈 콘택하는 반사 전극들; 및 상기 복수의 메사들 및 상기 제1 도전형 반도체층을 덮되, 상기 각각의 메사 상부 영역 내에 위치하고 상기 반사 전극들을 노출시키는 개구부들을 가지며, 상기 제1 도전형 반도체층에 오픈 콘택하고 상기 복수의 메사들로부터 절연된 전류 분산층을 포함한다.
- [11] 상기 반사 전극들은, 각각 반사 금속층과 장벽 금속층을 포함할 수 있고, 상기 장벽 금속층이 상기 반사 금속층의 상면 및 측면을 덮을 수 있다.
- [12] 또한, 상기 LED 칩은, 상기 전류 분산층의 적어도 일부를 덮되, 상기 반사 전극들을 노출시키는 개구부들을 갖는 상부 절연층; 및 상기 상부 절연층 상에 위치하고 상기 상부 절연층의 개구부들을 통해 노출된 반사 전극들에 접속하는 제2 패드를 더 포함할 수 있다.
- [13] 나아가, 상기 LED 조명장치는 상기 전류 분산층에 접속하는 제1 패드를 더 포함할 수 있다.
- [14] 상기 LED 칩은, 상기 복수의 메사들과 상기 전류 분산층 사이에 위치하여 상기 전류 분산층을 상기 복수의 메사들로부터 절연시키는 하부 절연층을 더 포함할 수 있고, 상기 하부 절연층은 상기 각각의 메사 상부 영역 내에 위치하고 상기 반사 전극들을 노출시키는 개구부들을 가질 수 있다.
- [15] 덧붙여, 상기 전류 분산층의 개구부들은 각각 상기 하부 절연층의 개구부들이

- 모두 노출되도록 상기 하부 절연층의 개구부들보다 더 넓은 폭을 가질 수 있다.
- [16] 또한, 상기 LED 칩은, 상기 전류 분산층의 적어도 일부를 덮고, 상기 반사 전극들을 노출시키는 개구부들을 갖는 상부 절연층을 더 포함할 수 있으며, 상기 상부 절연층은 상기 전류 분산층의 개구부들의 측벽들을 덮을 수 있다.
- [17] 다른 실시예들에 있어서, 상기 방열 프레임은, 상기 기판이 안착되는 지지부와, 상기 지지부의 폭 방향 양측에 각각 형성되어 상기 기판이 슬라이드 결합되는 제1레일과, 상기 제1레일의 폭 방향 양측에 각각 형성되어 상기 커버의 상단이 슬라이드 결합되는 제2레일을 포함할 수 있다.
- [18] 또한, 상기 방열 프레임은, 상기 지지부와 사이에 공간부가 형성되도록 상기 지지부의 상부에 형성되는 방열부를 더 포함할 수 있다.
- [19] 상기 방열부는, 상기 지지부의 폭 방향 양측에서 상향 연장 형성되는 한 쌍의 연장부와, 상기 한 쌍의 연장부 상단을 단면상 원호 형태로 연결하는 연결부를 포함할 수 있다.
- [20] 몇몇 실시예들에 있어서, 상기 방열부는 그 표면에 상기 방열부의 폭 방향 또는 길이 방향으로 서로 이격하는 복수의 방열핀을 더 포함할 수 있다.
- [21] 본 발명의 또 다른 태양에 따른 LED 조명장치는, 방열 프레임; 상기 방열 프레임의 하측에 결합되며, 복수의 LED 칩이 표면에 실장되는 기판; 및 상기 기판을 보호하도록 상기 방열 프레임의 하부에 결합되며, 상기 LED 칩에서 발산된 광이 투과되는 커버;를 포함하고, 상기 LED 칩은, 활성층을 포함하는 반도체층, 및 상기 반도체층 상에 상기 활성층에서 출력되는 광을 투과하는 광투과층을 포함하며, 상기 광투과층의 두께는 150 μ m 내지 300 μ m이다.
- [22] 상기 LED 칩은 프레임리스 LED 칩일 수 있다.
- [23] 상기 광투과층은 투명한 재료의 성장기판일 수 있다.
- [24] 상기 LED 조명장치는, 상기 LED 칩 상에 수지가 도팅(dotting)되어 형성된 렌즈를 더 포함할 수 있다.
- [25] 상기 방열 프레임은, 상기 기판이 안착되는 지지부와, 상기 지지부의 폭 방향 양측에 각각 형성되어 상기 기판이 슬라이드 결합되는 제1레일과, 상기 제1레일의 폭 방향 양측에 각각 형성되어 상기 커버의 상단이 슬라이드 결합되는 제2레일을 포함할 수 있다.
- [26] 다른 실시예들에 있어서, 상기 방열 프레임은, 상기 지지부와 사이에 공간부가 형성되도록 상기 지지부의 상부에 형성되는 방열부를 더 포함할 수 있다.
- [27] 또한, 상기 방열부는, 상기 지지부의 폭 방향 양측에서 상향 연장 형성되는 한 쌍의 연장부와, 상기 한 쌍의 연장부 상단을 단면상 원호 형태로 연결하는 연결부를 포함할 수 있다.
- [28] 나아가, 상기 방열부는 그 표면에 상기 방열부의 폭 방향 또는 길이 방향으로 서로 이격하는 복수의 방열핀을 더 포함할 수 있다.

발명의 효과

- [29] 본 발명에 따르면, 프레임리스 LED 칩이 기판에 직접 실장되므로 별도의 패키지 본체를 필요로 하지 않고, 이에 따라 LED 칩이 커버로부터 패키지 본체의 높이만큼 더 멀리 이격하여 배치되어, 종래에 비해 LED 패키지 간의 간격을 더 넓혀 LED 패키지의 개수를 줄이면서도 높은 광 균일도를 확보할 수 있는 LED 조명장치를 제공할 수 있다.
- [30] 아울러, 본 발명의 LED 조명장치에는 종래에 비해 광 지향각이 더 넓은 특성을 가진 LED 칩이 적용되므로, 기판에 실장되는 LED 패키지의 수량 감소에 따른 생산성과 가격 경쟁력 향상의 효과가 있다.

도면의 간단한 설명

- [31] 도 1은 종래의 형광등 타입 LED 조명장치의 개략적인 단면도이다.
- [32] 도 2는 본 발명의 일실시예에 따른 LED 조명장치를 설명하기 위한 분해 사시도이다.
- [33] 도 3은 본 발명의 일실시예에 따른 LED 조명장치를 설명하기 위한 폭 방향 단면도이다.
- [34] 도 4는 종래의 LED 조명장치에 있어서 LED 패키지의 배치, 및 본 발명의 실시예들에 따른 LED 조명장치에 있어서 프레임리스 LED 칩의 배치를 설명하기 위한 길이 방향 단면도들이다.
- [35] 도 5는 본 발명의 일 실시예에 따른 프레임리스 LED 칩을 설명하기 위한 단면도이다.
- [36] 도 6은 본 발명의 또 다른 실시예에 따른 프레임리스 LED 칩을 설명하기 위한 평면도 및 단면도이다.
- [37] 도 7은 프레임리스 LED 칩의 광투과층 두께 변화에 따른 지향각 특성 변화를 나타내는 그래프이다.
- [38] 도 8 내지 도 11은 프레임리스 LED 칩의 광투과층 두께가 각각 $120\mu\text{m}$, $150\mu\text{m}$, $250\mu\text{m}$, $400\mu\text{m}$ 일 때 지향각 특성을 나타내는 그래프들이다.

발명의 실시를 위한 형태

- [39] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 본 발명이 속하는 기술분야의 통상의 기술자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분이 다른 부분의 "바로 상부" 또는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 있는 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- [40] 아울러, 본 명세서에서 사용하는 용어인 "프레임리스 LED 칩(Frame-less LED chip)"은, 종래의 LED 칩과 구분하기 위한 것으로, LED 칩의 외형을 형성하는 본체, 리플렉터(본체와 일체로 형성되기도 함), 리드프레임을 포함하지 않는 패키지로써, 렌즈부를 제외한 LED 칩이 LED 칩의 외형을 형성하는 패키지를 의미한다. 이러한 프레임리스 LED 칩은 LED 칩을 웨이퍼에서 다이싱하기 전에 대부분의 패키지가 구성된다는 측면에서 웨이퍼레벨 패키지(wafer level package)일 수 있고, 패키지의 외형이 LED 칩의 크기에 근접한다는 측면에서 칩스케일 패키지(chip scale package)일 수 있으며, 리드프레임이나 서브마운트와 같은 부가 구성요소 없이 LED 칩이 기판에 실장되는 측면에서 COB(chip on board) 타입 LED 패키지일 수도 있다. 본 발명에서의 "프레임리스 LED 칩"은 종래의 LED 패키지 본체를 형성하는 리드프레임, 리플렉터 및 본체를 포함하지 않는 LED 패키지를 가지는 칩을 의미한다. 이러한 프레임리스 LED 칩으로는, 대한민국 특허출원 제10-2011-0139385호에 공개된 발광 다이오드를 예시할 수 있다.
- [41] 프레임리스 LED 칩은 부가 구성요소를 포함하지 않고, 대부분의 공정이 반도체 생산공정으로 완료되기 때문에, 제조에 소요되는 시간 및 비용을 절감할 수 있고, 신뢰성이 향상되는 효과가 있다. 또한, 패키지 외형을 형성하는 구성요소가 없기 때문에, 패키지의 크기를 소형화할 수 있는 효과가 있고, LED 칩이 기판에 근접하게 실장되기 때문에 열방출 효율이 개선되는 효과가 있다.
- [42] 도 2는 본 발명의 일실시예에 따른 LED 조명장치를 설명하기 위한 분해 사시도이고, 도 3은 본 발명의 일실시예에 따른 LED 조명장치를 설명하기 위한 폭 방향 단면도이다.
- [43] 도 2와 도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 LED 조명장치(100)는, 방열 프레임(200)과, 방열 프레임(200)의 하측에 결합되는 기판(300)과, 기판(300)을 보호하도록 방열 프레임(200)의 하부에 결합되는 커버(400)를 포함한다. 나아가, 기판(300)에는 커버(400)를 향하여 복수의 LED 칩(500)이 어레이(array) 형태로 실장될 수 있다.
- [44] 방열 프레임(200)은, 후술하는 기판(300)이 안착되는 지지부(210)와, 지지부(210)의 폭 방향 양측에 각각 하향 돌출 형성되는 제1레일(211)과, 제1레일(211)의 폭 방향 외측에 각각 돌출 형성되는 제2레일(212)을 포함할 수 있으며, 또한, 지지부(210)의 상부에 위치하는 방열부(230)를 포함할 수 있다.
- [45] 또한, 방열부(230)는 지지부(210) 상단의 폭 방향 양측에서 상향 연장 형성되는 한 쌍의 연장부(231)와, 한 쌍의 연장부(231) 상단을 단면상 원호 형태로 연결하는 연결부(232)를 포함할 수 있으며, 이에 따라 지지부(210)와 방열부(230) 사이에 방열 공간부(220)가 형성된다. 방열부(230)는 그 외측 표면에 형성되어 방열 효과의 향상을 위한 방열핀(미도시)을 더 포함할 수 있는데, 이러한 방열핀은 방열부(230)의 폭 방향 또는 길이 방향으로 서로 이격하여 복수 개 형성될 수 있으며, 이 경우 공기와 접촉하는 방열부(230)의 표면적이 증가함에

따라 냉각효과가 향상된다.

- [46] 방열 프레임(200)은 LED 칩(500)에서 발생하는 열을 외부로 방열하는 기능을 할 수 있으며, 따라서, 방열 프레임(200)은 열전도성이 우수한 물질로 형성될 수 있다. 예를 들어, 방열 프레임(200)은 알루미늄 또는 구리 등의 금속을 포함할 수 있다.
- [47] 상술한 방열 프레임(200)의 구성은 예시적인 것에 해당하며, LED 조명장치(100)의 형태에 따라 다양하게 변형되어 구현될 수 있다.
- [48] 기판(300)은 그것의 폭 방향 양측이 방열 프레임(200)의 제1레일(211)을 따라 삽입되어, 방열 프레임(200)의 하측 지지부(210)에 슬라이드 결합된다. 기판(300)의 표면, 즉 기판(300)의 하면에는 복수의 LED 칩(500)이 어레이(array) 형태로 실장되며, 나아가 배선패턴 등 LED 칩(500)에 전압을 인가할 수 있는 전기적 연결수단이 더 구비될 수 있다. 또한, 기판(300)의 표면은 광 효율 향상을 위하여 소정의 공정을 거쳐 처리될 수 있고, 예를 들어, 기판(300)의 표면은 백색 물질로 코팅될 수 있다.
- [49] 나아가, 기판(300)의 일측에는 외부 전원의 접속단자(311)가 연결되는 커넥터(310)와, 고전류 또는 고전압시 회로 보호를 위한 퓨즈(320)와, 교류인 외부 전원을 직류로 변환하여 LED 칩(500)으로 공급하기 위한 브릿지 다이오드(bridge diode)(330) 및, 전류 조절을 위한 저항(340) 등 각종 전자 소자가 구비될 수 있다.
- [50] 한편, 기판(300)의 일 표면에는 적어도 하나 이상의 LED 칩(500)이 배치될 수 있다. 본 발명에 따르면, 상기 LED 칩(500)으로서 프레임리스 LED 칩이 적용되어, 종래에 비해 기판(300) 상에 실장되는 LED 패키지의 개수를 줄일 수 있다. LED 칩(500)은 도 5 또는 도 6에 도시된 프레임리스 LED 칩(600 또는 600a)을 포함할 수 있다. 이에 대하여는 후술하여 상세하게 설명한다.
- [51] 기판(300)은 플라스틱 및 금속을 적어도 하나 포함할 수 있으며, 하나의 부재로 이루어지는 것도 가능하고, 둘 이상의 부재가 전기적으로 서로 연결되어 이루어지는 것도 가능하다. 예를 들어, 기판(300)은 PCB기판, 실리콘 기판, 세라믹 기판 등을 포함할 수 있다. 기판(300)이 절연성 물질로 형성된 경우, 상기 각종 전자 소자와 LED 칩(500)을 전기적으로 연결할 수 있는 도전성 연결부를 더 포함할 수 있다.
- [52] 커버(400)는 반투명한 재질의 플라스틱을 포함할 수 있으며, 방열 프레임(200)의 하부에 결합되어 기판(300)을 보호하고 LED 칩(500)에서 발산되는 광이 균일하게 투과되도록 하는 역할을 할 수 있다. 이때, 커버(400)는 전체적으로 폭 방향 단면상 원호 형태를 이룰 수 있고, 커버(400)의 상단 양쪽에는 방열 프레임(200)의 제2레일(212)과 대응 결합하기 위한 절곡부(410)가 커버(400)의 길이 방향을 따라 길게 형성될 수 있다.
- [53] 이처럼, 커버(400)와 방열 프레임(200)의 방열부(230)가 각각 원호 형상을 이룸에 따라, 방열 프레임(200)의 제2레일(212)에 커버(400)의 절곡부(410)가

슬라이드 결합되면, 커버(400)는 방열 프레임(200)과 함께 종래의 형광등 램프와 유사한 원기둥 형태의 외관을 이루게 된다.

- [54] 도 4는 종래의 LED 조명장치에 있어서 LED 패키지의 배치, 및 본 발명의 실시예들에 따른 LED 조명장치에 있어서 프레임리스 LED 칩의 배치를 설명하기 위한 길이 방향 단면도들이다. 또한, 도 5는 본 발명의 일 실시예에 따른 프레임리스 LED 칩을 설명하기 위한 단면도이며, 도 6은 본 발명의 또 다른 실시예에 따른 프레임리스 LED 칩을 설명하기 위한 평면도 및 단면도이다. 이하, 도 4 내지 도 6을 참조하여 본 발명에 따른, 프레임리스 LED 칩을 포함하는 LED 조명장치에 대해서 설명한다. 다만, 후술하는 실시예는 예시적인 것이며, 이에 본 발명에 제한되는 것은 아니다.
- [55] 이하 설명되는 본 발명의 실시예들에 의하면, 기판(300) 상에 복수 개의 프레임리스 LED 칩(600)이 어레이(array) 형태로 실장됨으로써, 종래에 비해 기판(300)에 실장되는 LED 패키지의 개수를 줄일 수 있다. 이는, 프레임리스 LED 칩(600)이 별도의 패키지 몸체(32)나 리플렉터(34), 리드프레임을 포함하지 않고, LED 칩 자체로서 LED 패키지의 외형을 형성하기 때문인데, 이에 따라 프레임리스 LED 칩(600)은 종래의 LED 칩(31)에 비해 패키지 몸체(32)의 두께만큼 커버(400)와의 거리가 더욱 멀어지게 된다. 이때, 프레임리스 LED 칩(600) 상에 에폭시 등 수지가 도팅(dotting)되어 렌즈(610)가 더 형성될 수 있다.
- [56] 예를 들어, 도 5를 참조하면, 프레임리스 LED 칩(600)은 발광 구조체(615), 상기 발광 구조체(615) 상에 위치하는 광투과층(610), 및 발광 구조체(615)에 전기적으로 연결되며, 그 아래에 위치하는 제1 패드(681) 및 제2 패드(682)를 포함할 수 있다.
- [57] 광투과층(610)은 기판을 포함할 수 있고, 예를 들어, 사파이어 기판, 질화물계 기판, 실리콘 기판, 실리콘 카바이드 기판 등을 포함할 수 있으며, 광이 투과될 수 있는 투명 기판이면 한정되지 않는다. 특히, 본 실시예에 있어서, 상기 광투과층(610)은 사파이어 기판일 수 있다. 광투과층(610)의 두께는 필요에 따라 다양하게 조절될 수 있으며, 프레임리스 LED 칩(600)의 지향각에 따라 그 두께가 결정될 수 있다. 이와 관련하여서는 후술하여 상세하게 설명한다.
- [58] 발광 구조체(615)는 n형 반도체층, p형 반도체층 및 활성층을 포함할 수 있으며, 광을 발광할 수 있는 구조이면 한정되지 않는다.
- [59] 제1 패드(681) 및 제2 패드(682)는 각각 서로 다른 극성의 반도체층에 연결되어 외부의 전원을 반도체층에 연결하는 역할을 할 수 있다. 상기 제1 및 제2 패드(681, 682)는 종래 LED 패키지의 리드 프레임과 유사한 기능을 할 수 있으며, 이에 따라, 프레임리스 LED 칩(600)은 별도의 리드 프레임을 포함할 필요가 없다.
- [60] 이와 같이 프레임리스 LED 칩(600)은 기판, 발광 구조체 및 패드들을 포함하는 구조이면 한정되지 않으며, 이하 도 6을 참조하여 프레임리스 LED 칩의 일례에 대해서 설명한다.

- [61] 도 6을 참조하면, 도 6의 (a)는 프레임리스 LED 칩의 평면도이고, 도 6의 (b)는 도 5(a)의 A-A' 단면도이다.
- [62] 프레임리스 LED 칩(600)은 도 6(a)와 도 6(b)에 도시된 바와 같이, 제1 도전형 반도체층(620), 메사들(630), 반사 전극들(640), 전류 분산층(660)을 포함하며, 광투과층(610), 하부 절연층(650), 상부 절연층(670) 및 제1 패드(681)와 제2 패드(682)를 더 포함할 수 있다.
- [63] 광투과층(610)은 질화갈륨계 에피층들을 성장시키기 위한 성장기관일 수 있다. 예컨대, 광투과층(610)은 사파이어, 탄화실리콘, 실리콘, 질화갈륨 기관일 수 있다. 특히, 본 실시예에 있어서, 광투과층(610)은 사파이어 기관일 수 있다. 또한, 광투과층(610)의 상면 및 측면은 활성층(631)에서 방출된 광이 출사되는 광 출사면일 수 있다.
- [64] 제1 도전형 반도체층(620)은 연속적이며, 제1 도전형 반도체층(620) 상에 복수의 메사들(630)이 서로 이격되어 위치한다.
- [65] 메사들(630)은 활성층(631) 및 제2 도전형 반도체층(632)을 포함하며, 일측을 향해 연장하는 기다란 형상을 갖는다. 여기서 메사들(630)은 질화갈륨계 화합물 반도체의 적층 구조이다.
- [66] 이때, 메사들(630)은 제1 도전형 반도체층(620)의 상부 영역 내에 한정되어 위치할 수 있으며, 이와 달리, 일측 방향을 따라 제1 도전형 반도체층(620)의 상부면 가장자리까지 연장되어 제1 도전형 반도체층(620)의 상부면을 복수의 영역으로 구획하는 것도 가능하다. 이 경우, 메사들(630)의 모서리 근처에 전류가 집중되는 것을 완화하여 전류 분산 성능을 더 강화할 수 있다.
- [67] 반사 전극들(640)은 각각 복수의 메사들(630) 상에 위치하여 제2 도전형 반도체층(632) 상에 오믹 콘택한다. 반사 전극들(640)은 반사층(642)과 장벽층(641)을 포함할 수 있으며, 장벽층(641)이 반사층(642)의 상면 및 측면을 덮을 수 있다. 이때, 예를 들어 반사층(642)은 Ag, Ag 합금, Ni/Ag, NiZn/Ag, TiO/Ag 층을 증착 및 패터닝하여 형성될 수 있고, 장벽층(641)은 Ni, Cr, Ti, Pt, Rd, Ru, W, Mo, TiW 또는 그 복합층으로 형성될 수 있으며, 반사층(642)의 금속 물질이 확산되거나 오염되는 것을 방지한다.
- [68] 전류 분산층(660)은 복수의 메사들(630) 및 제1 도전형 반도체층(620)을 덮는다. 이때 전류 분산층(660)은 각각의 메사(630) 상부 영역 내에 위치하고, 반사 전극들(640)을 노출시키는 개구부들(661)을 갖는다. 또한, 전류 분산층(660)은 제1 도전형 반도체층(620)에 오믹 콘택하고 복수의 메사들(630)로부터 절연된다. 한편, 전류 분산층(660)은 Al층과 같은 고반사 금속층을 포함할 수 있으며, 고반사 금속층은 Ti, Cr 또는 Ni 등의 접착층 상에 형성될 수 있다. 또한, 고반사 금속층 상에 Ni, Cr, Au 등의 단층 또는 복합층 구조의 보호층이 형성될 수 있다. 예컨대, 전류 분산층(660)은 Ti/Al/Ti/Ni/Au의 다층 구조를 가질 수 있다.
- [69] 전류 분산층(660)은 하부 절연층(650)에 의해 복수의 메사들(630)로부터 절연될 수 있다. 예컨대, 하부 절연층(650)은 복수의 메사들(630)과 전류 분산층(660)

사이에 위치하여 전류 분산층(660)을 복수의 메사들(630)로부터 절연시킬 수 있다.

- [70] 이때, 하부 절연층(650)은 화학기상증착(CVD) 등의 기술을 사용하여 SiO_2 등의 산화막, SiN_x 등의 질화막, SiON , MgF_2 의 절연막으로 형성될 수 있다. 하부 절연층(650)은 단일층으로 형성될 수 있으나, 이에 한정되는 것은 아니며 다중층으로 형성될 수도 있다. 나아가, 하부 절연층(650)은 저굴절 물질층과 고굴절 물질층이 교대로 적층된 분포 브래그 반사기(DBR)로 형성될 수 있다. 예컨대, $\text{SiO}_2/\text{TiO}_2$ 나 $\text{SiO}_2/\text{Nb}_2\text{O}_5$ 등의 층을 적용함으로써 반사율이 높은 절연 반사층을 형성할 수 있다.
- [71] 하부 절연층(650)은 각각의 메사(630) 상부 영역 내에 위치하고 반사 전극들(640)을 노출시키는 개구부들(651)을 가질 수 있고 제1 도전형 반도체층(620)을 노출시키는 개구부들(652)을 가질 수 있다. 이때, 전류 분산층(660)은 제1 도전형 반도체층(620)을 노출시키는 개구부들(652)을 통해 제1 도전형 반도체층(620)에 접속할 수 있다.
- [72] 하부 절연층(650)의 개구부들(651)은 전류 분산층(660)의 개구부들(661)보다 좁은 면적을 가지며, 개구부들(661)에 의해 모두 노출된다.
- [73] 상부 절연층(670)은 산화물 절연층, 질화물 절연층, 이들 절연층의 혼합층 또는 교차층, 또는 폴리이미드, 테플론, 파릴렌 등의 폴리머를 이용하여 형성될 수 있으며, 전류 분산층(660)의 적어도 일부를 덮는다.
- [74] 또한, 상부 절연층(670)은 반사 전극들(640)을 노출시키는 개구부들(672)을 갖는다. 나아가, 상부 절연층(670)은 전류 분산층(660)을 노출시키는 개구부(671)를 가질 수 있다. 또한, 상부 절연층(670)은 전류 분산층(660)의 개구부들(661)의 측벽들을 덮을 수 있다.
- [75] 제1 패드(681)는 전류 분산층(660) 상에 위치할 수 있으며, 예컨대 상부 절연층(670)의 개구부(671)를 통해 전류 분산층(660)에 접속할 수 있다. 또한, 제2 패드(682)는 개구부들(672)을 통해 노출된 반사 전극들(640)에 접속한다.
- [76] 이때, 제1 패드(681) 및 제2 패드(682)는 LED를 서브마운트, 패키지, 또는 인쇄회로기판 등에 실장하기 위해 범프를 접속하거나 SMT를 위한 패드로 사용될 수 있으며, 예컨대 Ti, Cr, Ni 등의 접착층과 Al, Cu, Ag 또는 Au 등의 고전도 금속층을 포함할 수 있다.
- [77] 상술한 바와 같은 프레임리스 LED 칩(600)은, 전류 분산층(660)이 메사들(630) 및 메사들(630) 사이의 제1 도전형 반도체층(620)의 거의 전 영역을 덮는다. 따라서, 전류 분산층(660)을 통해 전류가 쉽게 분산될 수 있다. 나아가, 전류 분산층(660)이 Al과 같은 반사 금속층을 포함하거나, 하부 절연층(650)을 절연 반사층으로 형성함으로써, 반사 전극들(640)에 의해 반사되지 않는 광을 전류 분산층(660) 또는 하부 절연층(650)을 이용하여 반사시킬 수 있어 광 추출 효율이 향상된다.
- [78] 다시 도 4를 참조하여 본 발명의 LED 조명장치에 관해 설명한다. 도 4의 (a)

내지 (c)에 도시된 바와 같이, 종래의 LED 패키지(30)의 지향각은 α 로 표시되며, 본 발명의 일 실시예에 따른 프레임리스 LED 칩(600)의 지향각은 β 로 표시되고, 본 발명의 또 다른 실시예에 따른 프레임리스 LED 칩(600a)의 지향각은 γ 로 표시된다.

- [79] 먼저, 도 4의 (a) 및 (b)를 비교하면, 본 발명의 프레임리스 LED 칩(600)은 리플렉터(34)를 포함하지 않으므로, 종래의 LED 패키지(30)에 비해 더 큰 지향각을 갖는다($\alpha < \beta$). 이에 따라, 커버(400)에 방사되는 광이 균일하게 형성되도록 하는 최대의 LED 칩 간의 간격을 종래의 경우에 비해 더 크게 할 수 있다($d_2 > d_1$). 따라서 동일 길이의 기판(300)에 더욱 적은 개수의 LED 칩을 실장하면서도 광 균일성을 충분히 확보할 수 있다.
- [80] 또한, 본 발명의 프레임리스 LED 칩(600)과 종래의 LED 패키지(30)의 지향각이 대체로 동일한 경우($\alpha \approx \beta$)에도, 프레임리스 LED 칩(600)은 패키지 몸체(32)를 포함하지 않으므로, 발광점으로부터 커버(400)까지의 거리가 종래의 경우에 비해 길어진다($h_2 > h_1$). 이에 따라, 커버(400)에 방사되는 광이 균일하게 형성되도록 하는 최대의 LED 칩 간의 간격을 종래의 경우에 비해 더 크게 할 수 있다($d_2 > d_1$). 따라서 동일 길이의 기판(300)에 더욱 적은 개수의 LED 칩을 실장하면서도 광 균일성을 충분히 확보할 수 있다.
- [81] 다음, 도 4의 (a) 내지 (c)를 비교하면, 도 4(c)의 프레임리스 LED 칩(600)은 도 4(b)의 프레임리스 LED 칩(600)에 비해 더 큰 지향각을 가질 수 있다($\gamma > \beta$). 이에 따라, 커버(400)에 방사되는 광이 균일하게 형성되도록 하는 최대의 LED 칩 간의 간격을 종래의 경우 및 도 4(b)의 경우에 비해 더 크게 할 수 있다($d_3 > d_2 > d_1$). 따라서 동일 길이의 기판(300)에 더욱 적은 개수의 LED 칩을 실장하면서도 광 균일성을 충분히 확보할 수 있다.
- [82] 상대적으로 더 넓은 지향각을 갖는 도 4(c)의 프레임리스 LED 칩(600)은 광투과층(610)의 두께를 조절함으로써 제공될 수 있다. 이와 관련하여 도 7 내지 도 11을 참조하여 상세하게 설명한다. 한편, 도 7 내지 도 11의 데이터에 있어서, 광투과층(610)은 사파이어 기판이다.
- [83] 도 7은 프레임리스 LED 칩(600)의 광투과층 두께 변화에 따른 지향각 특성 변화를 나타낸 그래프로서, 광투과층(610)의 두께가 증가할수록 지향각이 넓어지는 특성을 보임을 알 수 있다. 이때, 프레임리스 LED 칩(600)의 광투과층(610) 두께는 $150\mu\text{m}$ 내지 $300\mu\text{m}$ 일 수 있다. 이는 광투과층(610)의 두께가 $150\mu\text{m}$ 미만이면 일반적인 지향각(120°)과 거의 차이가 없고, 광투과층(610)의 두께가 $300\mu\text{m}$ 를 초과하면 지향각 140° 에서 그 변화가 둔화되기 때문이다.
- [84] 따라서, 본 발명의 실시예에 의하면, LED 조명장치(100)의 기판(300) 상에 프레임리스 LED 칩(600)을 실장시켜 LED 패키지 개수를 감소시킬 수 있으며 이때, 프레임리스 LED 칩(600)의 광 지향각이 일반적인 LED 칩의 광 지향각보다 더 넓은 경우에는 패키지 개수 감소 효과가 더욱 증대되는 것이다.
- [85] 예를 들어, 일반적인 120cm 길이 형광등을 대체하는 LED 조명장치의 경우,

종래에는 120개 내지 140개의 LED 패키지를 필요로 하였으나, 본 발명의 일실시예에 의하면, 80개 내지 90개의 프레임리스 LED 칩(600)으로도 충분히 광 균일성을 확보할 수 있게 된다.

- [86] 한편, 도 8 내지 도 11은 프레임리스 LED 칩의 광투과층 두께가 각각 $120\mu\text{m}$, $150\mu\text{m}$, $250\mu\text{m}$, $400\mu\text{m}$ 일 때 지향각 특성을 나타낸 그래프로서, 광투과층(610)의 두께가 $400\mu\text{m}$ 인 경우에는 광투과층(610)의 두께가 $250\mu\text{m}$ 인 경우와 비교하여 그 차이점이 현저하게 나타나지 않으나, 광투과층(610)의 두께가 각각 $120\mu\text{m}$, $150\mu\text{m}$, $250\mu\text{m}$ 인 경우를 서로 비교하면, 광투과층(610)의 두께가 두꺼울수록 지향각 특성이 향상됨을 알 수 있다.
- [87] 이상, 상기 실시예들은 본 발명의 특허청구범위에 의한 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변형과 변경이 가능하고, 본 발명은 특허청구범위에 의한 기술적 사상을 모두 포함한다.

청구범위

- [청구항 1] 방열 프레임;
 상기 방열 프레임의 하측에 결합되며 복수의 LED 칩이 표면에 실장되는 기판; 및
 상기 기판을 보호하도록 상기 방열 프레임의 하부에 결합되며, 상기 LED 칩에서 방출된 광이 투과되는 커버;를 포함하고,
 상기 LED 칩은,
 제1 도전형 반도체층;
 상기 제1 도전형 반도체층 상에 서로 이격되어 배치되고, 각각 활성층 및 제2 도전형 반도체층을 포함하는 복수의 메사들;
 각각 상기 복수의 메사들 상에 위치하여 제2 도전형 반도체층에 오믹 콘택하는 반사 전극들; 및
 상기 복수의 메사들 및 상기 제1 도전형 반도체층을 덮되, 상기 각각의 메사 상부 영역 내에 위치하고 상기 반사 전극들을 노출시키는 개구부들을 가지며, 상기 제1 도전형 반도체층에 오믹 콘택하고 상기 복수의 메사들로부터 절연된 전류 분산층을 포함하는 LED 조명장치.
- [청구항 2] 청구항 1에 있어서, 상기 반사 전극들은,
 각각 반사 금속층과 장벽 금속층을 포함하되, 상기 장벽 금속층이 상기 반사 금속층의 상면 및 측면을 덮는 LED 조명장치.
- [청구항 3] 청구항 1에 있어서, 상기 LED 칩은,
 상기 전류 분산층의 적어도 일부를 덮되, 상기 반사 전극들을 노출시키는 개구부들을 갖는 상부 절연층; 및
 상기 상부 절연층 상에 위치하고 상기 상부 절연층의 개구부들을 통해 노출된 반사 전극들에 접속하는 제2 패드를 더 포함하는 LED 조명장치.
- [청구항 4] 청구항 3에 있어서,
 상기 전류 분산층에 접속하는 제1 패드를 더 포함하는 LED 조명장치.
- [청구항 5] 청구항 1에 있어서, 상기 LED 칩은,
 상기 복수의 메사들과 상기 전류 분산층 사이에 위치하여 상기 전류 분산층을 상기 복수의 메사들로부터 절연시키는 하부 절연층을 더 포함하되,
 상기 하부 절연층은 상기 각각의 메사 상부 영역 내에 위치하고 상기 반사 전극들을 노출시키는 개구부들을 갖는 LED 조명장치.
- [청구항 6] 청구항 5에 있어서,
 상기 전류 분산층의 개구부들은 각각 상기 하부 절연층의

- 개구부들이 모두 노출되도록 상기 하부 절연층의 개구부들보다 더 넓은 폭을 갖는 LED 조명장치.
- [청구항 7] 청구항 6에 있어서, 상기 LED 칩은, 상기 전류 분산층의 적어도 일부를 덮고, 상기 반사 전극들을 노출시키는 개구부들을 갖는 상부 절연층을 더 포함하되, 상기 상부 절연층은 상기 전류 분산층의 개구부들의 측벽들을 덮는 LED 조명장치.
- [청구항 8] 청구항 1에 있어서, 상기 방열 프레임은, 상기 기판이 안착되는 지지부와, 상기 지지부의 폭 방향 양측에 각각 형성되어 상기 기판이 슬라이드 결합되는 제1레일과, 상기 제1레일의 폭 방향 양측에 각각 형성되어 상기 커버의 상단이 슬라이드 결합되는 제2레일을 포함하는 LED 조명장치.
- [청구항 9] 청구항 1에 있어서, 상기 방열 프레임은, 상기 지지부와 사이에 공간부가 형성되도록 상기 지지부의 상부에 형성되는 방열부를 더 포함하는 LED 조명장치.
- [청구항 10] 청구항 9에 있어서, 상기 방열부는, 상기 지지부의 폭 방향 양측에서 상향 연장 형성되는 한 쌍의 연장부와, 상기 한 쌍의 연장부 상단을 단면상 원호 형태로 연결하는 연결부를 포함하는 LED 조명장치.
- [청구항 11] 청구항 9에 있어서, 상기 방열부는 그 표면에 상기 방열부의 폭 방향 또는 길이 방향으로 서로 이격하는 복수의 방열핀을 더 포함하는 LED 조명장치.
- [청구항 12] 방열 프레임;
상기 방열 프레임의 하측에 결합되며, 복수의 LED 칩이 표면에 실장되는 기판; 및
상기 기판을 보호하도록 상기 방열 프레임의 하부에 결합되며, 상기 LED 칩에서 발산된 광이 투과되는 커버;를 포함하고, 상기 LED 칩은, 활성층을 포함하는 반도체층, 및
상기 반도체층 상에 상기 활성층에서 출력되는 광을 투과하는 광투과층을 포함하며,
상기 광투과층의 두께는 $150\mu\text{m}$ 내지 $300\mu\text{m}$ 인 LED 조명장치.
- [청구항 13] 청구항 12에 있어서, 상기 LED 칩은 프레임리스 LED 칩인, LED 조명장치.
- [청구항 14] 청구항 12에 있어서, 상기 광투과층은 투명한 재질의 성장기판인, LED 조명장치.
- [청구항 15] 청구항 12에 있어서,

상기 LED 칩 상에 수지가 도팅(dotting)되어 형성된 렌즈를 더 포함하는 LED 조명장치.

[청구항 16]

청구항 12에 있어서, 상기 방열 프레임은,
상기 기관이 안착되는 지지부와, 상기 지지부의 폭 방향 양측에 각각 형성되어 상기 기관이 슬라이드 결합되는 제1레일과, 상기 제1레일의 폭 방향 양측에 각각 형성되어 상기 커버의 상단이 슬라이드 결합되는 제2레일을 포함하는 LED 조명장치.

[청구항 17]

청구항 12에 있어서, 상기 방열 프레임은,
상기 지지부와 사이에 공간부가 형성되도록 상기 지지부의 상부에 형성되는 방열부를 더 포함하는 LED 조명장치.

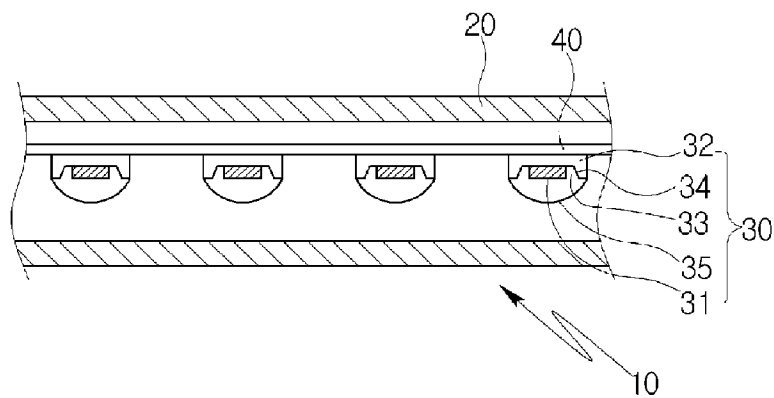
[청구항 18]

청구항 17에 있어서, 상기 방열부는,
상기 지지부의 폭 방향 양측에서 상향 연장 형성되는 한 쌍의 연장부와, 상기 한 쌍의 연장부 상단을 단면상 원호 형태로 연결하는 연결부를 포함하는 LED 조명장치.

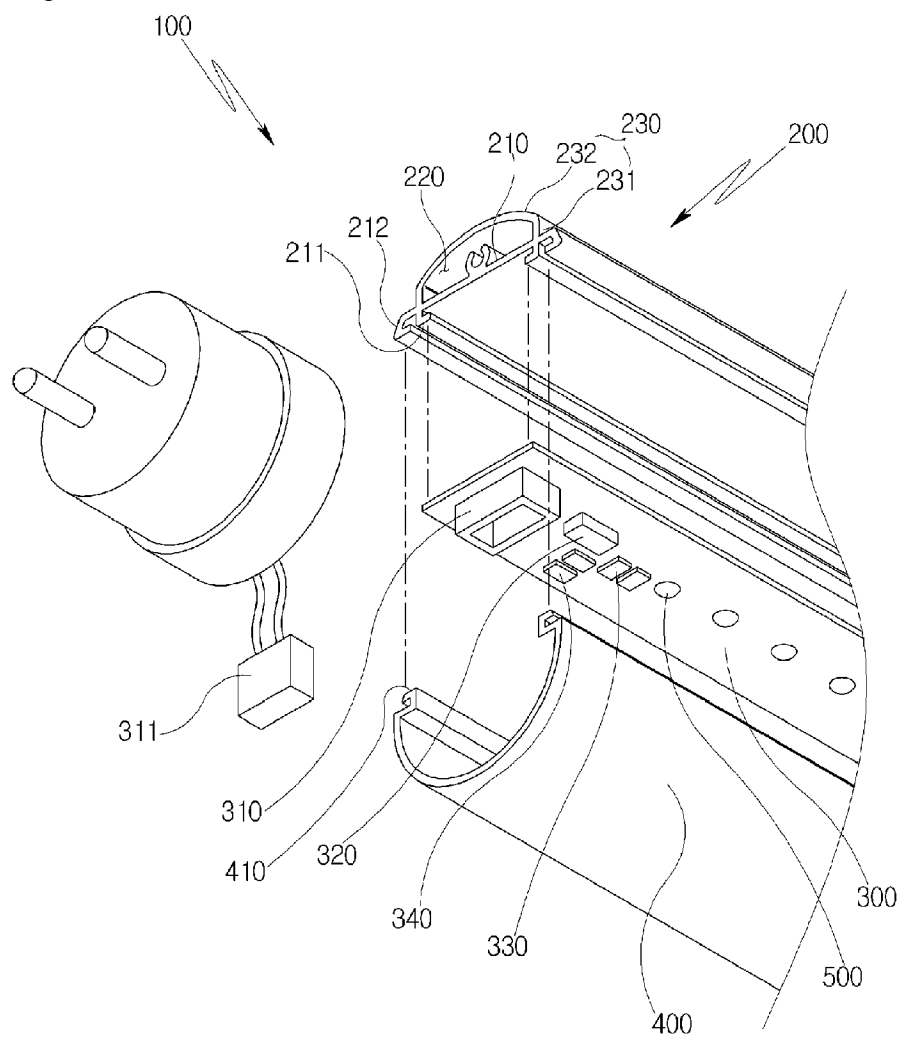
[청구항 19]

청구항 17에 있어서,
상기 방열부는 그 표면에 상기 방열부의 폭 방향 또는 길이 방향으로 서로 이격하는 복수의 방열핀을 더 포함하는 LED 조명장치.

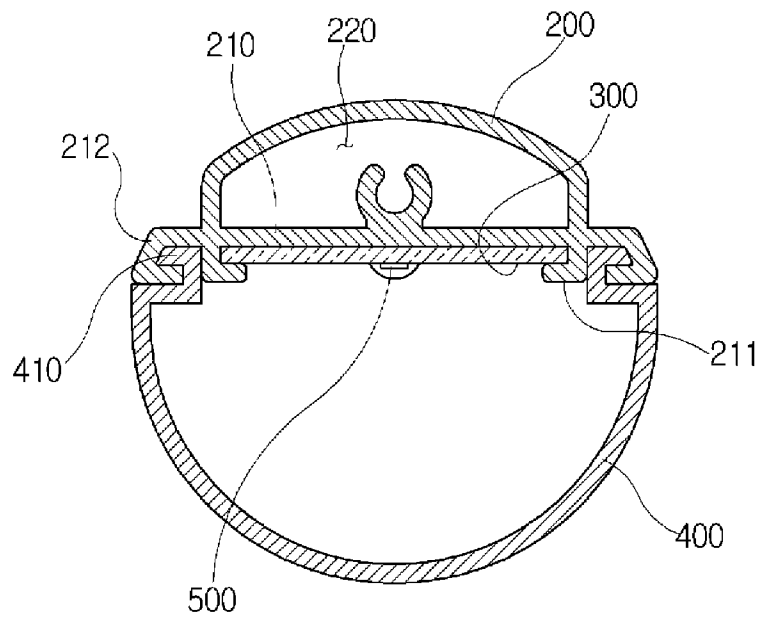
[Fig. 1]



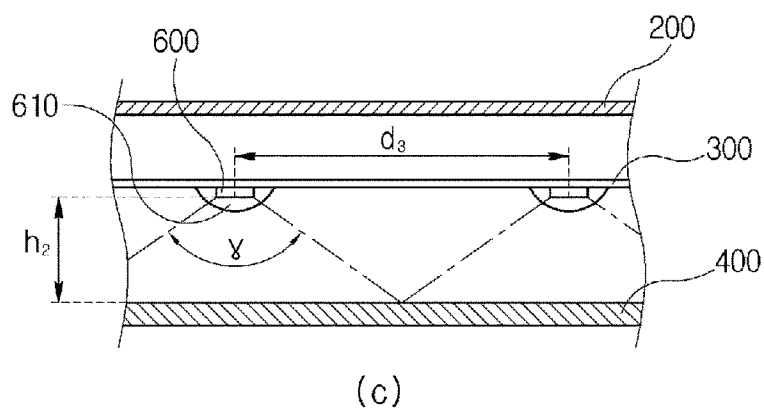
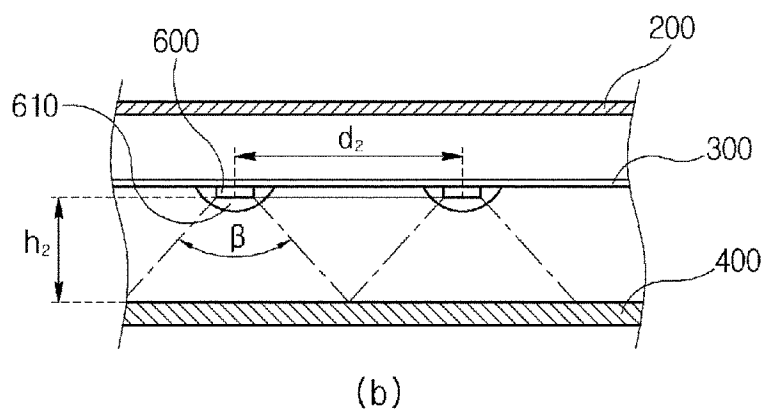
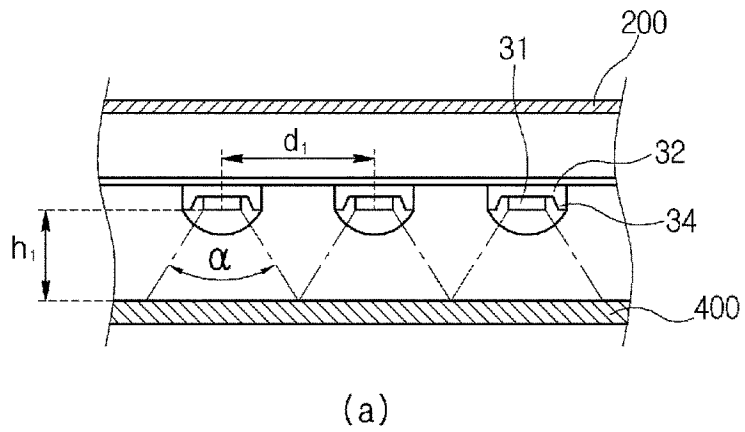
[Fig. 2]



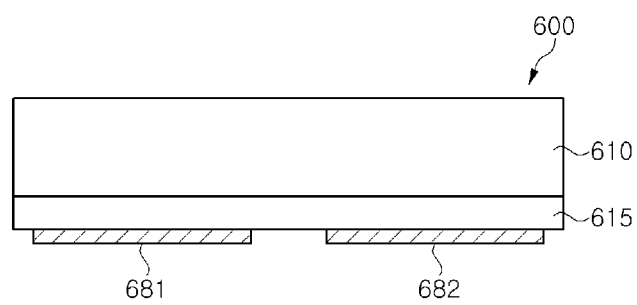
[Fig. 3]



[Fig. 4]



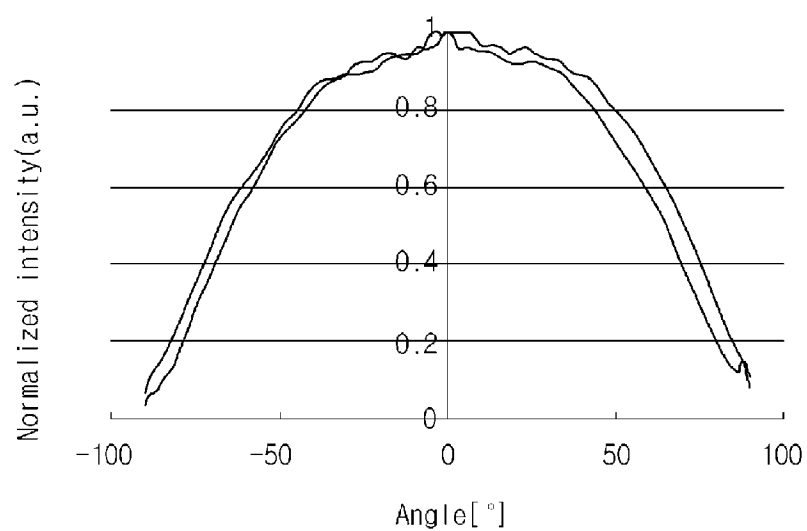
[Fig. 5]



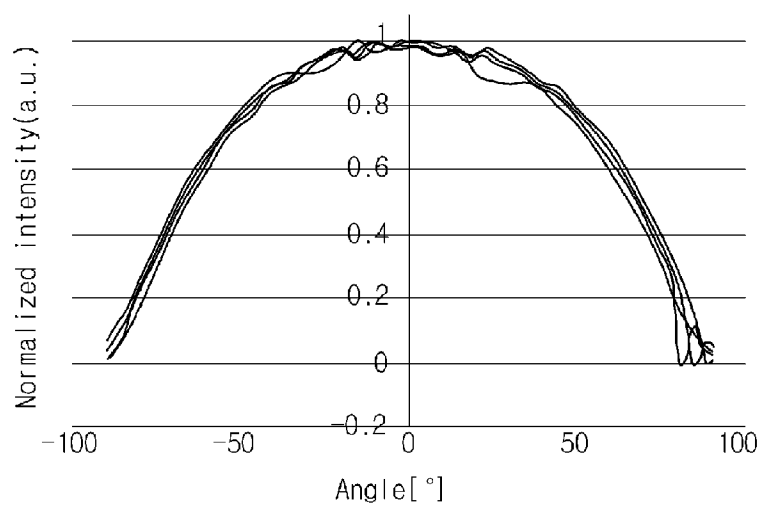
A cross-sectional view of a semiconductor device 600a. The device consists of a substrate 610 with a base layer 620. On top of the base layer, there are two main regions. The left region contains a stack of layers 651, 661, 652, and 672, which is covered by a protective layer 670. The right region contains a stack of layers 650, 660, and 681, which is covered by a protective layer 640. The protective layer 640 is composed of sub-layers 641 and 642. The device is also labeled with 650, 682, 660, 670, 651, 661, 652, 672, 650, 660, 681, 642, 641, 632, 631, 620, 610, and 671.

Sapphire 두께 (μm)	휙 각 (deg)
120	130.1
150	135.0
250	140.0
400	140.0

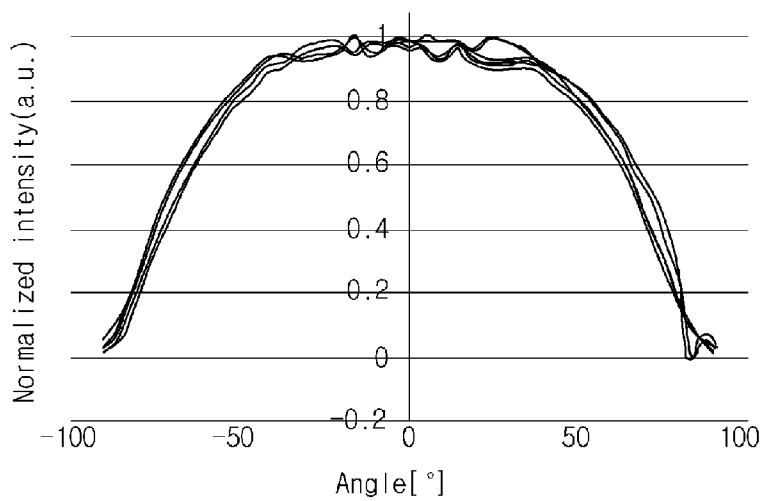
[Fig. 8]



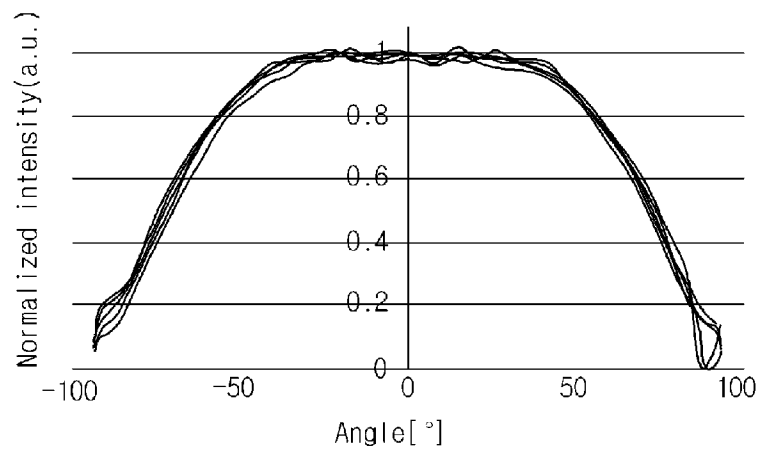
[Fig. 9]



[Fig. 10]



[Fig. 11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2013/010422**A. CLASSIFICATION OF SUBJECT MATTER*****F21V 17/00(2006.01)i, H01L 33/00(2010.01)i, F21V 7/00(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

F21V 17/00; F21S 2/00; F21V 23/00; H01L 33/00; H01L 33/14; H01L 33/08; F21Y 101/02; F21V 7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: heat dissipation frame, cover, reflective electrode, current dispersing layer, light-transmission layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2012-0049450 A (SEOUL SEMICONDUCTOR CO.,LTD) 17 May 2012 See abstract, paragraphs 29-33, claims 1, 4-6, figure 3.	1-19
A	KR 10-2012-0079327 A (GALAXIA PHOTONICS) 12 July 2012 See abstract, paragraphs 21-25, 33-37, claims 1-2, 6-8, figures 2-3.	1-19
A	JP 2005-183930 A (SANKEN ELECTRIC CO., LTD.) 07 July 2005 See abstract, paragraphs 14-23, claims 1, 3 and 8, figures 1-2.	1-19
A	JP 2012-190744 A (KOITO MFG. CO., LTD.) 04 October 2012 See abstract, paragraphs 13-16, claims 1-2, figure 2.	1-19
A	US 2012-0256198 A1 (HUANG, Chin-Kai et al.) 11 October 2012 See abstract, paragraphs 21-26, claims 1-5, figure 1.	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 FEBRUARY 2014 (21.02.2014)

Date of mailing of the international search report

24 FEBRUARY 2014 (24.02.2014)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2013/010422

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2012-0049450 A	17/05/2012	NONE	
KR 10-2012-0079327 A	12/07/2012	NONE	
JP 2005-183930 A	07/07/2005	CN 1622350 A	01/06/2005
		JP 4178410 B2	12/11/2008
		US 2005-0110029 A1	26/05/2005
		US 2006-0275937 A1	07/12/2006
		US 7456435 B2	25/11/2008
JP 2012-190744 A	04/10/2012	US 2012-0236533 A1	20/09/2012
US 2012-0256198 A1	11/10/2012	TW 201242107 A	16/10/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))

F21V 17/00(2006.01)i, H01L 33/00(2010.01)i, F21V 7/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

F21V 17/00; F21S 2/00; F21V 23/00; H01L 33/00; H01L 33/14; H01L 33/08; F21Y 101/02; F21V 7/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 방열 프레임, 커버, 반사 전극, 전류 분산층, 광투과층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2012-0049450 A (서울반도체 주식회사) 2012.05.17 요약, 단락 29-33, 청구항 1, 4-6, 도면 3 참조.	1-19
A	KR 10-2012-0079327 A (갤럭시아포토닉스 주식회사) 2012.07.12 요약, 단락 21-25, 33-37, 청구항 1-2, 6-8, 도면 2-3 참조.	1-19
A	JP 2005-183930 A (SANKEN ELECTRIC CO., LTD.) 2005.07.07 요약, 단락 14-23, 청구항 1, 3, 8, 도면 1-2 참조.	1-19
A	JP 2012-190744 A (KOITO MFG. CO., LTD.) 2012.10.04 요약, 단락 13-16, 청구항 1-2, 도면 2 참조.	1-19
A	US 2012-0256198 A1 (CHIN-KAI HUANG 외) 2012.10.11 요약, 단락 21-26, 청구항 1-5, 도면 1 참조.	1-19

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2014년 02월 21일 (21.02.2014)

국제조사보고서 발송일

2014년 02월 24일 (24.02.2014)

ISA/KR의 명칭 및 우편주소

 대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2012-0049450 A	2012/05/17	없음	
KR 10-2012-0079327 A	2012/07/12	없음	
JP 2005-183930 A	2005/07/07	CN 1622350 A JP 4178410 B2 US 2005-0110029 A1 US 2006-0275937 A1 US 7456435 B2	2005/06/01 2008/11/12 2005/05/26 2006/12/07 2008/11/25
JP 2012-190744 A	2012/10/04	US 2012-0236533 A1	2012/09/20
US 2012-0256198 A1	2012/10/11	TW 201242107 A	2012/10/16