

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7301237号

(P7301237)

(45)発行日 令和5年6月30日(2023.6.30)

(24)登録日 令和5年6月22日(2023.6.22)

(51)国際特許分類		F I			
G 1 1 C	7/08 (2006.01)	G 1 1 C	7/08		
G 1 1 C	7/06 (2006.01)	G 1 1 C	7/06	1 2 0	
G 1 1 C	11/4091(2006.01)	G 1 1 C	11/4091	1 4 0	

請求項の数 16 (全27頁)

(21)出願番号	特願2022-541014(P2022-541014)	(73)特許権者	522246670 チャンシン メモリー テクノロジーズ インコーポレイテッド CHANGXIN MEMORY TEC HNOLOGIES, INC. 中華人民共和国 230601 アンフイ プロヴィンス ホーフェイ シティ エコ ノミック アンド テクノロジカル ディ ベロップメント エリア エアポート イ ンダストリアル パーク シンイエ アベ ニュー ナンバー 388
(86)(22)出願日	令和3年7月21日(2021.7.21)	(74)代理人	110002952 弁理士法人鷲田国際特許事務所
(65)公表番号	特表2023-523488(P2023-523488 A)	(72)発明者	スー シンチェン 中華人民共和国 アンホイ ホーフェイ 最終頁に続く
(43)公表日	令和5年6月6日(2023.6.6)		
(86)国際出願番号	PCT/CN2021/107523		
(87)国際公開番号	WO2022/198857		
(87)国際公開日	令和4年9月29日(2022.9.29)		
審査請求日	令和4年6月30日(2022.6.30)		
(31)優先権主張番号	202110313685.5		
(32)優先日	令和3年3月24日(2021.3.24)		
(33)優先権主張国・地域又は機関	中国(CN)		

(54)【発明の名称】 センスアンプ、メモリ及び制御方法

(57)【特許請求の範囲】

【請求項1】

センスアンプであって、

前記センスアンプが増幅段階にあるとき、ビットラインとリファレンスビットラインとの間の電圧差を増幅するための増幅モジュールと、

前記増幅モジュールに接続されており、第1の定格調整レート範囲と第2の定格調整レート範囲とに従って駆動パラメータを決定して、前記駆動パラメータに従って前記増幅モジュールに電源を供給し、前記増幅段階で第1の定格調整レートに従って前記ビットラインの電圧又はリファレンスビットラインの電圧を第1のプリセット値に調整して、第2の定格調整レートに従って前記リファレンスビットラインの電圧又はビットラインの電圧を第2のプリセット値に調整するように前記増幅モジュールを制御するための制御可能な電源モジュールと、を含み、

前記第1の定格調整レートが前記第1の定格調整レート範囲内にあり、前記第2の定格調整レートが前記第2の定格調整レート範囲内にあるセンスアンプ。

【請求項2】

前記制御可能な電源モジュールは、

前記増幅モジュールの第1端に接続されており、前記増幅モジュールに電源を供給するための第1の制御可能な電源ユニットと、

前記増幅モジュールの第2端に接続されており、前記増幅モジュールに電源を供給するための第2の制御可能な電源ユニットと、

前記第 1 の制御可能な電源ユニットと前記第 2 の制御可能な電源ユニットとに接続されており、前記第 1 の定格調整レート範囲と前記第 2 の定格調整レート範囲とに従って駆動パラメータを決定して、前記駆動パラメータに従って前記増幅モジュールに電源を供給するように前記第 1 の制御可能な電流源と前記第 2 の制御可能な電流源とを制御するための制御ユニットと、を含む請求項 1 に記載のセンスアンプ。

【請求項 3】

前記第 1 の制御可能な電源ユニットには、

N 個の第 1 の制御可能な電流源が含まれ、各第 1 の制御可能な電流源には、制御端、第 1 端及び第 2 端が設けられており、その第 1 端が第 1 の給電端に接続され、その第 2 端が前記増幅モジュールの第 1 端に接続され、その制御端が前記制御ユニットに接続され、N が正の整数である請求項 2 に記載のセンスアンプ。

10

【請求項 4】

前記第 2 の制御可能な電源ユニットには、

N 個の第 2 の制御可能な電流源が含まれ、各第 2 の制御可能な電流源には、制御端、第 1 端及び第 2 端が設けられており、その第 1 端が第 2 の給電端に接続され、その第 2 端が前記増幅モジュールの第 2 端に接続され、その制御端が前記制御ユニットに接続される請求項 3 に記載のセンスアンプ。

【請求項 5】

前記制御ユニットは、

前記第 1 の定格調整レート範囲に従って第 1 の駆動電流範囲を決定して、前記第 2 の定格調整レート範囲に従って第 2 の駆動電流範囲を決定すること、

20

前記 N 個の第 1 の制御可能な電流源から少なくとも 1 つの第 1 の目標電流源を選択して、前記 N 個の第 2 の制御可能な電流源から少なくとも 1 つの第 2 の目標電流源を選択することであって、ここで、前記少なくとも 1 つの第 1 の目標電流源により提供される合計電流が前記第 1 の駆動電流範囲内にあり、前記少なくとも 1 つの第 2 の目標電流源により提供される合計電流が前記第 2 の駆動電流範囲内にあること、及び

前記第 1 の目標電流源の動作を制御するための第 1 の制御信号を生成して、前記第 2 の目標電流源の動作を制御するための第 2 の制御信号を生成することにより、前記第 1 の制御可能な電源ユニットが前記増幅段階で第 1 の定格調整レートに従って前記ビットラインの電圧を第 1 のプリセット値に調整するように前記増幅モジュールを制御し、前記第 2 の制御可能な電源ユニットが前記増幅段階で第 2 の定格調整レートに従って前記リファレンスビットラインの電圧を第 2 のプリセット値に調整するように前記増幅モジュールを制御すること、に用いられる請求項 4 に記載のセンスアンプ。

30

【請求項 6】

前記制御ユニットは、

前記第 1 の定格調整レート範囲に従って第 1 の駆動電流範囲を決定して、前記第 2 の定格調整レート範囲に従って第 2 の駆動電流範囲を決定すること、

前記 N 個の第 1 の制御可能な電流源から少なくとも 1 つの第 1 の目標電流源を選択して、前記 N 個の第 2 の制御可能な電流源から少なくとも 1 つの第 2 の目標電流源を選択することであって、ここで、前記少なくとも 1 つの第 1 の目標電流源により提供される合計電流が前記第 1 の駆動電流範囲内にあり、前記少なくとも 1 つの第 2 の目標電流源により提供される合計電流が前記第 2 の駆動電流範囲内にあること、及び

40

前記第 1 の目標電流源の動作を制御するための第 3 の制御信号を生成して、前記第 2 の目標電流源の動作を制御するための第 4 の制御信号を生成することにより、前記第 1 の制御可能な電源ユニットが前記増幅段階で第 1 の定格調整レートに従って前記リファレンスビットラインの電圧を第 1 のプリセット値に調整するように前記増幅モジュールを制御し、前記第 2 の制御可能な電源ユニットが前記増幅段階で第 2 の定格調整レートに従って前記ビットラインの電圧を第 2 のプリセット値に調整するように前記増幅モジュールを制御すること、に用いられる請求項 4 に記載のセンスアンプ。

【請求項 7】

50

第 i 個の第 1 の制御可能な電流源により提供される駆動電流が
【数 1】

$$2^{i-1} \times I_b$$

であり、第 j 個の第 2 の制御可能な電流源により提供される駆動電流が
【数 2】

$$2^{j-1} \times I_b$$

10

であり、
【数 3】

$$I_b$$

が単位電流を表す請求項 4 ~ 6 のいずれか 1 項に記載のセンスアンプ。

【請求項 8】

20

前記第 1 の制御可能な電流源は P 型トランジスタであり、前記第 2 の制御可能な電流源は N 型トランジスタであり、または、

前記第 1 の制御可能な電流源及び前記第 2 の制御可能な電流源は、いずれも N 型トランジスタである請求項 4 ~ 6 のいずれか 1 項に記載のセンスアンプ。

【請求項 9】

前記増幅モジュールには、

少なくとも 1 つのクロスカップリング増幅回路が含まれ、前記少なくとも 1 つのクロスカップリング増幅回路には、第 1 端、第 2 端、第 3 端及び第 4 端が設けられており、その第 1 端が前記第 1 の制御可能な電源ユニットの出力端に接続され、その第 2 端が前記第 2 の制御可能な電源ユニットの出力端に接続され、その第 3 端が前記ビットラインに接続され、その第 4 端が前記リファレンスビットラインに接続される請求項 2 ~ 6 のいずれか 1 項に記載のセンスアンプ。

30

【請求項 10】

前記クロスカップリング増幅回路は、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、及び第 4 のトランジスタを含み、

前記第 1 のトランジスタの第 1 端が前記クロスカップリング増幅回路の第 1 端になり、前記第 2 のトランジスタの第 2 端が前記クロスカップリング増幅回路の第 2 端になり、前記第 1 のトランジスタの第 2 端が前記クロスカップリング増幅回路の第 3 端になり、前記第 3 のトランジスタの第 2 端が前記クロスカップリング増幅回路の第 4 端になっており、

前記第 1 のトランジスタの第 2 端が第 2 のトランジスタの第 1 端に接続され、前記第 3 のトランジスタの第 2 端が前記第 4 のトランジスタの第 1 端に接続され、前記第 1 のトランジスタの第 1 端が前記第 3 のトランジスタの第 1 端に接続され、前記第 2 のトランジスタの第 2 端が前記第 4 のトランジスタの第 2 端に接続され、

40

前記第 1 のトランジスタの制御端が前記第 3 のトランジスタの第 2 端に接続され、前記第 2 のトランジスタの制御端が前記第 3 のトランジスタの第 2 端に接続され、前記第 3 のトランジスタの制御端が前記第 1 のトランジスタの第 2 端に接続され、前記第 4 のトランジスタの制御端が前記第 1 のトランジスタの第 2 端に接続される請求項 9 に記載のセンスアンプ。

【請求項 11】

前記クロスカップリング増幅回路は、第 5 のトランジスタ、第 6 のトランジスタ、第 7

50

のトランジスタ、第 8 のトランジスタ、第 1 のスイッチ、第 2 のスイッチ、第 3 のスイッチ、及び第 4 のスイッチを含み、

前記第 5 のトランジスタの第 1 端が前記クロスカップリング増幅回路の第 1 端になり、前記第 6 のトランジスタの第 2 端が前記クロスカップリング増幅回路の第 2 端になり、前記第 5 のトランジスタの第 2 端が前記クロスカップリング増幅回路の第 3 端になり、前記第 7 のトランジスタの第 2 端が前記クロスカップリング増幅回路の第 4 端になっており、

前記第 5 のトランジスタの第 2 端が前記第 6 のトランジスタの第 1 端に接続され、前記第 7 のトランジスタの第 2 端が前記第 8 のトランジスタの第 1 端に接続され、前記第 5 のトランジスタの第 1 端が前記第 7 のトランジスタの第 1 端に接続され、前記第 6 のトランジスタの第 2 端が前記第 8 のトランジスタの第 2 端に接続され、

10

前記第 5 のトランジスタの制御端が前記第 7 のトランジスタの第 2 端に接続され、前記第 6 のトランジスタの制御端が前記第 1 のスイッチを介して前記第 7 のトランジスタの第 2 端に接続され、前記第 6 のトランジスタの制御端が前記第 3 のスイッチを介して前記第 6 のトランジスタの第 1 端に接続され、

前記第 7 のトランジスタの制御端が前記第 5 のトランジスタの第 2 端に接続され、前記第 8 のトランジスタの制御端が前記第 2 のスイッチを介して前記第 5 のトランジスタの第 2 端に接続され、前記第 8 のトランジスタの制御端が前記第 4 のスイッチを介して前記第 8 のトランジスタの第 1 端に接続される請求項 9 に記載のセンスアンプ。

【請求項 1 2】

請求項 1 ~ 11 のいずれか 1 項に記載のセンスアンプと記憶ユニットとを含むメモリであって、

20

複数の前記記憶ユニットが第 1 の記憶アレイを構成し、複数の前記記憶ユニットが第 2 の記憶アレイを構成し、前記センスアンプが前記第 1 の記憶アレイと前記第 2 の記憶アレイとの間に位置し、前記センスアンプの第 3 端が前記第 1 の記憶アレイのビットラインに接続され、前記センスアンプの第 4 端が前記第 2 の記憶アレイのビットラインに接続されるメモリ。

【請求項 1 3】

センスアンプの制御方法であって、前記センスアンプは、増幅モジュールと制御可能な電源モジュールとを含み、前記方法は、

第 1 の定格調整レート範囲と第 2 の定格調整レート範囲とを取得するステップと、

30

前記第 1 の定格調整レート範囲と前記第 2 の定格調整レート範囲とに従って前記制御可能な電源モジュールの駆動パラメータを決定するステップと、

前記駆動パラメータに従って前記制御可能な電源モジュールを制御するための制御信号を生成することにより、前記制御可能な電源モジュールが増幅段階で第 1 の定格調整レートに従ってビットラインの電圧又はリファレンスビットラインの電圧を第 1 のプリセット値に調整して、第 2 の定格調整レートに従って前記リファレンスビットラインの電圧又は前記ビットラインの電圧を第 2 のプリセット値に調整するように前記増幅モジュールを制御するステップと、を含み、

前記第 1 の定格調整レートが前記第 1 の定格調整レート範囲内にあり、前記第 2 の定格調整レートが前記第 2 の定格調整レート範囲内にあるセンスアンプの制御方法。

40

【請求項 1 4】

前記制御可能な電源モジュールは、N 個の第 1 の制御可能な電流源を含む第 1 の制御可能な電源ユニットと N 個の第 2 の制御可能な電流源を含む第 2 の制御可能な電源ユニットとを含み、

前記第 1 の定格調整レート範囲と前記第 2 の定格調整レート範囲とに従って増幅モジュールの駆動パラメータを決定するステップは、具体的に、

前記第 1 の定格調整レート範囲に従って第 1 の駆動電流範囲を決定して、前記第 2 の定格調整レート範囲に従って第 2 の駆動電流範囲を決定するステップを含む請求項 1 3 に記載の方法。

【請求項 1 5】

50

前記駆動パラメータに従って前記制御可能な電源モジュールを制御するための制御信号を生成するステップは、具体的に、

N個の第1の制御可能な電流源から少なくとも1つの第1の目標電流源を選択して、N個の第2の制御可能な電流源から少なくとも1つの第2の目標電流源を選択するステップであって、前記少なくとも1つの第1の目標電流源により提供される合計電流が前記第1の駆動電流範囲内にあり、前記少なくとも1つの第2の目標電流源により提供される合計電流が前記第2の駆動電流範囲内にあるステップと、

前記第1の目標電流源の動作を制御するための第1の制御信号を生成して、前記第2の目標電流源の動作を制御するための第2の制御信号を生成することにより、前記第1の制御可能な電源ユニットが前記増幅段階で第1の定格調整レートに従って前記ビットラインの電圧を第1のプリセット値に調整するように前記増幅モジュールを制御し、前記第2の制御可能な電源ユニットが前記増幅段階で第2の定格調整レートに従って前記リファレンスビットラインの電圧を第2のプリセット値に調整するように前記増幅モジュールを制御するステップと、を含む請求項14に記載の方法。

10

【請求項16】

前記駆動パラメータに従って前記制御可能な電源モジュールを制御するための制御信号を生成するステップは、具体的に、

N個の第1の制御可能な電流源から少なくとも1つの第1の目標電流源を選択して、N個の第2の制御可能な電流源から少なくとも1つの第2の目標電流源を選択するステップであって、前記少なくとも1つの第1の目標電流源により提供される合計電流が前記第1の駆動電流範囲内にあり、前記少なくとも1つの第2の目標電流源により提供される合計電流が前記第2の駆動電流範囲内にあるステップと、

20

前記第1の目標電流源の動作を制御するための第3の制御信号を生成して、前記第2の目標電流源の動作を制御するための第4の制御信号を生成することにより、前記第1の制御可能な電源ユニットが前記増幅段階で第1の定格調整レートに従って前記リファレンスビットラインの電圧を第1のプリセット値に調整するように前記増幅モジュールを制御し、前記第2の制御可能な電源ユニットが前記増幅段階で第2の定格調整レートに従って前記ビットラインの電圧を第2のプリセット値に調整するように前記増幅モジュールを制御するステップと、を含む請求項14に記載の方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本願は、センスアンプ、メモリ及び制御方法に関するが、それらに限定されない。

【背景技術】

【0002】

携帯電話や、タブレットパソコン、パソコンなどの電子機器の普及につれて、半導体メモリ技術は飛躍的な発展を遂げた。

【0003】

センスアンプ (Sense Amplifier、SAと略称) は、半導体メモリの1つの重要な構成部分であり、その主な機能がビットライン上の小信号を増幅して、さらに読み取り又は書き込み操作を実行することである。

40

【0004】

しかしながら、データ読み取り中に、データ読み取りに失敗するか、データを誤って読み取る問題は発生しやすい。

【発明の概要】

【0005】

本願の実施例は、センスアンプを提供し、

センスアンプが増幅段階にあるとき、ビットラインとリファレンスビットラインとの間の電圧差を増幅するための増幅モジュールと、

増幅モジュールに接続されており、ビットラインの第1の定格調整レート範囲とリファレ

50

ンスビットラインの第2の定格調整レート範囲とに従って駆動パラメータを決定し、駆動パラメータに従って増幅モジュールに電源を供給し、増幅段階で第1の定格調整レートに従ってビットラインの電圧又はリファレンスビットラインの電圧を第1のプリセット値に調整して、第2の定格調整レートに従ってリファレンスビットラインの電圧又はビットラインの電圧を第2のプリセット値に調整するように増幅モジュールを制御するための制御可能な電源モジュールと、を含む。

【0006】

第1の定格調整レートが第1の定格調整レート範囲内にあり、第2の定格調整レートが第2の定格調整レート範囲内にある。

【0007】

本願の実施例は、また、上記した本願の実施例に係るセンスアンプと記憶ユニットとを含むメモリを提供し、

複数の記憶ユニットが第1の記憶アレイを構成し、複数の記憶ユニットが第2の記憶アレイを構成し、センスアンプが第1の記憶アレイと第2の記憶アレイとの間に位置し、センスアンプの第3端が第1の記憶アレイのビットラインに接続され、センスアンプの第4端が第2の記憶アレイのビットラインに接続される。

【0008】

本願の実施例は、さらに、制御方法を提供し、センスアンプは、増幅モジュールと制御可能な電源モジュールとを含み、前記方法は、

第1の定格調整レート範囲と第2の定格調整レート範囲とを取得するステップと、

第1の定格調整レート範囲と第2の定格調整レート範囲とに従って制御可能な電源モジュールの駆動パラメータを決定するステップと、

駆動パラメータに従って制御可能な電源モジュールを制御するための制御信号を生成することにより、制御可能な電源モジュールが増幅段階で第1の定格調整レートに従ってビットラインの電圧又はリファレンスビットラインの電圧を第1のプリセット値に調整して、第2の定格調整レートに従ってリファレンスビットラインの電圧又はビットラインの電圧を第2のプリセット値に調整するように増幅モジュールを制御するステップと、を含み、

第1の定格調整レートが第1の定格調整レート範囲内にあり、第2の定格調整レートが第2の定格調整レート範囲内にある。

【図面の簡単な説明】

【0009】

【図1】本願の1つの実施例により提供されるメモリの回路の構造概略図である。

【図2】本願の他の実施例により提供されるデータ読み取りのシーケンス図である。

【図3】本願の他の実施例により提供されるセンスアンプの回路の構造概略図である。

【図4a】本願により提供されるビットラインの電圧とリファレンスビットラインの電圧との調整レートの比較概略図である。

【図4b】本願により提供されるビットラインの電圧とリファレンスビットラインの電圧との調整レートの比較概略図である。

【図4c】本願により提供されるビットラインの電圧とリファレンスビットラインの電圧との調整レートの比較概略図である。

【図5】本願の他の実施例により提供されるセンスアンプの回路の構造概略図である。

【図6】本願の他の実施例により提供されるセンスアンプの回路の構造概略図である。

【図7】本願の他の実施例により提供されるセンスアンプの回路の構造概略図である。

【図8】本願の他の実施例により提供されるデータ読み取りのシーケンス図である。

【図9】本願の他の実施例により提供されるセンスアンプの制御方法のフローチャートである。

【発明を実施するための形態】

【0010】

本願の目的、技術案及び利点をより明瞭にするために、以下、本願に係る図面を参照しながら、本願における技術案を明瞭で、且つ完全に説明し、当然ながら、記載される実施

10

20

30

40

50

例は本願の実施例の一部にすぎず、すべての実施例ではない。当業者が本願における実施例に基づいて創造的な労働なしに取得されたその他のすべての実施例は、いずれも本願の保護範囲に属する。

【 0 0 1 1 】

本願の1つの実施例は、図1に示すように、メモリ100を提供し、メモリ100は、センスアンプ10と複数の記憶ユニット21とを含む。複数の記憶ユニット21が第1の記憶アレイ20を構成し、複数の記憶ユニット21が第2の記憶アレイ30を構成する。第1の記憶アレイ20にある各記憶ユニット21が第1の記憶アレイ20のビットライン40に接続され、第2の記憶アレイ30にある各記憶ユニット21が第2の記憶アレイ30のビットライン50に接続される。

10

【 0 0 1 2 】

センスアンプ10は、第1の記憶アレイ20と第2の記憶アレイ30との間に位置し、センスアンプ10の第1端が第1の給電端に接続され、センスアンプ10の第2端が第2の給電端に接続され、センスアンプ10の第3端が第1の記憶アレイ20のビットライン40に接続され、センスアンプ10の第4端が第2の記憶アレイ30のビットライン50に接続される。

【 0 0 1 3 】

各記憶ユニット21は、1ビットのデータを記憶するために使用され、第1の記憶アレイ20のビットライン40は、第1の記憶アレイ20にある各記憶ユニット21内に記憶されたデータにアクセスするために使用され、第2の記憶アレイ30のビットライン50は、第2の記憶アレイ30にある各記憶ユニット21内に記憶されたデータにアクセスするために使用される。センスアンプ10は、各記憶ユニット21に記憶されたデータを増幅し、第1の記憶アレイ20のビットライン40と第2の記憶アレイ30のビットライン50とで示すことに用いられる。センスアンプ10は、また、データ読み取り操作を1回実行した後、記憶ユニット21を読み取り操作前の状態に復元するために使用される。

20

【 0 0 1 4 】

各記憶ユニット21は、ストレージコンデンサCとアクセストランジスタTとを含み、ストレージコンデンサCの第1端が固定電源、例えば、0.5

【数1】

V_{CC}

30

に接続され、ストレージコンデンサCの第2端がアクセストランジスタTの第1端に接続され、アクセストランジスタTの第2端がビットライン40に接続され、アクセストランジスタTの制御端がワードラインに接続される。

【 0 0 1 5 】

論理的1及び0は、ストレージコンデンサCに記憶された電荷の多寡又はストレージコンデンサCの両端の電圧差の大小で示される。アクセストランジスタTは、ストレージコンデンサCに記憶された情報の読み取り又は書き換えを許可又は禁止するかどうかを制御するために使用される。

40

【 0 0 1 6 】

説明の便宜上、第1の記憶アレイ20内にある1つの記憶ユニット21におけるデータを読み取るとき、第1の記憶アレイ20のビットラインは、ビットライン40と呼ばれ、第2の記憶アレイ30のビットラインは、リファレンスビットライン50と呼ばれる。第2の記憶アレイ30内にある1つの記憶ユニット21におけるデータを読み取るとき、第2の記憶アレイ30のビットラインは、ビットライン40と呼ばれ、第1の記憶アレイ20のビットラインは、リファレンスビットライン50と呼ばれる。

【 0 0 1 7 】

以下、第1の記憶アレイ20にある1つの記憶ユニット21からデータ「1」を読み取るプロセスについて説明する。図2に示すように、データ読み取りプロセスとして、プリ

50

チャージ段階、アクセス段階、増幅段階及び復元段階を含む。

【 0 0 1 8 】

プリチャージ段階では、第 1 の記憶アレイ 2 0 のビットライン 4 0 の電圧及びリファレンスビットライン 5 0 の電圧は、いずれも基準電圧まで上げて調整され、基準電圧がストレージコンデンサ C に接続された固定電源の電圧、例えば、0 . 5

【 数 2 】

V_{CC}

である。

【 0 0 1 9 】

アクセス段階では、アクセスされる記憶ユニット 2 1 に対応するワードライン内の信号を制御することにより、アクセスされる記憶ユニット 2 1 内のアクセストランジスタ T が導通され、ストレージコンデンサ C がビットライン 4 0 の電圧を増加させる。

【 0 0 2 0 】

増幅段階では、ビットライン 4 0 の電圧が基準電圧よりも高いため、センスアンプ 1 0 はビットライン 4 0 の電圧を第 1 のプリセット値まで上げて調整して、リファレンスビットライン 5 0 の電圧を第 2 のプリセット値まで下げて調整して、ビットライン 4 0 の電圧がリファレンスビットライン 5 0 よりも高く、ビットライン 4 0 とリファレンスビットライン 5 0 との間の電圧差で、アクセスされる記憶ユニット 2 1 におけるデータが「 1 」であることを反映することができる。

【 0 0 2 1 】

復元段階では、センスアンプ 1 0 は、ビットライン 4 0 とリファレンスビットライン 5 0 との電圧を論理データ「 1 」に安定させ、さらに、ビットライン 4 0 がストレージコンデンサ C を充電し、ストレージコンデンサ C の電荷は、一定時間充電した後、読み取り操作前の状態に復元する。列選択ライン内の信号を制御することにより、外部読み取り回路は、ビットライン 4 0 とリファレンスビットライン 5 0 とから、アクセスされる記憶ユニット 2 1 内に記憶されたデータを読み取ることができる。

【 0 0 2 2 】

しかしながら、記憶ユニット 2 1 内のデータを読み取るプロセスには、データ読み取りに失敗するか、データを誤って読み取る問題は発生しやすい。本願は、上記問題を解決するために、センスアンプ、メモリ及び制御方法を提供し、センスアンプによるデータ読み取りの正確さ及びデータ読み取りの成功率を向上させる解決案を提供することを目的とする。

【 0 0 2 3 】

本願の技術的構想は以下の通りである。増幅モジュールがビットライン 4 0 の電圧とリファレンスビットライン 5 0 の電圧とを調整するレートを、制御可能な電源モジュールは制御することにより、ビットライン 4 0 の電圧とリファレンスビットライン 5 0 の電圧との調整レートが定格調整レート範囲内にあるようになり、外部読み取り回路はビットライン 4 0 とリファレンスビットライン 5 0 とで示されるデータを読み取るとき、ビットライン 4 0 とリファレンスビットライン 5 0 とには、記憶ユニット 2 1 内に記憶されたデータがすでに安定して示され、それによって、データ読み取りの成功率及びデータ読み取りの正確さは向上する。

【 0 0 2 4 】

図 3 に示すように、本願の他の実施例は、センスアンプ 1 0 を提供する。センスアンプ 1 0 は、増幅モジュール 1 0 1 と制御可能な電源モジュール 1 0 2 とを含み、増幅モジュール 1 0 1 と制御可能な電源モジュール 1 0 2 とが接続される。

【 0 0 2 5 】

増幅モジュール 1 0 1 は、センスアンプ 1 0 が増幅段階にあるとき、ビットライン 4 0 とリファレンスビットライン 5 0 との間の電圧差を増幅するために使用される。制御可能

10

20

30

40

50

な電源モジュール 102 は、第 1 の定格調整レート範囲と第 2 の定格調整レート範囲とに従って駆動パラメータを決定して、駆動パラメータに従って増幅モジュール 101 に電源を供給するために使用される。

【0026】

増幅モジュール 101 は、制御可能な電源モジュール 102 の制御下で、増幅段階で第 1 の定格調整レートに従ってビットライン 40 の電圧又はリファレンスビットライン 50 の電圧を第 1 のプリセット値に調整して、第 2 の定格調整レートに従ってリファレンスビットライン 50 の電圧又はビットライン 40 の電圧を第 2 のプリセット値に調整する。ここで、第 1 の定格調整レートが第 1 の定格調整レート範囲内にあり、第 2 の定格調整レートが第 2 の定格調整レート範囲内にある。第 1 のプリセット値と第 2 のプリセット値との差の値は、論理データ「1」又は論理データ「0」を反映することができる。

10

【0027】

センスアンプは記憶ユニットからデータを読み取るプロセスについて、便宜に説明するために、第 1 のプリセット値は第 2 のプリセット値より大きい場合に、論理データ「1」を意味すると仮定する。第 1 のプリセット値は、例えば、

【数 3】

$$V_{CC}$$

であってもよく、第 2 のプリセット値は、例えば、0 であってもよい。

20

【0028】

記憶ユニット 21 から論理データ「1」を読み取るとき、増幅モジュール 101 は、制御可能な電源モジュール 102 の制御下で、増幅段階で第 1 の定格調整レートに従ってビットライン 40 の電圧を第 1 のプリセット値に調整して、第 2 の定格調整レートに従ってリファレンスビットライン 50 の電圧を第 2 のプリセット値に調整する。

【0029】

記憶ユニット 21 から論理データ「0」を読み取るとき、増幅モジュール 101 は、制御可能な電源モジュール 102 の制御下で、増幅段階で第 1 の定格調整レートに従ってリファレンスビットライン 50 の電圧を第 1 のプリセット値に調整して、第 2 の定格調整レートに従ってビットライン 40 の電圧を第 2 のプリセット値に調整する。

30

【0030】

記憶ユニット内のデータを読み取るプロセスには、ビットライン 40 の電圧の調整レート及びリファレンスビットライン 50 の電圧の調整レートは、データ読み取りの成功率及びデータ読み取りの正確さに影響を及ぼす。

【0031】

図 4 a に示すように、センスアンプの第 1 端

【数 4】

$$v_p(t)$$

40

と第 2 端

【数 5】

$$v_n(t)$$

との電圧調整能力が強すぎる場合、ビットライン電圧

【数 6】

$$v_1(t)$$

50

トリファレンスビットライン電圧

【数 7】

$$v_2(t)$$

との調整レートが速すぎ、それによって、ビットライン電圧トリファレンスビットライン電圧に変動が生じ、例えば、ビットライン電圧は低下してからまた上昇すると、ビットライン 40 とリファレンスビットライン 50 とには、記憶ユニット 21 に記憶されたデータが安定して示されることができず、さらに、外部読み取り回路はビットライン 40 とリファレンスビットライン 50 とのデータを読み取るとき、誤った読み取りは発生してしまう。

10

【0032】

図 4 b に示すように、センスアンプの第 1 端

【数 8】

$$v_p(t)$$

と第 2 端

【数 9】

$$v_n(t)$$

20

との電圧調整能力が弱すぎる場合、ビットライン電圧

【数 10】

$$v_1(t)$$

トリファレンスビットライン電圧

【数 11】

$$v_2(t)$$

30

との調整レートが遅すぎ、さらに、外部読み取り回路はビットライン 40 とリファレンスビットライン 50 との電圧を読み取るとき、ビットライン 40 とリファレンスビットライン 50 との電圧はまだプリセット値に調整されておらず、データ読み取りに失敗してしまう。

【0033】

図 4 c に示すように、本実施例では、制御可能な電源モジュール 102 により、第 1 の定格調整レート範囲と第 2 の定格調整レート範囲とに従って駆動パラメータを決定して、駆動パラメータに従って増幅モジュール 101 に電源を供給することにより、増幅段階で第 1 の定格調整レートに従ってビットライン 40 の電圧又はリファレンスビットライン 50 の電圧を第 1 のプリセット値に調整して、第 2 の定格調整レートに従ってリファレンスビットライン 50 の電圧又はビットライン 40 の電圧を第 2 のプリセット値に調整するように増幅モジュール 101 を制御する。ここで、第 1 の定格調整レートが第 1 の定格調整レート範囲内にあり、第 2 の定格調整レートが第 2 の定格調整レート範囲内にある。

40

【0034】

第 1 の定格調整レート範囲及び第 2 の定格調整レート範囲は、列選択ライン上の選定信号のシーケンス、記憶ユニット 21 に接続されているワードライン上の信号のシーケンス、及びビットライン 40 の電圧トリファレンスビットライン 50 の電圧に応じて決定される。センスアンプ 10 をテストすることにより、第 1 の定格調整レート範囲と第 2 の定格調整レート範囲とを取得し、ビットライン 40 とリファレンスビットライン 50 とでのデ

50

ータを正確に読み取られるように確保する。例えば、図 4 a、4 b 及び 4 c に示すように、1 つの実施例を提供し、図 4 a の

【数 1 2】

$$v_p(t)$$

の上昇レートが 5 (対応する速度の単位は $V / \mu s$ である) で、図 4 b の

【数 1 3】

$$v_p(t)$$

10

の上昇レートが 0.8 (対応する速度の単位は $V / \mu s$ である) であると仮定すると、第 1 の定格調整レート範囲は、2 ~ 4 (対応する速度の単位は $V / \mu s$ である) にすることができ、図 4 c の第 1 の定格調整レートは 3 であってもよい。なお、上記は 1 つの実施例にすぎず、第 1 の定格調整レート範囲及び第 1 の定格調整レートは、それに限定されない。同様に、第 2 の定格調整レート範囲及び第 2 の定格調整レートは、上記と類似する方法を用いて得られることができ、本願において限定されない。

【0035】

センスアンプ 10 は増幅段階にあるとき、第 1 の定格調整レート範囲にある調整レートでビットライン 40 の電圧又はリファレンスビットライン 50 の電圧を調整して、第 2 の定格調整レート範囲にある調整レートでリファレンスビットライン 50 の電圧又はビットライン 40 の電圧を調整するが、センスアンプ 10 は復元段階にあるとき、外部読み取り回路はビットライン 40 とリファレンスビットライン 50 とに示されるデータを読み取り、このとき、ビットライン 40 とリファレンスビットライン 50 とには、記憶ユニット 21 内に記憶されたデータがすでに安定して示され、それによって、外部読み取り回路は、ビットライン 40 とリファレンスビットライン 50 に示されるデータを正確に読み取ることができる。

20

【0036】

上記実施例では、増幅モジュールがビットライン 40 の電圧とリファレンスビットライン 50 の電圧とを調整するレートを、制御可能な電源モジュールは制御することにより、ビットライン 40 の電圧とリファレンスビットライン 50 の電圧との調整レートが定格調整レート範囲内にあるようになり、外部読み取り回路はビットライン 40 とリファレンスビットライン 50 とに示されるデータを読み取るとき、ビットライン 40 とリファレンスビットライン 50 とには、記憶ユニット 21 内に記憶されたデータがすでに安定して示されており、それによって、データ読み取りの成功率及びデータ読み取りの正確さは向上する。

30

【0037】

図 5 に示すように、本願の他の実施例は、センスアンプ 10 を提供し、センスアンプ 10 は、増幅モジュール 101 と制御可能な電源モジュール 102 とを含み、増幅モジュール 101 と制御可能な電源モジュール 102 とが接続される。

40

【0038】

ここで、制御可能な電源モジュール 102 は、第 1 の制御可能な電源ユニット 1021、第 2 の制御可能な電源ユニット 1022 及び制御ユニット 1025 を含み、増幅モジュール 101 には、第 1 端、第 2 端、第 3 端及び第 4 端が設けられている。

【0039】

第 1 の制御可能な電源ユニット 1021 の出力端が増幅モジュール 101 の第 1 端に接続され、第 2 の制御可能な電源ユニット 1022 の出力端が増幅モジュール 101 の第 2 端に接続され、増幅モジュール 101 の第 3 端がビットラインに接続され、増幅モジュール 101 の第 4 端がリファレンスビットラインに接続される。制御ユニット 1025 が第 1 の制御可能な電源ユニット 1021 の制御端に接続され、制御ユニット 1025 はまた

50

、第2の制御可能な電源ユニット1022の制御端に接続される。

【0040】

第1の制御可能な電源ユニット1021及び第2の制御可能な電源ユニット1022は、いずれも増幅モジュール101に電源を供給するために使用され、制御ユニット1025は、第1の定格調整レートと第2の定格調整レートとに従って駆動パラメータを決定して、駆動パラメータに従って増幅モジュール101に電源を供給するように第1の制御可能な電流源1023と第2の制御可能な電流源1024とを制御するために使用される。

【0041】

増幅モジュール101は、第1の制御可能な電源ユニット1021と第2の制御可能な電源ユニット1022との制御下で、増幅段階で第1の定格調整レートに従ってビットライン40の電圧又はリファレンスビットライン50の電圧を第1のプリセット値に調整して、第2の定格調整レートに従ってリファレンスビットライン50の電圧又はビットライン40の電圧を第2のプリセット値に調整する。

10

【0042】

説明の便宜上、本願において、第1の制御可能な電源ユニット1021により提供される電圧は、第2の制御可能な電源ユニット1022により提供される電圧よりも高く、且つ、ビットライン40の電圧はリファレンスビットライン50の電圧よりも高いとき、データ「1」が示されるとする。

【0043】

記憶ユニット21に記憶されたデータが「1」であるとき、第1の制御可能な電源ユニット1021により、第1の定格調整レートに従ってビットライン40の電圧を第1のプリセット値に調整するように増幅モジュール101を制御し、第2の制御可能な電源ユニット1022により、第2の定格調整レートに従ってリファレンスビットライン50の電圧を第2のプリセット値に調整するように増幅モジュール101を制御する。記憶ユニット21に記憶されたデータが「0」であるとき、第1の制御可能な電源ユニット1021により、第1の定格調整レートに従ってリファレンスビットライン50の電圧を第1のプリセット値に調整するように増幅モジュール101を制御し、第2の制御可能な電源ユニット1022により、第2の定格調整レートに従ってビットライン40の電圧を第2のプリセット値に調整するように増幅モジュール101を制御する。第1のプリセット値は、例えば

20

【数14】

$$V_{CC}$$

30

であってもよく、第2のプリセット値は、例えば0であってもよい。

【0044】

センスアンプ10は増幅段階にあるとき、第1の定格調整レート範囲にある調整レートでビットライン40の電圧又はリファレンスビットライン50の電圧を調整して、第2の定格調整レート範囲にある調整レートでリファレンスビットライン50の電圧又はビットライン40の電圧を調整し、センスアンプ10は復元段階にあるとき、外部読み取り回路はビットライン40とリファレンスビットライン50とに示されるデータを読み取るとき、ビットライン40とリファレンスビットライン50とには、記憶ユニット21内に記憶されたデータがすでに安定して示されており、それによって、外部読み取り回路は、ビットライン40とリファレンスビットライン50に示されるデータを正確に読み取ることができる。

40

【0045】

他の実施例では、第1の制御可能な電源ユニット1021は、N個の第1の制御可能な電流源1023を含む。各第1の制御可能な電流源1023には、制御端、第1端及び第2端が設けられている。各第1の制御可能な電流源1023の第2端が第1の制御可能な電源ユニット1021の出力端になり、各第1の制御可能な電流源1023の制御端が第

50

1の制御可能な電源ユニット1021の制御端になっている。第1の制御可能な電流源1023の第1端が第1の給電端に接続され、第1の制御可能な電流源1023の第2端が増幅モジュール101の第1端に接続される。第1の制御可能な電流源1023の制御端が制御ユニット1025に接続され、Nが正の整数である。

【0046】

第2の制御可能な電源ユニット1022は、N個の第2の制御可能な電流源1024を含み、第2の制御可能な電源ユニット1022には、制御端、第1端及び第2端が設けられている。各第2の制御可能な電流源1024の第2端が第2の制御可能な電源ユニット1022の出力端になり、各第2の制御可能な電流源1024の制御端が第2の制御可能な電源ユニット1022の制御端になっている。第2の制御可能な電流源1024の第1端が第2の給電端に接続され、第2の制御可能な電流源1024の第2端が増幅モジュール101の第2端に接続される。第2の制御可能な電流源1024の制御端が制御ユニット1025に接続される。

10

【0047】

第1の制御可能な電流源1023と第2の制御可能な電流源1024との動作状態について便宜に説明するために、ここで、第1の給電端の電圧が第2の給電端よりも高く、且つ、ビットライン40の電圧がリファレンスビットライン50の電圧よりも高いとき、データ「1」が示されると続いて設定される。

【0048】

記憶ユニット21に記憶されたデータが「1」であるとき、制御ユニット1025は、第1の定格調整レート範囲に従って第1の駆動電流範囲を決定して、N個の第1の制御可能な電流源1023から少なくとも1つの第1の目標電流源を選択することにより、少なくとも1つの第1の目標電流源により提供される合計電流が第1の駆動電流範囲内にあるようになり、また、第1の目標電流源の動作を制御するための第1の制御信号を生成することにより、第1の制御可能な電源ユニット1021が増幅段階で第1の定格調整レートに従ってビットライン40の電圧を第1のプリセット値に調整するように増幅モジュール101を制御するために使用される。

20

【0049】

制御ユニット1025は、さらに、第2の定格調整レート範囲に従って第2の駆動電流範囲を決定して、N個の第2の制御可能な電流源1024から少なくとも1つの第2の目標電流源を選択することにより、少なくとも1つの第2の目標電流源により提供される合計電流が第2の駆動電流範囲内にあるようになり、また、第2の目標電流源の動作を制御するための第2の制御信号を生成することにより、第2の制御可能な電源ユニット1022が増幅段階で第2の定格調整レートに従ってリファレンスビットライン50の電圧を第2のプリセット値に調整するように増幅モジュール101を制御するために使用される。

30

【0050】

記憶ユニット21に記憶されたデータが「0」であるとき、制御ユニット1025は、第1の定格調整レート範囲に従って第1の駆動電流範囲を決定して、N個の第1の制御可能な電流源1023から少なくとも1つの第1の目標電流源を選択することにより、少なくとも1つの第1の目標電流源により提供される合計電流が第1の駆動電流範囲内にあるようになり、また、第1の目標電流源の動作を制御するための第3の制御信号を生成することにより、第1の制御可能な電源ユニット1021が増幅段階で第1の定格調整レートに従ってリファレンスビットライン50の電圧を第1のプリセット値に調整するように増幅モジュール101を制御するために使用される。

40

【0051】

制御ユニット1025は、さらに、第2の定格調整レート範囲に従って第2の駆動電流範囲を決定して、N個の第2の制御可能な電流源1024から少なくとも1つの第2の目標電流源を選択することにより、少なくとも1つの第2の目標電流源により提供される合計電流が第2の駆動電流範囲内にあるようになり、また、第2の目標電流源の動作を制御するための第4の制御信号を生成することにより、第2の制御可能な電源ユニット102

50

2が増幅段階で第2の定格調整レートに従ってビットライン40の電圧を第2のプリセット値に調整するように増幅モジュール101を制御するために使用される。

【0052】

他の実施例では、第*i*個の第1の制御可能な電流源1023により提供される駆動電流が

$$2^{i-1} \times I_b$$

で、第*j*個の第2の制御可能な電流源1024により提供される駆動電流が

【数16】

$$2^{j-1} \times I_b$$

10

で、

【数17】

$$I_b$$

が単位電流を表す。N個の第1の制御可能な電流源1023及びN個の第2の制御可能な電流源1024の両方とも、

【数18】

$$2^N - 1$$

20

個のレベルの駆動電流を供給することができ、単位電流の範囲値を調整することにより、増幅モジュール101がビットライン40の電圧とリファレンスビットライン50の電圧とを調整するレートは精確に調整されることができ、増幅段階で第1の定格調整レートに従ってビットライン40の電圧又はリファレンスビットライン50の電圧を第1のプリセット値に調整して、第2の定格調整レートに従ってリファレンスビットライン50の電圧又はビットライン40の電圧を第2のプリセット値に調整することは実現される。

30

【0053】

上記実施例では、第1の制御可能な電源ユニットにより、第1の定格調整レートでビットライン40の電圧又はリファレンスビットライン50の電圧を調整するように増幅モジュールを制御し、第2の制御可能な電源ユニットにより、第2の定格調整レートでリファレンスビットライン50の電圧又はビットライン40の電圧を調整するように増幅モジュールを制御し、それによって、外部読み取り回路は、復元段階でビットライン40とリファレンスビットライン50とに示されるデータを読み取るとき、ビットライン40とリファレンスビットライン50とには、記憶ユニットに記憶されたデータがすでに安定して示されており、外部読み取り回路は、ビットライン40とリファレンスビットライン50に示されるデータを正確に読み取ることができる。

40

【0054】

図6に示すように、本願の実施例は、センスアンプ10を提供し、センスアンプ10は、増幅モジュール101と制御可能な電源モジュール102とを含み、増幅モジュール101と制御可能な電源モジュール102とが接続される。

【0055】

増幅モジュール101は、少なくとも1つのクロスカップリング増幅回路を含み、各クロスカップリング増幅回路には、第1端、第2端、第3端及び第4端が設けられており、クロスカップリング増幅回路の第1端が第1の制御可能な電源ユニット1021の出力端に接続され、クロスカップリング増幅回路の第2端が第2の制御可能な電源ユニット1022の出力端に接続され、クロスカップリング増幅回路の第3端がビットライン40に接

50

続され、クロスカップリング増幅回路の第4端がリファレンスビットライン50に接続される。

【0056】

ここで、クロスカップリング増幅回路は、第1のトランジスタT1、第2のトランジスタT2、第3のトランジスタT3、及び第4のトランジスタT4を含む。

【0057】

第1のトランジスタT1の第1端がクロスカップリング増幅回路の第1端になり、第2のトランジスタT2の第2端がクロスカップリング増幅回路の第2端になり、第1のトランジスタT1の第2端がクロスカップリング増幅回路の第3端になり、第3のトランジスタT3の第2端がクロスカップリング増幅回路の第4端になっている。

10

【0058】

第1のトランジスタT1の第2端が第2のトランジスタT2の第1端に接続され、第3のトランジスタT3の第2端が第4のトランジスタT4の第1端に接続され、第1のトランジスタT1の第1端が第3のトランジスタT3の第1端に接続され、第2のトランジスタT2の第2端が第4のトランジスタT4の第2端に接続される。

【0059】

第1のトランジスタT1の制御端が第3のトランジスタT3の第2端に接続され、第2のトランジスタT2の制御端が第3のトランジスタT3の第2端に接続され、第3のトランジスタT3の制御端が第1のトランジスタT1の第2端に接続され、第4のトランジスタT4の制御端が第1のトランジスタT1の第2端に接続される。

20

【0060】

ここで、第1のトランジスタT1と第3のトランジスタT3はP型トランジスタであり、第2のトランジスタT2と第4のトランジスタT4はN型トランジスタである。

【0061】

制御可能な電源モジュール102は、第1の制御可能な電源ユニット1021と第2の制御可能な電源ユニット1022とを含み、第1の制御可能な電源ユニット1021は、N個の第1の制御可能な電流源1023を含み、第2の制御可能な電源ユニット1022は、N個の第2の制御可能な電流源1024を含む。ここで、第1の制御可能な電流源1023がP型トランジスタであり、第2の制御可能な電流源1024がN型トランジスタである。

30

【0062】

以下、第1の記憶アレイ20のうちの1つの記憶ユニット21からデータ「1」を読み取る過程について説明する。

【0063】

プリチャージ段階では、第1の記憶アレイ20のビットライン40の電圧及びリファレンスビットライン50の電圧は、いずれも基準電圧に上げて調整され、基準電圧がストレージコンデンサCに接続された固定電源の電圧0.5

【数19】

$$V_{CC}$$

40

であってもよい。

【0064】

アクセス段階では、アクセスされる記憶ユニット21に対応するワードライン内の信号を制御することにより、アクセスされる記憶ユニット21内のアクセストランジスタTが導通され、ストレージコンデンサCがビットライン40の電圧を増加させるように調整する。

【0065】

増幅段階では、ビットライン40の電圧が基準電圧よりも高いため、第1のトランジスタT1及び第4のトランジスタT4が導通され、第2のトランジスタT2及び第3のトランジスタT3が遮断される。第1のトランジスタT1は導通され、第3のトランジスタT

50

3は遮断された場合、複数のP型トランジスタを含む第1の制御可能な電源ユニット1021はビットライン40の電圧を第1のプリセット値に上げて調整し、導通状態にあるP型トランジスタの数が制御されることにより、第1のトランジスタT1が導通されるとき、第1の制御可能な電源ユニット1021がビットライン40の電圧を調整するレートは制御されることができる。

【0066】

第2のトランジスタT2は遮断され、第4のトランジスタT4は導通された場合、複数のN型トランジスタを含む第2の制御可能な電源ユニット1022はリファレンスビットライン50の電圧を第2のプリセット値に下げて調整し、導通状態にあるN型トランジスタの数は制御されることにより、第4のトランジスタT4は導通されるとき、第2の制御可能な電源ユニット1022がリファレンスビットライン50の電圧を調整するレートは制御されることができる。

10

【0067】

第1の制御可能な電源ユニット1021における導通状態にあるP型トランジスタの数及び第2の制御可能な電源ユニット1022における導通状態にあるN型トランジスタの数を制御することにより、ビットライン40の電圧は第1の定格調整レートで第1のプリセット値に調整され、リファレンスビットライン50の電圧は第2の定格調整レートで第2のプリセット値に調整され、ビットライン40とリファレンスビットライン50との間の電圧差で、アクセスされる記憶ユニット21におけるデータが「1」であることを安定して反映することができる。

20

【0068】

復元段階では、センスアンプ10は、すでにビットライン40の電圧とリファレンスビットライン50の電圧とを論理データ「1」に安定させ、さらに、ビットライン40はストレージコンデンサCを充電し、ストレージコンデンサCの電荷は、一定時間充電した後、読み取り操作前の状態に復元する。さらに、列選択ライン内の信号を制御することにより、外部読み取り回路は、ビットライン40とリファレンスビットライン50とから、アクセスされる記憶ユニット21内に記憶されたデータを読み取ることができる。

【0069】

他の実施例では、第1の制御可能な電源ユニット1021には、第*i*個のP型トランジスタにより提供可能な駆動電流が

30

【数20】

$$2^{i-1} \times I_b$$

であり、第2の制御可能な電源ユニット1022には、第*j*個のN型トランジスタにより提供可能な駆動電流が

【数21】

$$2^{j-1} \times I_b$$

40

であり、

【数22】

$$I_b$$

が単位電流を表す。第1の制御可能な電源ユニット1021と第2の制御可能な電源ユニット1022とは、いずれも

【数23】

50

$$2^N - 1$$

個のレベルの駆動電流を供給することができ、それによって、制御可能な電源モジュール 102 は、

【数 24】

$$2^N - 1$$

個のレベルの駆動電流を供給することができる。

10

【0070】

以下、具体例を参照しながら、制御可能な電源モジュール 102 により提供可能な駆動電流のレベルについて説明する。第 1 の制御可能な電源ユニット 1021 は、3 つの P 型トランジスタを含み、第 1 個の P 型トランジスタにより提供可能な駆動電流が

【数 25】

$$I_b$$

であり、第 2 個の P 型トランジスタにより提供可能な駆動電流が

【数 26】

20

$$2 I_b$$

であり、第 3 個の P 型トランジスタにより提供可能な駆動電流が

【数 27】

$$4 I_b$$

である。第 2 の制御可能な電源ユニット 1022 は、3 つの N 型トランジスタを含み、第 1 個の N 型トランジスタにより提供可能な駆動電流が

30

【数 28】

$$I_b$$

であり、第 2 個の N 型トランジスタにより提供可能な駆動電流が

【数 29】

$$2 I_b$$

であり、第 3 個の N 型トランジスタにより提供可能な駆動電流が

40

【数 30】

$$4 I_b$$

である。

【0071】

制御可能な電源モジュール 102 は、7 個のレベルの駆動電流を供給することができ、各レベルでの N 型トランジスタと P 型トランジスタとの制御信号は、以下の表 1 及び表 2 に示される。ここで、「1」が高レベル制御信号を表し、「0」が低レベル制御信号を表す。

50

【 0 0 7 2 】

【表 1】

N型トランジスタの制御信号

第3個のN型トランジスタ	第2個のN型トランジスタ	第1個のN型トランジスタ	駆動電流のレベル
0	0	1	I_b
0	1	0	$2I_b$
0	1	1	$3I_b$
1	0	0	$4I_b$
1	0	1	$5I_b$
1	1	0	$6I_b$
1	1	1	$7I_b$

10

【 0 0 7 3 】

【表 2】

P型トランジスタの制御信号

第3個のP型トランジスタ	第2個のP型トランジスタ	第1個のP型トランジスタ	駆動電流のレベル
1	1	0	I_b
1	0	1	$2I_b$
1	0	0	$3I_b$
0	1	1	$4I_b$
0	1	0	$5I_b$
0	0	1	$6I_b$
0	0	0	$7I_b$

20

【 0 0 7 4 】

上記技術案において、導通状態にあるP型トランジスタの数と導通状態にあるN型トランジスタの数を制御し、制御可能な電源モジュールから増幅モジュールに提供された駆動電流のレベルを制御することにより、増幅モジュールがビットライン40の電圧とリファレンスビットライン50の電圧とを調整するレートは、定格範囲内にあるように制御され、それによって、復元段階では、ビットライン40とリファレンスビットライン50とは、記憶ユニットに記憶されたデータが安定して示され、データ読み取りの正確さ及び成功率は向上する。

30

【 0 0 7 5 】

図7に示すように、本願の実施例は、センスアンプ10を提供し、センスアンプ10は、増幅モジュール101と制御可能な電源モジュール102とを含み、増幅モジュール101と制御可能な電源モジュール102とが接続される。

40

【 0 0 7 6 】

増幅モジュール101は、少なくとも1つのクロスカップリング増幅回路を含み、各クロスカップリング増幅回路には、第1端、第2端、第3端及び第4端が設けられており、クロスカップリング増幅回路の第1端が第1の制御可能な電源ユニット1021の出力端に接続され、クロスカップリング増幅回路の第2端が第2の制御可能な電源ユニット1022の出力端に接続され、クロスカップリング増幅回路の第3端がビットライン40に接続され、クロスカップリング増幅回路の第4端がリファレンスビットライン50に接続される。

50

【 0 0 7 7 】

ここで、クロスカップリング増幅回路は、オフセットキャンセル機能を持つものであり、クロスカップリング回路は、具体的に、第5のトランジスタT5、第6のトランジスタT6、第7のトランジスタT7、第8のトランジスタT8、第1のスイッチK1、第2のスイッチK2、第3のスイッチK3、及び第4のスイッチK4を含む。

【 0 0 7 8 】

第5のトランジスタT5の第1端がクロスカップリング増幅回路の第1端になり、第6のトランジスタT6の第2端がクロスカップリング増幅回路の第2端になり、第5のトランジスタT5の第2端がクロスカップリング増幅回路の第3端になり、第7のトランジスタT7の第2端がクロスカップリング増幅回路の第4端になっている。

10

【 0 0 7 9 】

第5のトランジスタT5の第2端が第6のトランジスタT6の第1端に接続され、第7のトランジスタT7の第2端が第8のトランジスタT8の第1端に接続され、第5のトランジスタT5の第1端が第7のトランジスタT7の第1端に接続され、第6のトランジスタT6の第2端が第8のトランジスタT8の第2端に接続される。

【 0 0 8 0 】

第5のトランジスタT5の制御端が第7のトランジスタT7の第2端に接続され、第6のトランジスタT6の制御端が第1のスイッチK1を介して第7のトランジスタT7の第2端に接続され、第6のトランジスタT6の制御端が第3のスイッチK3を介して第6のトランジスタT6の第1端に接続される。

20

【 0 0 8 1 】

第7のトランジスタT7の制御端が第5のトランジスタT5の第2端に接続され、第8のトランジスタT8の制御端が第2のスイッチK2を介して第5のトランジスタT5の第2端に接続され、第8のトランジスタT8の制御端が第4のスイッチK4を介して第8のトランジスタT8の第1端に接続される。

【 0 0 8 2 】

ここで、第5のトランジスタT5と第7のトランジスタT7はP型トランジスタであり、第6のトランジスタT6と第8のトランジスタT8はN型トランジスタである。

【 0 0 8 3 】

制御可能な電源モジュール102は、第1の制御可能な電源ユニット1021と第2の制御可能な電源ユニット1022とを含み、第1の制御可能な電源ユニット1021は、N個の第1の制御可能な電流源1023を含み、第2の制御可能な電源ユニット1022は、N個の第2の制御可能な電流源1024を含む。ここで、第1の制御可能な電流源1023がN型トランジスタであり、第2の制御可能な電流源1024がN型トランジスタである。

30

【 0 0 8 4 】

図6に示す実施例と違って、本実施例により提供されるセンスアンプによるデータ読み取りプロセスには、さらに、オフセットキャンセル段階が含まれている。説明の便宜上、第5のトランジスタT5の第2端と第6のトランジスタT6の第1端との間の接続線は、第1の記憶アレイ20の内ビットライン70と呼ばれ、第7のトランジスタT7の第2端と第8のトランジスタT8の第1端との間の接続線は、第1の記憶アレイ20の内リファレンスビットライン60と呼ばれる。

40

【 0 0 8 5 】

以下、第1の記憶アレイ20のうちの1つの記憶ユニット21からデータ「1」を読み取る過程について説明する。図8に示すように、データ読み取りには、アイドル段階、オフセットキャンセル段階、プリチャージ段階、アクセス段階、増幅段階及び復元段階が含まれる。

【 0 0 8 6 】

アイドル段階では、第3のスイッチK3と第4のスイッチK4が導通され、第1のスイッチK1と第2のスイッチK2も導通される。第6のトランジスタT6の第1端が制御端

50

に短絡され、第 8 のトランジスタ T 8 の第 1 端が制御端に短絡される。充電スイッチ C K 1 と C K 2 が導通され、充電電源を介して内ビットライン 7 0 と内リファレンスビットライン 6 0 とを充電する。このとき、1 つの実施例では、ビットライン 4 0、リファレンスビットライン 5 0、内ビットライン 7 0、及び内リファレンスビットライン 6 0 は、いずれも 0 . 5

【数 3 1】

$$V_{CC}$$

に充電される。

【0087】

オフセットキャンセル段階では、第 1 のスイッチ K 1 と第 2 のスイッチ K 2 が切断され、第 3 のスイッチ K 3 と第 4 のスイッチ K 4 が導通されたままである。N 1 1、N 1 2 及び N 1 3 の少なくとも 1 つの N 型トランジスタは図に示す波形に従って制御され、N 2 1、N 2 2 及び N 2 3 の少なくとも 1 つの N 型トランジスタは図に示す波形に従って制御されることにより、第 1 の制御可能な電源ユニット 1 0 2 1 及び第 2 の制御可能な電源ユニット 1 0 2 2 はクロスカップリング増幅回路に給電する。第 6 のトランジスタ T 6 及び第 8 のトランジスタ T 8 はダイオードによって接続され、ビットライン 4 0 とリファレンスビットライン 5 0 とには、補償電圧が生成され、当該補償電圧により、N 型トランジスタ又は P 型トランジスタの製造上の差異（オフセット電圧とも呼ばれる）を消去することができる。例えば、ビットライン 4 0 上の電圧からリファレンスビットライン 5 0 上の電圧を引いたものはオフセット電圧に等しいか、または、リファレンスビットライン 5 0 上の電圧からビットライン 4 0 上の電圧を引いたものはオフセット電圧に等しい。

【0088】

プリチャージ段階では、第 1 のスイッチ K 1 から第 4 のスイッチ K 4 がいずれも切断される。第 1 の記憶アレイ 2 0 の内ビットライン 7 0 の電圧及び内リファレンスビットライン 6 0 の電圧は、いずれも基準電圧に上げて調整され、基準電圧がストレージコンデンサ C に接続されている固定電源の電圧である。1 つの実施例では、固定電源の電圧が 0 . 5

【数 3 2】

$$V_{CC}$$

である。

【0089】

アクセス段階では、第 1 のスイッチ K 1 と第 2 のスイッチ K 2 が導通され、第 3 のスイッチ K 3 と第 4 のスイッチ K 4 が依然として切断されたままであり、ビットライン 4 0 とリファレンスビットライン 5 0 とには、補償電圧が保持されたままである。例えば、オフセットキャンセル段階では、ビットライン 4 0 の電圧がリファレンスビットライン 5 0 の電圧よりも高く、その差の値が補償電圧 V_{os} である。アクセス段階では、ビットライン 4 0 の電圧が依然としてリファレンスビットライン 5 0 の電圧よりも高く、その差の値も補償電圧 V_{os} であり、T 6 と T 8 とのしきい値電圧間のオフセットが V_{os} である場合、または、T 5 と T 7 とのしきい値電圧間のオフセットが V_{os} である場合、または、T 6 と T 5、及び T 8 と T 7 によって生成されるしきい値電圧のオフセットが V_{os} である場合、当該アクセス段階では、 V_{os} のセンスアンプに対する影響がなくなるか、少なくとも弱められる。

【0090】

アクセス段階では、アクセスされる記憶ユニット 2 1 に対応するワードライン内の信号を制御することにより、アクセスされる記憶ユニット 2 1 内のアクセストランジスタ T は導通され、ストレージコンデンサ C はビットライン 4 0 の電圧を増加させる。

【0091】

10

20

30

40

50

増幅段階及び復元段階については、図 6 に示す実施例に記載の詳細な説明と同じであるため、ここで繰り返して説明しない。

【 0 0 9 2 】

上記技術案において、導通状態にあるトランジスタの数を制御し、制御可能な電源モジュールから増幅モジュールに提供された駆動電流のレベルを制御することにより、増幅モジュールがビットライン 40 の電圧とリファレンスビットライン 50 の電圧とを調整するレートは、定格範囲内にあるように制御され、それによって、復元段階では、ビットライン 40 とリファレンスビットライン 50 とには、記憶ユニットに記憶されたデータが安定して示され、データ読み取りの正確さ及び成功率は向上する。

【 0 0 9 3 】

図 9 に示すように、本願は、センスアンプの制御方法を提供し、センスアンプの構造については上記実施例で詳細に説明したため、ここで繰り返して説明しない。当該制御方法は、具体的に、以下のステップを含む。

【 0 0 9 4 】

S 1 0 0 1 において、プリセットの第 1 の定格調整レート範囲とプリセットの第 2 の定格調整レート範囲とを取得する。

【 0 0 9 5 】

ここで、第 1 の定格調整レート範囲及び第 2 の定格調整レート範囲は、列選択ライン上の選定信号のシーケンス、記憶ユニットに接続されているワードライン上の信号のシーケンス、及びビットラインとリファレンスビットラインとの電圧に応じて決定される。さらに、センスアンプをテストすることにより、第 1 の定格調整レート範囲と第 2 の定格調整レート範囲とを取得し、ビットラインとリファレンスビットラインとのデータを正確に読み取られるように確保する。

【 0 0 9 6 】

S 1 0 0 2 において、第 1 の定格調整レート範囲と第 2 の定格調整レート範囲とに従って制御可能な電源モジュールの駆動パラメータを決定する。

【 0 0 9 7 】

ここで、センスアンプをテストして、センスアンプのビットラインとリファレンスビットラインとに対する調整レートと、制御可能な電源モジュールの駆動パラメータと、の間のマッピング関係を取得し、その後、マッピング関係及び 2 つの定格調整レート範囲に従って制御可能な電源モジュールの駆動パラメータを決定する。

【 0 0 9 8 】

S 1 0 0 3 において、駆動パラメータに従って制御可能な電源モジュールを制御するための制御信号を生成する。

【 0 0 9 9 】

ここで、制御可能な電源モジュールの駆動パラメータを取得した後、駆動パラメータに従って制御信号を生成し、駆動パラメータに従って増幅モジュールに給電するように制御可能な電源モジュールを制御し、さらに、制御可能な電源モジュールは増幅段階で第 1 の定格調整レートに従ってビットラインの電圧又はリファレンスビットラインの電圧を第 1 のプリセット値に調整して、第 2 の定格調整レートに従ってリファレンスビットラインの電圧又はビットラインの電圧を第 2 のプリセット値に調整するように増幅モジュールを制御するように制御される。第 1 の定格調整レートが第 1 の定格調整レート範囲内にあり、第 2 の定格調整レートが第 2 の定格調整レート範囲内にある。

【 0 1 0 0 】

本願の実施例により提供される制御方法には、制御可能な電源モジュールにより出力される駆動パラメータを制御して、増幅モジュールがビットラインの電圧とリファレンスビットラインの電圧とを調整するレートを、制御することにより、ビットラインの電圧とリファレンスビットラインの電圧との調整レートが定格調整レート範囲内にあるようになり、外部読み取り回路はビットラインとリファレンスビットラインとに示されるデータを読み取るとき、ビットラインとリファレンスビットラインとには、記憶ユニット内に記憶さ

10

20

30

40

50

れたデータがすでに安定して示され、それによって、データ読み取りの成功率及びデータ読み取りの正確さは向上する。

【0101】

本願の他の実施例は、センスアンプの制御方法を提供する。当該制御方法は、具体的に、以下のステップを含む。

【0102】

S2001において、プリセットの第1の定格調整レート範囲とプリセットの第2の定格調整レート範囲とを取得する。

【0103】

ここで、当該ステップは、上記実施例で詳細に説明したため、ここで繰り返して説明しない。

10

【0104】

S2002において、第1の定格調整レート範囲と第2の定格調整レート範囲とに従って制御可能な電源モジュールの駆動パラメータを決定する。

【0105】

ここで、第1の定格調整レート範囲に従って第1の駆動電流範囲を決定し、第2の定格調整レート範囲に従って第2の駆動電流範囲を決定する。第1の駆動電流範囲は第1の制御可能な電流源の駆動パラメータになり、第2の駆動電流範囲は第2の制御可能な電流源の駆動パラメータになる。

【0106】

S2003において、駆動パラメータに従って制御可能な電源モジュールを制御するための制御信号を生成する。

20

【0107】

第1の制御可能な電流源と第2の制御可能な電流源との動作状態について便宜に説明するために、ここで、第1の給電端の電圧は第2の給電端よりも高く、且つ、ビットラインの電圧はリファレンスビットラインの電圧よりも高いとき、データ「1」は示されると続いて設定される。

【0108】

記憶ユニットに記憶されたデータは「1」であるとき、N個の第1の制御可能な電流源から少なくとも1つの第1の目標電流源を選択することにより、少なくとも1つの第1の目標電流源により提供される合計電流は第1の駆動電流範囲内にあるようになり、また、第1の目標電流源の動作を制御するための第1の制御信号を生成することにより、第1の制御可能な電源ユニットは増幅段階で第1の定格調整レートに従ってビットラインの電圧を第1のプリセット値に調整するように増幅モジュールを制御する。

30

【0109】

N個の第2の制御可能な電流源から少なくとも1つの第2の目標電流源を選択することにより、少なくとも1つの第2の目標電流源により提供される合計電流は第2の駆動電流範囲内にあるようになり、また、第2の目標電流源の動作を制御するための第2の制御信号を生成することにより、第2の制御可能な電源ユニットは増幅段階で第2の定格調整レートに従ってリファレンスビットラインの電圧を第2のプリセット値に調整するように増幅モジュールを制御する。

40

【0110】

記憶ユニット21に記憶されたデータは「0」であるとき、N個の第1の制御可能な電流源から少なくとも1つの第1の目標電流源を選択することにより、少なくとも1つの第1の目標電流源により提供される合計電流は第1の駆動電流範囲内にあるようになり、また、第1の目標電流源の動作を制御するための第3の制御信号を生成することにより、第1の制御可能な電源ユニットは増幅段階で第1の定格調整レートに従ってリファレンスビットラインの電圧を第1のプリセット値に調整するように増幅モジュールを制御する。

【0111】

N個の第2の制御可能な電流源から少なくとも1つの第2の目標電流源を選択すること

50

により、少なくとも1つの第2の目標電流源により提供される合計電流は第2の駆動電流範囲内にあるようになり、また、第2の目標電流源の動作を制御するための第4の制御信号を生成することにより、第2の制御可能な電源ユニットは増幅段階で第2の定格調整レートに従ってビットラインの電圧を第2のプリセット値に調整するように増幅モジュールを制御する。

【0112】

上記実施例では、第1の制御可能な電源ユニットにより、第1の定格調整レートでビットラインの電圧又はリファレンスビットラインの電圧を調整するように増幅モジュールを制御し、第2の制御可能な電源ユニットにより、第2の定格調整レートでリファレンスビットラインの電圧又はビットラインの電圧を調整するように増幅モジュールを制御し、外部読み取り回路は、復元段階でビットラインとリファレンスビットラインとに示されるデータを読み取るとき、ビットラインとリファレンスビットラインとには、記憶ユニットに記憶されたデータがすでに安定して示されており、それによって、外部読み取り回路は、ビットラインとリファレンスビットラインに示されるデータを正確に読み取ることができる。

10

【0113】

最後に説明すべきものとして、以上の各実施例は、本願の技術案を説明するためのものだけであり、これを制限するものではなく、前述の各実施例を参照しながら本願を詳細に説明したが、当業者であれば、依然として前述の各実施例に記載の技術案を修正するか、又はそのうちの一部又はすべての技術的特徴に対して等価置換を行うことができ、これらの修正又は置換は、対応する技術案の本質を本願の各実施例の技術案の主旨から逸脱させないと理解すべきである。

20

【0114】

本願は2021年03月24日に中国特許局に提出した、出願番号が202110313685.5で、発明の名称が「センスアンプ、メモリ及び制御方法」という中国特許出願の優先権を主張し、その全ての内容は援用によって本願に組み合わせられる。

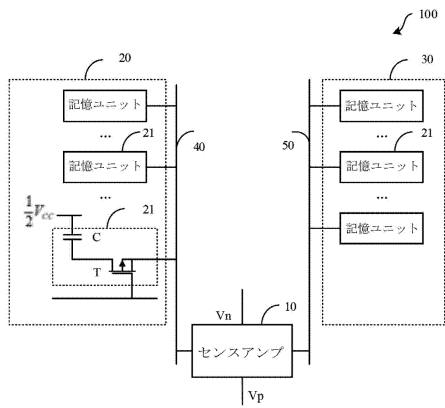
30

40

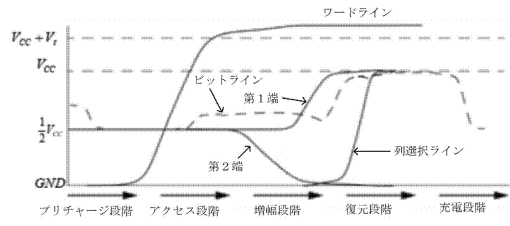
50

【図面】

【図 1】

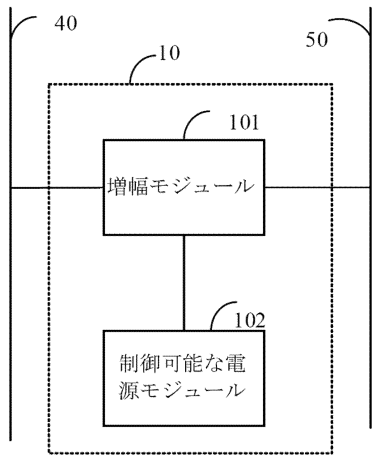


【図 2】

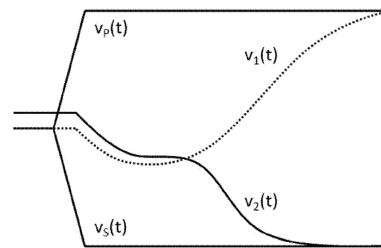


10

【図 3】

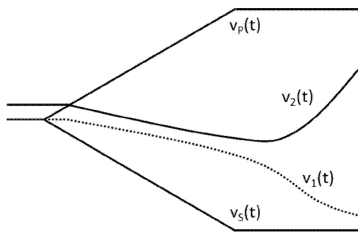


【図 4 a】

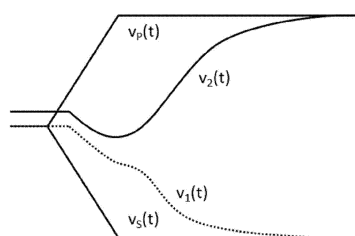


20

【図 4 b】



【図 4 c】

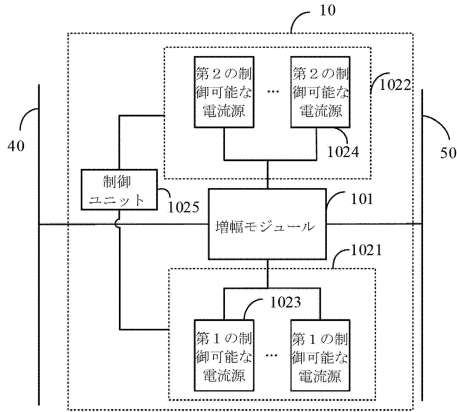


30

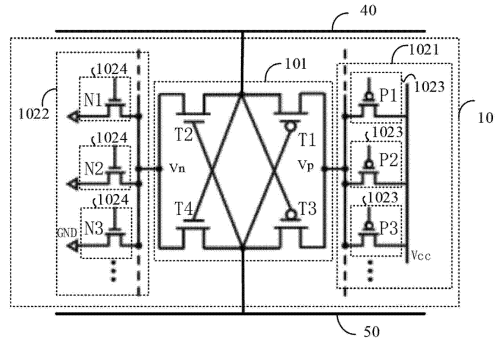
40

50

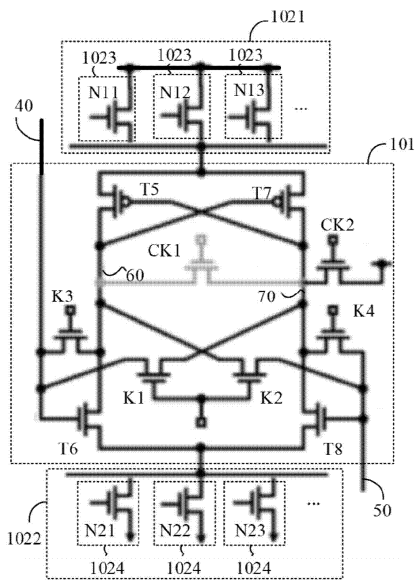
【図5】



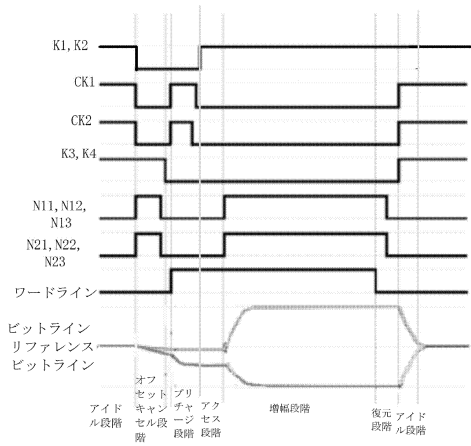
【図6】



【図7】



【図8】



10

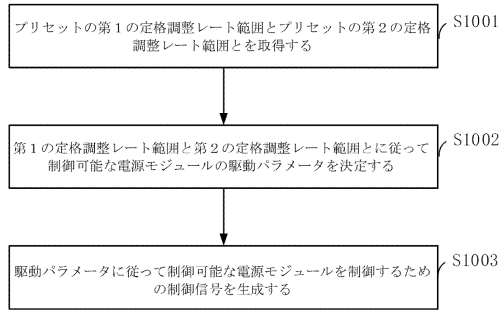
20

30

40

50

【 図 9 】



10

20

30

40

50

フロントページの続き

シティ エコノミック アンド テクノロジカル ディベロプメント エリア エアポート インダスト
リアル パーク シンイエ アベニュー ナンバー 388

審査官 後藤 彰

- (56)参考文献 特開平8 - 63978 (JP, A)
米国特許出願公開第2016 / 0012868 (US, A1)
米国特許出願公開第2007 / 0076501 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
G11C 11 / 4091
G11C 7 / 08
G11C 7 / 06