

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-30602

(P2013-30602A)

(43) 公開日 平成25年2月7日(2013.2.7)

(51) Int.Cl.

H01L 21/82	(2006.01)
H01L 21/822	(2006.01)
H01L 27/04	(2006.01)

F 1

H01L 21/82
H01L 27/04
H01L 21/82

テーマコード(参考)

B	5 F 0 3 8
A	5 F 0 6 4
C	

審査請求 未請求 請求項の数 11 O L (全 21 頁)

(21) 出願番号

特願2011-165306 (P2011-165306)

(22) 出願日

平成23年7月28日 (2011.7.28)

(71) 出願人 000005821

パナソニック株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100077931

弁理士 前田 弘

(74) 代理人 100110939

弁理士 竹内 宏

(74) 代理人 100110940

弁理士 嶋田 高久

(74) 代理人 100113262

弁理士 竹内 祐二

(74) 代理人 100115059

弁理士 今江 克実

(74) 代理人 100117581

弁理士 二宮 克也

最終頁に続く

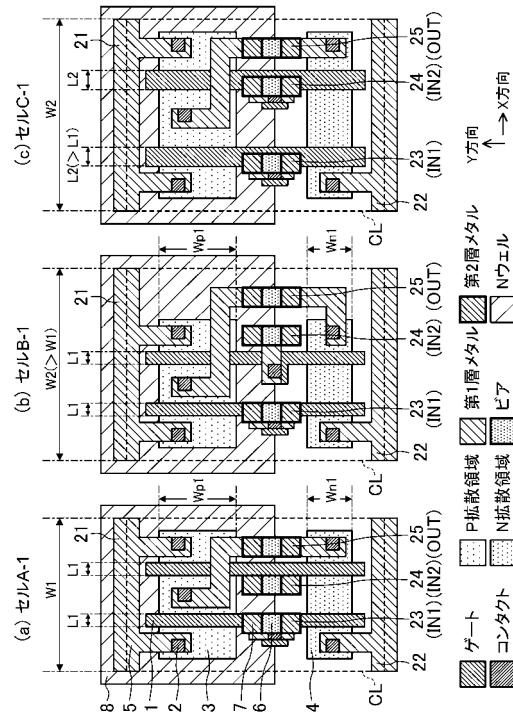
(54) 【発明の名称】半導体集積回路装置

(57) 【要約】

【課題】チップ面積を増加させることなく、効率良くリーケ電流を抑制することができる半導体集積回路装置を提供する。

【解決手段】半導体集積回路装置は論理が同一のセルA-1, B-1, C-1を備えている。セルB-1はセルA-1よりセル幅W2が大きいが、MOSトランジスタのゲート長L1はセルA-1と等しい。セルC-1は、セルB-1とセル幅W2が等しいが、ゲート長L2が大きいMOSトランジスタを有しており、セルA-1, B-1と比べて回路遅延は遅くなるがリーケ電流は小さくなる。このため例えば、空き領域に隣接したセルA-1をセルB-1に置き換え、タイミングに余裕があるバスにおけるセルB-1をセルC-1に置き換えることによって、チップ面積を増加させることなく、リーケ電流を抑えることができる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数のスタンダードセルが配置された半導体集積回路装置であって、
第1のセル幅を有し、回路を構成するMOSトランジスタが第1のゲート長を有する、
第1のスタンダードセルと、

前記第1のスタンダードセルと論理が同一であり、かつ、前記第1のセル幅より大きい
第2のセル幅を有し、回路を構成するMOSトランジスタが前記第1のゲート長を有する
、第2のスタンダードセルと、

前記第1および第2のスタンダードセルと論理が同一であり、かつ、前記第2のセル幅
を有し、回路を構成するMOSトランジスタのゲートの形状が前記第2のスタンダードセ
ルと異なっている、第3のスタンダードセルとを備え、
10

前記第3のスタンダードセルは、

前記第1のゲート長よりも大きい第2のゲート長を有するMOSトランジスタを、少な
くとも1つ、含む

ことを特徴とする半導体集積回路装置。

【請求項 2】

請求項1記載の半導体集積回路装置において、

前記第3のスタンダードセルは、

前記第2のゲート長を有するMOSトランジスタに加えて、前記第1のゲート長を有す
るMOSトランジスタを含む
20

ことを特徴とする半導体集積回路装置。

【請求項 3】

複数のスタンダードセルが配置された半導体集積回路装置であって、

第1のセル幅を有し、回路を構成するMOSトランジスタが第1のゲート長を有する、
第1のスタンダードセルと、

前記第1のスタンダードセルと論理が同一であり、かつ、前記第1のセル幅より大きい
第2のセル幅を有し、回路を構成するMOSトランジスタが前記第1のゲート長を有する
、第2のスタンダードセルと、

前記第1および第2のスタンダードセルと論理が同一であり、かつ、前記第2のセル幅
を有し、回路を構成するMOSトランジスタのゲートの形状が前記第2のスタンダードセ
ルと異なっている、第3のスタンダードセルとを備え、
30

前記第3のスタンダードセルは、

前記第2のスタンダードセルが有する1個のMOSトランジスタに対応しており、前記
第1のゲート長を有し、かつ、直列に接続され、ゲートが共通に接続された2個以上のM
OSトランジスタを含む

ことを特徴とする半導体集積回路装置。

【請求項 4】

請求項1～3のうちいずれか1項記載の半導体集積回路装置において、

前記第2および第3のスタンダードセルは、

入力端子および出力端子となる複数の端子配線に接続されたビアの位置関係が、同一で
ある
40

ことを特徴とする半導体集積回路装置。

【請求項 5】

請求項1～3のうちいずれか1項記載の半導体集積回路装置において、

前記第2および第3のスタンダードセルは、

入力端子および出力端子となる複数の端子配線が第1の方向に延びており、かつ、
前記複数の端子配線の、前記第1の方向に垂直な第2の方向における位置関係が、同一
である
50

ことを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 ~ 3 のうちいずれか 1 項記載の半導体集積回路装置において、
前記第 1 および第 2 のスタンダードセルは、

隣接するゲート同士の間隔、ゲート幅、ゲートの形状、拡散領域の形状、および、ゲートとコンタクトとの位置関係のうち、少なくともいずれか 1 つが、同一であることを特徴とする半導体集積回路装置。

【請求項 7】

複数のスタンダードセルが配置された半導体集積回路装置であって、
第 1 のセル幅を有し、回路を構成する M O S トランジスタとして、第 1 のゲート長を有し、かつ、並列に接続され、ゲートが共通に接続された 2 個以上の M O S トランジスタからなる第 1 の並列トランジスタ群を含む、第 1 のスタンダードセルと、

前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅を有し、回路を構成する M O S トランジスタとして、前記第 1 の並列トランジスタ群に対応する第 2 の並列トランジスタ群を含む、第 2 のスタンダードセルとを備え、

前記第 2 の並列トランジスタ群は、
並列に接続され、ゲートが共通に接続された 2 個以上の M O S トランジスタからなり、
前記第 1 の並列トランジスタ群よりも並列数が少なく、かつ、
前記第 1 のゲート長よりも大きい第 2 のゲート長を有する M O S トランジスタを、少なくとも 1 つ、含む
を備えることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 7 記載の半導体集積回路装置において、
前記第 2 の並列トランジスタ群は、
前記第 2 のゲート長を有する M O S トランジスタに加えて、前記第 1 のゲート長を有する M O S トランジスタを含む
ことを特徴とする半導体集積回路装置。

【請求項 9】

複数のスタンダードセルが配置された半導体集積回路装置であって、
第 1 のセル幅を有し、回路を構成する M O S トランジスタとして、第 1 のゲート長を有し、かつ、並列に接続され、ゲートが共通に接続された 2 個以上の M O S トランジスタからなる第 1 の並列トランジスタ群を含む、第 1 のスタンダードセルと、

前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅を有し、回路を構成する M O S トランジスタとして、前記第 1 の並列トランジスタ群に対応する第 2 の並列トランジスタ群を含む、第 2 のスタンダードセルとを備え、

前記第 2 の並列トランジスタ群は、
直列に接続された 2 個以上の M O S トランジスタが、並列に接続され、ゲートが共通に接続されており、
前記第 1 の並列トランジスタ群よりも並列数が少なく、かつ、
各 M O S トランジスタが、前記第 1 のゲート長を有する
ことを特徴とする半導体集積回路装置。

【請求項 10】

請求項 7 ~ 9 のうちいずれか 1 項記載の半導体集積回路装置において、
前記第 1 および第 2 のスタンダードセルは、
入力端子および出力端子となる複数の端子配線に接続されたビアの位置関係が、同一である
ことを特徴とする半導体集積回路装置。

【請求項 11】

請求項 7 ~ 9 のうちいずれか 1 項記載の半導体集積回路装置において、
前記第 1 および第 2 のスタンダードセルは、
入力端子および出力端子となる複数の端子配線が第 1 の方向に延びてあり、かつ、
前記複数の端子配線の、前記第 1 の方向に垂直な第 2 の方向における位置関係が、同一

10

20

30

40

50

である

ことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置に関し、特に、スタンダードセル方式を用いたレイアウト設計により形成された半導体集積回路装置に関する。 10

【背景技術】

【0002】

スタンダードセル方式を用いた半導体集積回路装置のレイアウト設計では、自動配置配線ツールと呼ばれるレイアウト生成ツールが用いられる。これは、スタンダードセルをデータベースであるスタンダードセルライブラリに予め登録しておき、そのデータベースから所望の基本回路のスタンダードセルのデータを読み出して、所定領域に配置、配線することによって所望の半導体集積回路装置を得るものである。スタンダードセルには、インバータ、NAND、NOR等、それぞれ異なる論理や機能を実現するセルが存在する。ここで、スタンダードセルライブラリに含まれるスタンダードセルの大半は、デザインルールで規定される最小ルールが優先されてレイアウトが作成されている。

【0003】

近年、半導体集積回路装置における製造プロセスの微細化が進んでおり、ゲートはますますゲート長が短くなる傾向にある。ここで、ゲート長は、MOSトランジスタのドレイン-ソース間の距離のことである。スタンダードセル方式を用いた半導体集積回路装置では、この微細化プロセスの進展により、デバイスのリーク電流抑制とオン電流増大と同時に実現することが難しくなってきている。すなわち、ゲート長を短くすることによってオン電流を増大させることはできるものの、リーク電流も増大してしまうため、オン電流が大きい高性能なチップでは、リーク電流が増加しており、これが消費電力増加の要因となっている。 20

【0004】

そこでリーク電流を抑制するために、高性能でリーク電流の多いデバイスを用いたスタンダードセルと、性能は低いがリーク電流の少ないデバイスを用いたスタンダードセルとを用意し、論理合成および配置配線の工程で、これらのスタンダードセルを選択的に組み合わせて、性能に応じた半導体集積回路装置を形成する手法がある。 30

【0005】

高性能でリーク電流が多いデバイスとリーク電流の少ないデバイスとを作り分ける方法としては、注入マスク等を複数セット備え、デバイスのしきい値電圧 V_t を制御し、複数のしきい値電圧 V_t に作り分ける方法や、ゲート長のレイアウトを調整し、複数のゲート長に作り分ける方法などがある。ゲート長を制御する方法は、しきい値電圧 V_t を制御する方法と比べて、注入マスク、注入工程の増加がないため、コスト、サイクルタイムにおいて有利となっている。

【0006】

特許文献1では、リーク電流を抑制するためにゲート長を制御可能にしたスタンダードセルのレイアウト構成が開示されている。このスタンダードセルは、MOSトランジスタのゲートと、隣接するコンタクトとの間にゲート長を延長するための領域を備え、既存のプロセス工程を変更することなくリーク電流を抑制できるように、レイアウトが改善されている。 40

【0007】

図15は特許文献1に開示されたスタンダードセルのレイアウトの例である。図15(a)に示すスタンダードセルレイアウトは、幅Width-2のゲートポリ101と、隣接するコンタクト102との間に、延長ポリを配置するための領域を備えている。すなわち、ゲートポリ101とコンタクト102との距離Space-2は、デザインルールで規定される最小距離より大とされている。これにより、ゲートポリ101以外のレイアウトを変更する

10

20

30

40

50

ことなく延長ポリを配置することができ、このゲートポリの改定だけでゲート長を拡張し、ショートチャネル効果を抑制することができる。図15(b)は延長ポリ103を配置したレイアウト例である。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2005-236210号公報(図2)

【発明の概要】

【発明が解決しようとする課題】

【0009】

特許文献1に開示されたスタンダードセルは、ゲート以外のレイアウトを変更することなく、リーク電流を抑制することができるという点で有用である。しかしながら、リーク電流を効果的に抑制するためには、ゲート長を数十%程度大きくする必要がある。このため、特許文献1の技術をただ単に用いた場合には、各スタンダードセルにおいて、ゲート長を延長可能な領域を十分に確保しておくために、ゲートと隣接するコンタクトとの間隔を予め最小間隔よりも相当広くとっておく必要がある。これにより、各スタンダードセルのサイズが大きく設計されることになり、このようなスタンダードセルを用いることにより、結果としてチップ面積が大きくなってしまう、という問題が生じる。

【0010】

そこで、本発明は、チップ面積を増加させることなく、効率良きリーク電流を抑制することができる半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の第1態様では、複数のスタンダードセルが配置された半導体集積回路装置として、第1のセル幅を有し、回路を構成するMOSトランジスタが第1のゲート長を有する第1のスタンダードセルと、前記第1のスタンダードセルと論理が同一であり、かつ、前記第1のセル幅より大きい第2のセル幅を有し、回路を構成するMOSトランジスタが前記第1のゲート長を有する第2のスタンダードセルと、前記第1および第2のスタンダードセルと論理が同一であり、かつ、前記第2のセル幅を有し、回路を構成するMOSトランジスタのゲートの形状が、前記第2のスタンダードセルと異なっている第3のスタンダードセルとを備え、前記第3のスタンダードセルは、前記第1のゲート長よりも大きい第2のゲート長を有するMOSトランジスタを少なくとも1つ含む。

【0012】

この第1態様によると、半導体集積回路装置は、論理が同一の第1、第2および第3のスタンダードセルを備えている。第2のスタンダードセルは、第1のスタンダードセルよりセル幅が大きいが、回路を構成するMOSトランジスタのゲート長は第1のスタンダードセルと等しい。第3のスタンダードセルは、第2のスタンダードセルとセル幅が等しいが、回路を構成するMOSトランジスタのゲートの形状が第2のスタンダードセルと異なっている。すなわち、第3のスタンダードセルは、第1および第2のスタンダードセルよりもゲート長が大きいMOSトランジスタを有しており、これにより、第1および第2のスタンダードセルと比べて、回路遅延は遅くなるがリーク電流は小さくなる。このため、例えば、空き領域に隣接した第1のスタンダードセルを第2のスタンダードセルに置き換え、タイミングに余裕があるパスにおける第2のスタンダードセルを第3のスタンダードセルに置き換えることによって、チップ面積を増加させることなく、リーク電流を抑えることができる。

【0013】

本発明の第2態様では、複数のスタンダードセルが配置された半導体集積回路装置として、第1のセル幅を有し、回路を構成するMOSトランジスタが第1のゲート長を有する第1のスタンダードセルと、前記第1のスタンダードセルと論理が同一であり、かつ、前記第1のセル幅より大きい第2のセル幅を有し、回路を構成するMOSトランジスタが前

10

20

30

40

50

記第1のゲート長を有する第2のスタンダードセルと、前記第1および第2のスタンダードセルと論理が同一であり、かつ、前記第2のセル幅を有し、回路を構成するMOSトランジスタのゲートの形状が前記第2のスタンダードセルと異なっている第3のスタンダードセルとを備え、前記第3のスタンダードセルは、前記第2のスタンダードセルが有する1個のMOSトランジスタに対応しており、前記第1のゲート長を有し、かつ、直列に接続され、ゲートが共通に接続された2個以上のMOSトランジスタを含む。

【0014】

この第2態様によると、半導体集積回路装置は、論理が同一の第1、第2および第3のスタンダードセルを備えている。第2のスタンダードセルは、第1のスタンダードセルよりセル幅が大きいが、回路を構成するMOSトランジスタのゲート長は第1のスタンダードセルと等しい。第3のスタンダードセルは、第2のスタンダードセルとセル幅が等しいが、回路を構成するMOSトランジスタのゲートのレイアウト形状が第2のスタンダードセルと異なっている。すなわち、第3のスタンダードセルは、第2のスタンダードセルが有する1個のMOSトランジスタに対応するものであり、第1および第2のスタンダードセルとゲート長が等しく、かつ、直列に接続され、ゲートが共通に接続された2個以上のMOSトランジスタを有している。これにより、第3のスタンダードセルは、ゲート長を大きくした場合と同様に、第1および第2のスタンダードセルと比べて、回路遅延は遅くなるがリーク電流は小さくなる。このため、例えばデザインルールによりゲート長を大きくできないような場合であっても、第1態様と同様に、チップ面積を増加させることなく、リーク電流を抑えることができる。

10

20

30

40

【0015】

本発明の第3態様では、複数のスタンダードセルが配置された半導体集積回路装置として、第1のセル幅を有し、回路を構成するMOSトランジスタとして、第1のゲート長を有し、かつ、並列に接続され、ゲートが共通に接続された2個以上のMOSトランジスタからなる第1の並列トランジスタ群を含む第1のスタンダードセルと、前記第1のスタンダードセルと論理が同一であり、かつ、前記第1のセル幅を有し、回路を構成するMOSトランジスタとして、前記第1の並列トランジスタ群に対応する第2の並列トランジスタ群を含む第2のスタンダードセルとを備え、前記第2の並列トランジスタ群は、並列に接続され、ゲートが共通に接続された2個以上のMOSトランジスタからなり、前記第1の並列トランジスタ群よりも並列数が少なく、かつ、前記第1のゲート長よりも大きい第2のゲート長を有するMOSトランジスタを少なくとも1つ含む。

【0016】

この第3態様によると、半導体集積回路装置は、論理が同一の第1および第2のスタンダードセルを備えている。第1のスタンダードセルは、並列に接続され、ゲートが共通に接続された2個以上のMOSトランジスタからなる第1の並列トランジスタ群を有している。第2のスタンダードセルは、第1のスタンダードセルとセル幅が等しく、第1の並列トランジスタ群に対応する第2の並列トランジスタ群を有している。この第2の並列トランジスタ群は、並列に接続され、ゲートが共通に接続された2個以上のMOSトランジスタからなり、第1の並列トランジスタ群よりも並列数が少なく、かつ、ゲート長が第1の並列トランジスタ群よりも大きいMOSトランジスタを少なくとも1つ有している。これにより、第2のスタンダードセルは、第1のスタンダードセルと比べて、回路遅延は遅くなるがリーク電流は小さくなる。このため、例えば、タイミングに余裕があるパスにおける第1のスタンダードセルを第2のスタンダードセルに置き換えることによって、チップ面積を増加させることなく、効率良くリーク電流を抑制することができる。

【0017】

本発明の第4態様では、複数のスタンダードセルが配置された半導体集積回路装置として、第1のセル幅を有し、回路を構成するMOSトランジスタとして、第1のゲート長を有し、かつ、並列に接続され、ゲートが共通に接続された2個以上のMOSトランジスタからなる第1の並列トランジスタ群を含む第1のスタンダードセルと、前記第1のスタンダードセルと論理が同一であり、かつ、前記第1のセル幅を有し、回路を構成するMOS

50

トランジスタとして、前記第1の並列トランジスタ群に対応する第2の並列トランジスタ群を含む第2のスタンダードセルとを備え、前記第2の並列トランジスタ群は、直列に接続された2個以上のMOSトランジスタが、並列に接続され、ゲートが共通に接続されており、前記第1の並列トランジスタ群よりも並列数が少なく、かつ、各MOSトランジスタが前記第1のゲート長を有する。

【0018】

この第4態様によると、半導体集積回路装置は、論理が同一の第1および第2のスタンダードセルを備えている。第1のスタンダードセルは、並列に接続され、ゲートが共通に接続された2個以上のMOSトランジスタからなる第1の並列トランジスタ群を有している。第2のスタンダードセルは、第1のスタンダードセルとセル幅が等しく、第1の並列トランジスタ群に対応する第2の並列トランジスタ群を有している。この第2の並列トランジスタ群は、直列に接続された2個以上のMOSトランジスタが、並列に接続され、ゲートが共通に接続されており、第1の並列トランジスタ群よりも並列数が少なく、かつ、ゲート長が第1の並列トランジスタ群と等しい。これにより、ゲート長を大きくした場合と同様に、第2のスタンダードセルは、第1のスタンダードセルと比べて、回路遅延は遅くなるがリーク電流は小さくなる。このため、例えばデザインルールによりゲート長を大きくできないような場合であっても、第3態様と同様に、チップ面積を増加させることなく、リーク電流を抑えることができる。

10

【発明の効果】

【0019】

本発明によると、半導体集積回路装置は、セル幅やゲート長などのレイアウトが適正に調整された複数のスタンダードセルを組み合わせて用いて、レイアウトが生成されているので、チップ面積を増加させることなく、設計の後戻りなく、リーク電流を抑制することができる。

20

【図面の簡単な説明】

【0020】

【図1】(a)～(c)は第1の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。

30

【図2】図1のようなスタンダードセルを用いたレイアウト設計方法の一例を示すフローチャートである。

【図3】図1のようなスタンダードセルを用いた半導体集積回路装置のレイアウトを概念的に示した図である。

【図4】第1の実施形態における他のスタンダードセルのレイアウト例を示す平面図である。

40

【図5】図4のスタンダードセルの回路図である。

【図6】(a),(b)は第2の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。

【図7】(a),(b)は図6のスタンダードセルの回路図である。

【図8】(a),(b)は第3の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。

【図9】(a),(b)は図8のスタンダードセルの回路図である。

【図10】図8のようなスタンダードセルを用いたレイアウト設計方法の一例を示すフローチャートである。

【図11】図8のようなスタンダードセルを用いた半導体集積回路装置のレイアウトを概念的に示した図である。

【図12】第3の実施形態における他のスタンダードセルのレイアウト例を示す平面図である。

【図13】第3の実施形態における他のスタンダードセルのレイアウト例を示す平面図である。

【図14】図13のスタンダードセルの回路図である。

50

【図15】従来技術のスタンダードセルレイアウトの例を示す図である。

【発明を実施するための形態】

【0021】

次に本発明の実施形態について、図面に基づいて説明する。

【0022】

(第1の実施形態)

図1は第1の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。図1において、(a)のセルA-1、(b)のセルB-1、および(c)のセルC-1は全て同一論理のスタンダードセルであり、ここでは2入力NANDセルの例を示している。

10

【0023】

図1において、11はMOSトランジスタのゲート、12はコンタクト、13はP型拡散領域、14はN型拡散領域、15は第1層メタル、16は第1層メタルと第2層メタルをつなぐビア、17は第2層メタル、18はNウェル領域を示している。コンタクト12は、ゲートまたは拡散層と第1層メタルとを接続するものである。また、回路要素として、21は電源電位が供給される電源線、22は接地線、23は入力端子(IN1)となる端子配線、24は入力端子(IN2)となる端子配線、25は出力端子(OUT)となる端子配線である。電源線21および接地線22は第1層メタル15に形成されており、端子配線23、24、25は第2層メタル17に形成されている。また、CLはセル枠を示している。

20

【0024】

図1(a)のセルA-1はセル幅W1を有しており、回路を構成するMOSトランジスタのゲート長がL1である。ここではゲート長L1は、デザインルールで規定される最小値であるものとする。すなわちセルA-1は、デザインルールで規定される最小値が優先されてレイアウトされた一般的なスタンダードセルであり、回路の遅延時間が最小になるよう設計されている。また、PMOSトランジスタのゲート幅がWp1、NMOSトランジスタのゲート幅がWn1でレイアウトされている。

30

【0025】

これに対して、図1(b)のセルB-1は、ゲート長およびゲート幅がセルA-1と等しく、回路の遅延時間がセルA-1と同じになるよう設計されている。ただし、セルA-1よりもセル幅が広くなっていることが主な違いである。すなわちセルB-1は、W1よりも大きいセル幅W2($W2 > W1$)を有しており、回路を構成するMOSトランジスタのゲート長はセルA-1と同じL1であり、PMOSトランジスタのゲート幅がWp1、NMOSトランジスタのゲート幅がWn1である。

30

【0026】

また、図1の例では、セルA-1とセルB-1は、ゲート幅に加えて、隣接するゲート同士の間隔、ゲートの形状、N型拡散領域およびP型拡散領域の形状、並びに、ゲートとコンタクトとの位置関係が、全て同じになるようレイアウトされている。このようにレイアウトすることによって、レイアウト形状の影響によるMOSトランジスタの特性差をより少なくすることができ、セルA-1、セルB-1の遅延時間を同一にすることができる。ただし、セルA-1、セルB-1の遅延時間を厳密に同一する必要は必ずしもないため、ゲート幅、ゲート間隔、ゲート形状、拡散領域の形状、並びに、ゲートとコンタクトとの位置関係等について、全て同一にする必要は必ずしもない。

40

【0027】

さらに、図1(c)のセルC-1は、セルB-1と比べると、回路の遅延時間が長くなるがリーク電流を抑えることができるよう、回路を構成するMOSトランジスタのゲート長が大きくなるように設計されている。すなわちセルC-1は、セルB-1と同じセル幅W2を有しており、回路を構成するMOSトランジスタのゲート長は、L1よりも大きいL2($L2 > L1$)となっている。

【0028】

50

また、図1の例では、セルB-1とセルC-1は、端子配線23～25、およびこれらに接続されたビア16の位置関係が同一になるようにレイアウトされている。このようにレイアウトすることにより、入出力端子への配線を行った後に、セルB-1とセルC-1の置き換えを、配線のやり直しを招くことなく実行することが可能になる。

【0029】

また図1において、端子配線23～25は図面縦方向(Y方向)に延びている。この場合、端子配線23～25に関しては、図面縦方向における位置の多少のずれがあっても、例えば第2層メタルの縦方向の長さを若干変えるだけで、入出力配線との接続は容易となる。このため、セルB-1とセルC-1の置き換えを容易にするためには、端子配線23～25については、図面横方向(X方向)すなわちこれらが延びる方向に垂直な方向における位置関係が、同一であればよい。同様に、端子配線が図面横方向に延びている場合は、図面縦方向における位置関係が同一であることが好ましい。

10

【0030】

図2は図1に示したようなスタンダードセルを用いた、半導体集積回路装置のレイアウト設計方法の一例を示すフローチャートである。なお、ここで示すレイアウト設計方法はあくまでも一例であり、他の方法を採用してもかまわない。

【0031】

スタンダードセルライブラリのデータベース41には、図1(a)に示すセルA-1と同様の特徴を持つ様々な基本回路のセルAが格納されている。スタンダードセルライブラリのデータベース42には、図1(b)に示すセルB-1と同様の特徴を持つ様々な基本回路のセルBが格納されている。スタンダードセルライブラリのデータベース43には、図1(c)に示すセルC-1と同様の特徴を持つ様々な基本回路のセルCが格納されている。

20

【0032】

まず、ステップS101では、データベース41に格納されたセルAを用いて、スタンダードセル配置領域に自動的にセル配置を行う。ステップS102では、配置された各セルAの入出力端子を接続する配線を行う。

【0033】

ここで、ステップS101, S102の配置配線後のスタンダードセル配置領域は、できるだけ隙間がないようにセルAが並べられている。しかしながら、配線が混雑している箇所では、入出力端子の接続配線を通すために隣接するセルAの間隔を空ける必要があり、一般的にスタンダードセル配置領域の10%～30%程度は空き領域が存在している。この空き領域を活用して、後述するステップS104において、スタンダードセル配置領域の面積を増やすことなく、セルAから面積のより大きいセルBへの置き換えを行う。

30

【0034】

ステップS103では、局所的にまとまった空き領域がある場合に、セルAの再配置を行い、空き領域を分散させる。これは、空き領域をより効果的に活用し、より多くのセルAをセルBに置き換えることができるようになるとともに、配線経路の変更をできるだけ少なくするためである。

【0035】

ステップS104では、データベース42に格納されたセルBを用いて、空き領域に隣接したセルAをセルBに置き換える。ここで、セルAとセルBの回路遅延時間は同じであるため、セルを置き換えることによるタイミングへの影響はない。ステップS105では、各セルBの入出力端子を接続する配線を行う。ステップS106では、再配置および再配線後の各セルAおよびセルBの消費電力、および電源配線の抵抗によって生じる電圧降下量の計算を行う。

40

【0036】

ステップS107では、各セルAおよびセルBの遅延時間、セルの入出力端子を接続する配線の抵抗や容量による遅延時間、並びに電圧降下による遅延時間の変動を考慮して、タイミング検証を行う。

50

【0037】

ステップS108では、ステップS107のタイミング検証の結果を利用して、データベース43に格納されたセルCを用いて、タイミングに余裕があるバスに存在するセルBをセルCに置き換える。これにより、スタンダードセル配置領域の面積を増やすことなく、リーク電流を抑えることができる。

【0038】

図3は図1に示すスタンダードセルを用いた半導体集積回路装置のレイアウトを概念的に示した図である。図3では、スタンダードセル配置領域31の中に、同一論理の3種類のスタンダードセル32, 33, 34が混在して配置されている。スタンダードセル32, 33, 34はそれぞれ、図1(a), (b), (c)のレイアウトを有している。例えば図2に示すようなレイアウト設計方法で設計した場合、ステップS101において配置されたセルAのうち、空き領域が隣接したセルAがステップS104においてセルBに置き換えられ、さらに、タイミングに余裕のあるバスに存在するセルBがステップS108においてセルCに置き換えられる。この結果、スタンダードセル配置領域31に、セルA(スタンダードセル32)、セルB(スタンダードセル33)、セルC(スタンダードセル34)が混在して配置される。図3に示す半導体集積回路装置では、スタンダードセル配置領域31の面積増加を招くことなく、リーク電流が抑制されている。

10

【0039】

以上のように本実施形態によると、同一論理のスタンダードセルとして、セル幅やゲート長等のレイアウトが適正に調整されたセルA、セルB、セルCが、半導体集積回路装置に配置される。これにより、チップ面積を増加させることなく、リーク電流を抑制することができる。また、セルBの配置配線後に、設計の後戻りなく、セルCに置き換えることが可能である。

20

【0040】

(他のスタンダードセルの例)

図4は本実施形態における他のスタンダードセルのレイアウト例を示す平面図である。図4に示すセルC-2は、図1(a)~(c)と同一論理のスタンダードセルであり、2入力NANDセルである。そして、図1(b)のセルB-1と同じセル幅W2を有しており、回路を構成するMOSトランジスタのゲート長は、PMOSトランジスタ51およびNMOSトランジスタ81はL1であるが、PMOSトランジスタ52およびNMOSトランジスタ82はL1よりも大きいL2となっている。このセルC-2を、例えば上述した図2のフローにおけるステップS108において、セルB-1からの置換に必要に応じて用いることによって、遅延時間の増加とリーク電流の抑制をより細かく調整することが可能になる。

30

【0041】

図5は図4のセルC-2のレイアウトに対応した回路図である。図5では、図4と共通の構成要素に図4と同一の符号を付している。PMOSトランジスタ51とNMOSトランジスタ81のゲート長はL1であり、オン電流が大きいため、入力端子IN1に入力される信号で回路が動作するときの遅延時間は小さい。一方、PMOSトランジスタ52とNMOSトランジスタ82のゲート長はL2であり、オン電流が小さいため、入力端子IN2に入力される信号で回路が動作するときの遅延時間は、オン電流が小さい分、大きくなってしまう。ただし、NMOSトランジスタ82がオフして回路が停止しているとき、リーク電流は、ゲート長L2が大きい分、より抑制される。

40

【0042】

このように、高い性能が必要な回路部分とリーク電流を抑制したい回路部分とでゲート長が異なっているスタンダードセルを用いることによって、半導体集積回路装置において、より適正にリーク電流を抑制することができる。

【0043】

(第2の実施形態)

図6は第2の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウ

50

ト例を示す平面図である。図6において、(a)のセルB-2、(b)のセルC-3は図1に示したセルA-1等と同一論理のスタンダードセルであり、2入力NANDセルである。図6では、図1と共通の構成要素には図1と同一の符号を付しており、ここではその詳細な説明を省略する。

【0044】

図6(a)のセルB-2は、ゲート長およびゲート幅が図1(a)のセルA-1と等しく、回路の遅延時間がセルA-1と同一になるよう設計されている。ただし、セルA-1よりもセル幅が広くなっていることが主な違いである。すなわちセルB-2は、W1よりも大きいセル幅W3 ($W3 > W1$) を有しており、回路を構成するMOSトランジスタのゲート長はセルA-1と同じL1であり、PMOSトランジスタ53, 54のゲート幅がWp1、NMOSトランジスタのゲート幅がWn1である。10

【0045】

また、図6の例では、セルB-2は、ゲート幅に加えて、隣接するゲート同士の間隔、ゲートの形状、N型拡散領域およびP型拡散領域の形状、並びに、ゲートとコンタクトとの位置関係が、全て図1(a)のセルA-1と同じになるようレイアウトされている。このようにレイアウトすることにより、レイアウト形状の影響によるMOSトランジスタの特性差をより少なくすることができ、セルA-1、セルB-2の遅延時間を同一にすることができる。ただし、セルA-1、セルB-2の遅延時間を厳密に同一する必要は必ずしもないため、ゲート幅、ゲート間隔、ゲート形状、拡散領域の形状、並びに、ゲートとコンタクトとの位置関係等について、全て同一にする必要は必ずしもない。20

【0046】

さらに、図6(b)のセルC-3は、セルB-2と対比すると、回路の遅延時間が長くなるがリーク電流を抑えることができるよう、回路を構成するMOSトランジスタが、分割された2個のMOSトランジスタを直列に接続した構成に変更されている。例えば、セルB-2のPMOSトランジスタ53が、セルC-3では、直列に接続され、ゲートが共通に入力端子IN1に接続された2個のPMOSトランジスタ53a, 53bに置き換えられている。同様に、PMOSトランジスタ54は2個のPMOSトランジスタ54a, 54bに、NMOSトランジスタ83は2個のNMOSトランジスタ83a, 83bに、NMOSトランジスタ84は2個のNMOSトランジスタ84a, 84bに、それぞれ置き換えられている。ただし、セルC-3は、セルB-2と同じセル幅W3を有しており、各MOSトランジスタのゲート長はセルB-2と同じL1である。これにより、セルB-2とセルC-3は、面積を変えずに置き換えが可能である。30

【0047】

図7は図6のセルB-2およびセルC-3のレイアウトに対応した回路図である。図7では、図6と共に構成要素に図6と同一の符号を付している。図7(a), (b)を対比すると分かるように、セルC-3における、ゲートが共通に接続されたPMOSトランジスタ53a, 53bの直列接続が、セルB-2におけるPMOSトランジスタ53に対応している。ここで「MOSトランジスタに対応する」とは、スタンダードセルの回路構成上において、当該MOSトランジスタと同一の回路部分を実現している、という意味である。同様に、セルC-3における、ゲートが共通に接続されたPMOSトランジスタ54a, 54bの直列接続が、セルB-2におけるPMOSトランジスタ54に対応しており、セルC-3における、ゲートが共通に接続されたNMOSトランジスタ83a, 83bの直列接続が、セルB-2におけるNMOSトランジスタ83に対応しており、セルC-3における、ゲートが共通に接続されたNMOSトランジスタ84a, 84bの直列接続が、セルB-2におけるNMOSトランジスタ84に対応している。このような回路構成にすることによって、セルC-3は、セルB-2のゲート長L1を2倍にした場合と同程度にリーク電流を抑制することができる。40

【0048】

図6に示したようなスタンダードセルを用いて、例えば図2のようなレイアウト設計方法を実行することによって、レイアウト面積の増加を招くことなく、半導体集積回路装置50

のリーク電流を抑制することができる。さらに、図6のスタンダードセルではゲート長は大きくなっているので、例えば、デザインルールでゲート長を大きくすることが禁止されており、ゲート長を揃える必要がある場合であっても、ゲート長を大きくした場合と同様に、リーク電流抑制の効果を得ることができる。

【0049】

なお図6において、端子配線23～25は図面縦方向(Y方向)に延びている。この場合、端子配線23～25に関しては、図面縦方向における位置の多少のずれがあっても、例えば第2層メタルの縦方向の長さを若干変えるだけで、入出力配線との接続は容易となる。このため、セルB-2とセルC-3の置き換えを容易にするためには、端子配線23～25については、図面横方向(X方向)すなわちこれらが延びる方向に垂直な方向における位置関係が、同一であればよい。同様に、端子配線が図面横方向に延びている場合は、図面縦方向における位置関係が同一であることが好ましい。

10

【0050】

また図6では、セルB-2が有するMOSトランジスタを全て、セルC-3において、ゲートが共通に接続された2個のMOSトランジスタの直列接続に置き換えているが、これに限られるものではない。例えば、セルB-2が有するMOSトランジスタの一部のみを置き換える、リーク電流抑制の効果は得られる。また、セルB-2が有するMOSトランジスタを、ゲートが共通に接続された3個またはそれ以上のMOSトランジスタの直列接続に置き換えてかまわない。

20

【0051】

(第3の実施形態)

図8は第3の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。図8において、(a)のセルA-2、(b)のセルD-1は同一論理のスタンダードセルであり、ここではインバータセルの例を示している。

【0052】

図8において、11はMOSトランジスタのゲート、12はコンタクト、13はP型拡散領域、14はN型拡散領域、15は第1層メタル、16は第1層メタルと第2層メタルをつなぐビア、17は第2層メタル、18はNウェル領域を示している。コンタクト12は、ゲートまたは拡散層と第1層メタルとを接続するものである。また、回路要素として、21は電源電位が供給される電源線、22は接地線、26は入力端子(IN)となる端子配線、27は出力端子(OUT)となる端子配線である。電源線21および接地線22は第1層メタル15に形成されており、端子配線26、27は第2層メタル17に形成されている。また、CLはセル枠を示している。

30

【0053】

図8(a)のセルA-2はセル幅W4を有しており、回路を構成するMOSトランジスタのゲート長がL1である。ここではゲート長L1は、デザインルールで規定される最小値であるものとする。すなわちセルA-2は、デザインルールで規定される最小値が優先されてレイアウトされた一般的なスタンダードセルであり、回路の遅延時間が最小になるよう設計されている。そして、4個のPMOSトランジスタ60, 61, 62, 63が並列に接続されており、ゲートが共通に接続されている。また、4個のNMOSトランジスタ90, 91, 92, 93が並列に接続されており、ゲートが共通に接続されている。言いかえると、セルA-2は、PMOSトランジスタとNMOSトランジスタとからなるインバータが4個並列に接続されたレイアウトになっている。

40

【0054】

これに対して図8(b)のセルD-1は、セルA-2と比べると、回路の遅延時間が長くなるがリーク電流を抑えることができるように、回路を構成するMOSトランジスタのゲート長が大きくなるように設計されている。すなわちセルD-1は、セルA-2と同じセル幅W4を有しており、回路を構成するMOSトランジスタのゲート長は、L1よりも大きいL2(L2 > L1)となっている。そして、3個のPMOSトランジスタ64, 65, 66が並列に接続されており、ゲートが共通に接続されている。また、3個のNMOS

50

Sトランジスタ94, 95, 96が並列に接続されており、ゲートが共通に接続されている。言いかえると、セルD-1は、セルA-2よりもMOSトランジスタの並列数が少なく、PMOSトランジスタとNMOSトランジスタとからなるインバータが3個並列に接続されたレイアウトになっている。

【0055】

図9は図8のセルA-2およびセルD-1のレイアウトに対応した回路図である。図9では、図8と共に構成要素に図8と同一の符号を付している。図9(a), (b)を対比すると分かるように、セルD-1における第2の並列トランジスタ群6Bが、セルA-2における第1の並列トランジスタ群6Aに対応している。ここで「並列トランジスタ群に対応する」とは、スタンダードセルの回路構成上において、当該並列トランジスタ群と同一の回路部分を実現している、という意味である。そして、セルA-2における第1の並列トランジスタ群6Aは、並列数が4であり、PMOSトランジスタ60, 61, 62, 63のゲート長はL1であるのに対して、セルD-1における第2の並列トランジスタ群6Bは、並列数が3であり、PMOSトランジスタ64, 65, 66のゲート長はL1よりも大きいL2である。NMOSトランジスタに関しても同様の構成になっている。

【0056】

また、図8の例では、セルA-2とセルD-1は、端子配線26, 27、およびこれらに接続されたビア16の位置関係が同一になるようにレイアウトされている。このようにレイアウトすることにより、入出力端子への配線を行った後に、セルA-2とセルD-1の置き換えを、配線のやり直しを招くことなく実行することが可能になる。

【0057】

また図8において、端子配線26, 27は図面縦方向(Y方向)に延びている。この場合、端子配線26, 27に関しては、図面縦方向における位置の多少のずれがあっても、例えば第2層メタルの縦方向の長さを若干変えるだけで、入出力配線との接続は容易となる。このため、セルA-2とセルD-1の置き換えを容易にするためには、端子配線26, 27については、図面横方向(X方向)すなわちこれらが延びる方向に垂直な方向における位置関係が、同一であればよい。同様に、端子配線が図面横方向に延びている場合は、図面縦方向における位置関係が同一であることが好ましい。

【0058】

図10は図8に示したようなスタンダードセルを用いた、半導体集積回路装置のレイアウト設計方法の一例を示すフローチャートである。なお、ここで示すレイアウト設計方法はあくまでも一例であり、他の方法を採用してもかまわない。

【0059】

スタンダードセルライブラリのデータベース44には、図8(a)に示すセルA-2と同様の特徴を持つ様々な基本回路のセルAが格納されている。スタンダードセルライブラリのデータベース45には、図8(b)に示すセルD-1と同様の特徴を持つ様々な基本回路のセルDが格納されている。

【0060】

まずステップS101では、データベース44に格納されたセルAを用いて、スタンダードセル配置領域に自動的に配置を行う。ステップS102では、配置された各セルAの入出力端子を接続する配線を行う。

【0061】

ステップS106では、配置配線後の各セルAの消費電力、電源配線の抵抗によって生じる電圧降下量の計算を行う。

【0062】

ステップS107では、各セルAの遅延時間および、セルの入出力端子を接続する配線の抵抗や容量による遅延時間、並びに電圧降下による遅延時間の変動を考慮して、タイミング検証を行う。

【0063】

ステップS109では、ステップS107のタイミング検証の結果を利用して、データ

10

20

30

40

50

ベース 4 5 に格納されたセル D を用いて、タイミングに余裕があるパスに存在するセル A をセル D に置き換える。これにより、スタンダードセル配置領域の面積を増やすことなく、リーク電流を抑えることができる。

【 0 0 6 4 】

また、図 1 0 のレイアウト設計方法では、第 1 の実施形態で示した図 2 のレイアウト設計方法と比して、ステップ S 1 0 3 , S 1 0 4 , S 1 0 5 が不要となり、設計時間を短縮することができる。

【 0 0 6 5 】

図 1 1 は図 8 に示すスタンダードセルを用いた半導体集積回路装置のレイアウトを概念的に示した図である。図 1 1 では、スタンダードセル配置領域 3 1 の中に、論理が同一の 2 種類のスタンダードセル 3 5 , 3 6 が混在して配置されている。スタンダードセル 3 5 , 3 6 はそれぞれ、図 8 (a) , (b) のレイアウトを有している。例えば図 1 0 に示すようなレイアウト設計方法で設計した場合、ステップ S 1 0 1 において配置されたセル A のうち、タイミングに余裕があるパスに存在するセル B がステップ S 1 0 9 においてセル D に置き換えられる。この結果、スタンダード配置領域 3 1 に、セル A (スタンダードセル 3 5) 、セル D (スタンダードセル 3 6) が混在して配置される。

10

【 0 0 6 6 】

以上のように本実施形態によると、同一の論理のスタンダードセルとして、MOS ランジスタが並列に接続された回路部分を有し、MOS ランジスタの並列数やゲート長等のレイアウトが適正に調整されたセル A 、セル D が、半導体集積回路装置に配置される。これにより、チップ面積を増加させることなく、リーク電流を抑制することができる。また、セル A の配置配線後に、設計の後戻りなく、セル D に置き換えることが可能である。

20

【 0 0 6 7 】

なお、図 8 および図 9 の例では、セル A - 2 が有する並列トランジスタ群について全て、セル D - 1 において、並列数を少なくし、ゲート長を大きくしているが、これに限られるものではない。例えば、セル A - 2 が有する並列トランジスタ群のうち、PMOS ランジスタのみについて、並列数を少なくし、ゲート長を大きくしてもかまわない。

【 0 0 6 8 】

(他のスタンダードセルの例その 1)

図 1 2 は本実施形態における他のスタンダードセルのレイアウト例を示す平面図である。図 1 2 に示すセル D - 2 は、図 8 (a) , (b) と同一論理のスタンダードセルであり、インバータセルである。そして、図 8 (a) のセル A - 2 と同じセル幅 W 4 を有しており、図 8 (b) のセル D - 1 とほぼ同様のレイアウトを有している。すなわち、セル D - 2 は、セル A - 2 よりも MOS ランジスタの並列数が少なく、PMOS ランジスタと NMOS ランジスタとからなるインバータが 3 個並列に接続されたレイアウトになっている。

30

【 0 0 6 9 】

ただし、セル D - 2 では、トランジスタ 6 4 , 9 4 のゲート長が L 1 になっている。すなわち、並列トランジスタ群が、ゲート長が L 1 よりも大きい L 2 である MOS ランジスタ 6 5 , 6 6 , 9 5 , 9 6 に加えて、ゲート長が L 1 と等しい MOS ランジスタ 6 4 , 9 4 を有している。

40

【 0 0 7 0 】

セル D - 2 のリーク電流は、並列に接続された 3 つのインバータそれぞれのリーク電流の合計であり、セル D - 2 の遅延時間は、並列に接続された 3 つのインバータのそれぞれのオン電流の合計から決まる。このため、並列トランジスタ群において、ゲート長 L 1 の MOS ランジスタと、L 1 より大きいゲート長 L 2 の MOS ランジスタの個数を変えることによって、セル D - 2 のリーク電流および遅延時間を調整することができる。

【 0 0 7 1 】

このように、並列トランジスタ群における MOS ランジスタのゲート長が個別に調整されたスタンダードセルを用いることによって、半導体集積回路装置において、遅延時間

50

の増加量とリーク電流の抑制量をより細かく調整することができる。

【0072】

(他のスタンダードセルの例その2)

図13は本実施形態における他のスタンダードセルのレイアウト例を示す平面図である。図13に示すセルD-3は、図8(a), (b)と同一論理のスタンダードセルであり、インバータセルである。そして、図8(a)のセルA-2と同じセル幅W4を有しており、図8(a)のセルA-2と同様に、ゲート長L1の4個のPMOSトランジスタ67a, 67b, 68a, 68bと、ゲート長L1の4個のNMOSトランジスタ97a, 97b, 98a, 98bとを備えている。

【0073】

ただし、セルD-3では、直列に接続された2個のPMOSトランジスタ67a, 67bと、直列に接続された2個のPMOSトランジスタ68a, 68bとが、並列に接続され、ゲートが共通に接続されている。また、直列に接続された2個のNMOSトランジスタ97a, 97bと、直列に接続された2個のNMOSトランジスタ98a, 98bとが、並列に接続され、ゲートが共通に接続されている。すなわち、セルD-3は、セルA-2よりもMOSトランジスタの並列数が少なくなっている。かつ、1個のMOSトランジスタが、ゲートが共通に接続された2個のMOSトランジスタの直列接続に置き換えられている。並列数を減らしてセル幅を同じにすることによって、セルA-2とセルD-3は、面積を変えずに置き換えが可能である。

【0074】

図14は図13のセルD-3のレイアウトに対応した回路図である。図14では、図13と共に構成要素に図13と同一の符号を付している。図9(a)と図14とを対比すると分かるように、セルD-3における第2の並列トランジスタ群6Cが、セルA-2における第1の並列トランジスタ群6Aに対応している。そして、セルA-2における第1の並列トランジスタ群6Aは、並列数が4であるのに対して、セルD-3における第2の並列トランジスタ群6Bは、並列数が2であり、1個のMOSトランジスタに代えて、ゲートが共通に接続された2個のMOSトランジスタの直列接続が配置されている。NMOSトランジスタに関しても同様の構成になっている。このような回路構成にすることによって、セルD-3は、セルA-2のゲート長L1を2倍にして、インバータの並列数を半分にした場合と同程度にリーク電流を抑制することができる。

【0075】

図13に示したようなセルD-3を用いて、例えば図10のようなレイアウト設計方法を実行することによって、レイアウト面積の増加を招くことなく、半導体集積回路装置のリーク電流を抑制することができる。さらに、図13のセルD-3ではゲート長は大きくなっているので、例えば、デザインルールでゲート長を大きくすることが禁止されており、ゲート長を揃える必要がある場合であっても、ゲート長を大きくした場合と同様に、リーク電流抑制の効果を得ることができる。

【0076】

また、図13の例では、セルA-2とセルD-3は、端子配線26, 27、およびこれらに接続されたピア16の位置関係が同一になるようにレイアウトされている。このようにレイアウトすることにより、入出力端子への配線を行った後に、セルA-2とセルD-3の置き換えを、配線のやり直しを招くことなく実行することが可能になる。

【0077】

また図13において、端子配線26, 27は図面縦方向(Y方向)に延びている。この場合、端子配線26, 27に関しては、図面縦方向における位置の多少のずれがあっても、例えば第2層メタルの縦方向の長さを若干変えるだけで、入出力配線との接続は容易となる。このため、セルA-2とセルD-3の置き換えを容易にするためには、端子配線26, 27については、図面横方向(X方向)すなわちこれらが延びる方向に垂直な方向における位置関係が、同一であればよい。同様に、端子配線が図面横方向に延びている場合は、図面縦方向における位置関係が同一であることが好ましい。

10

20

30

40

50

【0078】

なお、上述した各実施形態は、互いに組み合わせて実行してもよい。例えば、第1の実施形態と第3の実施形態とを組み合わせて実行することによって、タイミングに余裕があるが隣接した空き領域がなくセルCに置き換えることができないセルAを、セルDに置き換えることができる。これにより、リーク電流の抑制効果をより高めることができる。

【0079】

また、第1および第2の実施形態では2入力NANDセルを例にとって説明を行い、第3の実施形態ではインバータセルを例にとって説明を行ったが、これらはあくまでも一例に過ぎず、その他の論理のスタンダードセルについても、上述の各実施形態は同様に適用可能である。

10

【産業上の利用可能性】

【0080】

本発明では、半導体集積回路装置について、チップ面積を増加させることなく、リーク電流を抑制することができるので、例えば、チップの小型化やコスト減に有用である。

【符号の説明】

【0081】

L 1 第1のゲート長

L 2 第2のゲート長

W 1 第1のセル幅

W 2 第2のセル幅

W 3 第2のセル幅

W 4 第1のセル幅

20

1 1 ゲート

1 2 コンタクト

1 3 P型拡散層

1 4 N型拡散層

1 6 ビア

2 3 , 2 4 , 2 5 端子配線

2 6 , 2 7 端子配線

3 2 第1のスタンダードセル

30

3 3 第2のスタンダードセル

3 4 第3のスタンダードセル

3 5 第1のスタンダードセル

3 6 第2のスタンダードセル

5 1 , 5 2 , 5 3 , 5 4 PMOSトランジスタ

5 3 a , 5 3 b , 5 4 a , 5 4 b PMOSトランジスタ

6 A 第1の並列トランジスタ群

6 B 第2の並列トランジスタ群

6 C 第2の並列トランジスタ群

6 0 , 6 1 , 6 2 , 6 3 PMOSトランジスタ

40

6 4 , 6 5 , 6 6 PMOSトランジスタ

6 7 a , 6 7 b , 6 8 a , 6 8 b PMOSトランジスタ

8 1 , 8 2 , 8 3 , 8 4 NMOSトランジスタ

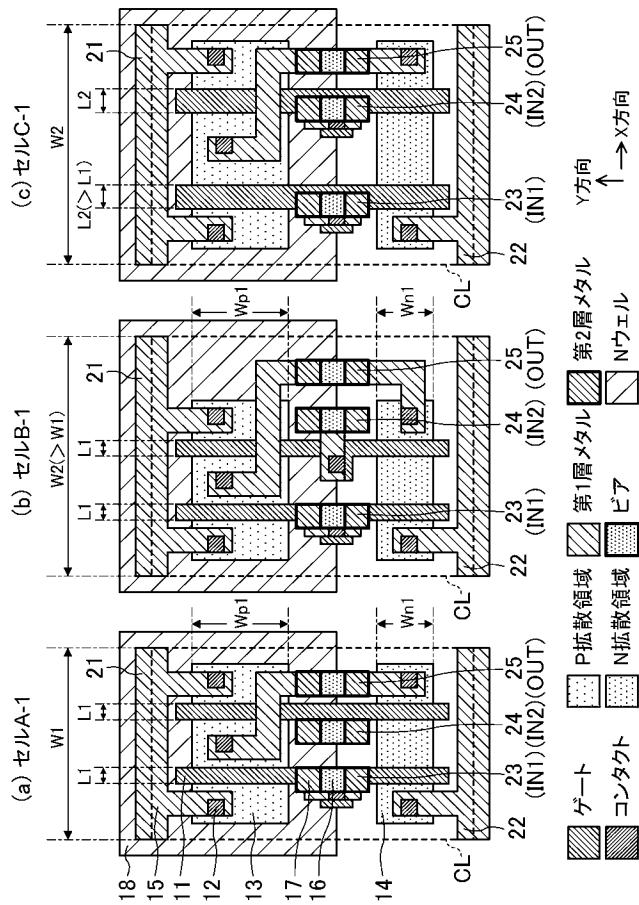
8 3 a , 8 3 b , 8 4 a , 8 4 b NMOSトランジスタ

9 0 , 9 1 , 9 2 , 9 3 NMOSトランジスタ

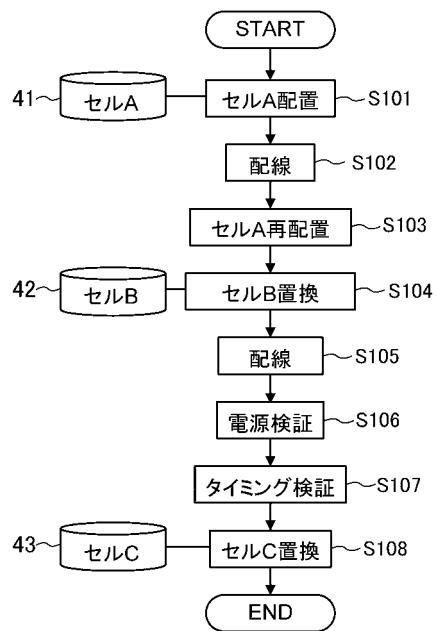
9 4 , 9 5 , 9 6 NMOSトランジスタ

9 7 a , 9 7 b , 9 8 a , 9 8 b NMOSトランジスタ

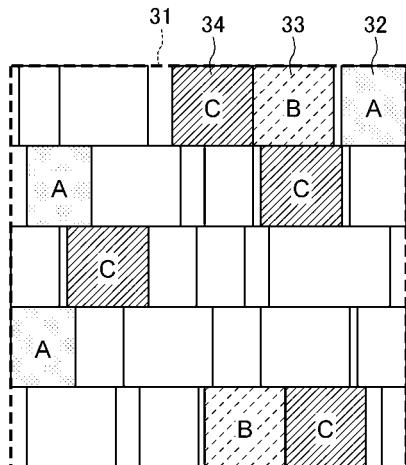
【図1】



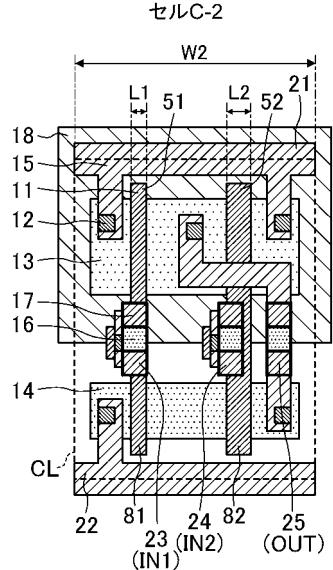
【図2】



【図3】

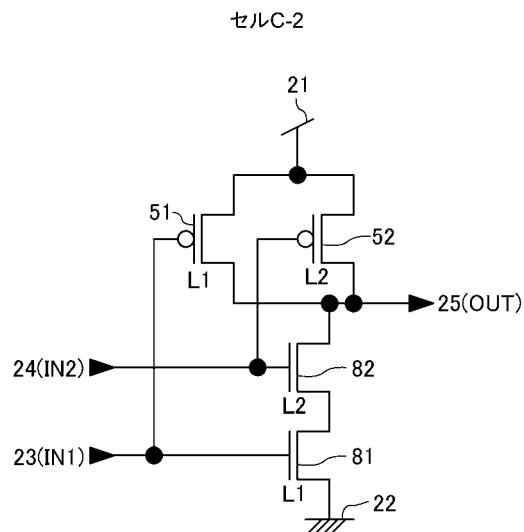


【図4】

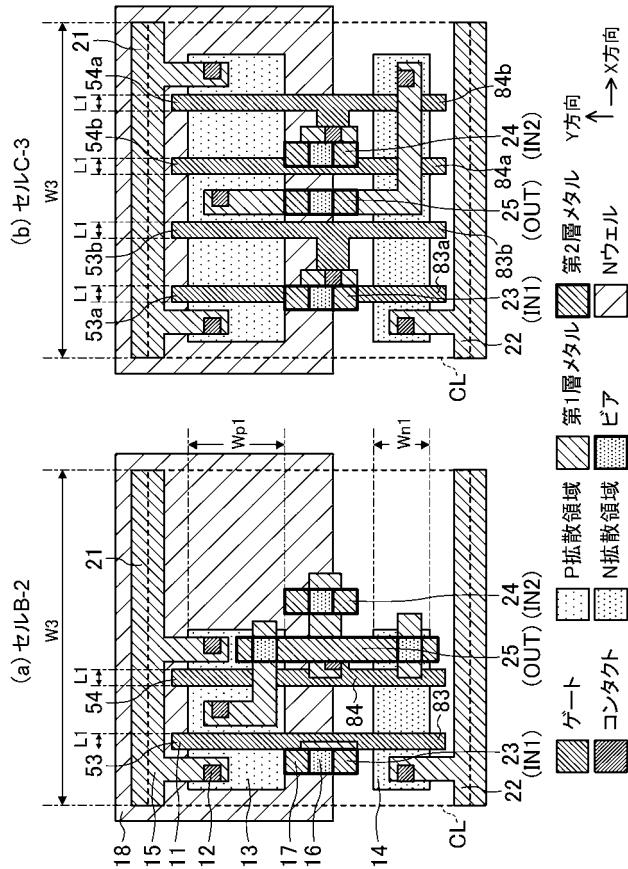


	ゲート		P拡散領域		第1層メタル		第2層メタル
	>Contact		N拡散領域		ビア		Nウェル

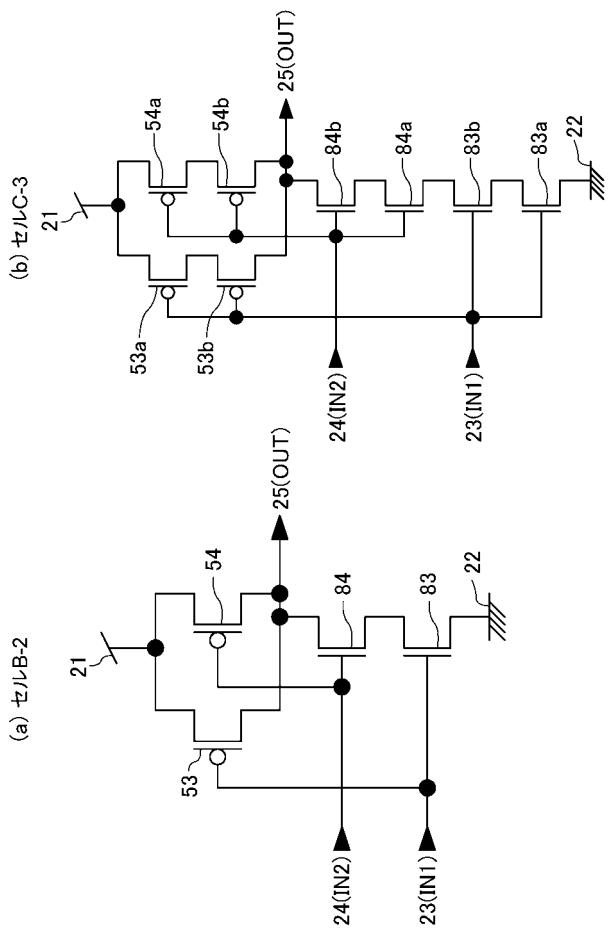
【図5】



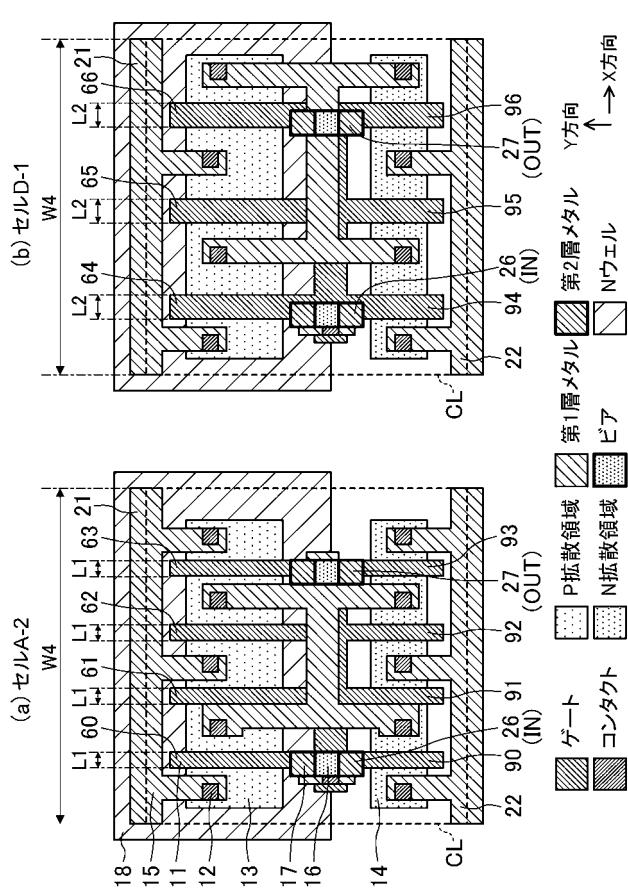
【図6】



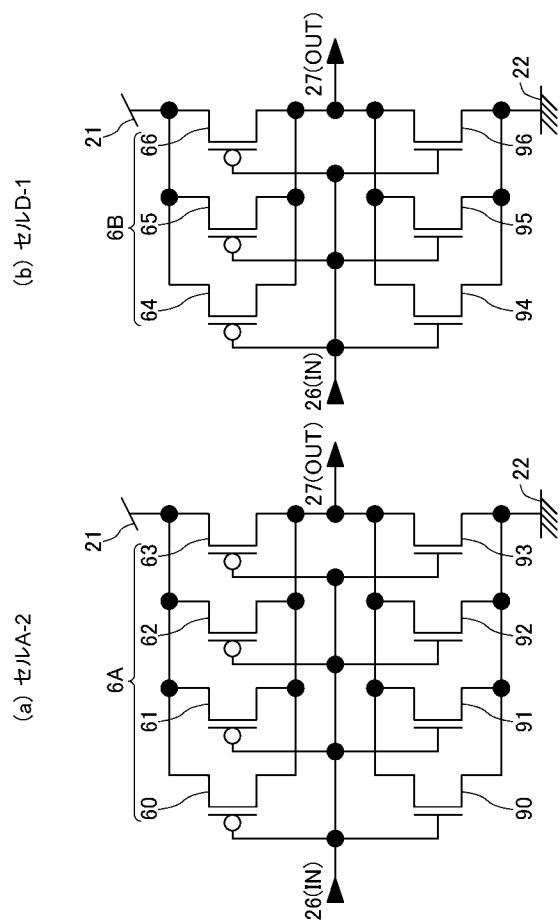
【図7】



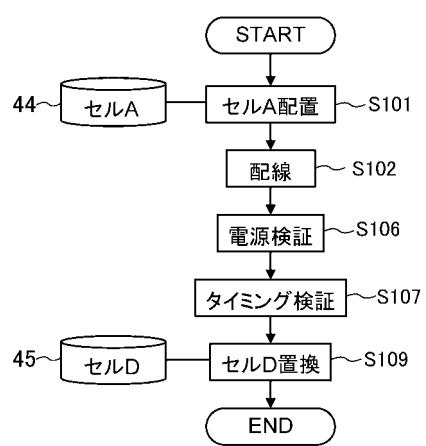
【図8】



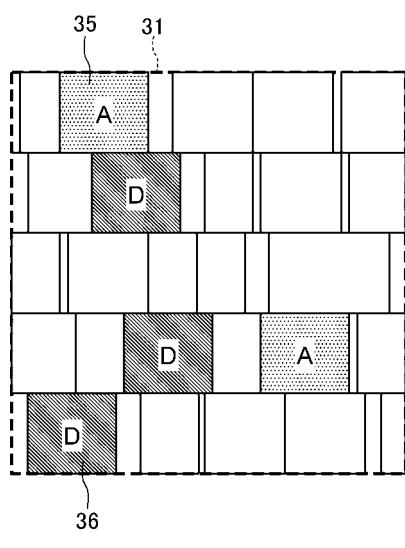
【図 9】



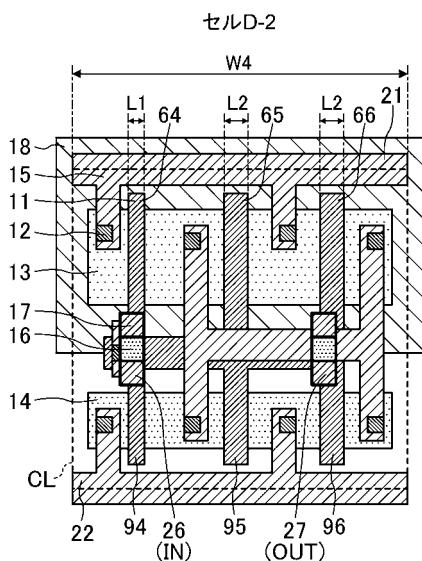
【図 10】



【図 11】

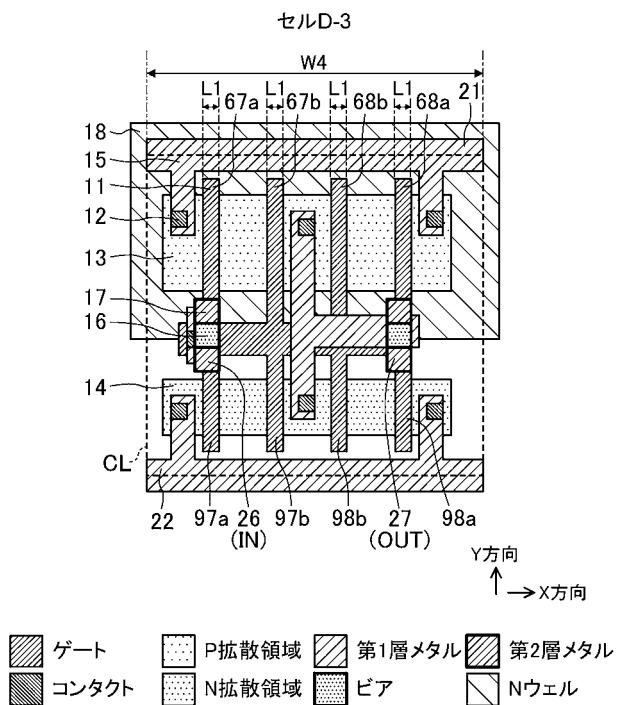


【図 12】

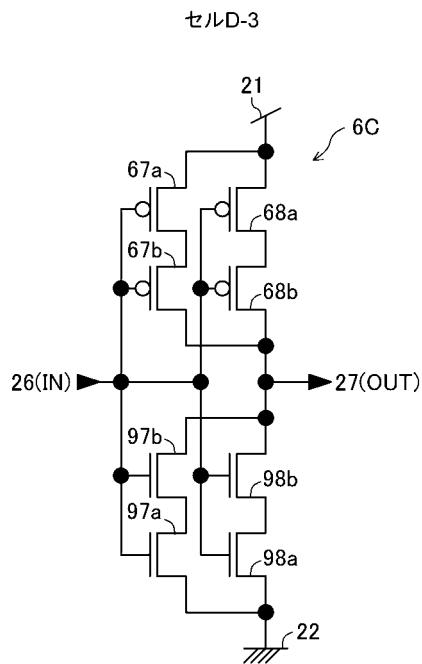


	ゲート		P拡散領域		第1層メタル		第2層メタル
	コンタクト		N拡散領域		ビア		Nウェル

【図13】

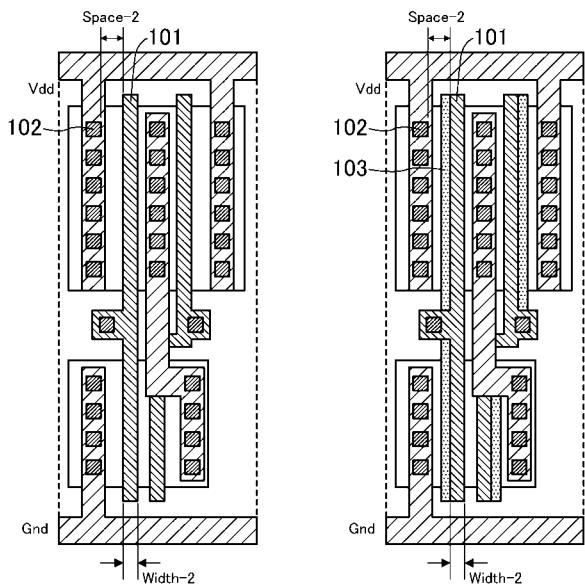


【図14】

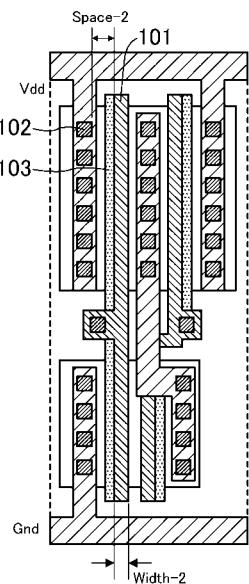


【図15】

(a)



(b)



フロントページの続き

(74)代理人 100117710
弁理士 原田 智雄

(74)代理人 100124671
弁理士 関 啓

(74)代理人 100131060
弁理士 杉浦 靖也

(74)代理人 100131200
弁理士 河部 大輔

(74)代理人 100131901
弁理士 長谷川 雅典

(74)代理人 100132012
弁理士 岩下 嗣也

(74)代理人 100141276
弁理士 福本 康二

(74)代理人 100143409
弁理士 前田 亮

(74)代理人 100157093
弁理士 間脇 八蔵

(74)代理人 100163186
弁理士 松永 裕吉

(74)代理人 100163197
弁理士 川北 憲司

(74)代理人 100163588
弁理士 岡澤 祥平

(72)発明者 安藤 貴史
大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 楠本 醒一
大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 島崎 健二
大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 中西 和幸
大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 當房 哲朗
大阪府門真市大字門真1006番地 パナソニック株式会社内

F ターム(参考) 5F038 CA17 CD02 CD09 CD12 CD13 DF08 EZ09 EZ20
5F064 AA04 BB05 CC12 DD02 DD03 DD07 DD13 DD14 DD25 DD50
EE09 EE17 EE22 EE27 EE32 EE42 EE43 EE47 EE52 EE57
HH06 HH10 HH12