

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2013-30602  
(P2013-30602A)

(43) 公開日 平成25年2月7日(2013.2.7)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/82 (2006.01)	H O 1 L 21/82 B	5 F 0 3 8
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 A	5 F 0 6 4
H O 1 L 27/04 (2006.01)	H O 1 L 21/82 C	

審査請求 未請求 請求項の数 11 O L (全 21 頁)

(21) 出願番号	特願2011-165306 (P2011-165306)	(71) 出願人	000005821
(22) 出願日	平成23年7月28日 (2011.7.28)		パナソニック株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100117581
			弁理士 二宮 克也

最終頁に続く

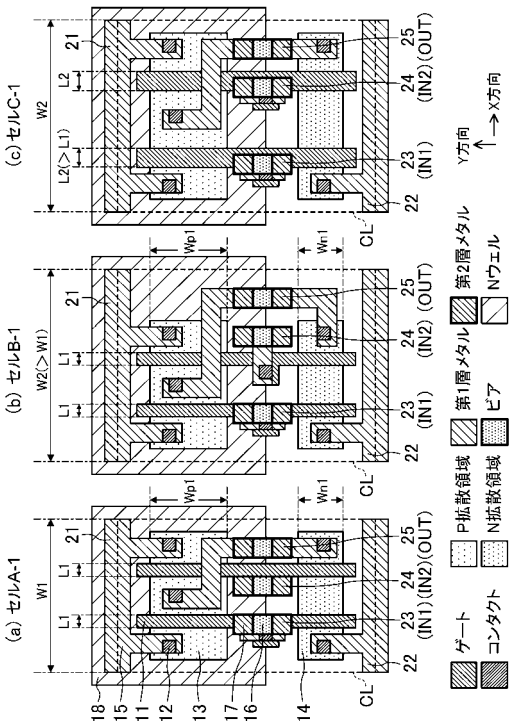
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】チップ面積を増加させることなく、効率良くリーク電流を抑制することができる半導体集積回路装置を提供する。

【解決手段】半導体集積回路装置は論理が同一のセルA-1、B-1、C-1を備えている。セルB-1はセルA-1よりセル幅W2が大きい。MOSトランジスタのゲート長L1はセルA-1と等しい。セルC-1は、セルB-1とセル幅W2が等しいが、ゲート長L2が大きいMOSトランジスタを有しており、セルA-1、B-1と比べて回路遅延は遅くなるがリーク電流は小さくなる。このため例えば、空き領域に隣接したセルA-1をセルB-1に置き換え、タイミングに余裕があるパスにおけるセルB-1をセルC-1に置き換えることによって、チップ面積を増加させることなく、リーク電流を抑えることができる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数のスタンダードセルが配置された半導体集積回路装置であって、  
第 1 のセル幅を有し、回路を構成する MOS トランジスタが第 1 のゲート長を有する、  
第 1 のスタンダードセルと、  
前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅より大きい  
第 2 のセル幅を有し、回路を構成する MOS トランジスタが前記第 1 のゲート長を有する  
、第 2 のスタンダードセルと、  
前記第 1 および第 2 のスタンダードセルと論理が同一であり、かつ、前記第 2 のセル幅  
を有し、回路を構成する MOS トランジスタのゲートの形状が前記第 2 のスタンダードセル  
と異なっている、第 3 のスタンダードセルとを備え、  
前記第 3 のスタンダードセルは、  
前記第 1 のゲート長よりも大きい第 2 のゲート長を有する MOS トランジスタを、少な  
くとも 1 つ、含む  
ことを特徴とする半導体集積回路装置。

10

**【請求項 2】**

請求項 1 記載の半導体集積回路装置において、  
前記第 3 のスタンダードセルは、  
前記第 2 のゲート長を有する MOS トランジスタに加えて、前記第 1 のゲート長を有す  
る MOS トランジスタを含む  
ことを特徴とする半導体集積回路装置。

20

**【請求項 3】**

複数のスタンダードセルが配置された半導体集積回路装置であって、  
第 1 のセル幅を有し、回路を構成する MOS トランジスタが第 1 のゲート長を有する、  
第 1 のスタンダードセルと、  
前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅より大きい  
第 2 のセル幅を有し、回路を構成する MOS トランジスタが前記第 1 のゲート長を有する  
、第 2 のスタンダードセルと、  
前記第 1 および第 2 のスタンダードセルと論理が同一であり、かつ、前記第 2 のセル幅  
を有し、回路を構成する MOS トランジスタのゲートの形状が前記第 2 のスタンダードセル  
と異なっている、第 3 のスタンダードセルとを備え、  
前記第 3 のスタンダードセルは、  
前記第 2 のスタンダードセルが有する 1 個の MOS トランジスタに対応しており、前記  
第 1 のゲート長を有し、かつ、直列に接続され、ゲートが共通に接続された 2 個以上の MOS  
トランジスタを含む  
ことを特徴とする半導体集積回路装置。

30

**【請求項 4】**

請求項 1 ～ 3 のうちいずれか 1 項記載の半導体集積回路装置において、  
前記第 2 および第 3 のスタンダードセルは、  
入力端子および出力端子となる複数の端子配線に接続されたビアの位置関係が、同一で  
ある  
ことを特徴とする半導体集積回路装置。

40

**【請求項 5】**

請求項 1 ～ 3 のうちいずれか 1 項記載の半導体集積回路装置において、  
前記第 2 および第 3 のスタンダードセルは、  
入力端子および出力端子となる複数の端子配線が第 1 の方向に延びており、かつ、  
前記複数の端子配線の、前記第 1 の方向に垂直な第 2 の方向における位置関係が、同一  
である  
ことを特徴とする半導体集積回路装置。

**【請求項 6】**

50

請求項 1 ~ 3 のうちいずれか 1 項記載の半導体集積回路装置において、  
前記第 1 および第 2 のスタンダードセルは、  
隣接するゲート同士の間隔、ゲート幅、ゲートの形状、拡散領域の形状、および、ゲートとコンタクトとの位置関係のうち、少なくともいずれか 1 つが、同一であることを特徴とする半導体集積回路装置。

【請求項 7】

複数のスタンダードセルが配置された半導体集積回路装置であって、  
第 1 のセル幅を有し、回路を構成する MOS トランジスタとして、第 1 のゲート長を有し、かつ、並列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタからなる第 1 の並列トランジスタ群を含む、第 1 のスタンダードセルと、  
前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅を有し、回路を構成する MOS トランジスタとして、前記第 1 の並列トランジスタ群に対応する第 2 の並列トランジスタ群を含む、第 2 のスタンダードセルとを備え、  
前記第 2 の並列トランジスタ群は、  
並列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタからなり、  
前記第 1 の並列トランジスタ群よりも並列数が少なく、かつ、  
前記第 1 のゲート長よりも大きい第 2 のゲート長を有する MOS トランジスタを、少なくとも 1 つ、含む  
を備えることを特徴とする半導体集積回路装置。

10

【請求項 8】

請求項 7 記載の半導体集積回路装置において、  
前記第 2 の並列トランジスタ群は、  
前記第 2 のゲート長を有する MOS トランジスタに加えて、前記第 1 のゲート長を有する MOS トランジスタを含む  
ことを特徴とする半導体集積回路装置。

20

【請求項 9】

複数のスタンダードセルが配置された半導体集積回路装置であって、  
第 1 のセル幅を有し、回路を構成する MOS トランジスタとして、第 1 のゲート長を有し、かつ、並列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタからなる第 1 の並列トランジスタ群を含む、第 1 のスタンダードセルと、  
前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅を有し、回路を構成する MOS トランジスタとして、前記第 1 の並列トランジスタ群に対応する第 2 の並列トランジスタ群を含む、第 2 のスタンダードセルとを備え、  
前記第 2 の並列トランジスタ群は、  
直列に接続された 2 個以上の MOS トランジスタが、並列に接続され、ゲートが共通に接続されており、  
前記第 1 の並列トランジスタ群よりも並列数が少なく、かつ、  
各 MOS トランジスタが、前記第 1 のゲート長を有する  
ことを特徴とする半導体集積回路装置。

30

【請求項 10】

請求項 7 ~ 9 のうちいずれか 1 項記載の半導体集積回路装置において、  
前記第 1 および第 2 のスタンダードセルは、  
入力端子および出力端子となる複数の端子配線に接続されたビアの位置関係が、同一である  
ことを特徴とする半導体集積回路装置。

40

【請求項 11】

請求項 7 ~ 9 のうちいずれか 1 項記載の半導体集積回路装置において、  
前記第 1 および第 2 のスタンダードセルは、  
入力端子および出力端子となる複数の端子配線が第 1 の方向に延びており、かつ、  
前記複数の端子配線の、前記第 1 の方向に垂直な第 2 の方向における位置関係が、同一

50

である

ことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置に関し、特に、スタンダードセル方式を用いたレイアウト設計により形成された半導体集積回路装置に関する。

【背景技術】

【0002】

スタンダードセル方式を用いた半導体集積回路装置のレイアウト設計では、自動配置配線ツールと呼ばれるレイアウト生成ツールが用いられる。これは、スタンダードセルをデータベースであるスタンダードセルライブラリに予め登録しておき、そのデータベースから所望の基本回路のスタンダードセルのデータを読み出して、所定領域に配置、配線することによって所望の半導体集積回路装置を得るものである。スタンダードセルには、インバータ、NAND、NOR等、それぞれ異なる論理や機能を実現するセルが存在する。ここで、スタンダードセルライブラリに含まれるスタンダードセルの大半は、デザインルールで規定される最小ルールが優先されてレイアウトが作成されている。

【0003】

近年、半導体集積回路装置における製造プロセスの微細化が進んでおり、ゲートはますますゲート長が短くなる傾向にある。ここで、ゲート長は、MOSトランジスタのドレイン・ソース間の距離のことである。スタンダードセル方式を用いた半導体集積回路装置では、この微細化プロセスの進展により、デバイスのリーク電流抑制とオン電流増大とを同時に実現することが難しくなっている。すなわち、ゲート長を短くすることによってオン電流を増大させることはできるものの、リーク電流も増大してしまうため、オン電流が大きい高性能なチップでは、リーク電流が増加しており、これが消費電力増加の要因となっている。

【0004】

そこでリーク電流を抑制するために、高性能でリーク電流の多いデバイスを用いたスタンダードセルと、性能は低いがリーク電流の少ないデバイスを用いたスタンダードセルとを用意し、論理合成および配置配線の工程で、これらのスタンダードセルを選択的に組み合わせ、性能に応じた半導体集積回路装置を形成する手法がある。

【0005】

高性能でリーク電流が多いデバイスとリーク電流の少ないデバイスとを作り分ける方法としては、注入マスク等を複数セット備え、デバイスのしきい値電圧 $V_t$ を制御し、複数のしきい値電圧 $V_t$ に作り分ける方法や、ゲート長のレイアウトを調整し、複数のゲート長に作り分ける方法などがある。ゲート長を制御する方法は、しきい値電圧 $V_t$ を制御する方法と比べて、注入マスク、注入工程の増加がないため、コスト、サイクルタイムにおいて有利となっている。

【0006】

特許文献1では、リーク電流を抑制するためにゲート長を制御可能にしたスタンダードセルのレイアウト構成が開示されている。このスタンダードセルは、MOSトランジスタのゲートと、隣接するコンタクトとの間にゲート長を延長するための領域を備え、既存のプロセス工程を変更することなくリーク電流を抑制できるように、レイアウトが改善されている。

【0007】

図15は特許文献1に開示されたスタンダードセルのレイアウトの例である。図15(a)に示すスタンダードセルレイアウトは、幅Width-2のゲートポリ101と、隣接するコンタクト102との間に、延長ポリを配置するための領域を備えている。すなわち、ゲートポリ101とコンタクト102との距離Space-2は、デザインルールで規定される最小距離より大とされている。これにより、ゲートポリ101以外のレイアウトを変更する

10

20

30

40

50

ことなく延長ポリを配置することができ、このゲートポリの改定だけでゲート長を拡張し、ショートチャネル効果を抑制することができる。図 15 (b) は延長ポリ 103 を配置したレイアウト例である。

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2005 - 236210 号公報 (図 2)

【発明の概要】

【発明が解決しようとする課題】

【0009】

10

特許文献 1 に開示されたスタンダードセルは、ゲート以外のレイアウトを変更することなく、リーク電流を抑制することができるという点で有用である。しかしながら、リーク電流を効果的に抑制するためには、ゲート長を数十%程度大きくする必要がある。このため、特許文献 1 の技術をただ単に用いた場合には、各スタンダードセルにおいて、ゲート長を延長可能な領域を十分に確保しておくために、ゲートと隣接するコンタクトとの間隔を予め最小間隔よりも相当広くとっておく必要がある。これにより、各スタンダードセルのサイズが大きく設計されることになり、このようなスタンダードセルを用いることにより、結果としてチップ面積が大きくなってしまい、という問題が生じる。

【0010】

そこで、本発明は、チップ面積を増加させることなく、効率良くリーク電流を抑制することができる半導体集積回路装置を提供することを目的とする。

20

【課題を解決するための手段】

【0011】

本発明の第 1 態様では、複数のスタンダードセルが配置された半導体集積回路装置として、第 1 のセル幅を有し、回路を構成する MOS トランジスタが第 1 のゲート長を有する第 1 のスタンダードセルと、前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅より大きい第 2 のセル幅を有し、回路を構成する MOS トランジスタが前記第 1 のゲート長を有する第 2 のスタンダードセルと、前記第 1 および第 2 のスタンダードセルと論理が同一であり、かつ、前記第 2 のセル幅を有し、回路を構成する MOS トランジスタのゲートの形状が、前記第 2 のスタンダードセルと異なっている第 3 のスタンダードセルとを備え、前記第 3 のスタンダードセルは、前記第 1 のゲート長よりも大きい第 2 のゲート長を有する MOS トランジスタを少なくとも 1 つ含む。

30

【0012】

この第 1 態様によると、半導体集積回路装置は、論理が同一の第 1、第 2 および第 3 のスタンダードセルを備えている。第 2 のスタンダードセルは、第 1 のスタンダードセルよりセル幅が大きい、回路を構成する MOS トランジスタのゲート長は第 1 のスタンダードセルと等しい。第 3 のスタンダードセルは、第 2 のスタンダードセルとセル幅が等しいが、回路を構成する MOS トランジスタのゲートの形状が第 2 のスタンダードセルと異なっている。すなわち、第 3 のスタンダードセルは、第 1 および第 2 のスタンダードセルよりもゲート長が大きい MOS トランジスタを有しており、これにより、第 1 および第 2 のスタンダードセルと比べて、回路遅延は遅くなるがリーク電流は小さくなる。このため、例えば、空き領域に隣接した第 1 のスタンダードセルを第 2 のスタンダードセルに置き換え、タイミングに余裕があるパスにおける第 2 のスタンダードセルを第 3 のスタンダードセルに置き換えることによって、チップ面積を増加させることなく、リーク電流を抑えることができる。

40

【0013】

本発明の第 2 態様では、複数のスタンダードセルが配置された半導体集積回路装置として、第 1 のセル幅を有し、回路を構成する MOS トランジスタが第 1 のゲート長を有する第 1 のスタンダードセルと、前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅より大きい第 2 のセル幅を有し、回路を構成する MOS トランジスタが前

50

記第 1 のゲート長を有する第 2 のスタンダードセルと、前記第 1 および第 2 のスタンダードセルと論理が同一であり、かつ、前記第 2 のセル幅を有し、回路を構成する MOS トランジスタのゲートの形状が前記第 2 のスタンダードセルと異なっている第 3 のスタンダードセルとを備え、前記第 3 のスタンダードセルは、前記第 2 のスタンダードセルが有する 1 個の MOS トランジスタに対応しており、前記第 1 のゲート長を有し、かつ、直列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタを含む。

【 0 0 1 4 】

この第 2 態様によると、半導体集積回路装置は、論理が同一の第 1、第 2 および第 3 のスタンダードセルを備えている。第 2 のスタンダードセルは、第 1 のスタンダードセルよりセル幅が大きい、回路を構成する MOS トランジスタのゲート長は第 1 のスタンダードセルと等しい。第 3 のスタンダードセルは、第 2 のスタンダードセルとセル幅が等しいが、回路を構成する MOS トランジスタのゲートのレイアウト形状が第 2 のスタンダードセルと異なっている。すなわち、第 3 のスタンダードセルは、第 2 のスタンダードセルが有する 1 個の MOS トランジスタに対応するものであり、第 1 および第 2 のスタンダードセルとゲート長が等しく、かつ、直列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタを有している。これにより、第 3 のスタンダードセルは、ゲート長を大きくした場合と同様に、第 1 および第 2 のスタンダードセルと比べて、回路遅延は遅くなるがリーク電流は小さくなる。このため、例えばデザインルールによりゲート長を大きくできないような場合であっても、第 1 態様と同様に、チップ面積を増加させることなく、リーク電流を抑えることができる。

10

20

【 0 0 1 5 】

本発明の第 3 態様では、複数のスタンダードセルが配置された半導体集積回路装置として、第 1 のセル幅を有し、回路を構成する MOS トランジスタとして、第 1 のゲート長を有し、かつ、並列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタからなる第 1 の並列トランジスタ群を含む第 1 のスタンダードセルと、前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅を有し、回路を構成する MOS トランジスタとして、前記第 1 の並列トランジスタ群に対応する第 2 の並列トランジスタ群を含む第 2 のスタンダードセルとを備え、前記第 2 の並列トランジスタ群は、並列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタからなり、前記第 1 の並列トランジスタ群よりも並列数が少なく、かつ、前記第 1 のゲート長よりも大きい第 2 のゲート長を有する MOS トランジスタを少なくとも 1 つ含む。

30

【 0 0 1 6 】

この第 3 態様によると、半導体集積回路装置は、論理が同一の第 1 および第 2 のスタンダードセルを備えている。第 1 のスタンダードセルは、並列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタからなる第 1 の並列トランジスタ群を有している。第 2 のスタンダードセルは、第 1 のスタンダードセルとセル幅が等しく、第 1 の並列トランジスタ群に対応する第 2 の並列トランジスタ群を有している。この第 2 の並列トランジスタ群は、並列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタからなり、第 1 の並列トランジスタ群よりも並列数が少なく、かつ、ゲート長が第 1 の並列トランジスタ群よりも大きい MOS トランジスタを少なくとも 1 つ有している。これにより、第 2 のスタンダードセルは、第 1 のスタンダードセルと比べて、回路遅延は遅くなるがリーク電流は小さくなる。このため、例えば、タイミングに余裕があるバスにおける第 1 のスタンダードセルを第 2 のスタンダードセルに置き換えることによって、チップ面積を増加させることなく、効率良くリーク電流を抑制することができる。

40

【 0 0 1 7 】

本発明の第 4 態様では、複数のスタンダードセルが配置された半導体集積回路装置として、第 1 のセル幅を有し、回路を構成する MOS トランジスタとして、第 1 のゲート長を有し、かつ、並列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタからなる第 1 の並列トランジスタ群を含む第 1 のスタンダードセルと、前記第 1 のスタンダードセルと論理が同一であり、かつ、前記第 1 のセル幅を有し、回路を構成する MOS

50

トランジスタとして、前記第 1 の並列トランジスタ群に対応する第 2 の並列トランジスタ群を含む第 2 のスタンダードセルとを備え、前記第 2 の並列トランジスタ群は、直列に接続された 2 個以上の MOS トランジスタが、並列に接続され、ゲートが共通に接続されており、前記第 1 の並列トランジスタ群よりも並列数が少なく、かつ、各 MOS トランジスタが前記第 1 のゲート長を有する。

【 0 0 1 8 】

この第 4 態様によると、半導体集積回路装置は、論理が同一の第 1 および第 2 のスタンダードセルを備えている。第 1 のスタンダードセルは、並列に接続され、ゲートが共通に接続された 2 個以上の MOS トランジスタからなる第 1 の並列トランジスタ群を有している。第 2 のスタンダードセルは、第 1 のスタンダードセルとセル幅が等しく、第 1 の並列トランジスタ群に対応する第 2 の並列トランジスタ群を有している。この第 2 の並列トランジスタ群は、直列に接続された 2 個以上の MOS トランジスタが、並列に接続され、ゲートが共通に接続されており、第 1 の並列トランジスタ群よりも並列数が少なく、かつ、ゲート長が第 1 の並列トランジスタ群と等しい。これにより、ゲート長を大きくした場合と同様に、第 2 のスタンダードセルは、第 1 のスタンダードセルと比べて、回路遅延は遅くなるがリーク電流は小さくなる。このため、例えばデザインルールによりゲート長を大きくできないような場合であっても、第 3 態様と同様に、チップ面積を増加させることなく、リーク電流を抑えることができる。

【 発明の効果 】

【 0 0 1 9 】

本発明によると、半導体集積回路装置は、セル幅やゲート長などのレイアウトが適正に調整された複数のスタンダードセルを組み合わせる用いて、レイアウトが生成されているので、チップ面積を増加させることなく、設計の後戻りなく、リーク電流を抑制することができる。

【 図面の簡単な説明 】

【 0 0 2 0 】

【 図 1 】 ( a ) ~ ( c ) は第 1 の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。

【 図 2 】 図 1 のようなスタンダードセルを用いたレイアウト設計方法の一例を示すフローチャートである。

【 図 3 】 図 1 のようなスタンダードセルを用いた半導体集積回路装置のレイアウトを概念的に示した図である。

【 図 4 】 第 1 の実施形態における他のスタンダードセルのレイアウト例を示す平面図である。

【 図 5 】 図 4 のスタンダードセルの回路図である。

【 図 6 】 ( a ) , ( b ) は第 2 の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。

【 図 7 】 ( a ) , ( b ) は図 6 のスタンダードセルの回路図である。

【 図 8 】 ( a ) , ( b ) は第 3 の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。

【 図 9 】 ( a ) , ( b ) は図 8 のスタンダードセルの回路図である。

【 図 1 0 】 図 8 のようなスタンダードセルを用いたレイアウト設計方法の一例を示すフローチャートである。

【 図 1 1 】 図 8 のようなスタンダードセルを用いた半導体集積回路装置のレイアウトを概念的に示した図である。

【 図 1 2 】 第 3 の実施形態における他のスタンダードセルのレイアウト例を示す平面図である。

【 図 1 3 】 第 3 の実施形態における他のスタンダードセルのレイアウト例を示す平面図である。

【 図 1 4 】 図 1 3 のスタンダードセルの回路図である。

10

20

30

40

50

【図 1 5】従来技術のスタンダードセルレイアウトの例を示す図である。

【発明を実施するための形態】

【0021】

次に本発明の実施形態について、図面に基づいて説明する。

【0022】

(第1の実施形態)

図1は第1の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。図1において、(a)のセルA-1、(b)のセルB-1、および(c)のセルC-1は全て同一論理のスタンダードセルであり、ここでは2入力NANDセルの例を示している。

【0023】

図1において、11はMOSトランジスタのゲート、12はコンタクト、13はP型拡散領域、14はN型拡散領域、15は第1層メタル、16は第1層メタルと第2層メタルをつなぐビア、17は第2層メタル、18はNウェル領域を示している。コンタクト12は、ゲートまたは拡散層と第1層メタルとを接続するものである。また、回路要素として、21は電源電位が供給される電源線、22は接地線、23は入力端子(IN1)となる端子配線、24は入力端子(IN2)となる端子配線、25は出力端子(OUT)となる端子配線である。電源線21および接地線22は第1層メタル15に形成されており、端子配線23, 24, 25は第2層メタル17に形成されている。また、CLはセル枠を示している。

【0024】

図1(a)のセルA-1はセル幅W1を有しており、回路を構成するMOSトランジスタのゲート長がL1である。ここではゲート長L1は、デザインルールで規定される最小値であるものとする。すなわちセルA-1は、デザインルールで規定される最小値が優先されてレイアウトされた一般的なスタンダードセルであり、回路の遅延時間が最小になるよう設計されている。また、PMOSトランジスタのゲート幅がWp1、NMOSトランジスタのゲート幅がWn1でレイアウトされている。

【0025】

これに対して、図1(b)のセルB-1は、ゲート長およびゲート幅がセルA-1と等しく、回路の遅延時間がセルA-1と同一になるよう設計されている。ただし、セルA-1よりもセル幅が広がっていることが主な違いである。すなわちセルB-1は、W1よりも大きいセル幅W2( $W2 > W1$ )を有しており、回路を構成するMOSトランジスタのゲート長はセルA-1と同じL1であり、PMOSトランジスタのゲート幅がWp1、NMOSトランジスタのゲート幅がWn1である。

【0026】

また、図1の例では、セルA-1とセルB-1は、ゲート幅に加えて、隣接するゲート同士の間隔、ゲートの形状、N型拡散領域およびP型拡散領域の形状、並びに、ゲートとコンタクトとの位置関係が、全て同じになるようレイアウトされている。このようにレイアウトすることによって、レイアウト形状の影響によるMOSトランジスタの特性差をより少なくすることができ、セルA-1、セルB-1の遅延時間を同一にすることができる。ただし、セルA-1、セルB-1の遅延時間を厳密に同一にする必要は必ずしもないため、ゲート幅、ゲート間隔、ゲート形状、拡散領域の形状、並びに、ゲートとコンタクトとの位置関係等について、全て同一にする必要は必ずしもない。

【0027】

さらに、図1(c)のセルC-1は、セルB-1と比べると、回路の遅延時間が長くなるがリーク電流を抑えることができるように、回路を構成するMOSトランジスタのゲート長が大きくなるように設計されている。すなわちセルC-1は、セルB-1と同じセル幅W2を有しており、回路を構成するMOSトランジスタのゲート長は、L1よりも大きいL2( $L2 > L1$ )となっている。

【0028】



また、図 1 の例では、セル B - 1 とセル C - 1 は、端子配線 23 ~ 25、およびこれらに接続されたビア 16 の位置関係が同一になるようにレイアウトされている。このようにレイアウトすることにより、入出力端子への配線を行った後に、セル B - 1 とセル C - 1 の置き換えを、配線のやり直しを招くことなく実行することが可能になる。

【0029】

また図 1 において、端子配線 23 ~ 25 は図面縦方向 (Y 方向) に延びている。この場合、端子配線 23 ~ 25 に関しては、図面縦方向における位置の多少のずれがあっても、例えば第 2 層メタルの縦方向の長さを若干変えるだけで、入出力配線との接続は容易となる。このため、セル B - 1 とセル C - 1 の置き換えを容易にするためには、端子配線 23 ~ 25 については、図面横方向 (X 方向) すなわちこれらが延びる方向に垂直な方向における位置関係が、同一であればよい。同様に、端子配線が図面横方向に延びている場合は、図面縦方向における位置関係が同一であることが好ましい。

【0030】

図 2 は図 1 に示したようなスタンダードセルを用いた、半導体集積回路装置のレイアウト設計方法の一例を示すフローチャートである。なお、ここで示すレイアウト設計方法はあくまでも一例であり、他の方法を採用してもかまわない。

【0031】

スタンダードセルライブラリのデータベース 41 には、図 1 (a) に示すセル A - 1 と同様の特徴を持つ様々な基本回路のセル A が格納されている。スタンダードセルライブラリのデータベース 42 には、図 1 (b) に示すセル B - 1 と同様の特徴を持つ様々な基本回路のセル B が格納されている。スタンダードセルライブラリのデータベース 43 には、図 1 (c) に示すセル C - 1 と同様の特徴を持つ様々な基本回路のセル C が格納されている。

【0032】

まず、ステップ S101 では、データベース 41 に格納されたセル A を用いて、スタンダードセル配置領域に自動的にセル配置を行う。ステップ S102 では、配置された各セル A の入出力端子を接続する配線を行う。

【0033】

ここで、ステップ S101, S102 の配置配線後のスタンダードセル配置領域は、できるだけ隙間がないようにセル A が並べられている。しかしながら、配線が混雑している箇所では、入出力端子の接続配線を通すために隣接するセル A の間隔を空ける必要があり、一般的にスタンダードセル配置領域の 10% ~ 30% 程度は空き領域が存在している。この空き領域を活用して、後述するステップ S104 において、スタンダードセル配置領域の面積を増やすことなく、セル A から面積のより大きいセル B への置き換えを行う。

【0034】

ステップ S103 では、局所的にまとまった空き領域がある場合に、セル A の再配置を行い、空き領域を分散させる。これは、空き領域をより効果的に活用し、より多くのセル A をセル B に置き換えることができるようにするとともに、配線経路の変更をできるだけ少なくするためである。

【0035】

ステップ S104 では、データベース 42 に格納されたセル B を用いて、空き領域に隣接したセル A をセル B に置き換える。ここで、セル A とセル B の回路遅延時間は同じであるため、セルを置き換えることによるタイミングへの影響はない。ステップ S105 では、各セル B の入出力端子を接続する配線を行う。ステップ S106 では、再配置および再配線後の各セル A およびセル B の消費電力、および電源配線の抵抗によって生じる電圧降下量の計算を行う。

【0036】

ステップ S107 では、各セル A およびセル B の遅延時間、セルの入出力端子を接続する配線の抵抗や容量による遅延時間、並びに電圧降下による遅延時間の変動を考慮して、タイミング検証を行う。

10

20

30

40

50

## 【 0 0 3 7 】

ステップ S 1 0 8 では、ステップ S 1 0 7 のタイミング検証の結果を利用して、データベース 4 3 に格納されたセル C を用いて、タイミングに余裕があるパスに存在するセル B をセル C に置き換える。これにより、スタンダードセル配置領域の面積を増やすことなく、リーク電流を抑えることができる。

## 【 0 0 3 8 】

図 3 は図 1 に示すスタンダードセルを用いた半導体集積回路装置のレイアウトを概念的に示した図である。図 3 では、スタンダードセル配置領域 3 1 の中に、同一論理の 3 種類のスタンダードセル 3 2 , 3 3 , 3 4 が混在して配置されている。スタンダードセル 3 2 , 3 3 , 3 4 はそれぞれ、図 1 ( a ) , ( b ) , ( c ) のレイアウトを有している。例えば図 2 に示すようなレイアウト設計方法で設計した場合、ステップ S 1 0 1 において配置されたセル A のうち、空き領域が隣接したセル A がステップ S 1 0 4 においてセル B に置き換えられ、さらに、タイミングに余裕のあるパスに存在するセル B がステップ S 1 0 8 においてセル C に置き換えられる。この結果、スタンダードセル配置領域 3 1 に、セル A (スタンダードセル 3 2 )、セル B (スタンダードセル 3 3 )、セル C (スタンダードセル 3 4 ) が混在して配置される。図 3 に示す半導体集積回路装置では、スタンダードセル配置領域 3 1 の面積増加を招くことなく、リーク電流が抑制されている。

## 【 0 0 3 9 】

以上のように本実施形態によると、同一論理のスタンダードセルとして、セル幅やゲート長等のレイアウトが適正に調整されたセル A、セル B、セル C が、半導体集積回路装置に配置される。これにより、チップ面積を増加させることなく、リーク電流を抑制することができる。また、セル B の配置配線後に、設計の後戻りなく、セル C に置き換えることが可能である。

## 【 0 0 4 0 】

(他のスタンダードセルの例)

図 4 は本実施形態における他のスタンダードセルのレイアウト例を示す平面図である。図 4 に示すセル C - 2 は、図 1 ( a ) ~ ( c ) と同一論理のスタンダードセルであり、2 入力 N A N D セルである。そして、図 1 ( b ) のセル B - 1 と同じセル幅 W 2 を有しており、回路を構成する M O S トランジスタのゲート長は、P M O S トランジスタ 5 1 および N M O S トランジスタ 8 1 は L 1 であるが、P M O S トランジスタ 5 2 および N M O S トランジスタ 8 2 は L 1 よりも大きい L 2 となっている。このセル C - 2 を、例えば上述した図 2 のフローにおけるステップ S 1 0 8 において、セル B - 1 からの置換に必要な応じて用いることによって、遅延時間の増加とリーク電流の抑制をより細かく調整することが可能になる。

## 【 0 0 4 1 】

図 5 は図 4 のセル C - 2 のレイアウトに対応した回路図である。図 5 では、図 4 と共通の構成要素に図 4 と同一の符号を付している。P M O S トランジスタ 5 1 と N M O S トランジスタ 8 1 のゲート長は L 1 であり、オン電流が大きい分、入力端子 I N 1 に入力される信号で回路が動作するときの遅延時間は小さい。一方、P M O S トランジスタ 5 2 と N M O S トランジスタ 8 2 のゲート長は L 2 であり、オン電流が小さい分、入力端子 I N 2 に入力される信号で回路が動作するときの遅延時間は、オン電流が小さい分、大きくなってしまふ。ただし、N M O S トランジスタ 8 2 がオフして回路が停止しているとき、リーク電流は、ゲート長 L 2 が大きい分、より抑制される。

## 【 0 0 4 2 】

このように、高い性能が必要な回路部分とリーク電流を抑制したい回路部分とでゲート長が異なっているスタンダードセルを用いることによって、半導体集積回路装置において、より適正にリーク電流を抑制することができる。

## 【 0 0 4 3 】

(第 2 の実施形態)

図 6 は第 2 の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト

ト例を示す平面図である。図 6 において、(a) のセル B - 2、(b) のセル C - 3 は図 1 に示したセル A - 1 等と同一論理のスタンダードセルであり、2 入力 N A N D セルである。図 6 では、図 1 と共通の構成要素には図 1 と同一の符号を付しており、ここではその詳細な説明を省略する。

【 0 0 4 4 】

図 6 (a) のセル B - 2 は、ゲート長およびゲート幅が図 1 (a) のセル A - 1 と等しく、回路の遅延時間がセル A - 1 と同一になるよう設計されている。ただし、セル A - 1 よりもセル幅が広がっていることが主な違いである。すなわちセル B - 2 は、W 1 よりも大きいセル幅 W 3 ( $W 3 > W 1$ ) を有しており、回路を構成する M O S トランジスタのゲート長はセル A - 1 と同じ L 1 であり、P M O S トランジスタ 5 3, 5 4 のゲート幅が W p 1、N M O S トランジスタのゲート幅が W n 1 である。

10

【 0 0 4 5 】

また、図 6 の例では、セル B - 2 は、ゲート幅に加えて、隣接するゲート同士の間隔、ゲートの形状、N 型拡散領域および P 型拡散領域の形状、並びに、ゲートとコンタクトとの位置関係が、全て図 1 (a) のセル A - 1 と同じになるようレイアウトされている。このようにレイアウトすることにより、レイアウト形状の影響による M O S トランジスタの特性差をより少なくすることができ、セル A - 1、セル B - 2 の遅延時間を同一にすることができる。ただし、セル A - 1、セル B - 2 の遅延時間を厳密に同一にする必要は必ずしもないため、ゲート幅、ゲート間隔、ゲート形状、拡散領域の形状、並びに、ゲートとコンタクトとの位置関係等について、全て同一にする必要は必ずしもない。

20

【 0 0 4 6 】

さらに、図 6 (b) のセル C - 3 は、セル B - 2 と対比すると、回路の遅延時間が長くなるがリーク電流を抑えることができるように、回路を構成する M O S トランジスタが、分割された 2 個の M O S トランジスタを直列に接続した構成に変更されている。例えば、セル B - 2 の P M O S トランジスタ 5 3 が、セル C - 3 では、直列に接続され、ゲートが共通に入力端子 I N 1 に接続された 2 個の P M O S トランジスタ 5 3 a, 5 3 b に置き換えられている。同様に、P M O S トランジスタ 5 4 は 2 個の P M O S トランジスタ 5 4 a, 5 4 b に、N M O S トランジスタ 8 3 は 2 個の N M O S トランジスタ 8 3 a, 8 3 b に、N M O S トランジスタ 8 4 は 2 個の N M O S トランジスタ 8 4 a, 8 4 b に、それぞれ置き換えられている。ただし、セル C - 3 は、セル B - 2 と同じセル幅 W 3 を有しており、各 M O S トランジスタのゲート長はセル B - 2 と同じ L 1 である。これにより、セル B - 2 とセル C - 3 は、面積を変えずに置き換えが可能である。

30

【 0 0 4 7 】

図 7 は図 6 のセル B - 2 およびセル C - 3 のレイアウトに対応した回路図である。図 7 では、図 6 と共通の構成要素に図 6 と同一の符号を付している。図 7 (a), (b) を対比すると分かるように、セル C - 3 における、ゲートが共通に接続された P M O S トランジスタ 5 3 a, 5 3 b の直列接続が、セル B - 2 における P M O S トランジスタ 5 3 に対応している。ここでの「M O S トランジスタに対応する」とは、スタンダードセルの回路構成上において、当該 M O S トランジスタと同一の回路部分を実現している、という意味である。同様に、セル C - 3 における、ゲートが共通に接続された P M O S トランジスタ 5 4 a, 5 4 b の直列接続が、セル B - 2 における P M O S トランジスタ 5 4 に対応しており、セル C - 3 における、ゲートが共通に接続された N M O S トランジスタ 8 3 a, 8 3 b の直列接続が、セル B - 2 における N M O S トランジスタ 8 3 に対応しており、セル C - 3 における、ゲートが共通に接続された N M O S トランジスタ 8 4 a, 8 4 b の直列接続が、セル B - 2 における N M O S トランジスタ 8 4 に対応している。このような回路構成にすることによって、セル C - 3 は、セル B - 2 のゲート長 L 1 を 2 倍にした場合と同程度にリーク電流を抑制することができる。

40

【 0 0 4 8 】

図 6 に示したようなスタンダードセルを用いて、例えば図 2 のようなレイアウト設計方法を実行することによって、レイアウト面積の増加を招くことなく、半導体集積回路装置

50

のリーク電流を抑制することができる。さらに、図 6 のスタンダードセルではゲート長は大きくなっていないので、例えば、デザインルールでゲート長を大きくすることが禁止されており、ゲート長を揃える必要がある場合であっても、ゲート長を大きくした場合と同様に、リーク電流抑制の効果を得ることができる。

#### 【 0 0 4 9 】

なお図 6 において、端子配線 2 3 ~ 2 5 は図面縦方向 ( Y 方向 ) に延びている。この場合、端子配線 2 3 ~ 2 5 に関しては、図面縦方向における位置の多少のずれがあっても、例えば第 2 層メタルの縦方向の長さを若干変えるだけで、入出力配線との接続は容易となる。このため、セル B - 2 とセル C - 3 の置き換えを容易にするためには、端子配線 2 3 ~ 2 5 については、図面横方向 ( X 方向 ) すなわちこれらが延びる方向に垂直な方向における位置関係が、同一であればよい。同様に、端子配線が図面横方向に延びている場合は、図面縦方向における位置関係が同一であることが好ましい。

#### 【 0 0 5 0 】

また図 6 では、セル B - 2 が有する MOS トランジスタを全て、セル C - 3 において、ゲートが共通に接続された 2 個の MOS トランジスタの直列接続に置き換えているが、これに限られるものではない。例えば、セル B - 2 が有する MOS トランジスタの一部のみを置き換えても、リーク電流抑制の効果は得られる。また、セル B - 2 が有する MOS トランジスタを、ゲートが共通に接続された 3 個またはそれ以上の MOS トランジスタの直列接続に置き換えてもかまわない。

#### 【 0 0 5 1 】

( 第 3 の実施形態 )

図 8 は第 3 の実施形態に係る半導体集積回路装置に用いるスタンダードセルのレイアウト例を示す平面図である。図 8 において、( a ) のセル A - 2、( b ) のセル D - 1 は同一論理のスタンダードセルであり、ここではインバータセルの例を示している。

#### 【 0 0 5 2 】

図 8 において、1 1 は MOS トランジスタのゲート、1 2 はコンタクト、1 3 は P 型拡散領域、1 4 は N 型拡散領域、1 5 は第 1 層メタル、1 6 は第 1 層メタルと第 2 層メタルをつなぐビア、1 7 は第 2 層メタル、1 8 は N ウェル領域を示している。コンタクト 1 2 は、ゲートまたは拡散層と第 1 層メタルとを接続するものである。また、回路要素として、2 1 は電源電位が供給される電源線、2 2 は接地線、2 6 は入力端子 ( I N ) となる端子配線、2 7 は出力端子 ( O U T ) となる端子配線である。電源線 2 1 および接地線 2 2 は第 1 層メタル 1 5 に形成されており、端子配線 2 6 , 2 7 は第 2 層メタル 1 7 に形成されている。また、C L はセル枠を示している。

#### 【 0 0 5 3 】

図 8 ( a ) のセル A - 2 はセル幅 W 4 を有しており、回路を構成する MOS トランジスタのゲート長が L 1 である。ここではゲート長 L 1 は、デザインルールで規定される最小値であるものとする。すなわちセル A - 2 は、デザインルールで規定される最小値が優先されてレイアウトされた一般的なスタンダードセルであり、回路の遅延時間が最小になるよう設計されている。そして、4 個の PMOS トランジスタ 6 0 , 6 1 , 6 2 , 6 3 が並列に接続されており、ゲートが共通に接続されている。また、4 個の NMOS トランジスタ 9 0 , 9 1 , 9 2 , 9 3 が並列に接続されており、ゲートが共通に接続されている。言いかえると、セル A - 2 は、PMOS トランジスタと NMOS トランジスタとからなるインバータが 4 個並列に接続されたレイアウトになっている。

#### 【 0 0 5 4 】

これに対して図 8 ( b ) のセル D - 1 は、セル A - 2 と比べると、回路の遅延時間が長くなるがリーク電流を抑えることができるように、回路を構成する MOS トランジスタのゲート長が大きくなるように設計されている。すなわちセル D - 1 は、セル A - 2 と同じセル幅 W 4 を有しており、回路を構成する MOS トランジスタのゲート長は、L 1 よりも大きい L 2 ( L 2 > L 1 ) となっている。そして、3 個の PMOS トランジスタ 6 4 , 6 5 , 6 6 が並列に接続されており、ゲートが共通に接続されている。また、3 個の NMOS

Sトランジスタ94, 95, 96が並列に接続されており、ゲートが共通に接続されている。言いかえると、セルD-1は、セルA-2よりもMOSトランジスタの並列数が少なく、PMOSトランジスタとNMOSトランジスタとからなるインバータが3個並列に接続されたレイアウトになっている。

【0055】

図9は図8のセルA-2およびセルD-1のレイアウトに対応した回路図である。図9では、図8と共通の構成要素に図8と同一の符号を付している。図9(a), (b)を対比すると分かるように、セルD-1における第2の並列トランジスタ群6Bが、セルA-2における第1の並列トランジスタ群6Aに対応している。ここでの「並列トランジスタ群に対応する」とは、スタンダードセルの回路構成上において、当該並列トランジスタ群と同一の回路部分を実現している、という意味である。そして、セルA-2における第1の並列トランジスタ群6Aは、並列数が4であり、PMOSトランジスタ60, 61, 62, 63のゲート長はL1であるのに対して、セルD-1における第2の並列トランジスタ群6Bは、並列数が3であり、PMOSトランジスタ64, 65, 66のゲート長はL1よりも大きいL2である。NMOSトランジスタに関しても同様の構成になっている。

【0056】

また、図8の例では、セルA-2とセルD-1は、端子配線26, 27、およびこれらに接続されたビア16の位置関係が同一になるようにレイアウトされている。このようにレイアウトすることにより、入出力端子への配線を行った後に、セルA-2とセルD-1の置き換えを、配線のやり直しを招くことなく実行することが可能になる。

【0057】

また図8において、端子配線26, 27は図面縦方向(Y方向)に延びている。この場合、端子配線26, 27に関しては、図面縦方向における位置の多少のずれがあっても、例えば第2層メタルの縦方向の長さを若干変えるだけで、入出力配線との接続は容易となる。このため、セルA-2とセルD-1の置き換えを容易にするためには、端子配線26, 27については、図面横方向(X方向)すなわちこれらが延びる方向に垂直な方向における位置関係が、同一であればよい。同様に、端子配線が図面横方向に延びている場合は、図面縦方向における位置関係が同一であることが好ましい。

【0058】

図10は図8に示したようなスタンダードセルを用いた、半導体集積回路装置のレイアウト設計方法の一例を示すフローチャートである。なお、ここで示すレイアウト設計方法はあくまでも一例であり、他の方法を採用してもかまわない。

【0059】

スタンダードセルライブラリのデータベース44には、図8(a)に示すセルA-2と同様の特徴を持つ様々な基本回路のセルAが格納されている。スタンダードセルライブラリのデータベース45には、図8(b)に示すセルD-1と同様の特徴を持つ様々な基本回路のセルDが格納されている。

【0060】

まずステップS101では、データベース44に格納されたセルAを用いて、スタンダードセル配置領域に自動的に配置を行う。ステップS102では、配置された各セルAの入出力端子を接続する配線を行う。

【0061】

ステップS106では、配置配線後の各セルAの消費電力、電源配線の抵抗によって生じる電圧降下量の計算を行う。

【0062】

ステップS107では、各セルAの遅延時間および、セルの入出力端子を接続する配線の抵抗や容量による遅延時間、並びに電圧降下による遅延時間の変動を考慮して、タイミング検証を行う。

【0063】

ステップS109では、ステップS107のタイミング検証の結果を利用して、データ

10

20

30

40

50

ベース 4 5 に格納されたセル D を用いて、タイミングに余裕があるパスに存在するセル A をセル D に置き換える。これにより、スタンダードセル配置領域の面積を増やすことなく、リーク電流を抑えることができる。

【 0 0 6 4 】

また、図 1 0 のレイアウト設計方法では、第 1 の実施形態で示した図 2 のレイアウト設計方法と比して、ステップ S 1 0 3 , S 1 0 4 , S 1 0 5 が不要となり、設計時間を短縮することができる。

【 0 0 6 5 】

図 1 1 は図 8 に示すスタンダードセルを用いた半導体集積回路装置のレイアウトを概念的に示した図である。図 1 1 では、スタンダードセル配置領域 3 1 の中に、論理が同一の 2 種類のスタンダードセル 3 5 , 3 6 が混在して配置されている。スタンダードセル 3 5 , 3 6 はそれぞれ、図 8 ( a ) , ( b ) のレイアウトを有している。例えば図 1 0 に示すようなレイアウト設計方法で設計した場合、ステップ S 1 0 1 において配置されたセル A のうち、タイミングに余裕があるパスに存在するセル B がステップ S 1 0 9 においてセル D に置き換えられる。この結果、スタンダード配置領域 3 1 に、セル A ( スタンダードセル 3 5 ) 、セル D ( スタンダードセル 3 6 ) が混在して配置される。

【 0 0 6 6 】

以上のように本実施形態によると、同一の論理のスタンダードセルとして、M O S トランジスタが並列に接続された回路部分を有し、M O S トランジスタの並列数やゲート長等のレイアウトが適正に調整されたセル A 、セル D が、半導体集積回路装置に配置される。これにより、チップ面積を増加させることなく、リーク電流を抑制することができる。また、セル A の配置配線後に、設計の後戻りなく、セル D に置き換えることが可能である。

【 0 0 6 7 】

なお、図 8 および図 9 の例では、セル A - 2 が有する並列トランジスタ群について全て、セル D - 1 において、並列数を少なくし、ゲート長を大きくしているが、これに限られるものではない。例えば、セル A - 2 が有する並列トランジスタ群のうち、P M O S トランジスタのみについて、並列数を少なくし、ゲート長を大きくしてもかまわない。

【 0 0 6 8 】

( 他のスタンダードセルの例その 1 )

図 1 2 は本実施形態における他のスタンダードセルのレイアウト例を示す平面図である。図 1 2 に示すセル D - 2 は、図 8 ( a ) , ( b ) と同一論理のスタンダードセルであり、インバータセルである。そして、図 8 ( a ) のセル A - 2 と同じセル幅 W 4 を有しており、図 8 ( b ) のセル D - 1 とほぼ同様のレイアウトを有している。すなわち、セル D - 2 は、セル A - 2 よりも M O S トランジスタの並列数が少なく、P M O S トランジスタと N M O S トランジスタとからなるインバータが 3 個並列に接続されたレイアウトになっている。

【 0 0 6 9 】

ただし、セル D - 2 では、トランジスタ 6 4 , 9 4 のゲート長が L 1 になっている。すなわち、並列トランジスタ群が、ゲート長が L 1 よりも大きい L 2 である M O S トランジスタ 6 5 , 6 6 , 9 5 , 9 6 に加えて、ゲート長が L 1 と等しい M O S トランジスタ 6 4 , 9 4 を有している。

【 0 0 7 0 】

セル D - 2 のリーク電流は、並列に接続された 3 つのインバータそれぞれのリーク電流の合計であり、セル D - 2 の遅延時間は、並列に接続された 3 つのインバータのそれぞれのオン電流の合計から決まる。このため、並列トランジスタ群において、ゲート長 L 1 の M O S トランジスタと、L 1 より大きいゲート長 L 2 の M O S トランジスタの個数を変えることによって、セル D - 2 のリーク電流および遅延時間を調整することができる。

【 0 0 7 1 】

このように、並列トランジスタ群における M O S トランジスタのゲート長が個別に調整されたスタンダードセルを用いることによって、半導体集積回路装置において、遅延時間

10

20

30

40

50

の増加量とリーク電流の抑制量をより細かく調整することができる。

【0072】

(他のスタンダードセルの例その2)

図13は本実施形態における他のスタンダードセルのレイアウト例を示す平面図である。図13に示すセルD-3は、図8(a)、(b)と同一論理のスタンダードセルであり、インバータセルである。そして、図8(a)のセルA-2と同じセル幅W4を有しており、図8(a)のセルA-2と同様に、ゲート長L1の4個のPMOSトランジスタ67a, 67b, 68a, 68bと、ゲート長L1の4個のNMOSトランジスタ97a, 97b, 98a, 98bとを備えている。

【0073】

ただし、セルD-3では、直列に接続された2個のPMOSトランジスタ67a, 67bと、直列に接続された2個のPMOSトランジスタ68a, 68bとが、並列に接続され、ゲートが共通に接続されている。また、直列に接続された2個のNMOSトランジスタ97a, 97bと、直列に接続された2個のNMOSトランジスタ98a, 98bとが、並列に接続され、ゲートが共通に接続されている。すなわち、セルD-3は、セルA-2よりもMOSトランジスタの並列数が少なくなっており、かつ、1個のMOSトランジスタが、ゲートが共通に接続された2個のMOSトランジスタの直列接続に置き換えられている。並列数を減らしてセル幅を同じにすることによって、セルA-2とセルD-3は、面積を変えずに置き換えが可能である。

【0074】

図14は図13のセルD-3のレイアウトに対応した回路図である。図14では、図13と共通の構成要素に図13と同一の符号を付している。図9(a)と図14とを対比すると分かるように、セルD-3における第2の並列トランジスタ群6Cが、セルA-2における第1の並列トランジスタ群6Aに対応している。そして、セルA-2における第1の並列トランジスタ群6Aは、並列数が4であるのに対して、セルD-3における第2の並列トランジスタ群6Bは、並列数が2であり、1個のMOSトランジスタに代えて、ゲートが共通に接続された2個のMOSトランジスタの直列接続が配置されている。NMOSトランジスタに関しても同様の構成になっている。このような回路構成にすることによって、セルD-3は、セルA-2のゲート長L1を2倍にして、インバータの並列数を半分にした場合と同程度にリーク電流を抑制することができる。

【0075】

図13に示したようなセルD-3を用いて、例えば図10のようなレイアウト設計方法を実行することによって、レイアウト面積の増加を招くことなく、半導体集積回路装置のリーク電流を抑制することができる。さらに、図13のセルD-3ではゲート長は大きくなっていないので、例えば、デザインルールでゲート長を大きくすることが禁止されており、ゲート長を揃える必要がある場合であっても、ゲート長を大きくした場合と同様に、リーク電流抑制の効果をを得ることができる。

【0076】

また、図13の例では、セルA-2とセルD-3は、端子配線26, 27、およびこれらに接続されたビア16の位置関係が同一になるようにレイアウトされている。このようにレイアウトすることにより、入出力端子への配線を行った後に、セルA-2とセルD-3の置き換えを、配線のやり直しを招くことなく実行することが可能になる。

【0077】

また図13において、端子配線26, 27は図面縦方向(Y方向)に延びている。この場合、端子配線26, 27に関しては、図面縦方向における位置の多少のずれがあっても、例えば第2層メタルの縦方向の長さを若干変えるだけで、入出力配線との接続は容易となる。このため、セルA-2とセルD-3の置き換えを容易にするためには、端子配線26, 27については、図面横方向(X方向)すなわちこれらが延びる方向に垂直な方向における位置関係が、同一であればよい。同様に、端子配線が図面横方向に延びている場合は、図面縦方向における位置関係が同一であることが好ましい。

## 【 0 0 7 8 】

なお、上述した各実施形態は、互いに組み合わせて実行してもよい。例えば、第 1 の実施形態と第 3 の実施形態とを組み合わせて実行することによって、タイミングに余裕があるが隣接した空き領域がなくセル C に置き換えることができないセル A を、セル D に置き換えることができる。これにより、リーク電流の抑制効果をより高めることができる。

## 【 0 0 7 9 】

また、第 1 および第 2 の実施形態では 2 入力 N A N D セルを例にとって説明を行い、第 3 の実施形態ではインバータセルを例にとって説明を行ったが、これらはあくまでも一例に過ぎず、その他の論理のスタンダードセルについても、上述の各実施形態は同様に適用可能である。

10

## 【 産業上の利用可能性 】

## 【 0 0 8 0 】

本発明では、半導体集積回路装置について、チップ面積を増加させることなく、リーク電流を抑制することができるので、例えば、チップの小型化やコスト減に有用である。

## 【 符号の説明 】

## 【 0 0 8 1 】

L 1 第 1 のゲート長  
 L 2 第 2 のゲート長  
 W 1 第 1 のセル幅  
 W 2 第 2 のセル幅  
 W 3 第 2 のセル幅  
 W 4 第 1 のセル幅  
 1 1 ゲート  
 1 2 コンタクト  
 1 3 P 型拡散層  
 1 4 N 型拡散層  
 1 6 ビア  
 2 3 , 2 4 , 2 5 端子配線  
 2 6 , 2 7 端子配線  
 3 2 第 1 のスタンダードセル  
 3 3 第 2 のスタンダードセル  
 3 4 第 3 のスタンダードセル  
 3 5 第 1 のスタンダードセル  
 3 6 第 2 のスタンダードセル  
 5 1 , 5 2 , 5 3 , 5 4 P M O S トランジスタ  
 5 3 a , 5 3 b , 5 4 a , 5 4 b P M O S トランジスタ  
 6 A 第 1 の並列トランジスタ群  
 6 B 第 2 の並列トランジスタ群  
 6 C 第 2 の並列トランジスタ群  
 6 0 , 6 1 , 6 2 , 6 3 P M O S トランジスタ  
 6 4 , 6 5 , 6 6 P M O S トランジスタ  
 6 7 a , 6 7 b , 6 8 a , 6 8 b P M O S トランジスタ  
 8 1 , 8 2 , 8 3 , 8 4 N M O S トランジスタ  
 8 3 a , 8 3 b , 8 4 a , 8 4 b N M O S トランジスタ  
 9 0 , 9 1 , 9 2 , 9 3 N M O S トランジスタ  
 9 4 , 9 5 , 9 6 N M O S トランジスタ  
 9 7 a , 9 7 b , 9 8 a , 9 8 b N M O S トランジスタ

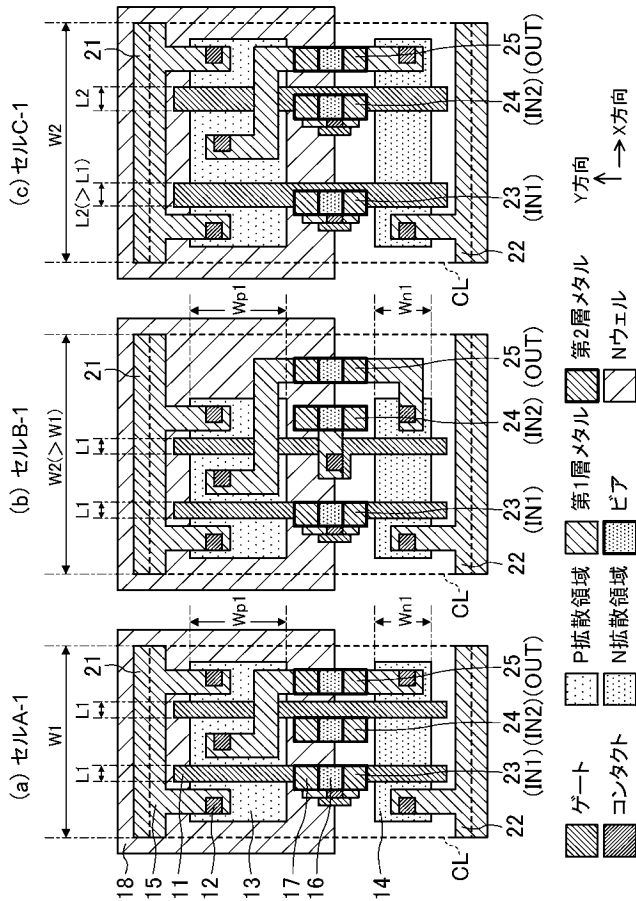
20

30

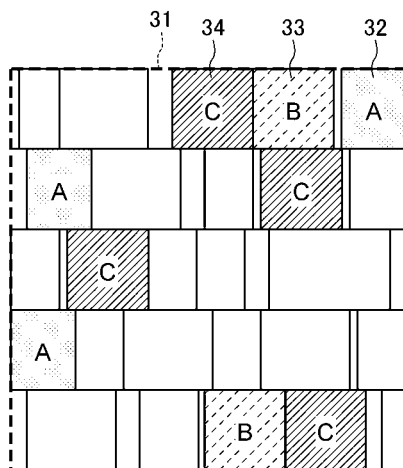
40



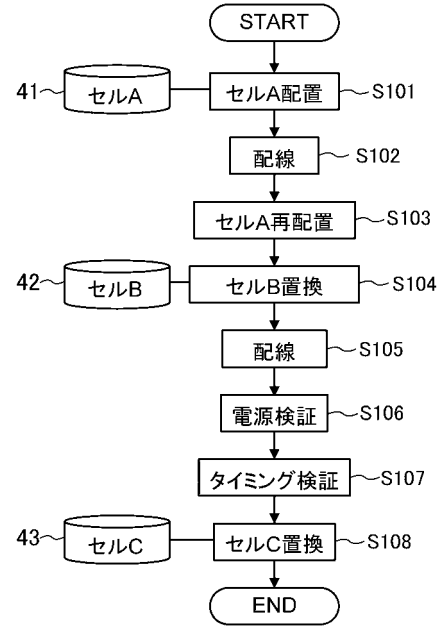
【図1】



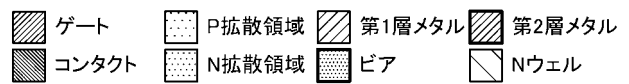
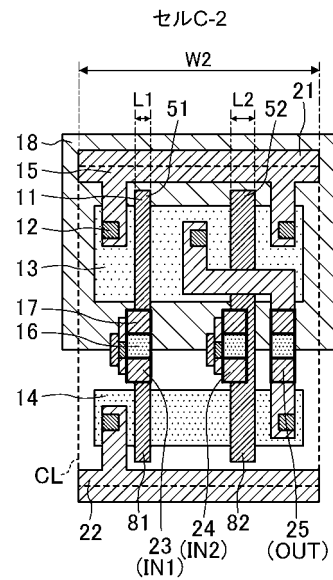
【図3】



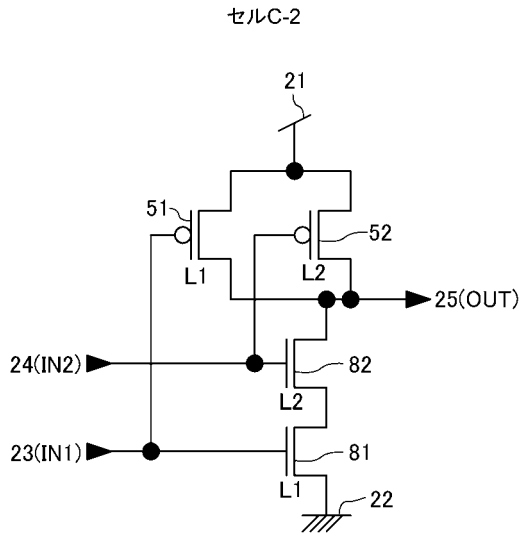
【図2】



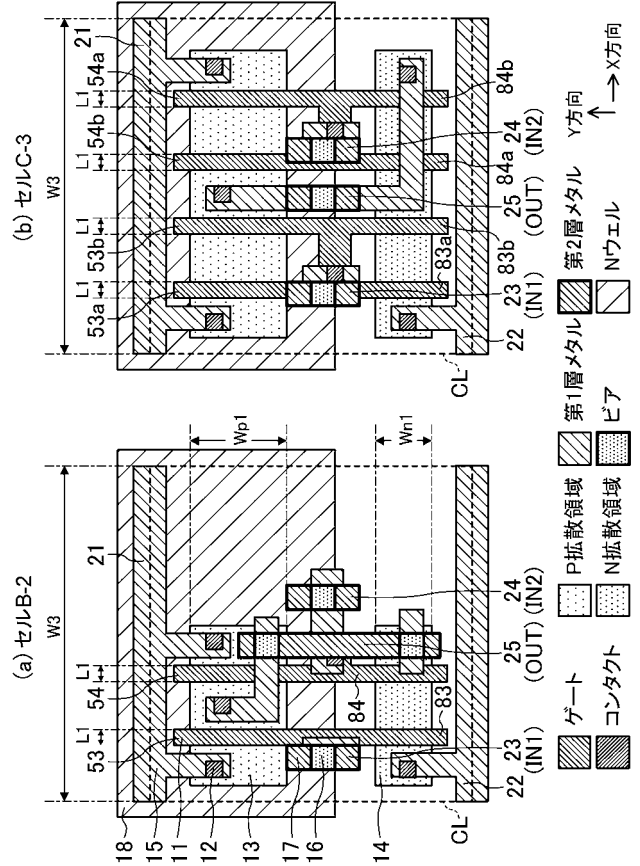
【図4】



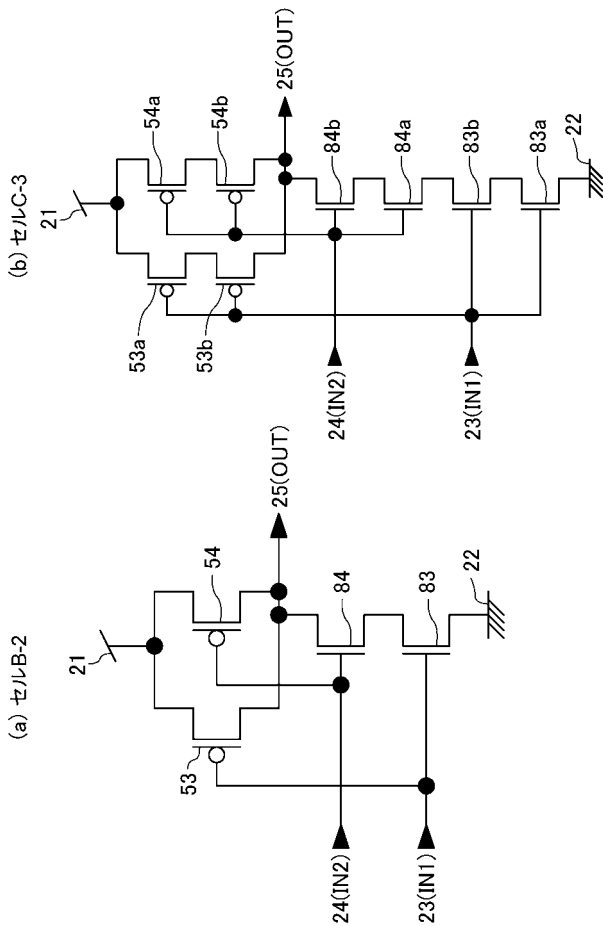
【図 5】



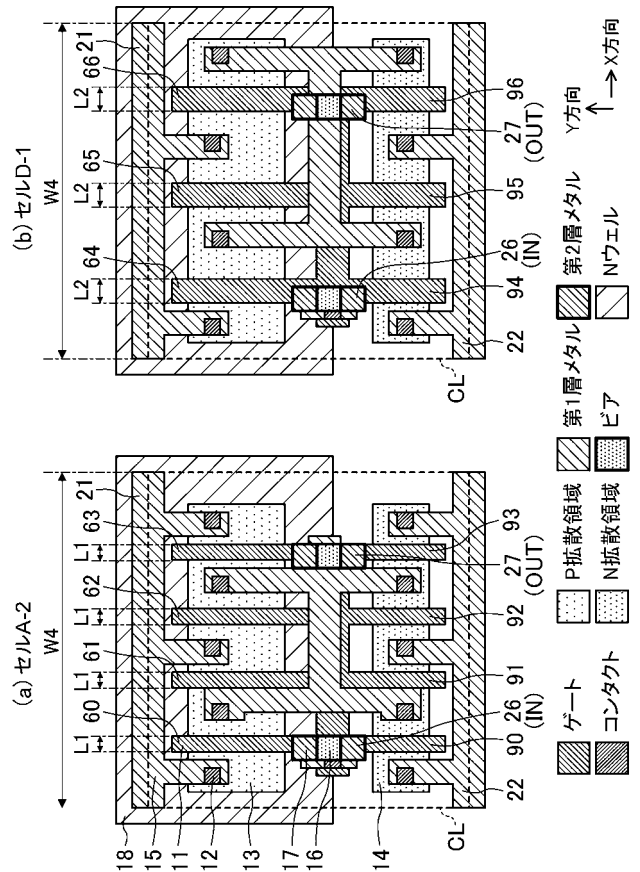
【図 6】



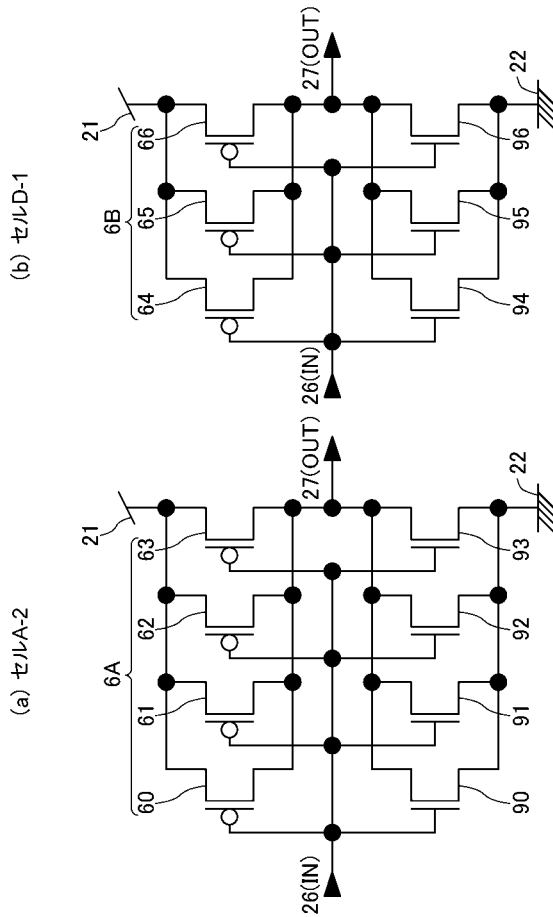
【図 7】



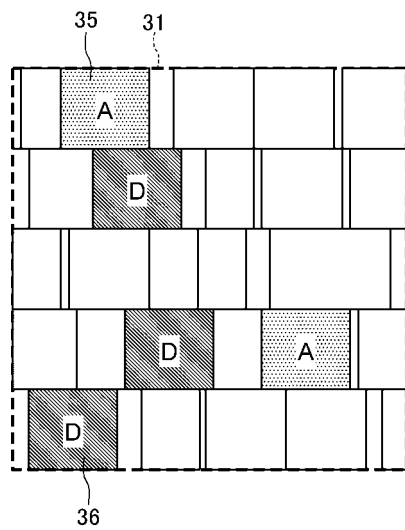
【図 8】



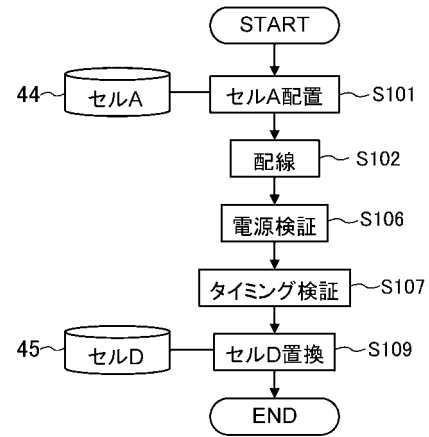
【図 9】



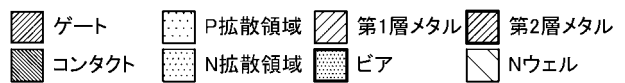
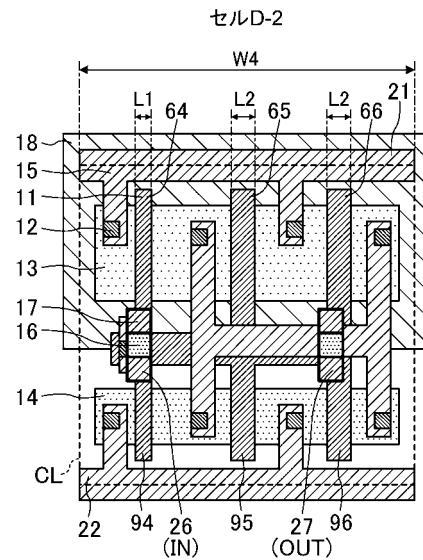
【図 1 1】



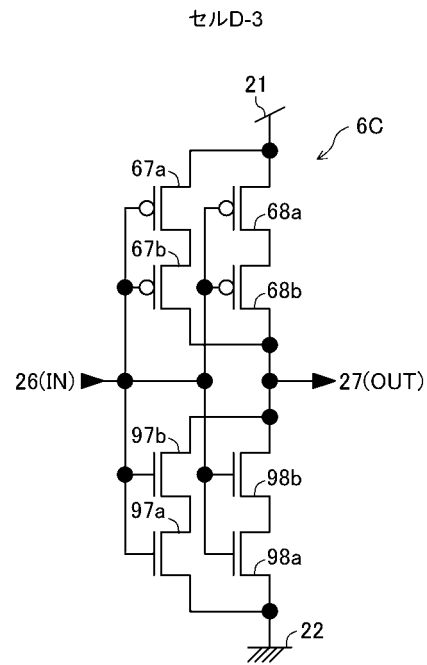
【図 1 0】



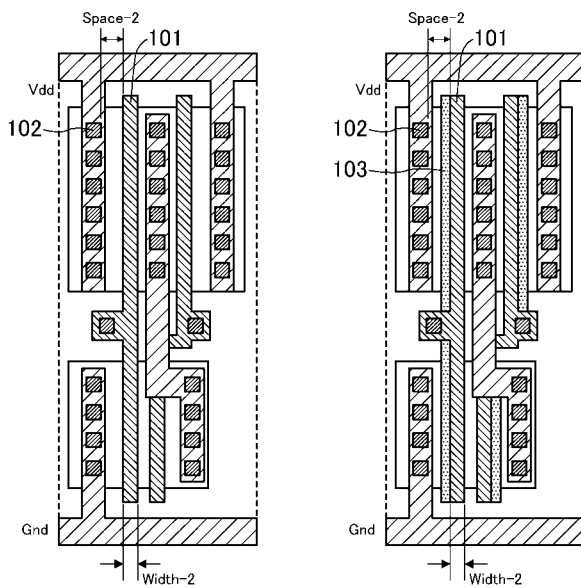
【図 1 2】



【 図 1 4 】



(b)



## フロントページの続き

(74)代理人 100117710  
弁理士 原田 智雄

(74)代理人 100124671  
弁理士 関 啓

(74)代理人 100131060  
弁理士 杉浦 靖也

(74)代理人 100131200  
弁理士 河部 大輔

(74)代理人 100131901  
弁理士 長谷川 雅典

(74)代理人 100132012  
弁理士 岩下 嗣也

(74)代理人 100141276  
弁理士 福本 康二

(74)代理人 100143409  
弁理士 前田 亮

(74)代理人 100157093  
弁理士 間脇 八蔵

(74)代理人 100163186  
弁理士 松永 裕吉

(74)代理人 100163197  
弁理士 川北 憲司

(74)代理人 100163588  
弁理士 岡澤 祥平

(72)発明者 安藤 貴史  
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 楠本 馨一  
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 島崎 健二  
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 中西 和幸  
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 當房 哲朗  
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

F ターム(参考) 5F038 CA17 CD02 CD09 CD12 CD13 DF08 EZ09 EZ20  
5F064 AA04 BB05 CC12 DD02 DD03 DD07 DD13 DD14 DD25 DD50  
EE09 EE17 EE22 EE27 EE32 EE42 EE43 EE47 EE52 EE57  
HH06 HH10 HH12