

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 6 日(06.12.2012)



(10) 国際公開番号
WO 2012/164981 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) *H02M 7/12* (2006.01)
- (21) 国際出願番号: PCT/JP2012/053919
- (22) 国際出願日: 2012 年 2 月 20 日(20.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-124133 2011 年 6 月 2 日(02.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士電機株式会社 (Fuji Electric Co., Ltd.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 陳 建 (CHEN, Jian) [CN/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 奥山 尚一, 外 (OKUYAMA, Shoichi et al.); 〒1000014 東京都千代田区永田町 2 丁目 1 3 番 5 号 赤坂エイトワンビル 7 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SWITCHING POWER SUPPLY

(54) 発明の名称: スイッチング電源装置

[図3]

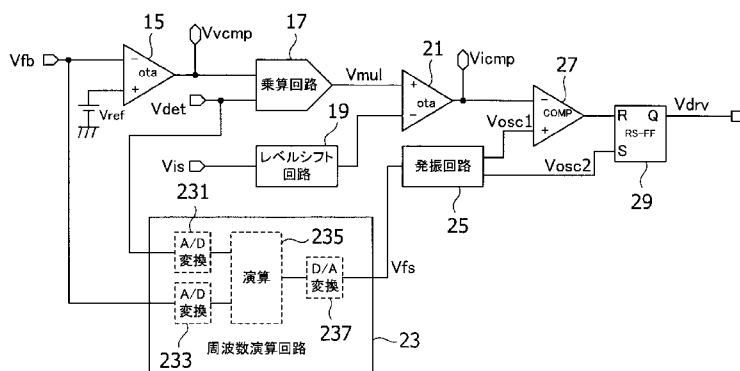


FIG. 3:
17 Multiplication circuit
19 Level shift circuit
23 Frequency computation circuit
25 Oscillation circuit
231, 233 A/D converter
235 Computation
237 D/A converter

(57) Abstract: EMI is reduced, good conversion efficiency is achieved, and an input filter is simplified. This switching power supply comprises a chopper circuit for switching energizing an inductor on and off using switching elements, and a switching control circuit for switching the switching elements so that the input voltage and input circuit are analogs in substantially the same phase. The switching control circuit is configured so as to switch the switching elements at a switching frequency that is proportional to a term dependent on the input voltage in a formula that expresses a third-order harmonic of a ripple of the current flowing to the inductor.

(57) 要約: EMI の低減と良好な変換効率とを両立させ、かつ、入力フィルタの簡素化を図る。インダクタへの通電をスイッチング素子によってオン・オフするチョッパ回路と、入力電圧と入力電流がほぼ同位相で相似形となるようにスイッチング素子をスイッチングさせるスイッチング制御回路とを備

えるスイッチング電源装置である。スイッチング制御回路は、インダクタに流れる電流のリップルの 3 次高調波成分を表す式の入力電圧に依存する項に比例するスイッチング周波数でスイッチング素子をスイッチングさせるように構成される。

明 細 書

発明の名称：スイッチング電源装置

技術分野

[0001] 本発明は、チョッパ回路の入力電圧波形と入力電流波形がほぼ相似形かつ同位相となるように動作させて力率の改善を図るスイッチング電源装置に関する。

背景技術

[0002] P F C (Power Factor Correction) を行って力率を改善するようにしたスイッチング電源装置は、例えば、特許文献 1、2 によって提案されている。

この特許文献 1、2 に係るスイッチング電源装置では、スイッチング損失の低減と伝導ノイズの低減の双方を実現するため、入力交流電源電圧のピークとボトム（全波整流後の波形ではピーク）付近においてスイッチング周波数を下げるようにしている。

なお、スイッチング電源装置では、一般的にスイッチング周波数が 5 0 k H z ～ 7 0 k H z の範囲に設定される。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 1 0 - 2 3 3 3 6 8 号公報

特許文献2：特開 2 0 1 0 - 2 7 3 4 2 0 号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献 1、2 に係る制御方式では、E M I (Electro Magnet Interference：電磁雑音) の抑制と変換効率とを両立できないことがある。

すなわち、E M I を抑制する上でのボトルネックは、伝導ノイズの一種であるノーマルノイズである。伝導ノイズの周波数の規格は、1 5 0 k H z ～ 3 0 M H z であるため、5 0 k H z ～ 7 0 k H z のスイッチング周波数によって、その基本成分と二次高調波成分は規格外となる。したがって、このノ

ーナルノイズの最大値は、インダクタに流れている電流リップルの３次高調波成分で決まることになる。しかし、特許文献１、２に係る制御方式では、３次高調波成分に適応できないため、ＥＭＩの低減と良好な変換効率とを両立し得ないことがある。

[0005] 本発明は、このような状況に鑑み、ＥＭＩの低減と良好な変換効率とを両立することができるとともに、ＥＭＩ削減のために設けられている入力フィルタの簡素化を図ることが可能なスイッチング電源装置を提供することを目的としている。

課題を解決するための手段

[0006] 本発明は、インダクタへの通電をスイッチング素子によってオン・オフするチョッパ回路と、入力電圧の位相に対する入力電圧波形と入力電流波形がほぼ相似形となるように前記スイッチング素子をスイッチングさせるスイッチング制御回路とを備えるスイッチング電源装置であって、前記スイッチング制御回路が、前記インダクタに流れる電流のリップルの３次高調波成分を表す式の入力電圧に依存する項に比例するスイッチング周波数で前記スイッチング素子をスイッチングさせるように構成されていることを特徴としている。

[0007] 前記スイッチング制御回路は、スイッチング周波数制御電圧によって発振周波数が制御され、その発振周波数によって前記スイッチング素子のスイッチング周波数を規定する発振回路と、前記チョッパ回路の入力電圧と前記チョッパ回路の出力電圧とに基づいて、前記スイッチング周波数制御電圧を演算する演算回路と、を備えることができる。

また、前記スイッチング制御回路は、前記スイッチング周波数の最小値を規定するように構成することができる。

発明の効果

[0008] 本発明によれば、スイッチング周波数がインダクタを流れる電流リップルの３次高調波成分を表す式の入力電圧に依存する項に比例する形態で制御されることになるので、この３次高調波成分を抑制してＥＭＩの低減と良好な

変換効率とを両立することができるとともに、入力フィルタの簡素化を図ることが可能になる。

図面の簡単な説明

- [0009] [図1]本発明に係るスイッチング電源装置の全体構成を示す回路図である。
- [図2]交流電源、入力フィルタ及び全波整流回路の結線図である。
- [図3]制御回路の具体的な構成例を示すブロック図である。
- [図4]電流リップルのイメージ図である。
- [図5]入力電圧が100Vacのときの該入力電圧の位相と3次高調波成分の振幅との関係を示すグラフである。
- [図6]入力電圧が130Vacのときの該入力電圧の位相と3次高調波成分の振幅との関係を示すグラフである。
- [図7]入力電圧が200Vacのときの該入力電圧の位相と3次高調波成分の振幅との関係を示すグラフである。
- [図8]入力電圧が230Vacのときの該入力電圧の位相と3次高調波成分の振幅との関係を示すグラフである。

発明を実施するための形態

- [0010] 図1は、本発明に係るスイッチング電源装置の全体構成を示す回路図である。

このスイッチング電源装置において、入力電圧 V_i は、図2に示す全波整流回路5の出力電圧である。この入力電圧 V_i は、キャパシタC1により高周波ノイズを除去された後、インダクタL1とダイオードD1を介して平滑キャパシタC2に印加される。その結果、このスイッチング電源装置の出力端子からは、平滑キャパシタC2によって平滑化された直流電圧 V_o が出力される。

一方、このスイッチング電源装置においては、インダクタL1とダイオードD1の間に接続されたMOSFETなどのスイッチング素子Q1によってインダクタL1からダイオードD1に流れる電流がオン・オフされる（スイッチング素子Q1がオンすると、ダイオードD1に流れる電流がスイッチン

グ素子Q 1 に転流されることにより、ダイオードD 1 に流れる電流がオフされる。) 。

[0011] 制御部7は、力率が改善されるようにスイッチング素子Q 1 をオン・オフ制御するものである。この制御部7は、制御回路9、電圧V_{cc}を検出してそれが所定値を超えるまで制御回路9を動作させないようにするV_{cc}検出回路11、ドライブ回路13及びコンプリメンタリ接続されたスイッチング素子QC 1、QC 2を備えている。

図3に制御回路9の具体的な構成例を示す。図3において、OTA(Operation al Transconductance Amplifier)からなる出力電圧誤差検出回路15は、設定電圧V_{ref}に対するフィードバック電圧V_{fb}の誤差を検出して、その誤差に対応する信号である出力電圧誤差信号V_{vcmp}を出力する。すなわち、OTAである出力電圧誤差検出回路15は、設定電圧V_{ref}とフィードバック電圧V_{fb}との差に応じた電流を出力し、その電流をキャパシタC 4で積分することにより、出力電圧誤差信号V_{vcmp}をキャパシタC 4の電圧として得るのである。電圧V_{fb}は、上記出力電圧V_oを分圧抵抗R 13、R 14 (図1参照)で分圧したものである。従って、誤差信号V_{vcmp}は、上記出力電圧V_oの目標値に対する誤差に対応する信号である。

[0012] 乗算回路17は、出力電圧誤差信号V_{vcmp}に電圧信号V_{det}を乗じる演算を実行する。電圧信号V_{det}は、図1に示すように、キャパシタC 1、インダクタL 1、スイッチング素子Q 1、ダイオードD 1及び平滑キャパシタC 2からなるチョッパ回路への入力電圧V_iを分圧抵抗R 11、R 12で分圧したものである。前記したように、入力電圧V_iは図2に示す全波整流回路5の出力電圧である。したがって、上記電圧信号V_{det}の波形は、該全波整流回路5に輸入される交流電源1からの交流電圧の全波整流波形となる。それゆえ、乗算回路17は、入力電圧V_iの絶対値と相似形かつ同位相で、出力電圧誤差信号V_{vcmp}に比例した振幅を持つ電流制御信号V_{mul}を生成する。

[0013] 図1において、インダクタL 1を流れる電流は、検出抵抗R 21によって電流検出信号V_{is}に変換される。図3に示すOTAからなる電流誤差検出回路2

1 は、レベルシフト回路 19 でレベルシフトされた電流検出信号 V_{is} と電流制御信号 V_{mul} との差を検出し、その差を示す信号 V_{icmp} を出力する。すなわち、OTA である電流誤差検出回路 21 は、レベルシフトされた電流検出信号 V_{is} と電流制御信号 V_{mul} との差に応じた電流を出力し、その電流をキャパシタ C3 で積分することにより、信号 V_{icmp} をキャパシタ C3 の電圧として得るのである。

ここで、キャパシタ C3 を含めた電流検出誤差検出回路 21 の応答をある程度遅くしてあるので、信号 V_{icmp} は、レベルシフトされた電流検出信号 V_{is} のスイッチング周期 1 周期分程度の時間における平均値と、電流制御信号 V_{mul} との差を検出した信号となっている。

比較回路 27 は、信号 V_{icmp} と、周波数演算回路 23 から出力される周波数制御電圧 V_{fs} によって発振周波数が変化される発振回路 25 の出力信号 V_{osc1} (三角波もしくは鋸波) とを比較し、後者の値が前者の値を超えるとときにフリップフロップ 29 のリセット入力端子 (R) にリセット信号を出力する。一方、発振回路 25 の出力信号 V_{osc2} は、出力信号 V_{osc1} である三角波もしくは鋸波が上昇を開始するタイミングで出力されるパルス信号であり、フリップフロップ 29 のセット入力端子 (S) に加えられ、出力信号 V_{osc1} が上昇を開始するタイミングでフリップフロップ 29 をセットする。

[0014] フリップフロップ 29 の Q 出力端子に接続された図 1 に示すドライブ回路 13 は、該フリップフロップ 29 の出力信号 V_{drv} がハイレベルの時 (フリップフロップ 29 のセット時) にスイッチング素子 Q C 1、Q C 2 をそれぞれオン、オフ状態にしてスイッチング素子 Q 1 をオンさせ、出力信号 V_{drv} がローレベルの時 (フリップフロップ 29 のリセット時) にスイッチング素子 Q C 1、Q C 2 をそれぞれオフ、オン状態にしてスイッチング素子 Q 1 をオフさせる。

[0015] 出力信号 V_{osc2} によりフリップフロップ 29 がセットされるとスイッチング素子 Q 1 がオンする。フリップフロップ 29 がセットされてスイッチング素子 Q 1 がオンするとともに発振回路 25 の出力信号 V_{osc1} が増加を始め、

電流制御信号 V_{mul} の値と電流検出信号 V_{is} の平均値との差を示す信号 V_{icmp} の値を発振回路 25 の出力信号 V_{osc1} の値を超えると、比較回路 27 からフリップフロップ 29 のリセット入力端子にハイレベルの信号が入力される。その結果、フリップフロップ 29 の Q 出力端子がローレベルとなるので、ドライブ回路 13 及びスイッチング素子 Q_{C1} 、 Q_{C2} を介してスイッチング素子 Q_1 がオフされる。これによりインダクタ L_1 に流れる電流のスイッチング周期 1 周期分程度の時間における平均値が、交流電源 1 からの交流電圧の全波整流波形に相似形の（比例する）電流制御信号 V_{mul} の波形に沿って変化するものになる。すなわち、電流検出信号 V_{is} の平均値が制御信号 V_{mul} より小さいと信号 V_{icmp} が大きくなり、これによりスイッチング素子 Q のオン時間が長くなってインダクタ L_1 に流れる電流の平均値が増大する。また、電流検出信号 V_{is} の平均値が制御信号 V_{mul} より大きいと信号 V_{icmp} が小さくなってスイッチング素子 Q_1 のオン時間が短くなり、インダクタ L_1 に流れる電流の平均値が減少する。このようにして、インダクタ L_1 には入力電圧信号 V_{in} と同相で相似形の電流が流れ、その結果、力率が改善される。

[0016] ところで、スイッチング電源装置は、一般的にスイッチング周波数が 50 kHz ~ 70 kHz の範囲に設定される。そして、スイッチング電源装置は、EMI を発生するので、この EMI に関する規格をクリアするために、一般的に図 2 に示したような入力フィルタ 3 を交流電源 1 と整流回路 5 との間に介在させるようにしている。この入力フィルタ 3 は、スイッチングノイズが外部の AC ラインに乗ることを抑制するように作用し、一般的に、周波数が高いほど減衰率が大となる特性を示す。

スイッチングノイズの周波数についての規格は 150 kHz 以上である。従って、3 次高調波を考慮した 150 kHz ~ 1 MHz くらいの周波数帯域では、スイッチング周波数を 55 kHz に設定するよりも、65 kHz に設定する方が入力フィルタの簡素化を図る上で有利になる。なお、スイッチング周波数を 75 kHz 程度まで高くすると、別の不都合（スイッチング損失の増大による変換効率の悪化等）が発生することになる。以上の理由から、

スイッチング周波数は65kHz程度に設定することが多い。

[0017] EMIを抑制する上でのボトルネックは、伝導ノイズの一種であるノーマルノイズである。伝導ノイズの周波数についての規格は、150kHz～30MHzであるため、50kHz～70kHzのスイッチング周波数にとって、その基本成分と二次高調波成分は規格外となる。したがって、このノーマルノイズの最大値は、図1に示すインダクタL1に流れている電流リップルの3次高調波成分で決まる。言い換えると、インダクタL1に流れている電流リップルの3次高調波成分を抑えれば、EMIを抑制することができ、結果的に、上記入力フィルタ3（EMIフィルタ）の簡素化も図ることができる。

[0018] 図4は、上記電流リップルのイメージ図である。この電流リップルは、下式（1）によって与えられる。

[数1]

$$\Delta I = \frac{\sqrt{2} * V_{ac} * \sin \theta * D}{L * F_s} \quad (1)$$

ここで、 V_{ac} は交流入力電圧の実効値、 θ は交流入力電圧の位相、 L はインダクタL1のインダクタンス、 F_s はスイッチング周波数をそれぞれ表す。 D はスイッチングサイクルのデューティ（時比率、もしくはオン時比率）であり、下式（2）によって与えられる。

[数2]

$$D = 1 - \frac{\sqrt{2} * V_{ac} * \sin \theta}{V_o} \quad (2)$$

ここで、 V_o は出力電圧である。

[0019] 上記の電流リップル ΔI をフーリエ変換することによって、下式（3）に示す3次高調波成分が得られる。

[数3]

$$\Delta I^{3rd} = \frac{V_o}{9 * \pi^2 * L * F_s} * \sin(3 * \pi * (1 - \frac{\sqrt{2} * V_{ac} * \sin \theta}{V_o})) \quad (3)$$

フーリエ変換は、図4に実線で示される三角波をひとつ取り出し、それを変換対象とする。このとき、変換する電流リップル ΔI には、式(1)に式(2)のDを代入したものをを用いる。また、周期は $1/F_s$ を用い、三角波中のピークの位置はデューティを用いて決めている。フーリエ変換を行っているとき、位相 θ は定数として扱い、あとの解析でこの θ をパラメータとして変化させる。

式(3)から明らかなように、3次高調波成分のレベルはスイッチング周波数 F_s に反比例し、また、交流入力電圧の実効値 V_{ac} と位相 θ の影響を受ける。さらに、式(3)は、3次高調波成分の最大値が入力電圧と関係しないことを示している。

[0020] 例として、式(3)を用いて、仕様 $V_o = 390V$ 、 $L = 680\mu H$ 、 $F_s = 60kHz$ で交流入力電圧の位相に対する3次高調波成分の大きさを計算し、それらを図5、図6、図7、図8にそれぞれ示した。図5に示すように、入力電圧(図2に示す交流電源1の出力電圧の実行値)が $100V_{ac}$ である場合には、3次高調波成分のピーク値がこの入力電圧の位相の約 30° と 150° にある。

また、図6に示すように、交流入力電圧が $130V$ である場合には、同ピーク値が同位相の約 20° 、 90° 、 160° にある。また、図7に示すように、交流入力電圧が $200V_{ac}$ である場合には、同ピーク値が同位相の約 15° 、 45° 、 135° 、 165° にある。

さらに、図8に示すように、交流入力電圧が $230V_{ac}$ の場合には、同ピーク値が同位相の約 10° 、 30° 、 90° を中心とする領域、 150° 、 170° にある。このように、3次高調波成分がピークになる交流入力電圧の位相は該入力電圧の実効値によって大きく相違する。

[0021] 前記したように、前記特許文献1、2の制御方式では、入力交流電源電圧

のピークとボトム（全波整流後の波形ではピーク）付近においてスイッチング周波数を下げるので、交流入力電圧が100Vになるときの位相90°付近のスイッチング周波数を低く抑えて変換効率を良くすると同時に、位相30°と150°付近でのスイッチング周波数を高くなるように制御してEMIの発生を抑えている。

したがって、交流入力電圧が100Vacのときには、EMIの低減と変換効率を両立できるものの、交流入力電圧が130Vacと230Vacの場合では、位相90°付近において、スイッチング周波数が低くなっているのにもかかわらず3次高調波成分が大きいので、EMIを抑えきれないおそれがある。交流入力電圧が200Vacの場合も、同様の傾向がある。したがって、特許文献1、2の制御方式では、交流入力電圧の大きさによってEMIの低減と変換効率とを両立できないという状態が発生する。

[0022] そこで、本実施形態に係るスイッチング電源装置では、入力電圧の値によらず3次高調波成分を抑制することができるようスイッチング周波数を制御するようにしている。

入力電圧の値によらず3次高調波成分を抑制するためには、式（3）が入力電圧に依存しない形になるよう、スイッチング周波数 F_s を電流リップルの3次高調波成分を表す式（3）の入力電圧に依存する項に比例するように制御すればよい。そして、最小スイッチング周波数を制限することを合わせて実行する。

例えば、最小スイッチング周波数 F_{smin} を設定し、スイッチング周波数 F_s を下式（4）の関係に基づいて制御すればよい。

[数4]

$$F_s = \text{Max}(F_{s\text{max}} * \sin(3 * \pi * (1 - \frac{\sqrt{2} * V_{ac} * \sin \theta}{V_o})), F_{s\text{min}}) \quad (4)$$

ここで、 $F_{s\text{max}}$ はスイッチング周波数 F_s の最大値を表す。式（4）の F_s を式（3）に代入することにより、3次高調波成分が、基本的に交流入力電圧の実効値 V_{ac} および交流入力電圧の位相 θ に依存しないものになることが

分かる。

[0023] 図3の周波数演算回路23から出力される周波数制御電圧 V_{fs} と発振回路25の発振周波数 F_s には以下の関係がある。

[数5]

$$V_{fs} = K_s * F_s \quad (5)$$

ここで、 K_s は定数である。

また、図1に示す入力電圧 V_i と交流入力電圧 V_{ac} には以下の関係がある。
(厳密に言えば、式(6)の右辺の絶対値が V_i となるが、以下の議論は同様に成立する。)

[数6]

$$V_i = \sqrt{2} * V_{ac} * \sin \theta \quad (6)$$

[0024] ここで、発振回路25の発振周波数 F_s を最大周波数及び最小周波数にする周波数制御電圧 V_{fs} をそれぞれ V_{fsmax} 及び V_{fsmin} として設定すると、周波数制御電圧 V_{fs} は、式(4)～(6)を用いて下式(7)のように表される。

[数7]

$$V_{fs} = V_{fsmax} * \sin(3 * \pi * (1 - \frac{V_i}{V_o})), V_{fsmin} \quad (7)$$

入力電圧 V_i と該電圧 V_i に係るモニター電圧 V_{det} との関係は以下のようになる。

[数8]

$$V_i = M_i * V_{det} \quad (8)$$

また、出力電圧 V_o と該電圧 V_o に係るモニター電圧 V_{fb} との関係は以下のよう表される。

[数9]

$$V_o = M_o * V_{fb} \quad (9)$$

ここで、定数 M_i と M_o は抵抗分圧比で決定される。

そして、上記式 (7) は、式 (8) と (9) の関係を用いて以下のように表される。

[数10]

$$V_{fs} = \text{Max}(V_{fs \max} * \sin(3 * \pi * (1 - \frac{M_i}{M_o} * \frac{V_{\det}}{V_{fb}})), V_{fs \min}) \quad (10)$$

[0025] 図3に示す周波数演算回路23の演算部235は、入力電圧 V_i に係るモニター電圧 $V_{\det}$ をA/D変換器231を介して取込むとともに、出力電圧 V_o に係るモニター電圧 V_{fb} をA/D変換器233を介して取込み、上記式 (10) の演算を実行する。そして、その演算によって求められた周波数制御電圧 V_{fs} をD/A変換器237を介して発振回路25に出力する。

上記式 (10) によって決定される周波数制御電圧 V_{fs} によって発振回路25の発振周波数を制御する本実施形態に係るスイッチング電源装置によれば、スイッチング周波数がインダクタ L_1 を流れる電流リップルの3次高調波成分を表す式の入力電圧に依存する項に比例する形態で制御されることになるので、この3次高調波成分を抑制してEMIの低減と変換効率を両立することができるとともに、フィルタ3の簡素化を図ることが可能になる。なお、最小スイッチング周波数 $F_{s \min}$ を設けるのは、最小スイッチング周波数を設定しないと、スイッチング周波数がゼロまで下がりうることになってしまうからである。スイッチング周波数が低くなると、必要なインダクタや平滑コンデンサが大きくなってしまい、出力のリップルが大きくなってしまい、などの問題が生じるため、スイッチング周波数の下限を設けることは重要である。

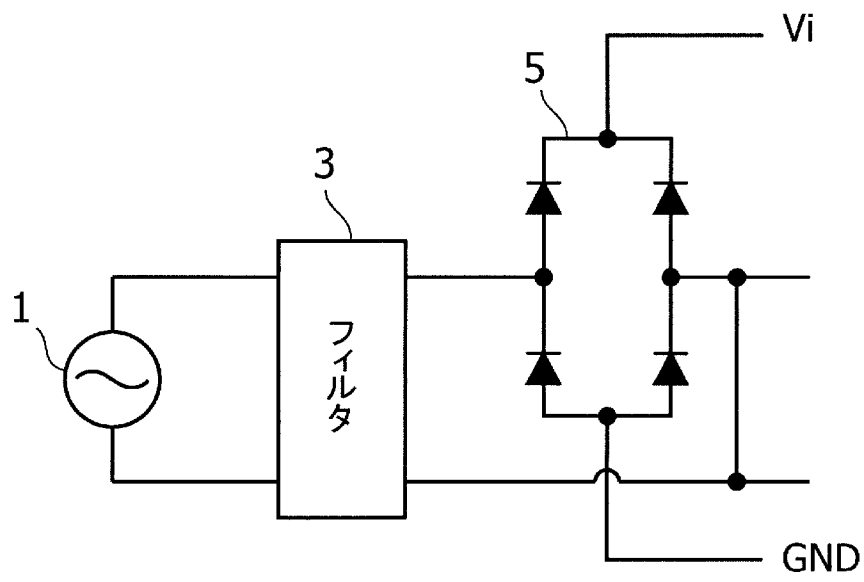
符号の説明

- [0026]
- 1 交流電源
 - 3 入力フィルタ
 - 5 全波整流回路
 - 7 制御部
 - 9 制御回路
 - 1 1 V_{cc} 検出回路
 - 1 3 ドライブ回路
 - 1 5 出力電圧誤差検出回路
 - 1 7 乗算回路
 - 1 9 レベルシフト回路
 - 2 1 電流誤差検出回路
 - 2 3 周波数演算回路
 - 2 3 1, 2 3 3 A/D変換器
 - 2 3 5 演算部
 - 2 3 7 D/A変換器
 - 2 5 発振回路
 - 2 7 比較回路
 - 2 9 フリップフロップ
 - L 1 インダクタ
 - D 1 ダイオード
 - Q 1 スイッチング素子
 - C 1, C 2, C 3, C 4 キャパシタ
 - R 1 1 ~ R 1 3 分圧抵抗
 - R 2 1 検出抵抗

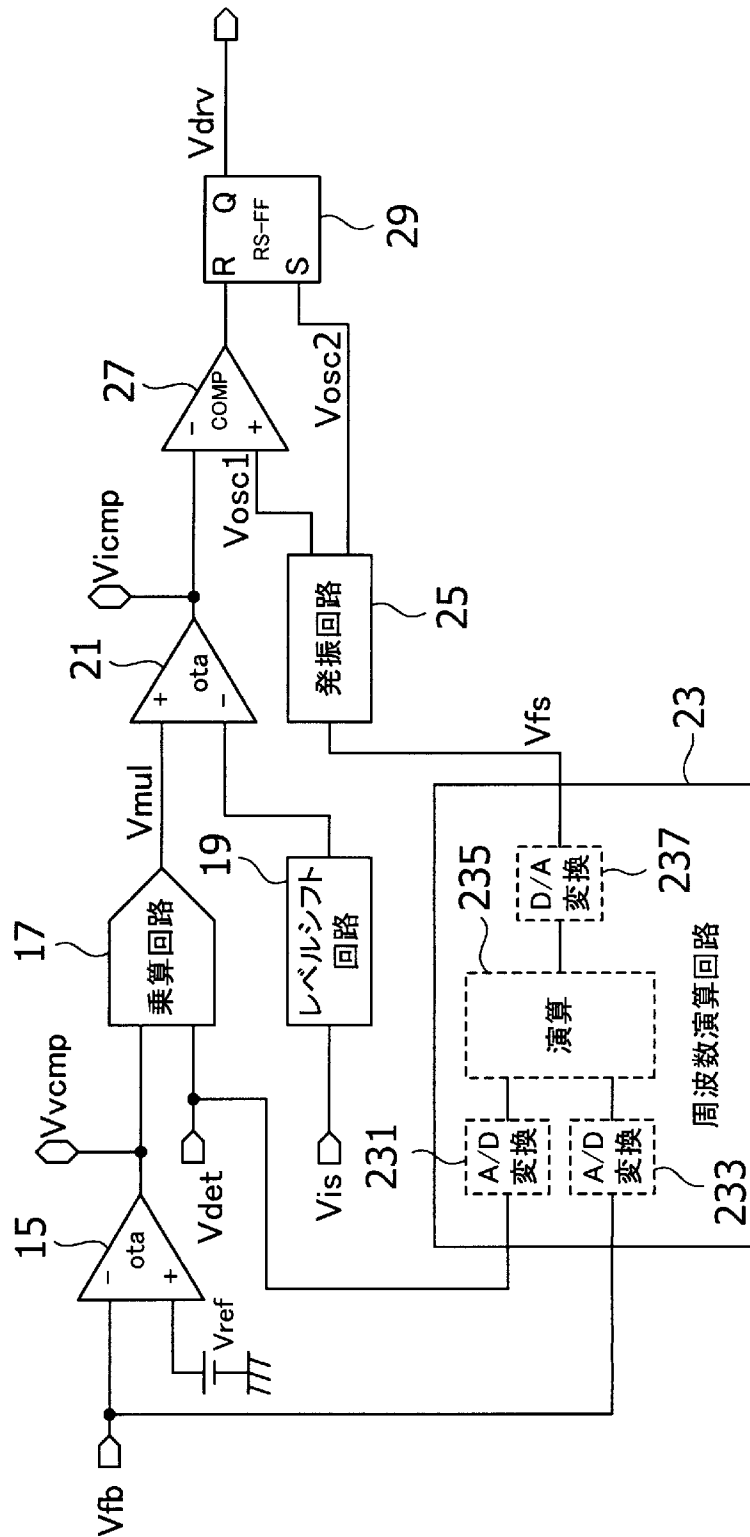
請求の範囲

- [請求項1] インダクタへの通電をスイッチング素子によってオン・オフするチョッパ回路と、入力電圧の位相に対する入力電圧波形と入力電流波形がほぼ相似形となるように前記スイッチング素子をスイッチングさせるスイッチング制御回路とを備えるスイッチング電源装置であって、
 前記スイッチング制御回路は、前記インダクタに流れる電流のリップルの3次高調波成分を表す式の入力電圧に依存する項に比例するスイッチング周波数で前記スイッチング素子をスイッチングさせるように構成されていることを特徴とするスイッチング電源装置。
- [請求項2] 前記スイッチング制御回路は、
 スイッチング周波数制御電圧によって発振周波数が制御され、その発振周波数によって前記スイッチング素子のスイッチング周波数を規定する発振回路と、
 前記チョッパ回路の入力電圧と前記チョッパ回路の出力電圧とに基づいて、前記スイッチング周波数制御電圧を演算する演算回路と、
 を備えることを特徴とする請求項1に記載のスイッチング電源装置。
- [請求項3] 前記スイッチング制御回路は、前記スイッチング周波数の最小値を規定するように構成されていることを特徴とする請求項1に記載のスイッチング電源装置。

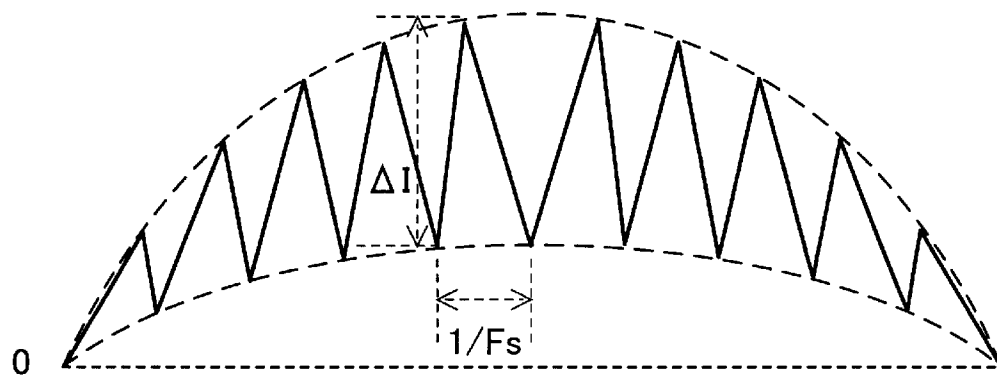
[図2]



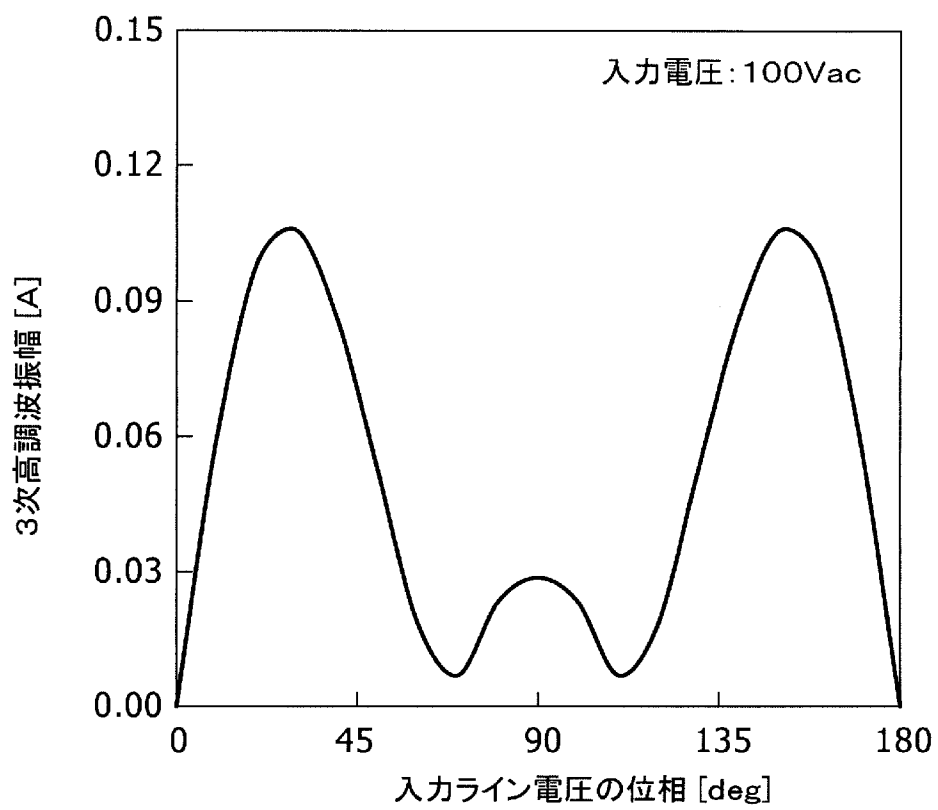
[図3]



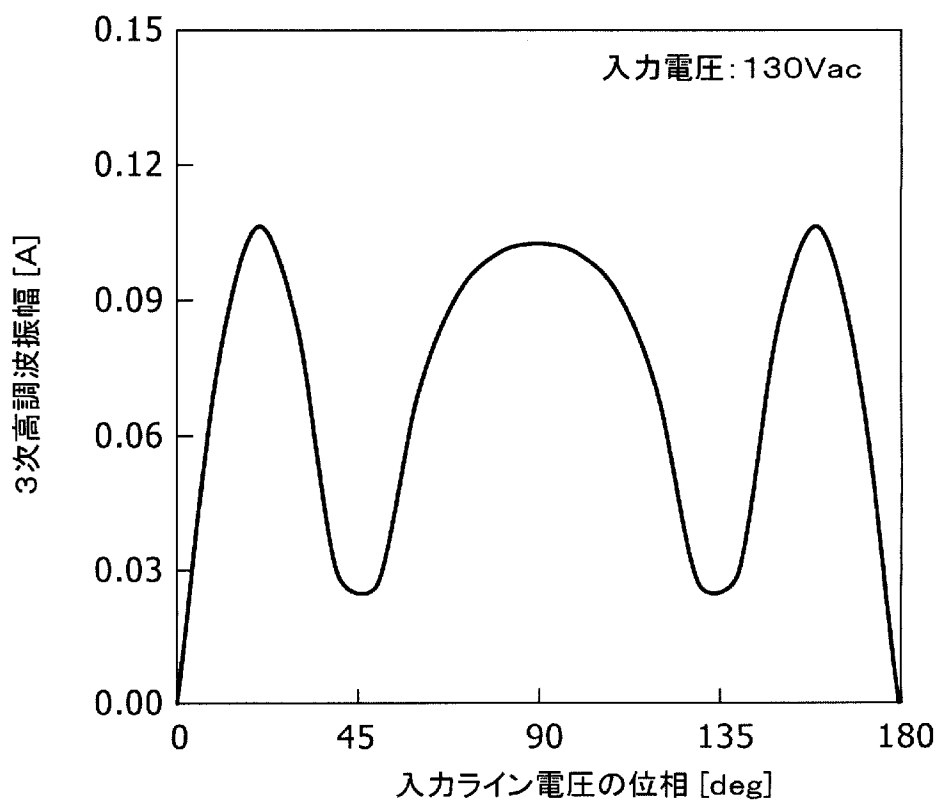
[図4]



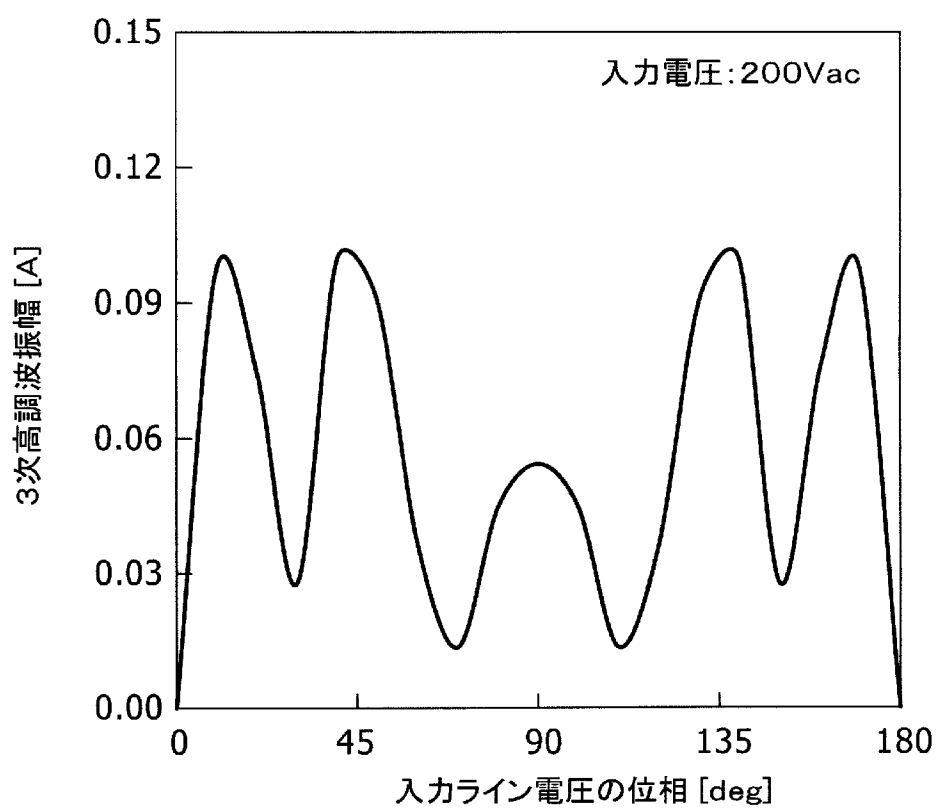
[図5]



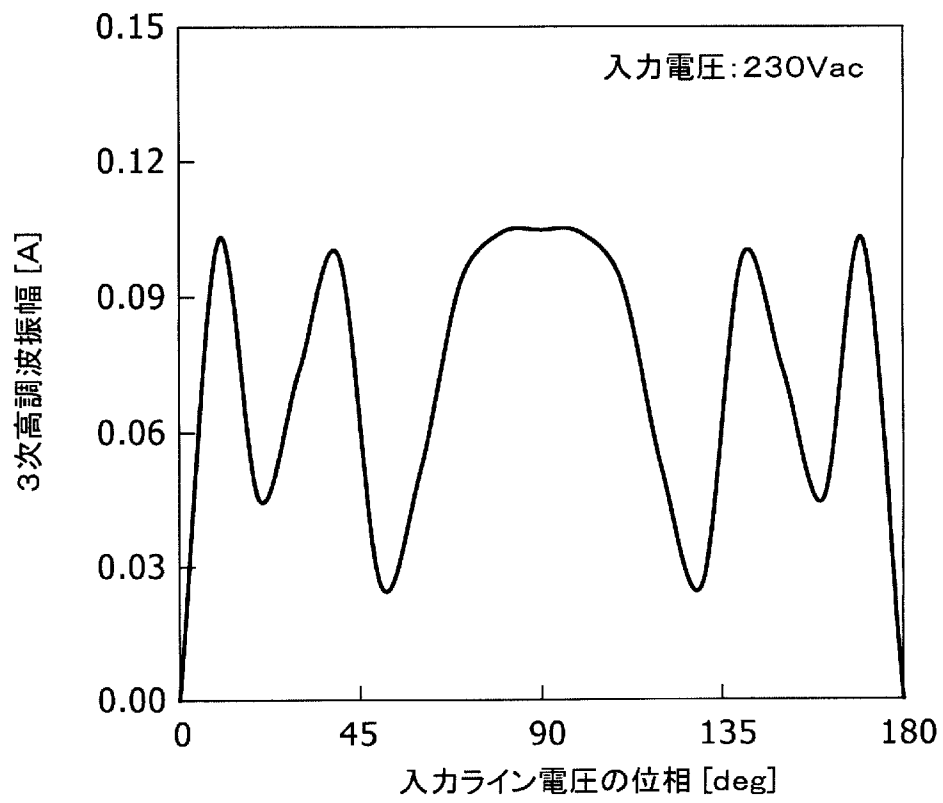
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053919

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01) i, H02M7/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155, H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-5682 A (Densei-Lambda Kabushiki Kaisha), 10 January 2008 (10.01.2008), paragraphs [0014] to [0048]; fig. 1 to 6 (Family: none)	1-3
A	JP 2010-233439 A (Toshiba Corp.), 14 October 2010 (14.10.2010), paragraphs [0031] to [0096]; fig. 1 to 2 & US 2010/0226149 A1	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 March, 2012 (28.03.12)

Date of mailing of the international search report
10 April, 2012 (10.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M3/155 (2006.01)i, H02M7/12 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M3/155, H02M7/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-5682 A (デンセイ・ラムダ株式会社) 2008.01.10, [0014] - [0048], [図1] - [図6] (ファミリーなし)	1-3
A	JP 2010-233439 A (株式会社東芝) 2010.10.14, [0031] - [0096], [図1] - [図2] & US 2010/0226149 A1	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 3 . 2 0 1 2

国際調査報告の発送日

1 0 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

塩 治 雅也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

3 V

3 6 3 0