

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年9月20日(2018.9.20)

【公表番号】特表2017-525047(P2017-525047A)

【公表日】平成29年8月31日(2017.8.31)

【年通号数】公開・登録公報2017-033

【出願番号】特願2017-504810(P2017-504810)

【国際特許分類】

G 06 F 9/38 (2006.01)

G 06 F 1/32 (2006.01)

G 06 T 1/20 (2006.01)

【F I】

G 06 F 9/38 370 C

G 06 F 1/32 B

G 06 T 1/20 B

【手続補正書】

【提出日】平成30年8月8日(2018.8.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のベクトルプロセッサであって、該複数のベクトルプロセッサのうちの第一ベクトルプロセッサは第一値アレイについて作用し、該第一ベクトルプロセッサは第一パワーアイランドから電力を受ける、複数のベクトルプロセッサと、

第二値アレイについてフィルタリングオペレーションを実行するハードウェアアクセラレータであって、該ハードウェアアクセラレータは第二パワーアイランドから電力を受ける、ハードウェアアクセラレータと、

前記第一値アレイと前記第二値アレイとを記憶する複数のメモリスライスを含むメモリファブリックであって、該メモリファブリックは第一インターフェースを介して前記第一ベクトルプロセッサと通信し、第二インターフェースを介して前記ハードウェアアクセラレータと通信する、メモリファブリックと、

前記メモリファブリックが前記第一インターフェースを介して前記第一値アレイを前記第一ベクトルプロセッサに提供し、前記メモリファブリックが前記第二インターフェースを介して前記第二値アレイを前記ハードウェアアクセラレータに提供するようにするメモリコントローラと、

複数の入出力(I/O)ピンに結合された周辺デバイスであって、該周辺デバイスは第一ベクトルプロセッサと外部デバイスの間に通信チャネルを提供し、前記周辺デバイスは該複数のI/Oピンのうちの少なくともいくつかを介して複数の標準プロトコルインターフェースの機能をエミュレートする、周辺デバイスと、  
を含むコンピュータデバイス。

【請求項2】

前記第一パワーアイランドを介して前記第一ベクトルプロセッサに電力が供給されるとき、及び前記第二パワーアイランドを介して前記ハードウェアアクセラレータに電力が供給されるときを、前記外部デバイスによって供給された情報に基づいて制御する電力マネージャをさらに含み、前記外部デバイスは前記周辺デバイスを介して前記コンピュータデ

バイスと通信する、請求項 1 に記載のコンピュータデバイス。

**【請求項 3】**

前記第一パワーアイランドは、第一スイッチを介して第一供給電圧で回路内にあり、前記第二パワーアイランドは、第二スイッチを介して第二供給電圧で回路内にあり、前記電力マネージャは、前記第一スイッチを動作させることによって前記第一ベクトルプロセッサに電力が供給されるときを制御し、前記第二スイッチを動作させることによって前記ハードウェアアクセラレータに電力が供給されるときを制御する、請求項 2 に記載のコンピュータデバイス。

**【請求項 4】**

前記電力マネージャは、前記第一スイッチに供給されるイネイブル信号を介して前記第一ベクトルプロセッサをアクティブ電力モードにする、請求項 3 に記載のコンピュータデバイス。

**【請求項 5】**

前記第一ベクトルプロセッサは、前記第一値アレイを処理する論理回路と、前記第一値アレイの少なくともサブセットを記憶するローカルメモリとを含み、該論理回路は前記第一パワーアイランドから電力を受け、該ローカルメモリは第三パワーアイランドから電力を受け、前記電力マネージャは、前記第一供給電圧が前記第一パワーアイランドを介して前記論理回路に供給されるようにし、前記電力マネージャは、第三供給電圧が該第三パワーアイランドを介して前記ローカルメモリに供給されるようにし、前記論理回路への電力の供給は前記ローカルメモリへの電力の供給とは独立して制御される、請求項 4 に記載のコンピュータデバイス。

**【請求項 6】**

前記電力マネージャは、前記第一パワーアイランドと前記第一供給電圧の間の前記第一スイッチを制御することによって前記第一ベクトルプロセッサを低電力モードにする、請求項 4 に記載のコンピュータデバイス。

**【請求項 7】**

前記電力マネージャは、前記第一パワーアイランド内の前記第一ベクトルプロセッサに関連付けられた回路が入力データを処理するようにパワーオンされるとき、スイッチのデイジーチェインを用いて有効信号を生成する、請求項 4 に記載のコンピュータデバイス。

**【請求項 8】**

前記周辺デバイスは、常時パワーオンされているパワーアイランドに関連付けられている、請求項 4 に記載のコンピュータデバイス。

**【請求項 9】**

前記周辺デバイスは、前記第一ベクトルプロセッサが応答すべきイベントを検出するために前記外部デバイスからの信号を監視するイベントモニタを含み、前記周辺デバイスは、該イベントが検出されたときに前記電力マネージャに警告を出し、前記電力マネージャは、前記第一ベクトルプロセッサをアクティブモードにすることによって該警告に応答する、請求項 8 に記載のコンピュータデバイス。

**【請求項 10】**

前記第一値アレイ及び前記第二値アレイは画像データに関連付けられ、前記外部デバイスはカメラを有する携帯電話であり、前記イベントモニタは、該カメラに関連付けられた光センサによって光が検出されたときに、前記第一ベクトルプロセッサ及び前記ハードウェアアクセラレータのうちの一つ以上がアクティブ電力モードに入るようとする、請求項 9 に記載のコンピュータデバイス。

**【請求項 11】**

前記複数の I / O ピンが、モバイルインダストリプロセッサインタフェース (MIPS) レーンの差動対を含む、請求項 1 に記載のコンピュータデバイス。

**【請求項 12】**

前記周辺デバイスは、入力 I / O ピンと出力 I / O ピンの間でバイパスを実行するバイパスバッファを含み、該バイパスは、前記第一ベクトルプロセッサをアクティブモードに

することなく、該入力 I / O ピンと該出力 I / O ピンの間に通信チャネルを提供する、請求項 1 から 1 1 のいずれか一項に記載のコンピュータデバイス。

【請求項 1 3】

第一ベクトルプロセッサで命令を実行することによって、第一値アレイについて作用するステップであって、該第一値アレイはメモリファブリックのメモリスライスから供給され、該メモリファブリックは相互接続システムの第一インターフェースを介して第一ベクトルプロセッサと通信する、作用するステップと、

ハードウェアアクセラレータで、第二値アレイについてフィルタリングオペレーションを実行するステップであって、該第二値アレイは前記メモリファブリックのメモリスライスから供給され、該メモリファブリックは前記相互接続システムの第二インターフェースを介して該ハードウェアアクセラレータと通信する、実行するステップと、

周辺デバイスで、入出力 (I / O) ピンのセットを介して複数の標準プロトコルインターフェースの機能をエミュレートするステップであって、前記 I / O ピンは前記周辺デバイスに関連付けられ、前記周辺デバイスは前記第一ベクトルプロセッサと外部デバイスの間に通信チャネルを提供する、エミュレートするステップと、

第一パワーアイランドを介して前記第一ベクトルプロセッサに電力が供給されるとき、及び第二パワーアイランドを介して前記ハードウェアアクセラレータに電力が供給されるときを、前記外部デバイスによって供給される情報に基づいて制御するステップと、を含む方法。

【請求項 1 4】

前記第一ベクトルプロセッサに電力が供給されるときを制御する第一スイッチを動作させるステップと、

前記ハードウェアアクセラレータに電力が供給されるときを制御する第二スイッチを動作させるステップと、

をさらに含む、請求項 1 3 に記載の方法。

【請求項 1 5】

前記第一スイッチを第一状態にすることによって前記第一ベクトルプロセッサをアクティブモードにするステップをさらに含む、請求項 1 4 に記載の方法。

【請求項 1 6】

スイッチのデイジーチェインを使用して有効信号を生成するステップであって、該有効信号は、前記第一ベクトルプロセッサ内の回路ブロックが入力データを処理するために電力を供給される時間を示す、請求項 1 5 に記載の方法。

【請求項 1 7】

前記第一ベクトルプロセッサが応答すべきイベントを検出するために前記外部デバイスからの信号を監視するステップと、前記イベントの検出に応じて前記第一ベクトルプロセッサをアクティブモードにするステップと、をさらに含む、請求項 1 3 に記載の方法。

【請求項 1 8】

前記周辺デバイスは、前記複数の I / O ピンの差動対と通信し、当該方法は、極性制御信号に基づいて前記差動対の極性を変更するステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 1 9】

入力 I / O ピンと出力 I / O ピンの間でバイパスを実行するステップをさらに含み、前記バイパスの実行は、前記第一ベクトルプロセッサをアクティブモードにすることなく、該入力 I / O ピンと該出力 I / O ピンの間に通信チャネルを提供する、請求項 1 8 に記載の方法。

【請求項 2 0】

コンピュータデバイスであって、

第一値アレイについて作用するプロセッサと、

第二値アレイについてフィルタリングオペレーションを実行するハードウェアロジックと、

複数のメモリスライスと、

前記プロセッサ及び前記複数のメモリスライスと通信する第一インタフェースと、

前記ハードウェアロジック及び前記複数のメモリスライスと通信する第二インタフェースと、

前記プロセッサに電力が供給されるとき、及び前記ハードウェアロジックに電力が供給されるときを、外部デバイスによって供給された情報に基づいて制御する電源管理手段であって、前記外部デバイスは周辺デバイスを介して当該コンピュータデバイスに結合され、前記周辺デバイスは、入力／出力（I／O）ピンのセットを介して複数の標準プロトコルインタフェースの機能をエミュレートする、電力管理手段と、  
を含むコンピュータデバイス。

【請求項 2 1】

各々が少なくとも 1 つの電力ドメインを含む複数のパワーアイランドをさらに含み、前記複数のパワーアイランドのうちの第一パワーアイランドは第一供給電圧に結合され、該第一パワーアイランドは前記プロセッサに該第一供給電圧を供給し、前記複数のパワーアイランドのうちの第二パワーアイランドは第二供給電圧に結合され、該第二パワーアイランドは前記ハードウェアロジックに該第二供給電圧を供給する、請求項 2 0 に記載のコンピュータデバイス。

【請求項 2 2】

前記電力管理手段は、イネイブル信号をスイッチング手段に供給し、該スイッチング手段は前記第一パワーアイランドを前記第一供給電圧に結合し、該イネイブル信号は前記プロセッサをアクティブモードにする、請求項 2 1 に記載のコンピュータデバイス。

【請求項 2 3】

前記プロセッサは、前記第一値アレイを処理する論理回路と、前記第一値アレイの少なくともサブセットを記憶するローカルメモリとを含み、前記電力管理手段は、該論理回路への電力の供給を該ローカルメモリへの電力の供給とは独立して制御する、請求項 2 2 に記載のコンピュータデバイス。

【請求項 2 4】

前記電力管理手段は、前記スイッチング手段をオフにして前記第一パワーアイランドを前記第一供給電圧から切り離し、前記第一供給電圧からの前記第一パワーアイランドの切り離しにより前記プロセッサを低電力モードにする、請求項 2 2 に記載のコンピュータデバイス。

【請求項 2 5】

コンピュータデバイスに電力を供給する方法であって、

周辺デバイスで、イベント情報のために外部デバイスを監視するステップであって、該周辺デバイスは前記外部デバイス及び前記コンピュータデバイスと通信する、監視するステップと、

前記イベント情報の検出に応答して、ベクトルプロセッサに電力を供給するかどうかを決定するステップであって、該ベクトルプロセッサは前記周辺デバイスと通信し、第一インタフェースを介してメモリファブリックと通信し、該ベクトルプロセッサは第一パワーアイランドに関連付けられる、決定するステップと、

前記ベクトルプロセッサに電力を供給するかどうかの決定に基づいて、前記第一パワーアイランドを第一供給電圧に結合することによって前記ベクトルプロセッサに電力を供給するステップと、

前記イベント情報の検出に応答して、ハードウェアロジックに電力を供給するかどうかを決定するステップであって、該ハードウェアロジックは前記周辺デバイスと通信し、第二インタフェースを介して前記メモリファブリックと通信し、該ハードウェアロジックは第二パワーアイランドに関連づけられる、決定するステップと、

前記ハードウェアロジックに電力を供給するかどうかの決定に基づいて、前記第二パワーアイランドを第二供給電圧に結合することによって前記ハードウェアロジックに電力を供給するステップであって、前記ベクトルプロセッサ及び前記ハードウェアロジックへの

電力の供給は独立して制御される、供給するステップと、  
を含む方法。

**【請求項 26】**

前記第一パワーアイランドは、第一スイッチによって前記第一供給電圧に結合され、前記第二パワーアイランドは、第二スイッチによって前記第二供給電圧に結合され、前記ベクトルプロセッサ及び前記ハードウェアロジックへの電力の供給は、該第一スイッチ及び該第二スイッチをそれぞれ閉じることを含む、請求項 25 に記載の方法。

**【請求項 27】**

前記ベクトルプロセッサは、値アレイを処理する論理回路と、前記値アレイの少なくともサブセットを記憶するメモリとを含み、該論理回路は前記第一パワーアイランドから電力を受け、該メモリは第三パワーアイランドから電力を受け、  
当該方法は、

前記イベント情報の検出に応答して、前記論理回路及び前記メモリのいずれかに電力を供給するかどうかを決定するステップと、

前記論理回路及び前記メモリのいずれかに電力を供給するかどうかの決定に基づき、前記メモリに電力を供給することとは独立して前記論理回路に電力を供給するステップと、  
をさらに含む、請求項 26 に記載の方法。

**【請求項 28】**

前記周辺デバイスは、常にパワーオンされているパワーアイランドに関連付けられている、請求項 25 に記載の方法。

**【請求項 29】**

前記ベクトルプロセッサ及び前記ハードウェアロジックは、第一値アレイ及び第二値アレイをそれぞれ処理し、該第一値アレイ及び該第二値アレイは画像データに関連付けられ、前記外部デバイスはカメラを有する携帯電話であり、当該方法は、該カメラに関連づけられた光センサによって光が検出されたときに、前記ベクトルプロセッサ及び前記ハードウェアロジックのうちの 1 つ以上をアクティブ電力モードに入るようとする、請求項 25 に記載の方法。