

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月7日(07.04.2022)



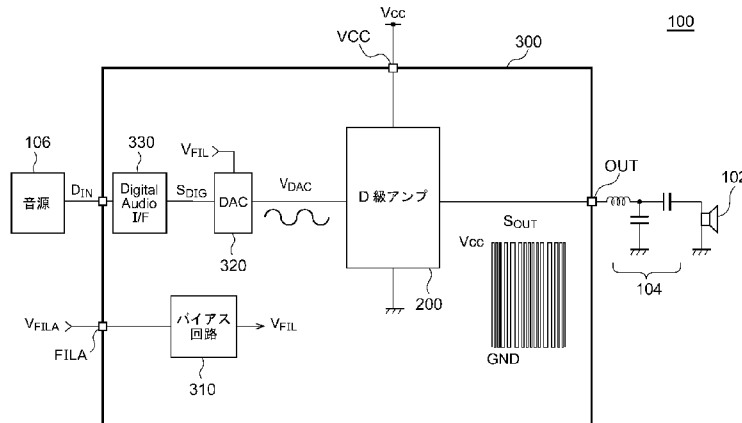
(10) 国際公開番号

WO 2022/070710 A1

- (51) 国際特許分類:
H03K 7/08 (2006.01) *H03F 3/217* (2006.01)
- (21) 国際出願番号: PCT/JP2021/031522
- (22) 国際出願日: 2021年8月27日(27.08.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-166166 2020年9月30日(30.09.2020) JP
- (71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)
[JP/JP]; 〒6158585 京都府京都市右京区西
院溝崎町2-1 Kyoto (JP).
- (72) 発明者: 酒井 光輝(**SAKAI Mitsuteru**); 〒6158585
京都府京都市右京区西院溝崎町2-1口
ーム株式会社内 Kyoto (JP).
- (74) 代理人: 森下 賢樹 (**MORISHITA Sakaki**);
〒1530061 東京都目黒区中目黒1-8-1 V
ORT中目黒1-3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** AUDIO CIRCUIT, ELECTRONIC DEVICE EMPLOYING SAME, AND VEHICLE-MOUNTED AUDIO SYSTEM

(54) 発明の名称: オーディオ回路、それを用いた電子機器および車載オーディオシステム



106 Sound source
200 Class D amplifier
310 Bias circuit
330 Digital Audio interface

(57) **Abstract:** An analog voltage V_{FILA} can be input into a volume setting pin FILA of an audio circuit 300. A power supply pin VCC accepts a power supply voltage V_{CC} . A bias circuit 310 generates a first reference voltage V_{FIL} corresponding to the analog voltage V_{FILA} . A D/A converter 320 converts a digital audio signal S_{DIG} into an analog audio signal V_{DAC} . The full scale voltage range of the D/A converter 320 can be varied in accordance with the first reference voltage V_{FIL} . A class D amplifier circuit 200 has a duty cycle corresponding to the analog audio

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

signal V_{DAC} output by the D/A converter 320, and outputs an output pulse signal S_{OUT} having an amplitude corresponding to the power supply voltage V_{CC} .

(57) 要約: オーディオ回路300のボリューム設定ピンFIL Aには、アナログ電圧 $V_{FIL A}$ が入力可能となっている。電源ピンVCCは、電源電圧 V_{CC} を受ける。バイアス回路310は、アナログ電圧 $V_{FIL A}$ に応じた第1基準電圧 V_{FIL} を生成する。D/Aコンバータ320は、デジタルオーディオ信号 S_{DIG} をアナログオーディオ信号 V_{DAC} に変換する。D/Aコンバータ320は、第1基準電圧 V_{FIL} に応じてフルスケールの電圧範囲が可変である。D級アンプ回路200は、D/Aコンバータ320が出力するアナログオーディオ信号 V_{DAC} に応じたデューティサイクルを有し、電源電圧 V_{CC} に応じた振幅を有する出力パルス信号 S_{OUT} を出力する。

明 細 書

発明の名称：

オーディオ回路、それを用いた電子機器および車載オーディオシステム
技術分野

[0001] 本開示は、スピーカやヘッドホンを駆動するオーディオアンプ回路に関する。

背景技術

[0002] スピーカやヘッドホンなどの電気音響変換素子を駆動するパワーアンプとして、高効率なD級アンプが用いられる。図1は、D級アンプを用いたオーディオシステム100Rのブロック図である。オーディオシステム100Rは主として、スピーカ102、ローパスフィルタ104、音源106およびD級アンプ回路900Rを備える。音源106は、デジタルオーディオ信号 D_{IN} を生成する。

[0003] D級アンプ回路900Rは、デジタル入力オーディオ信号 D_{IN} に応じたデューティサイクルを有する出力パルス信号 S_{OUT} を発生する。ローパスフィルタ104は、D級アンプ回路900Rの出力パルス信号 S_{OUT} の高周波成分を除去し、スピーカ102に供給する。

[0004] 図1のD級アンプ回路900Rは、オーディオインタフェース回路902、シリアルインタフェース回路904、出力段930、積分器910、PWM (Pulse Width Modulation) コンパレータ920を備える。

[0005] オーディオインタフェース回路902は、音源106からデジタルオーディオ信号 D_{IN} を受信し、PWM信号 D_{PWM} を出力する。レベルシフト回路906は、PWM信号 D_{PWM} の振幅を、後段の回路の入力電圧範囲に適合する電圧レベル（たとえば5V系）のPWM信号にレベルシフトし、入力オーディオ信号 S_{IN} を出力する。

[0006] 積分器910は、入力オーディオ信号 S_{IN} と出力パルス信号 S_{OUT} に応じたフィードバック信号 S_{FB} の差分を積分する。

- [0007] PWMコンパレータ920は、積分器910の出力を基準電圧と比較し、パルス信号 S_{PWM} を出力する。
- [0008] 出力段930は、ドライバ932と、ハーフブリッジ回路（インバータ回路）934を含む。ドライバ932は、パルス信号 S_{PWM} に応じて、ハーフブリッジ回路934を駆動する。
- [0009] 図2は、D級アンプを用いたオーディオシステム100Sのブロック図である。オーディオインタフェース回路903は、受信したデジタルオーディオ信号 D_{IN} に応じたデジタルオーディオ信号（たとえばPCM信号） S_{PCM} を出力する。D/Aコンバータ908は、オーディオインタフェース回路903が出力するデジタルオーディオ信号 S_{PCM} を、アナログの入力オーディオ信号 S_{IN} に変換する。
- [0010] 積分器910は、入力オーディオ信号 S_{IN} と出力パルス信号 S_{OUT} に応じたフィードバック信号 S_{FB} の差分を積分する。三角波発生回路940は、パルス幅変調のキャリア周波数を有する周期信号 V_{OSC} を生成する。PWMコンパレータ920は、積分器910の出力と周期信号 V_{OSC} を比較し、パルス信号 S_{PWM} を出力する。

先行技術文献

特許文献

- [0011] 特許文献1：特許第5618776号公報

発明の概要

発明が解決しようとする課題

- [0012] 図1や図2のD級アンプ回路900R、900Sの出力パルス信号 S_{OUT} の振幅（時間平均）、言い換えると、スピーカ102の音量は、ハーフブリッジ回路934の電源電圧 V_{CC} で決まる。車載用途で $V_{CC}=14.4V$ 、負荷インピーダンスが 4Ω であるとする、26Wの出力に固定される。
- [0013] もし、出力すなわち音量を変化させたい場合には、デジタルボリュームを利用する必要がある。高音質が要求されるオーディオ製品用途であれば、音源

106に相当するSoC (System On Chip) やDSP (Digital Signal Processor/Digital Sound Processor) に、デジタルボリウムの機能が実装されるため、それを利用すればよい。

[0014] 一方、警告音や簡易的な音声信号を再生する用途では、音源106は、デジタルボリウム機能を有しない場合が多い。これに対応するために、具体的には図1のD級アンプ回路900Rでは、オーディオインタフェース回路902にデジタルボリウム機能が実装される。シリアルインタフェース回路904は、ホストプロセッサであるマイクロコントローラ108からボリウムの設定値を受信し、オーディオインタフェース回路902のボリウムゲインをセットする。オーディオインタフェース回路902は、ボリウムに応じてデューティサイクルがスケーリングされたPWM信号 D_{PWM} を出力する。

[0015] 図2のD級アンプ回路900Sでは、オーディオインタフェース回路903にデジタルボリウム機能が実装される。オーディオインタフェース回路903は、ボリウムに応じて振幅が調節されたデジタルオーディオ信号 S_{PCM} を出力する。

[0016] このように、従来技術では、オーディオインタフェース回路903にデジタルボリウム機能を実装する必要がある、コストアップの要因となっていた。

[0017] またその制御のために、マイクロコントローラ108からボリウム設定のコマンドを送信する必要があった。

[0018] 本開示に係る課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、ボリウムを変更可能なオーディオ回路の提供にある。

課題を解決するための手段

[0019] 本開示に係るオーディオ回路は、アナログ電圧を受けるボリウム設定ピンと、電源電圧を受ける電源ピンと、アナログ電圧に応じた第1基準電圧を生成するバイアス回路と、デジタルオーディオ信号をアナログオーディオ信号に変換するD/Aコンバータであって、第1基準電圧に応じてフルスケールの電圧範囲が可変であるD/Aコンバータと、D/Aコンバータが出力する

アナログオーディオ信号に応じたデューティサイクルを有し、電源電圧に応じた振幅を有する出力パルス信号を出力するD級アンプ回路と、を備える。

[0020] なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置などの間で変換したものもまた、本発明の態様として有効である。さらに、この項目（課題を解決するための手段）の記載は、本発明の欠くべからざるすべての特徴を説明するものではなく、したがって、記載されるこれらの特徴のサブコンビネーションも、本発明たり得る。

発明の効果

[0021] 本開示のある態様によれば、ボリュームを設定できる。

図面の簡単な説明

[0022] [図1]図1は、D級アンプを用いたオーディオシステムのブロック図である。

[図2]図2は、D級アンプを用いたオーディオシステムのブロック図である。

[図3]図3は、実施の形態に係るオーディオ回路を備えるオーディオシステムのブロック図である。

[図4]図4は、図3のオーディオ回路の動作波形図である。

[図5]図5は、オーディオ回路の一実施例を示す回路図である。

[図6]図6は、図5のバイアス回路の構成例を示す回路図である。

[図7]図7は、D/Aコンバータの構成例のブロック図である。

[図8]図8（a）、（b）は、図7のD/Aコンバータの入出力特性を示す図である。

[図9]図9（a）～（c）は、D/Aコンバータの動作波形図である。

[図10]図10は、上位変換部および下位変換部の構成例を示す回路図である。

[図11]図11は、上位変換部および下位変換部の具体的な構成例を示す回路図である。

[図12]図12は、図11の上位セクタおよび下位セクタの回路図である。

[図13]図13は、第1アンプおよび第2アンプの構成例を示す回路図である。

。

[図14]図14は、D/Aコンバータの別の構成例およびバイアス回路を示す図である。

[図15]図15は、D/Aコンバータの別の構成例を示す図である。

[図16]図16は、実施の形態に係るオーディオ回路を利用した車載オーディオシステムのブロック図である。

[図17]図17(a)、(b)は、実施の形態に係るオーディオ回路を利用した電子機器を示す図である。

発明を実施するための形態

[0023] (実施形態の概要)

本開示のいくつかの例示的な実施形態の概要を説明する。この概要は、後述する詳細な説明の前置きとして、実施形態の基本的な理解を目的として、1つまたは複数の実施形態のいくつかの概念を簡略化して説明するものであり、発明あるいは開示の広さを限定するものではない。またこの概要は、考えられるすべての実施形態の包括的な概要ではなく、実施形態の欠くべからざる構成要素を限定するものではない。便宜上、「一実施形態」は、本明細書に開示するひとつの実施形態（実施例や変形例）または複数の実施形態（実施例や変形例）を指すものとして用いる場合がある。

[0024] 一実施形態に係るオーディオ回路は、アナログ電圧を受けるボリウム設定ピンと、電源電圧を受ける電源ピンと、アナログ電圧に応じた第1基準電圧を生成するバイアス回路と、デジタルオーディオ信号をアナログオーディオ信号に変換するD/Aコンバータであって、第1基準電圧に応じてフルスケールの電圧範囲が可変であるD/Aコンバータと、D/Aコンバータが出力するアナログオーディオ信号に応じたデューティサイクルを有し、電源電圧に応じた振幅を有する出力パルス信号を出力するD級アンプ回路と、を備える。

[0025] この構成によれば、第1基準電圧に応じて、D級アンプが生成する出力パルス信号のデューティサイクルがスケールリングされるため、ボリウムを制御

することができる。

[0026] 一実施形態において、バイアス回路は、ボリウム設定ピンと電源ピンの間に設けられる第1抵抗と、ボリウム設定ピンと接地の間に設けられる第2抵抗と、を含んでもよい。ボリウム設定ピンに対して、外部からアナログ電圧を与えない場合には、ボリウム設定ピンには、第1抵抗と第2抵抗の分圧比で定まる電圧が発生するため、この電圧レベルに応じたボリウムをデフォルトとすることができる。

[0027] 一実施形態において、D級アンプ回路は、アナログオーディオ信号と出力パルス信号を受ける積分器と、三角波またはのこぎり波の周期電圧を生成する周期電圧発生回路と、積分器の出力と周期電圧を比較するPWM (Pulse Width Modulation) コンパレータと、ブリッジ回路と、PWMコンパレータの出力に応じて、ブリッジ回路を駆動するドライバと、を備えてもよい。

[0028] 一実施形態において、バイアス回路は、第1基準電圧と電源電圧を分圧して得られる第2基準電圧をさらに生成し、第2基準電圧は、積分器に供給されてもよい。

[0029] 一実施形態において、周期電圧発生回路は、第2基準電圧を中点レベルとする周期電圧を生成してもよい。

[0030] 一実施形態において、オーディオ回路はひとつの基板に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが基板の外部に設けられていてもよい。回路を1つのチップ上に集積化することにより、回路面積を削減することができるとともに、回路素子の特性を均一に保つことができる。

[0031] (実施形態)

以下、好適な実施形態について、図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施形態は、開示および発明を限定するものではなく例示であって、実施形態に記述されるすべての特

徴やその組み合わせは、必ずしも開示および発明の本質的なものであるとは限らない。

[0032] 本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、電気的な接続状態に影響を及ぼさず、あるいは機能を阻害しない他の部材を介して間接的に接続される場合も含む。

[0033] 同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさず、あるいは機能を阻害しない他の部材を介して間接的に接続される場合も含む。

[0034] 図3は、実施の形態に係るオーディオ回路300を備えるオーディオシステム100のブロック図である。オーディオシステム100は、スピーカ102、ローパスフィルタ104、音源106およびオーディオ回路300を備える。オーディオ回路300は、ひとつの半導体チップに集積化した機能IC (Integrated Circuit) として構成される。

[0035] オーディオ回路300は、バイアス回路310、D/Aコンバータ320、デジタルオーディオインタフェース回路330およびD級アンプ回路200、ボリウム設定ピンFIL Aと、電源ピンVCCを備える。ボリウム設定ピンFIL Aには、外部からアナログ電圧 $V_{FIL A}$ を入力可能となっている。電源ピンVCCには、電源電圧 V_{CC} が供給される。

[0036] デジタルオーディオインタフェース回路330は、音源106からデジタルオーディオ信号 D_{IN} を受信する。デジタルオーディオ信号 D_{IN} のフォーマットは特に限定されないが、 I^2S (I^2S (Inter IC Sound)) などが例示される。

[0037] バイアス回路310は、アナログ電圧 $V_{FIL A}$ に応じた第1基準電圧 V_{FIL} を生成する。第1基準電圧 V_{FIL} は、アナログ電圧 $V_{FIL A}$ と同じ電圧レベルを有してもよいし、アナログ電圧 $V_{FIL A}$ に所定の係数を乗じた電圧レベルを有してもよい。

- [0038] D/Aコンバータ320は、デジタルオーディオ信号 S_{DIG} を、アナログオーディオ信号 V_{DAC} に変換する。D/Aコンバータ320には第1基準電圧 V_{FIL} が供給されており、第1基準電圧 V_{FIL} に応じて、フルスケールの電圧範囲 V_{FULL} 、言い換えると1LSBの電圧幅が設定可能に構成される。
- [0039] D級アンプ回路200は、D/Aコンバータ320が出力するアナログオーディオ信号 V_{DAC} に応じたデューティサイクル $duty$ を有し、電源電圧 V_{CC} に応じた振幅を有する出力パルス信号 S_{OUT} を出力する。D級アンプ回路200は、公知技術あるいは将来利用可能な回路で構成すればよく、その構成は特に限定されない。
- [0040] 以上がオーディオ回路300の構成である。続いてその動作を説明する。
- [0041] 図4は、図3のオーディオ回路300の動作波形図である。図4には、デジタルオーディオ信号 S_{DIG} 、D/Aコンバータ320の出力信号 V_{DAC} およびD級アンプ回路200の出力パルス信号 S_{OUT} が示される。この例では、デジタルオーディオ信号 S_{DIG} は正弦波とする。ボリューム設定ピン $FILA$ の設定電圧 V_{FILA} が異なる状態が、(i)～(iii)で示されており、(i)、(ii)、(iii)の順に、設定電圧 V_{FILA} が高くなる。
- [0042] D級アンプ回路200の出力パルス信号 S_{OUT} の振幅は、設定電圧 V_{FILA} にかかわらず、電源電圧 V_{CC} と等しいが、そのデューティサイクル $duty$ は、D/Aコンバータ320が出力するアナログオーディオ信号 V_{DAC} に応じており、設定電圧 V_{FILA} に応じてスケールリングされる。
- [0043] スピーカ102に供給される駆動電圧 V_{DRV} は、出力パルス S_{OUT} の実効電圧（時間平均）であり、 $duty(t) \times V_{CC}$ となる。D級アンプ回路200のゲインを g_D とするとき、 $g_D \times V_{DAC}(t)$ として表すことができる。
- [0044] 以上がオーディオ回路300の動作である。このオーディオ回路300によれば、ボリューム設定ピン $FILA$ を設け、それに与える設定電圧 V_{FILA} に応じて、スピーカ102に印加される駆動電圧 V_{DRV} の振幅を変化させることができ、ボリューム制御が可能となる。
- [0045] このオーディオ回路300では、デジタルオーディオインタフェース回路

330に、デジタルポリウムの機能を実装する必要がないため、回路構成を簡素化でき、チップ面積を小さくできる。また、図1や図2のマイクロコントローラ108とのインタフェースも不要となり、マイクロコントローラ108も必要なくなる。

[0046] 本開示は、図3の回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、回路に及ぶものであり、特定の構成に限定されるものではない。以下、本発明の範囲を狭めるためではなく、発明の本質や回路動作の理解を容易、明確化するために、より具体的な構成例を説明する。

[0047] 図5は、オーディオ回路300の一実施例（300A）を示す回路図である。この実施例において、D級アンプ回路200Aは、フィードバック付きのD級アンプとして構成される。D級アンプ回路200Aは、積分器210、周期電圧発生回路220、PWMコンパレータ230、ブリッジ回路240、ドライバ250を備える。

[0048] ブリッジ回路240は、プッシュプル型のインバータであり、ハイスайдトランジスタMHとローサイドトランジスタMLを含む。ハイスайдトランジスタMHは、PMOSトランジスタであってもよいし、NMOSトランジスタであってもよい。

[0049] 積分器210は、抵抗R11、R12、キャパシタC11、エラーアンプ212を含む。エラーアンプ212の反転入力端子（－）には、第1抵抗R11を介して入力電圧 V_{DAC} が、第2抵抗R12を介して、出力パルス信号 S_{OUT} に応じたフィードバック電圧 V_{FB} が入力される。キャパシタC11は、エラーアンプ212の出力と反転入力端子の間に設けられ、エラーアンプ212の非反転入力端子には、第2基準電圧 V_{FILP} が入力される。このD級アンプ回路200Aのゲイン g_D は、 $R12/R11$ で与えられる。また、第2基準電圧 V_{FILP} によって、出力パルス信号 S_{OUT} の時間平均波形の midpoint レベルが規定される。

[0050] 周期電圧発生回路220は、三角波またはのこぎり波の周期電圧 V_{OSC} を生成する。周期電圧 V_{OSC} は、パルス幅変調の搬送波である。周期電圧 V_{OSC} の

周波数は、PWM周波数であり、可聴周波数帯域（20Hz～20kHz）より高く、数百kHz～数MHzの範囲で定められる。PWMコンパレータ230は、積分器210の出力信号 V_{INT} と周期電圧 V_{OSC} を比較し、比較結果に応じてハイ・ローをとるPWM信号 S_{PWM} を生成する。

[0051] なお、周期電圧発生回路220の構成は特に限定されない。周期電圧発生回路220は、0Vをボトム、電源電圧 V_{CC} をピークとする周期電圧 V_{OSC} を生成してもよい。あるいは周期電圧発生回路220は、0Vをボトム、所定電圧（たとえば5V）をピークとする周期電圧 V_{OSC} を生成してもよい。

[0052] ドライバ250は、PWM信号 S_{PWM} に応じて、ブリッジ回路240のハイサイドトランジスタMHとローサイドトランジスタMLを相補的にスイッチングする。ドライバ250は、ハイサイドトランジスタMHとローサイドトランジスタMLが同時にオンしないように、デッドタイムを挿入する。

[0053] バイアス回路310Aは、ボリウム設定ピンFIL Aの電圧 $V_{FIL A}$ に応じた第1基準電圧 V_{FIL} を生成し、D/Aコンバータ320に供給する。またバイアス回路310Aは、ボリウム設定ピンFIL Aの電圧 $V_{FIL A}$ に応じた第2基準電圧 $V_{FIL P}$ を生成し、積分器210のエラーアンプ212に供給する。

[0054] 図6は、図5のバイアス回路310Aの構成例を示す回路図である。バイアス回路310Aは、第1抵抗R21～第6抵抗R26、第1バッファ312、第2バッファ314、第3バッファ313を含む。

[0055] ボリウム設定ピンFIL Aには、外部からの設定電圧 $V_{FIL A}$ が入力可能である。第1抵抗R21は、電源端子（電源ライン） V_{CC} とボリウム設定ピンFIL Aの間に設けられ、第2抵抗R22は、ボリウム設定ピンFIL Aと接地の間に設けられる。もしボリウム設定ピンFIL Aを非接続（NC：Non-connection）として、外部から設定電圧 $V_{FIL A}$ を与えない場合、ボリウム設定ピンFIL Aの電圧 $V_{FIL A (NC)}$ は、

$$V_{FIL A (NC)} = R22 / (R21 + R22) \times V_{CC}$$

となる。

[0056] 第1バッファ312は、ハイ入力インピーダンス、低出力インピーダンスを有し、設定電圧 $V_{FIL A}$ と同電圧レベルの第1基準電圧 $V_{FIL A}$ を出力する。

[0057] 第5抵抗R25、第6抵抗R26および第3バッファ313は、電源電圧 V_{CC} を分圧する分圧回路316を構成している。R25=R26のとき、分圧回路316において、電源電圧 V_{CC} の midpoint 電圧 $V_{CC}/2$ が生成される。 midpoint 電圧 $V_{CC}/2$ は、バッファ313を介して出力される。

[0058] 第3抵抗R23および第4抵抗R24は、分圧回路316の出力と、第1バッファ312の出力の間に設けられる。第3抵抗R23および第4抵抗R24の抵抗値の比は、積分器210のゲイン g_D 、すなわち図5の第1抵抗R11、第2抵抗R12の抵抗値に応じて定めればよい。

$$R24 : R23 = R11 : R12$$

[0059] 第3抵抗R23、第4抵抗R24およびの接続ノードNxには、電圧 $V_{CC}/2$ と電圧 V_{FIL} を内分した電圧 V_x が発生する。

$$V_x = (V_{FIL} \times R23 + V_{CC}/2 \times R24) / (R23 + R24)$$

[0060] 第2バッファ314は、ハイ入力インピーダンス、低出力インピーダンスを有し、電圧 V_x と同電圧レベルの第2基準電圧 V_{FILP} を出力する。

[0061] 以上がオーディオ回路300Aの構成である。このオーディオ回路300Aでは、フルスケール出力、すなわちボリウムを、ボリウム設定ピンFIL Aの電圧 $V_{FIL A}$ に応じて制御できる。

[0062] 図6のバイアス回路310が生成した第2基準電圧 V_{FILP} を、周期電圧発生回路220に供給してもよい。周期電圧発生回路220は、中心レベルが第2基準電圧 V_{FILP} であり、 V_{CC}/N （Nは定数）を片振幅とする周期電圧 V_{OSC} を生成するように構成してもよい。たとえばN=8とすると、周期電圧 V_{OSC} のボトムは $V_{FILP} - V_{CC}/8$ 、ピークは、 $V_{FILP} + V_{CC}/8$ となる。なお、Nは8に限定されず、たとえばN=2とした場合、周期電圧 V_{OSC} のボトムが0V、ピークが $2 \times V_{FILP}$ となる。

[0063] この場合、周期電圧 V_{OSC} の振幅を、D/Aコンバータ320の出力電圧 V_{DAC} のフルスケールと、電源電圧 V_{CC} の両方に追従させることができる。これ

により、オーディオ回路300のトータルゲインを低く設定した構成でも、動作電源電圧範囲でフルスケール出力レベルを確保することが可能となり、ノイズレベルを下げるができる。

[0064] さらに図6のバイアス回路310Aによれば、抵抗 R_{21} 、 R_{22} を設けることで、ボリウム設定ピン $FILA$ を非接続(NC)とした状態でも回路を動作させることができる。この場合において、もっとも使用される確率が高いと想定されるボリウム値が得られるように、抵抗 R_{25} と R_{26} の抵抗値を定めるとよい。オーディオシステム100Aの設計者は、オーディオ回路300Aが想定するボリウム値で使用する場合には、ボリウム設定ピン $FILA$ に対して、外部から信号を与える必要がなくなる。

[0065] また、抵抗 R_{23} 、 R_{24} によって、積分器210の基準電圧 V_{FILP} を適切に設定することができる。

[0066] 続いてD/Aコンバータ320の構成例を説明する。

[0067] 図7は、D/Aコンバータ320の構成例(400)のブロック図である。D/Aコンバータ400は、上位変換部410、下位変換部420、第1アンプ430、第2アンプ440を備える。

[0068] D/Aコンバータ400は、 n ビット($n \geq 2$)のデジタル信号 D_{IN} を、差動アナログ信号 V_{DAC_P} 、 V_{DAC_N} に変換する。なお、添え字の P は正相を、 N は逆相を示す。

[0069] 上位変換部410は、デジタル信号 D_{IN} の上位 m ビット($1 \leq m < n$)に対して互いに逆極性で単調変化する第1上位電圧 V_{U_P} および第2上位電圧 V_{U_N} を生成する。以下、 $m=9$ とする。

[0070] 下位変換部420は、デジタル信号 D_{IN} の下位($n-m$)ビットに対して互いに逆極性で単調変化する第1下位電圧 V_{L_P} および第2下位電圧 V_{L_N} を生成する。

[0071] 以下の説明では、 $n=16$ 、 $m=9$ 、 $n-m=7$ ビットであるものとする。つまり、上位変換部410にはデジタル信号の上位9ビット $D_{IN}[15:7]$ が供給され、下位変換部420には、デジタル信号の下位7ビット D_{IN}

[6 : 0] が供給される。

[0072] また、本実施の形態において、第1上位電圧 V_{U_P} は、上位 m ビットに対して単調増加し、第2上位電圧 V_{U_N} は、上位 m ビットに対して単調減少し、それらは相補的な関係にあるものとする。

[0073] 一方、第1下位電圧 V_{L_P} は、下位 $(n - m)$ ビットに対して単調減少し、第2下位電圧 V_{L_N} は、下位 $(n - m)$ ビットに対して単調増加し、それらは相補的な関係にあるものとする。

[0074] 第1アンプ430は、第1上位電圧 V_{U_P} および第2上位電圧 V_{U_N} の一方 V_{U_P} と、第1下位電圧 V_{L_P} および第2下位電圧 V_{L_N} の一方 V_{L_P} と受け、差動アナログ信号の一方 V_{DAC_P} を出力する。

[0075] 第2アンプ440は、第1アンプ430と同じ構成を有し、第1上位電圧 V_{U_P} および第2上位電圧 V_{U_N} の他方 V_{U_L} と、第1下位電圧 V_{L_P} および第2下位電圧 V_{L_N} の他方 V_{L_N} と受け、差動アナログ信号の他方 V_{DAC_N} を出力する。

[0076] 第1アンプ430は、第1上位電圧 V_{U_P} を非反転入力端子 (+) に、第1下位電圧 V_{L_P} を反転入力端子 (-) に受ける減算アンプであり、その出力電圧 V_{DAC_P} は式 (1) で表される。

$$V_{DAC_P} = g \times (V_{U_P} - V_{L_P}) \quad \dots (1)$$

[0077] 第2アンプ440は、第2上位電圧 V_{U_N} を非反転入力端子 (+) に、第2下位電圧 V_{L_N} を反転入力端子 (-) に受ける減算アンプであり、その出力電圧 V_{DAC_N} は式 (2) で表される。

$$V_{DAC_N} = g \times (V_{U_N} - V_{L_N}) \quad \dots (2)$$

[0078] 以上がD/Aコンバータ400の構成である。続いてその動作を説明する。図8(a)、(b)は、図7のD/Aコンバータ400の入出力特性を示す図である。横軸はデジタル信号 D_{IN} の値を、縦軸は電圧を示す。ここでは説明の簡潔化のため、 $n = 16$, $m = 4$ とする。

[0079] 図8(a)には、上位電圧 V_{U_P} 、下位電圧 V_{L_P} およびそれらの差分である出力電圧 V_{DAC_P} が示される。図8(b)には、上位電圧 V_{U_N} 、下位電圧

V_{L_N} およびそれらの差分である出力電圧 V_{DAC_N} が示される。下位電圧 V_{L_P} 、 V_{L_N} のレンジは、上位電圧 V_{U_P} 、 V_{U_N} のステップ幅と等しい。

[0080] 出力電圧 V_{DAC_P} は、デジタル信号 D_{IN} に対して単調増加し、出力電圧 V_{DAC_N} は、デジタル信号 D_{IN} に対して単調減少しており、2つの出力電圧 V_{DAC_P} 、 V_{DAC_N} は差動信号となっている。

[0081] 続いて、D/Aコンバータ400におけるノイズ特性の改善について説明する。図9(a)～(c)は、D/Aコンバータ400の動作波形図である。

[0082] ここでは、デジタル信号 D_{IN} として、正弦波を与えるものとする。第1上位電圧 V_{U_P} と第2上位電圧 V_{U_N} は、同じ上位変換部410により生成されるため、それらには同相のノイズが含まれる。同様に、第1下位電圧 V_{L_P} と第2下位電圧 V_{L_N} は、同じ下位変換部420により生成されるため、それらにはコモンモードノイズが含まれる。したがって、第1アンプ430の出力電圧 V_{DAC_P} と第2アンプ440の出力電圧 V_{DAC_N} は、逆相の信号成分と、コモンモードノイズを含むこととなる。

[0083] D/Aコンバータ400の出力である2つの出力電圧 V_{DAC_P} 、 V_{DAC_N} は、差動信号として使用されることから、それらの差分 $V_{DIFF} = V_{DAC_P} - V_{DAC_N}$ が信号成分となる。この信号成分 V_{DIFF} には、上位変換部410および下位変換部420において重畳されるノイズが含まれていない。

[0084] 以上がD/Aコンバータ400の動作である。このD/Aコンバータ400によれば、ノイズ特性を改善することができる。

[0085] 図9の波形図では、オーディオ信号の再生中のノイズ成分のキャンセルが示されているが、小信号状態、あるいは無信号状態において、ノイズキャンセルの効果はより顕著に表れる。

[0086] 上位変換部410、下位変換部420において発生するノイズ成分を、 V_{X_Y} （ただし $X=U, L$ 、 $Y=P, N$ ）ように表記することとする。小信号状態では、 $V_{U_P} \div V_{U_N}$ 、 $V_{L_P} \div V_{L_N}$ となり、変換部の抵抗により生ずるノイズ成分がBTL出力においてキャンセルされる。無信号状態では、 V_{U_P}

$=V_{U_N}$, $V_{L_P}=V_{L_N}$ となり、変換部の抵抗により生ずるノイズ成分がBTL出力においてキャンセルされることとなる。

[0087] 図10は、上位変換部410および下位変換部420の構成例を示す回路図である。上位変換部410は、上位抵抗ストリングRSTR1、上位セクタ412、上位デコーダ414を含む。上位抵抗ストリングRSTR1は、直列に接続される複数（ $2^m - 1 = 511$ 個）の抵抗要素を含み、隣接する抵抗要素の接続ノードには、タップが設けられる。上位抵抗ストリングRSTR1の一端には、第1基準電圧 V_{r1} が、その他端には第2基準電圧 V_{r2} が印加される。上位セクタ412は上位抵抗ストリングRSTR1の複数のタップと接続され、その内部に複数のスイッチを含む。上位デコーダ414は、上位セクタ412を制御し、上位 m ビット $D_{IN}[15:7]$ にもとづく2個のタップに発生する電圧 V_{U_P} , V_{U_N} を選択する。具体的には、センターを中心として対称な位置にある2個のタップが選択される。

[0088] 同様に下位変換部420は、下位抵抗ストリングRSTR2、下位セクタ422、下位デコーダ424を含む。下位抵抗ストリングRSTR2は直列に接続される複数 $2^{n-m} - 1 = 127$ 個の抵抗要素を含み、隣接する抵抗要素の接続ノードには、タップが設けられる。下位抵抗ストリングRSTR2の一端には、第3基準電圧 V_{r3} が、その他端には第4基準電圧 V_{r4} が印加される。下位セクタ422は、下位抵抗ストリングRSTR2の複数のタップと接続され、その内部に複数のスイッチを含む。下位デコーダ424は、下位セクタ422を制御し、下位 $(n-m)$ ビット $D_{IN}[6:0]$ にもとづく2個のタップの電圧 V_{L_P} , V_{L_N} を選択する。具体的には、センターを中心として対称な位置にある2個のタップが選択される。

[0089] その限りでないが、 $V_{r2}=V_{r3}$ としてもよい。

[0090] 図11は、上位変換部410および下位変換部420の具体的な構成例を示す回路図である。上位変換部410および下位変換部420は、上位抵抗ストリングRSTR1および下位抵抗ストリングRSTR2に加えて、第1抵抗 $R1$ 、第2抵抗 $R2$ 、第3抵抗 $R3$ 、第4抵抗 $R4$ を備える。第1抵抗

R 1 ～第3抵抗 R 3 は、基準電圧端子 V_{REG} と接地の間に直列に設けられる。
第4抵抗 R 4 は、下位抵抗ストリング R S T R 2 と並列に接続される。

[0091] もし、R 1 ～R 4 がいない場合、下位抵抗ストリング R S T R 2 の抵抗要素の抵抗値は、上位抵抗ストリング R S T R 1 の抵抗要素の抵抗値の $1/127$ 倍に設計する必要がある。この構成では、抵抗 R 1, R 2, R 3, R 4 を適切に定めることにより、上位抵抗ストリング R S T R 1 の抵抗要素と、下位抵抗ストリング R S T R 2 の抵抗要素を同じ抵抗値で構成することが可能となる。

[0092] 第1抵抗 R 1、第2抵抗 R 2 および第3抵抗 R 3 はペアリングすることが好ましく、上位抵抗ストリング R S T R 1、下位抵抗ストリング R S T R 2 および第4抵抗 R 4 はペアリングすることが好ましい。これにより、抵抗ばらつきの影響をキャンセルし、積分非直線性や微分非直線性などの特性を改善できる。

[0093] 上位セクタ 4 1 2 および下位セクタ 4 2 2 の構成を、図 1 2 を参照して説明する。図 1 2 は、図 1 1 の上位セクタ 4 1 2 および下位セクタ 4 2 2 の回路図である。

[0094] 上位抵抗ストリング R S T R 1 は、 $2^m = 512$ 個の抵抗要素を含み、ミランダ状に形成されており、複数のタップが、A 行 B 列のマトリクス状に配置される。具体的には、X 方向に $B = 32$ 個の抵抗要素を含むバーが配置され、それが折り返されており、したがってこの例では $A = 16$ 、 $B = 32$ である。なお、再低電位 (V_{r3}) 側の抵抗要素は短絡されている。

[0095] 上位セクタ 4 1 2 は、A 行 B 列のマトリクス状に配置される複数 ($2^m = 512$ 個) の上位スイッチ SW_u と、A 本の行ライン L_r 、B 本の列ライン L_c 、A 個の第1出力スイッチ SW_{op} 、A 個の第2出力スイッチ SW_{on} を備える。上位スイッチ SW_u の一端は、対応するタップと接続され、 i 行目 ($1 \leq i \leq A$) の複数の上位スイッチ SW_u の他端は i 行目の行ライン L_r と接続され、 j 列目 ($1 \leq j \leq B$) の複数の上位スイッチ SW_u の制御端子は j 列目の列ライン L_c と接続される。

- [0096] A個の第1出力スイッチSW_{o__p}それぞれの一端は、第1出力ラインL_{o__p}と接続され、それぞれの他端は、A本の行ラインL_rの対応するひとつと接続される。A個の第2出力スイッチSW_{o__n}それぞれの一端は、第2出力ラインL_{o__n}と接続され、それぞれの他端は、A本の行ラインL_rの対応するひとつと接続される。複数の上位スイッチは、CMOS (Complementary Metal Oxide Semiconductor) スイッチで構成することが好ましい。
- [0097] 上位デコーダ414は、複数の列ラインL_cに印加すべき32ビットのデータH_{INB} [31 : 0] を生成する。
- [0098] また上位デコーダ414は、複数の第1出力スイッチSW_{o__p}に印加すべき制御信号H_{INA} [15 : 0] を生成する。複数の第2出力スイッチSW_{o__n}には、制御信号H_{INA} [15 : 0] が逆順で割り当てられる。
- [0099] 下位抵抗ストリングRSTR2および下位セクタ422についても同様に構成される。下位抵抗ストリングRSTR2は、 $2^{n-m} = 128$ 個の抵抗要素を含み、ミランダ状に形成されており、複数のタップがC行D列のマトリクス状に配置される。具体的には、X方向にD = 32個の抵抗要素を含むバーが配置され、それが折り返されており、したがってこの例ではC = 4、D = 32である。なお、再低電位 (V_{r4}) 側の抵抗要素は短絡されている。
- [0100] 下位セクタ422は、C行D列のマトリクス状に配置される複数 ($2^{n-m} = 256$ 個) の下位スイッチSW_Iと、C本の行ラインL_r、D本の列ラインL_c、C個の第3出力スイッチSW_{o__p}、C個の第2出力スイッチSW_{o__n}を備える。下位スイッチSW_Iの一端は、対応するタップと接続され、i行目 ($1 \leq i \leq C$) の複数の下位スイッチSW_Iの他端はi行目の行ラインL_rと接続される。またj列目 ($1 \leq j \leq B$) の複数の下位スイッチSW_Iの制御端子はj列目の列ラインL_cと接続される。
- [0101] C個の第3出力スイッチSW_{o__p}それぞれの一端は、第3出力ラインL_{o__p}と接続され、それぞれの他端は、C本の行ラインL_rの対応するひとつと接続される。C個の第4出力スイッチSW_{o__n}それぞれの一端は、第4出力ラインL_{o__n}と接続され、それぞれの他端は、C本の行ラインL_r

の対応するひとつと接続される。複数の下位スイッチは、NMOS (N-channel Metal Oxide Semiconductor) スイッチで構成することが好ましい。これによりチップ面積を小さくできる。

[0102] 下位デコーダ424は、複数の列ラインLcに印加すべき32ビットのデータLINC[31:0]を生成する。

[0103] また下位デコーダ424は、複数の第3出力スイッチSWo__pに印加すべき制御信号LIND[15:0]を生成する。複数の第4出力スイッチSWo__pには、制御信号HIND[15:0]が逆順で印加される。

[0104] この構成によれば、上位抵抗ストリングRSTR1、下位抵抗ストリングRSTR2をミランダ状に配置し、スイッチをマトリクス状に配置することにより、制御線の本数を減らすことができる。

[0105] もし上位セクタ412において、第1上位電圧V_{U_P}を取り出すためのセクタと、第2上位電圧V_{U_N}を取り出すためのセクタを別個に設けると、スイッチの個数が膨大となる。具体的には、 $A \times B \times 2 = 512 \times 2 = 1024$ 個のスイッチが必要となる。これに対して図12の構成では、スイッチの個数を、 $A \times B + A \times 2 = 512 + 32 = 544$ 個に減らすことができる。下位セクタ422についても同様の効果が得られる。

[0106] 図13は、第1アンプ430および第2アンプ440の構成例を示す回路図である。上述のように第1アンプ430および第2アンプ440は同じ構成を有し、オペアンプOA11, OA12, 抵抗R11, R12を含む。オペアンプOA1はバッファ（ボルテージフォロア）を構成しており、下位電圧V_{L_#}（# = P, N）を受ける。オペアンプOA2および抵抗R11, R12は、減算アンプ（減算回路）を構成しており、2つの入力電圧V_{U_#}、V_{L_#}の差分に応じた電圧V_{DAC#}を出力する。

[0107] 続いてD/Aコンバータ400の変形例を説明する。

[0108] 実施の形態では、第1下位電圧V_{U_P}がデジタル信号D_{IN}の下位ビットに応じて単調減少し、第2下位電圧V_{U_N}がデジタル信号D_{IN}の下位ビットに応じて単調増加したがその限りでなく、第1下位電圧V_{U_P}がデジタル信号D_{IN}の

下位ビットに応じて単調増加し、第2下位電圧 V_{U_N} がデジタル信号 D_{IN} の下位ビットに応じて単調減少してもよい。この場合、第1アンプ430および第2アンプ440を、減算回路でなく、加算回路で構成すればよい。

$$V_{DAC_P} = g \times (V_{U_P} + V_{L_P})$$

$$V_{DAC_N} = g \times (V_{U_N} + V_{L_N})$$

[0109] 実施の形態では、上位変換部410および下位変換部420を抵抗分圧式で構成したが、その限りでなく、その他のD/Aコンバータで構成してもよい。

[0110] 図11の基準電圧 V_{REG} として、ボリウム設定ピンFIL Aの電圧 $V_{FIL A}$ に応じた基準電圧 V_{FIL} を与えればよい。

[0111] 図14は、D/Aコンバータ320の別の構成例(400B)およびバイアス回路310Bを示す図である。このD/Aコンバータ400Bは、インバータ型である。D/Aコンバータ400Bは差動のサーモメータコード $D1_P \sim Dn_P$, $D1_N \sim Dn_N$ が入力される。したがってD/Aコンバータ400Bの前段には、図3のデジタルオーディオインタフェース回路330が受信したオーディオ信号 D_{IN} をサーモメータコードに変換する変換器(不図示)が設けられる。

[0112] D/Aコンバータ400Bは、複数のレベルシフタ $LSP1 \sim LSPn$ 、 $LSN1 \sim LSNn$ 、複数のインバータ $INVP1 \sim INVPn$, $INVN1 \sim INVNn$ 、抵抗 $RP1 \sim RPn$, $RN1 \sim RNn$ 、キャパシタ $C41 \sim C43$ 、抵抗 $R41 \sim R46$ を備える。

[0113] バイアス回路310Bは、ボリウム設定ピンFIL Aの電圧 $V_{FIL A}$ に応じた基準電圧 V_{FIL} を生成する。この例では、バイアス回路310Bは、非反転アンプ318を備え、設定電圧 $V_{FIL A}$ をゲイン倍($\times (R27 + R28) / R27$)した電圧レベルを有する基準電圧 V_{FIL} を出力する。

[0114] 基準電圧 V_{FIL} は、複数のインバータ $INVP1 \sim INVPn$, $INVN1 \sim INVNn$ に供給される。正極性のサーモメータコード $D1_P \sim Dn_P$ は、レベルシフタ $LSP1 \sim LSPn$ を介して、インバータ $INVP1 \sim$

$INVP_n$ のゲートに入力される。サーモメータコードの i 番目のビット D_{i_P} がハイのとき、対応するインバータ $INVP_i$ は、ハイ電圧すなわち基準電圧 V_{FIL} を出力する。反対にサーモメータコードの i 番目のビット D_{i_P} がローのとき、対応するインバータ $INVP_i$ は、ロー電圧すなわち $0V$ を出力する。

[0115] 複数の抵抗 $RP_1 \sim RP_n$ の接続ノード N_p に発生する電圧 V_p は、サーモメータコード $D_{1_P} \sim D_{n_P}$ の値（1の個数）に比例する。

[0116] 負極性のサーモメータコード $D_{1_N} \sim D_{n_N}$ は、レベルシフタ $LSN_1 \sim LSN_n$ を介して、インバータ $INVN_1 \sim INVN_n$ のゲートに入力される。複数の抵抗 $RN_1 \sim RN_n$ の接続ノード N_n に発生する電圧 V_n は、サーモメータコード $D_{1_N} \sim D_{n_N}$ の値（1の個数）に比例する。

[0117] オペアンプ OA_{41} 、抵抗 R_{42} 、 R_{43} は、反転アンプを構成しており、電圧 V_n を反転し、電圧 V_{n_b} を生成する。

[0118] 抵抗 R_{41} 、 R_{44} 、 R_{45} およびオペアンプ OA_{42} は、反転型の加算器であり、電圧 V_{n_b} と電圧 V_p を加算および反転増幅し、 D/A コンバータ $400B$ の出力電圧 V_{DAC} を生成する。

[0119] 図15は、 D/A コンバータ 320 の別の構成例（ $400C$ ）を示す図である。 D/A コンバータ 400 は、電流加算型であり、バイアストランジスタ M_0 、複数の電流源 $CS_1 \sim CS_n$ 、抵抗 R_{51} 、 R_{52} 、出力段 470 を備える。 D/A コンバータ $400C$ には、差動のサーモメータコード $D_1 \sim D_n$ が入力される。

[0120] i 番目の電流源 CS は、差動対と、テイル電流源となるトランジスタ M_i を含む。トランジスタ $M_1 \sim M_n$ は、トランジスタ M_0 を入力とするカレントミラー回路を構成している。トランジスタ M_0 のドレインは、ボリウム設定端子 $FILA$ と接続される。ボリウム設定端子 $FILA$ には、バイアス信号 V_{BIAS} が供給される。トランジスタ $M_0 \sim M_n$ に流れる電流は、バイアス信号 V_{BIAS} に応じて設定可能である。

[0121] 抵抗 R_{51} 、 R_{52} の第一端には、基準電圧 V_{FILP} が供給される。電流源

C S 1 ~ C S n の差動対の一方（図中、左側）のドレインは、抵抗 R 5 1 の第二端と接続され、差動対の他方（図中、右側）のドレインは、抵抗 R 5 2 の第二端と接続される。

[0122] 出力段 4 7 0 は、抵抗 R 5 1, R 5 2 それぞれの第二端の電圧 V_n , V_p の差分に応じた電圧 V_{DAC} を出力する。出力段 4 7 0 の構成は特に限定されないが、たとえば、キャパシタ C 5 1, 抵抗 R 5 3 ~ R 7、基準電圧源 4 7 2、オペアンプ O A 5 1, O A 5 2 を含む。

[0123] オペアンプ O A 5 1 および抵抗 R 5 3, R 5 4 は、反転増幅器を構成しており、電圧 V_n を反転増幅し、電圧 V_{n_b} を出力する。

[0124] オペアンプ O A 5 2 および抵抗 R 5 5 ~ R 5 7 は、反転型の加算増幅器を構成しており、電圧 V_p と電圧 V_{n_b} を加算および反転増幅し、D/A コンバータ 4 0 0 C の出力電圧 V_{DAC} を生成する。

[0125] (用途)

オーディオ回路 3 0 0 の用途を説明する。図 1 6 は、実施の形態に係るオーディオ回路を利用した車載オーディオシステムのブロック図である。

[0126] 車載オーディオシステム 5 0 0 は、4 個のスピーカ 5 0 2_{FL}, 5 0 2_{FR}, 5 0 2_{RL}, 5 0 2_{RR}、4 個のフィルタ 5 0 4_{FL}, 5 0 4_{FR}, 5 0 4_{RL}, 5 0 4_{RR}、音源 5 0 6 およびオーディオ回路 3 0 0 を備える。

[0127] 音源 1 0 6 は、左右 (L R) 2 チャンネルあるいはマルチチャンネルのデジタルオーディオ信号を出力する。オーディオ回路 3 0 0 は、4 チャンネルの D 級アンプ回路 2 0 0 と、音源 1 0 6 とのインタフェース回路 3 0 1 を備える。インタフェース回路 3 0 1 は、図 3 のデジタルオーディオインタフェース回路 3 3 0 および D/A コンバータ 3 2 0 に対応付けることができる。

[0128] フィルタ 5 0 4、音源 5 0 6 およびオーディオ回路 3 0 0 は、オーディオヘッドユニットやカーナビゲーション装置に内蔵される。あるいはオーディオ回路 3 0 0 は、音源 1 0 6 とは独立した製品であってもよい。

[0129] 図 1 7 (a)、(b) は、実施の形態に係るオーディオ回路を利用した電子機器を示す図である。図 1 7 (a) の電子機器は、テレビなどのディス

レイ装置 600 である。ディスプレイ装置 600 は、スピーカ 602 L, 602 R、フィルタ 604 L, 604 R、音源 606 およびオーディオ回路 300、ディスプレイパネル 610 を備える。

[0130] 図 17 (b) の電子機器は、オーディオコンポーネント装置 800 である。オーディオコンポーネント装置 800 は、音源に相当するオーディオ信号処理回路 806、オーディオ回路 300、図示しないフィルタを備える。オーディオ回路 300 は、スピーカケーブルを介して接続される 802 L, 802 R を駆動する。

[0131] 上述した実施形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なが当業者に理解される。以下、こうした変形例について説明する。

[0132] 実施の形態では、ハーフブリッジ型の D 級アンプを説明したが、フルブリッジ型 (BTL: Bridge-Tied Load) の D 級アンプにも本発明は適用可能であり、この場合、ローパスフィルタ 104 の DC ブロックコンデンサが不要となる。さらに、フルブリッジ型の D 級アンプでは、ローパスフィルタ 104 を省略したフィルタレス変調方式を採用してもよい。

産業上の利用可能性

[0133] 本開示は、オーディオ装置に利用できる。

符号の説明

[0134] 100 オーディオシステム
102 スピーカ
104 フィルタ
106 音源
300 オーディオ回路
VCC 電源ピン
FIL A ボリウム設定ピン
200 D 級アンプ回路
210 積分器

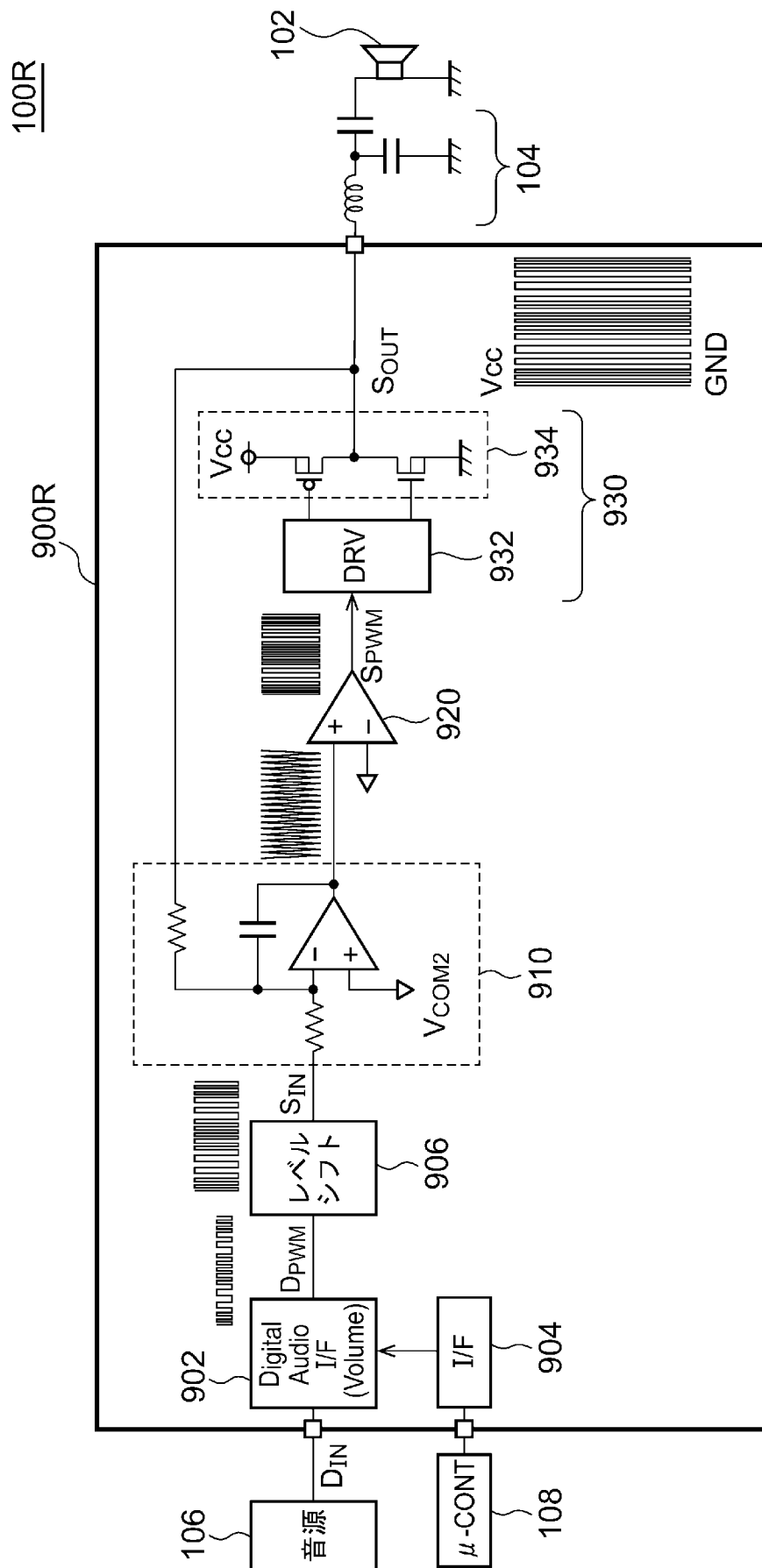
- 2 1 2 エラーアンプ
- 2 2 0 周期電圧発生回路
- 2 3 0 PWMコンパレータ
- 2 4 0 ブリッジ回路
- 2 5 0 ドライバ
- 3 1 0 バイアス回路
- 3 2 0 D／Aコンバータ
- 3 3 0 デジタルオーディオインタフェース回路
- 4 0 0 D／Aコンバータ

請求の範囲

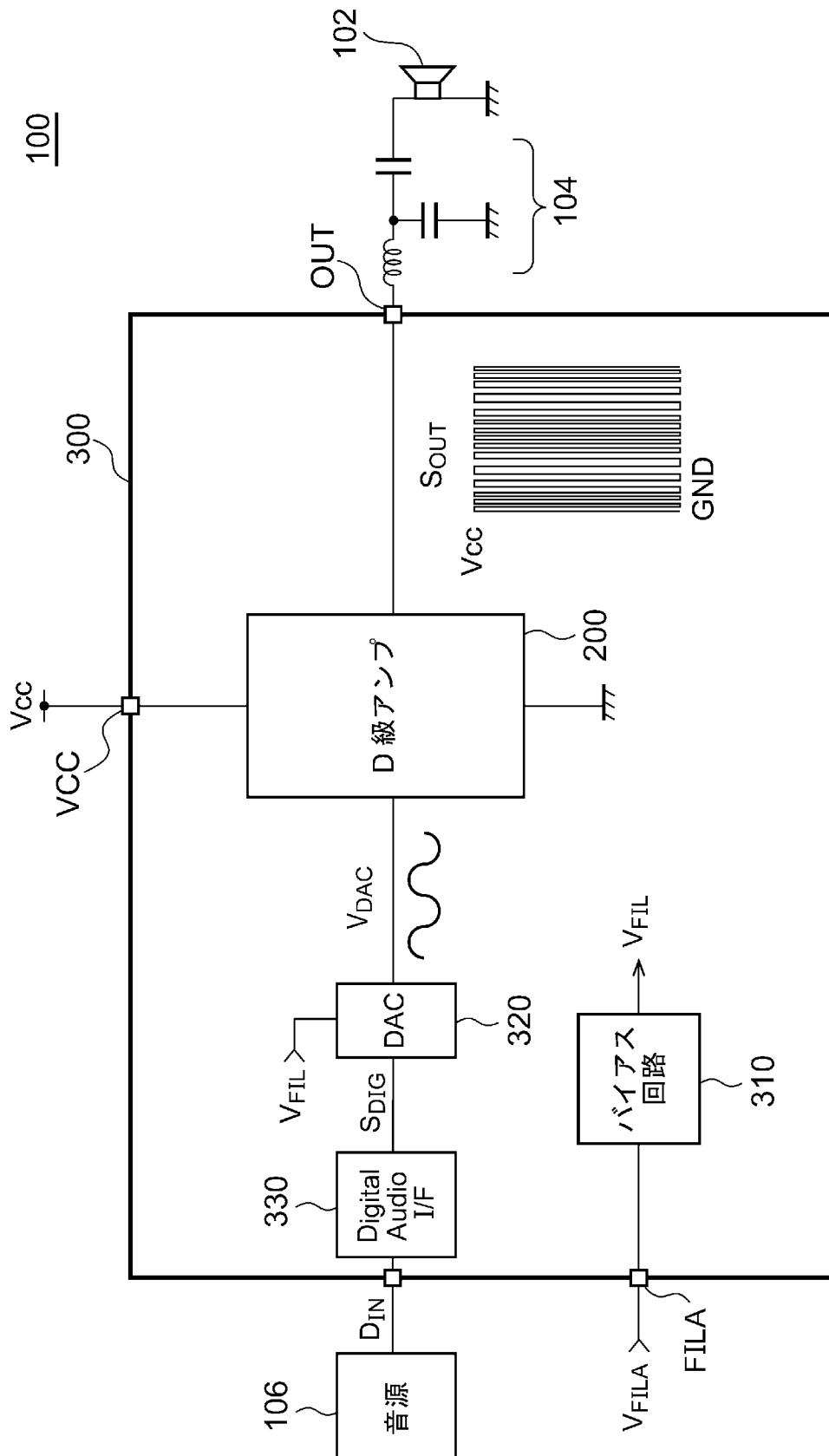
- [請求項1] アナログ電圧を受けるボリウム設定ピンと、
 電源電圧を受ける電源ピンと、
 前記アナログ電圧に応じた第1基準電圧を生成するバイアス回路と、
 、
 デジタルオーディオ信号をアナログオーディオ信号に変換するD／Aコンバータであって、前記第1基準電圧に応じてフルスケールの電圧範囲が可変であるD／Aコンバータと、
 前記D／Aコンバータが出力する前記アナログオーディオ信号に応じたデューティサイクルを有し、前記電源電圧に応じた振幅を有する出力パルス信号を出力するD級アンプ回路と、
 を備える、オーディオ回路。
- [請求項2] 前記バイアス回路は、
 前記ボリウム設定ピンと前記電源ピンの間に設けられる第1抵抗と、
 、
 前記ボリウム設定ピンと接地の間に設けられる第2抵抗と、
 を含む、請求項1に記載のオーディオ回路。
- [請求項3] 前記D級アンプ回路は、
 前記アナログオーディオ信号と前記出力パルス信号を受ける積分器と、
 、
 三角波またはのこぎり波の周期電圧を生成する周期電圧発生回路と、
 、
 前記積分器の出力と前記周期電圧を比較するPWM（Pulse Width Modulation）コンパレータと、
 ブリッジ回路と、
 前記PWMコンパレータの出力に応じて、前記ブリッジ回路を駆動するドライバと、
 を備える、請求項1または2に記載のオーディオ回路。

- [請求項4] 前記バイアス回路は、前記第1基準電圧と前記電源電圧を分圧して得られる第2基準電圧をさらに生成し、
- 前記第2基準電圧は、前記積分器に供給される、請求項3に記載のオーディオ回路。
- [請求項5] 前記周期電圧発生回路は、前記第2基準電圧を中点レベルとする前記周期電圧を生成する、請求項4に記載のオーディオ回路。
- [請求項6] ひとつの基板に一体集積化される、請求項1から5のいずれかに記載のオーディオ回路。
- [請求項7] スピーカと、
- 前記スピーカを駆動する請求項1から6のいずれかに記載のオーディオ回路と、
- を備える、車載オーディオシステム。
- [請求項8] 請求項1から6のいずれかに記載のオーディオ回路を備える、電子機器。

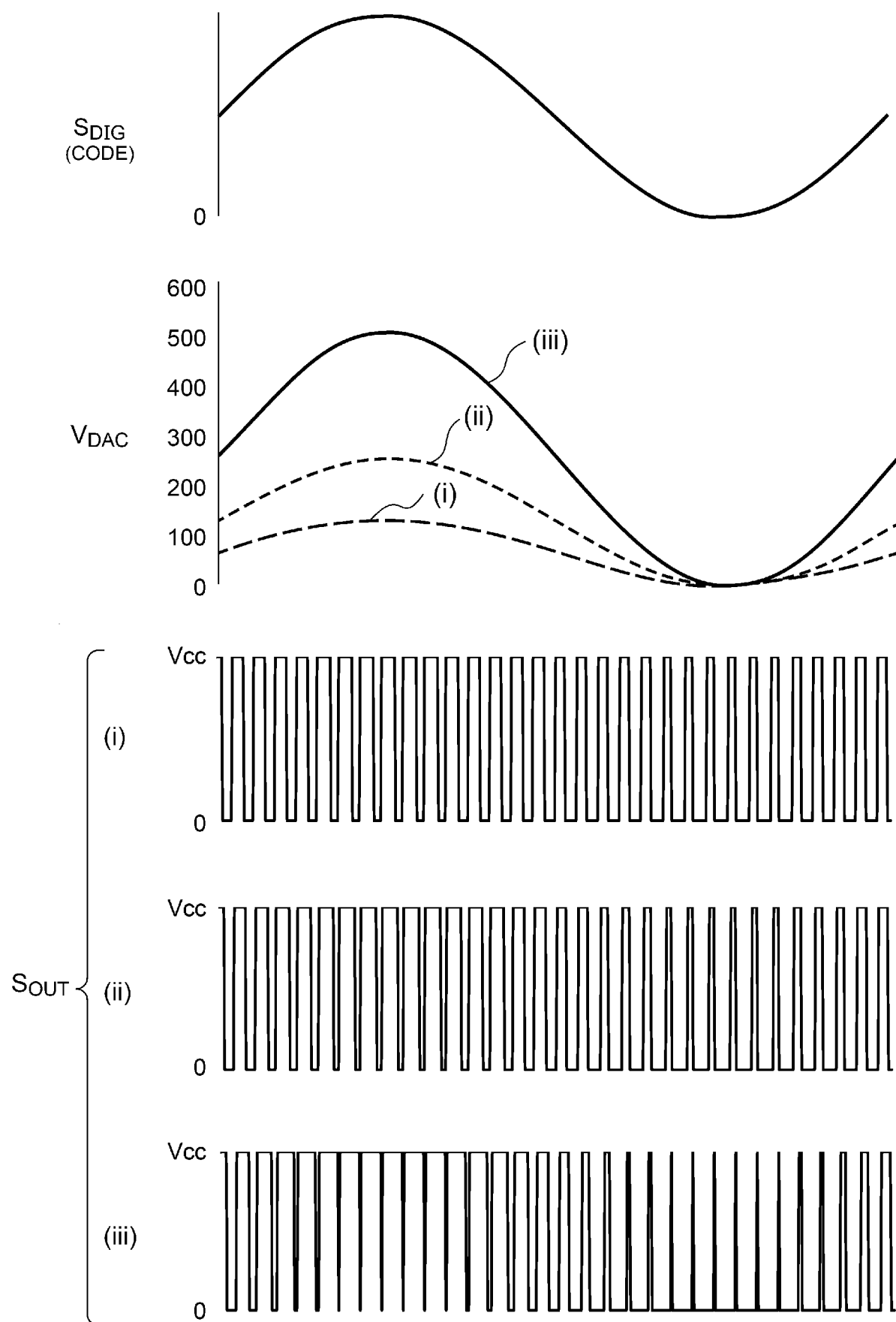
[図1]



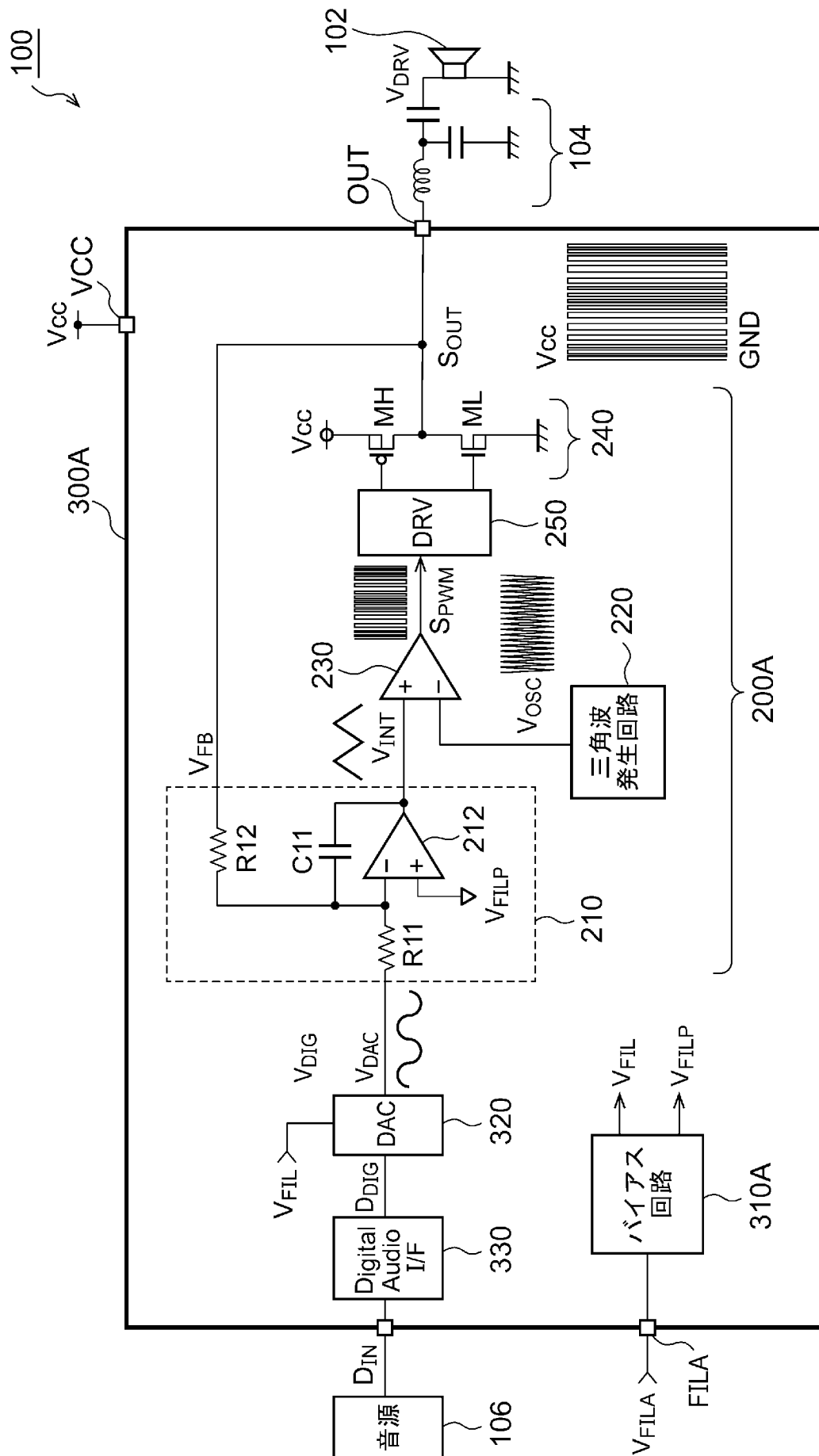
[図3]



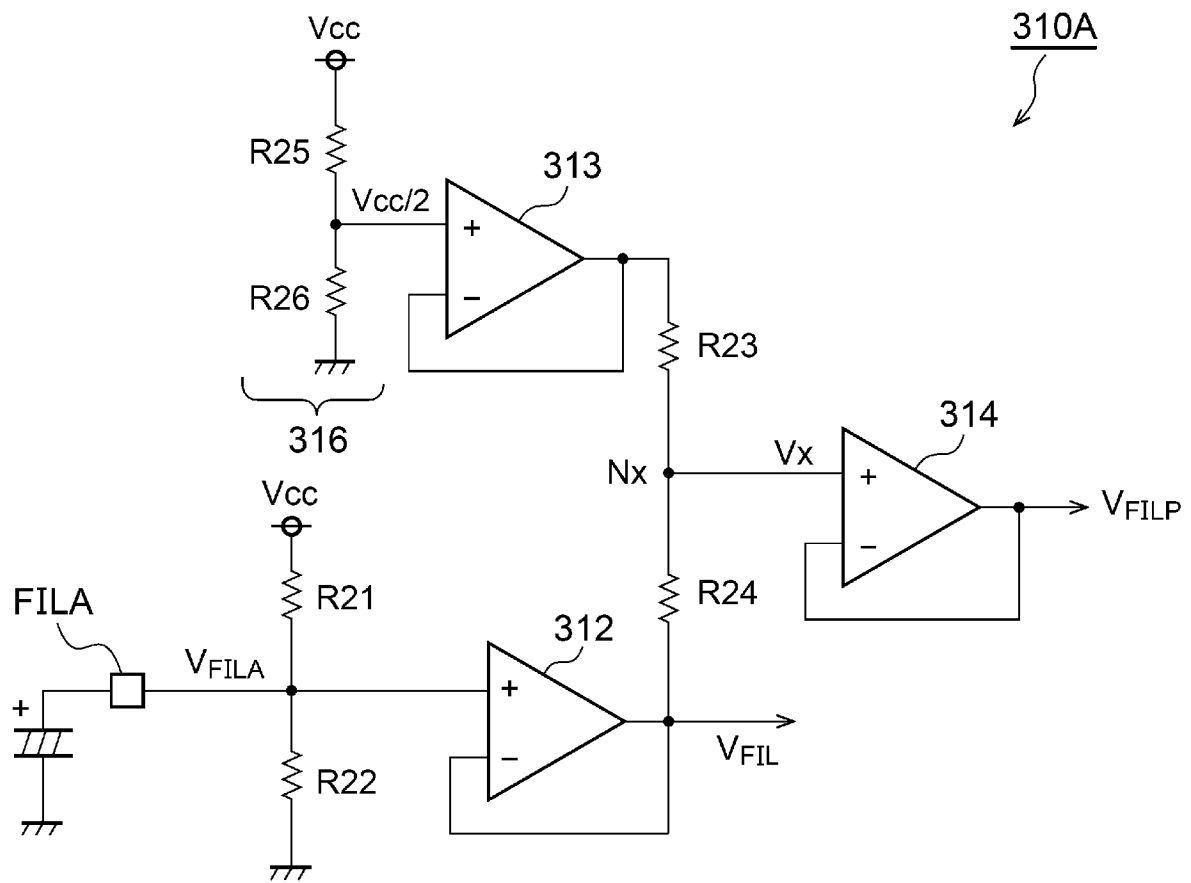
[図4]



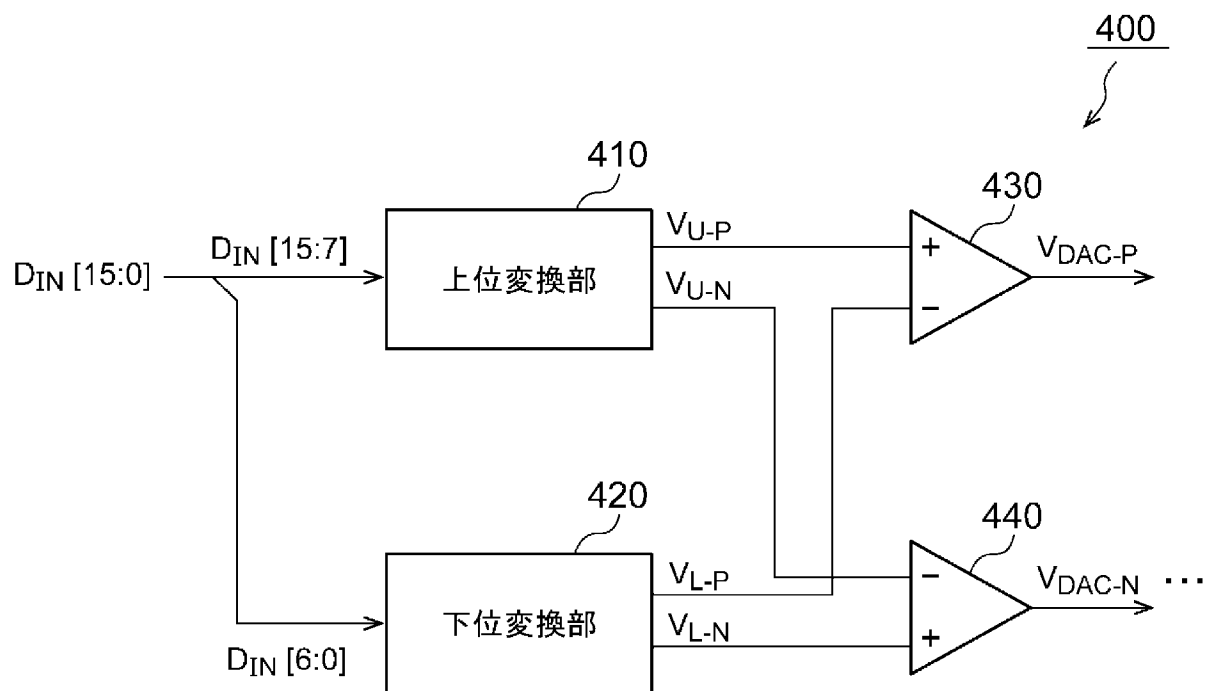
[図5]



[図6]

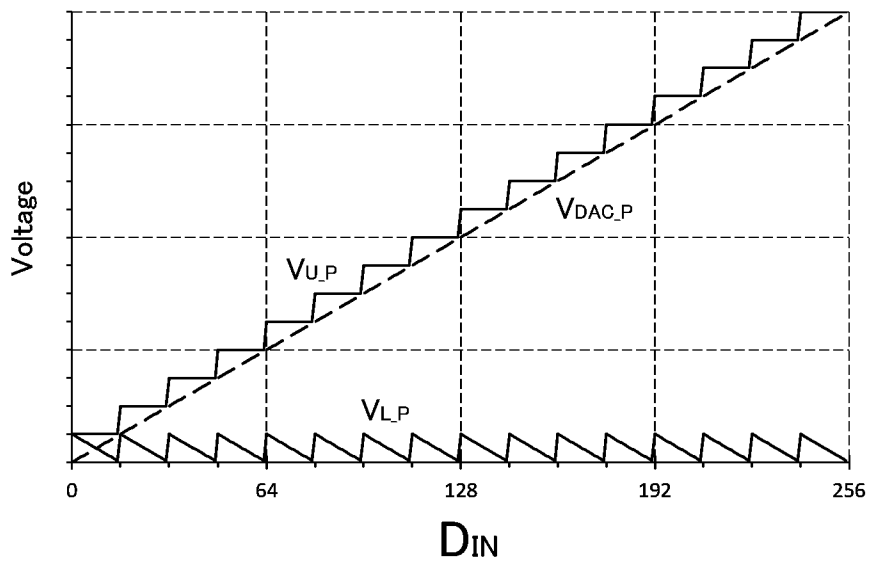


[図7]

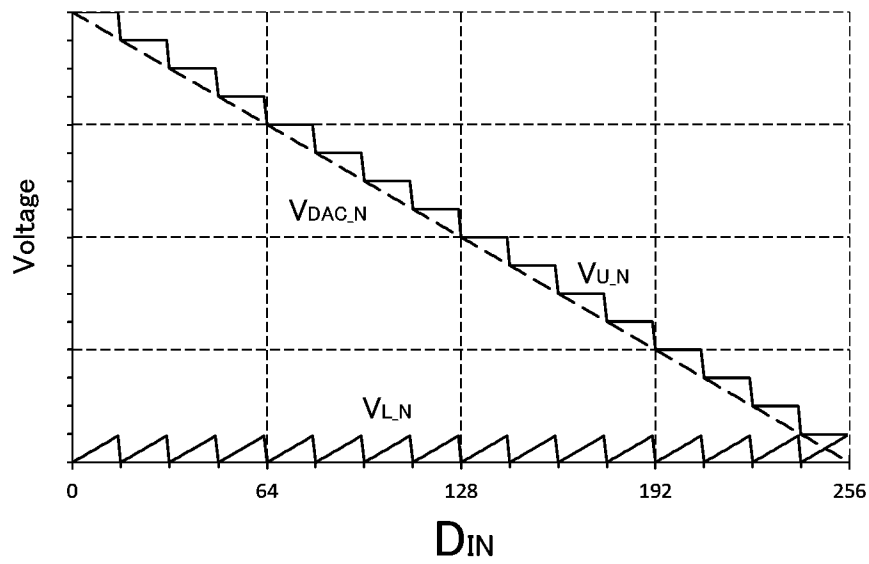


[図8]

(a)

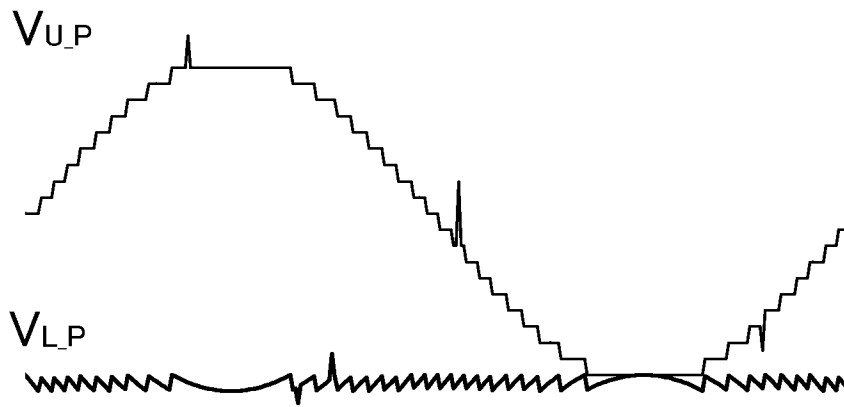


(b)

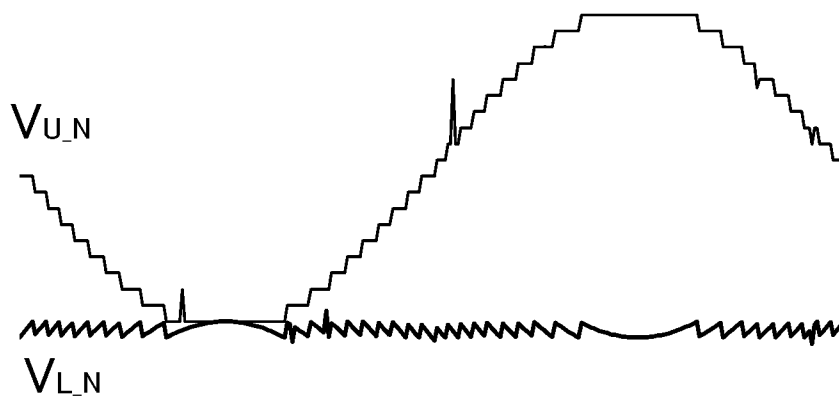


[図9]

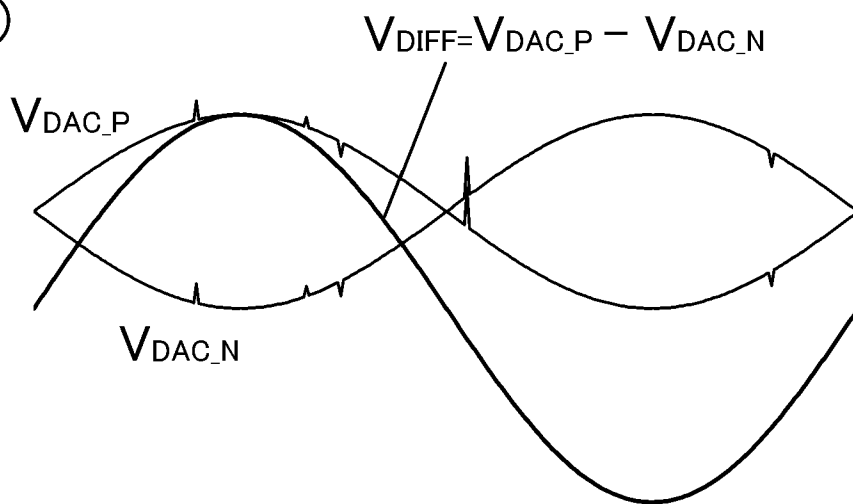
(a)



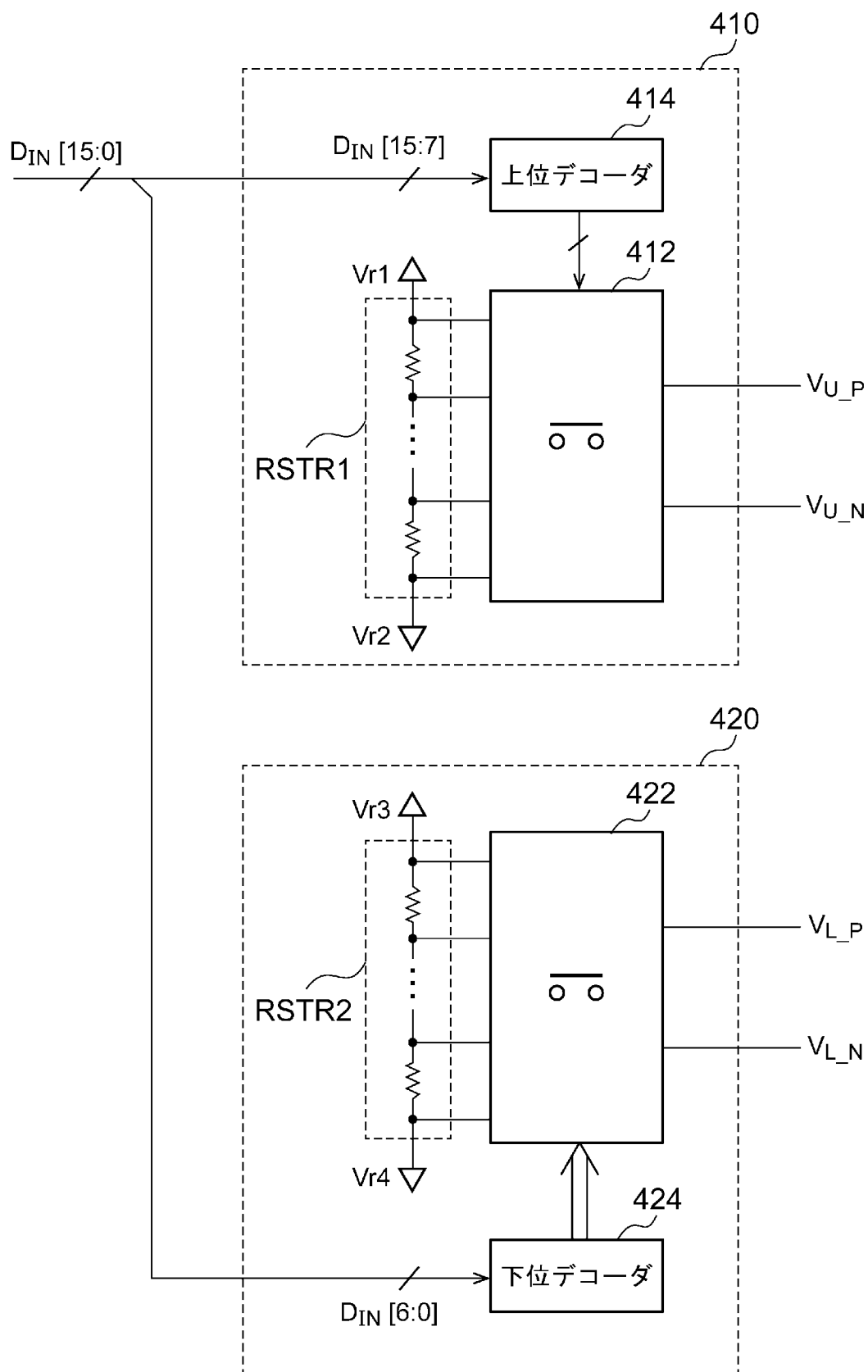
(b)



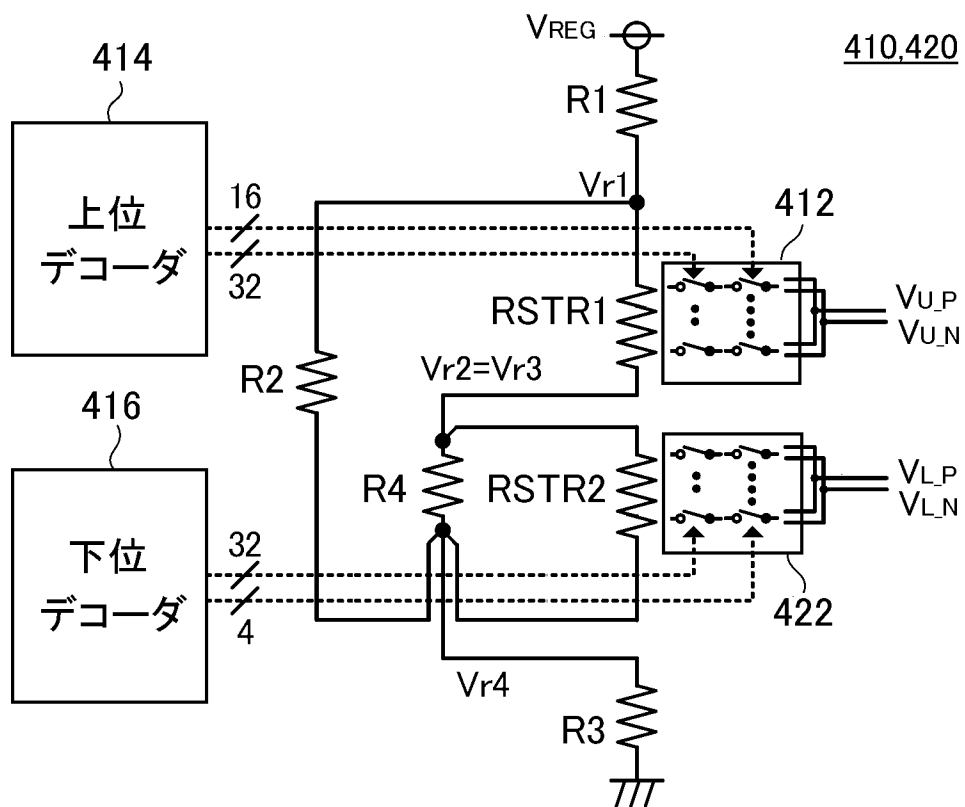
(c)



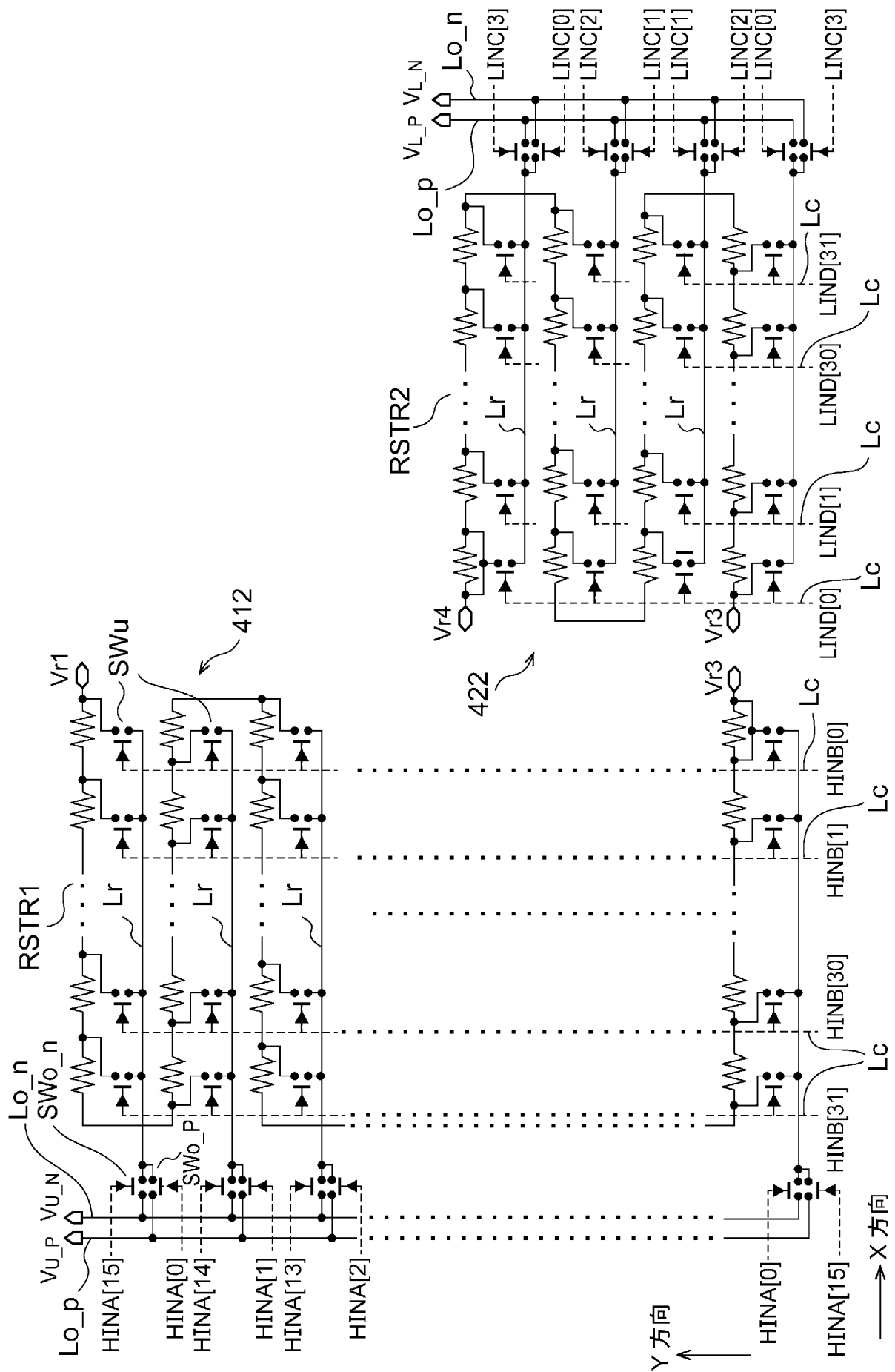
[図10]



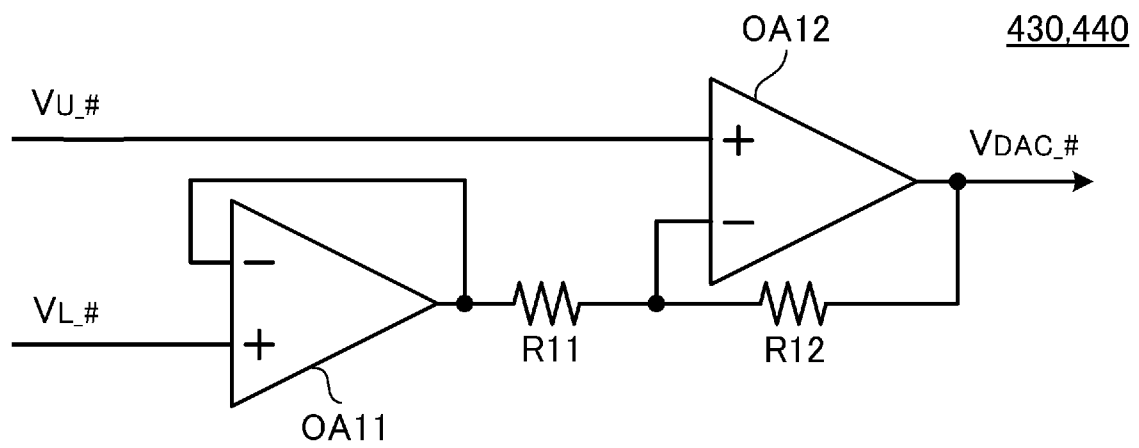
[図11]



[図12]

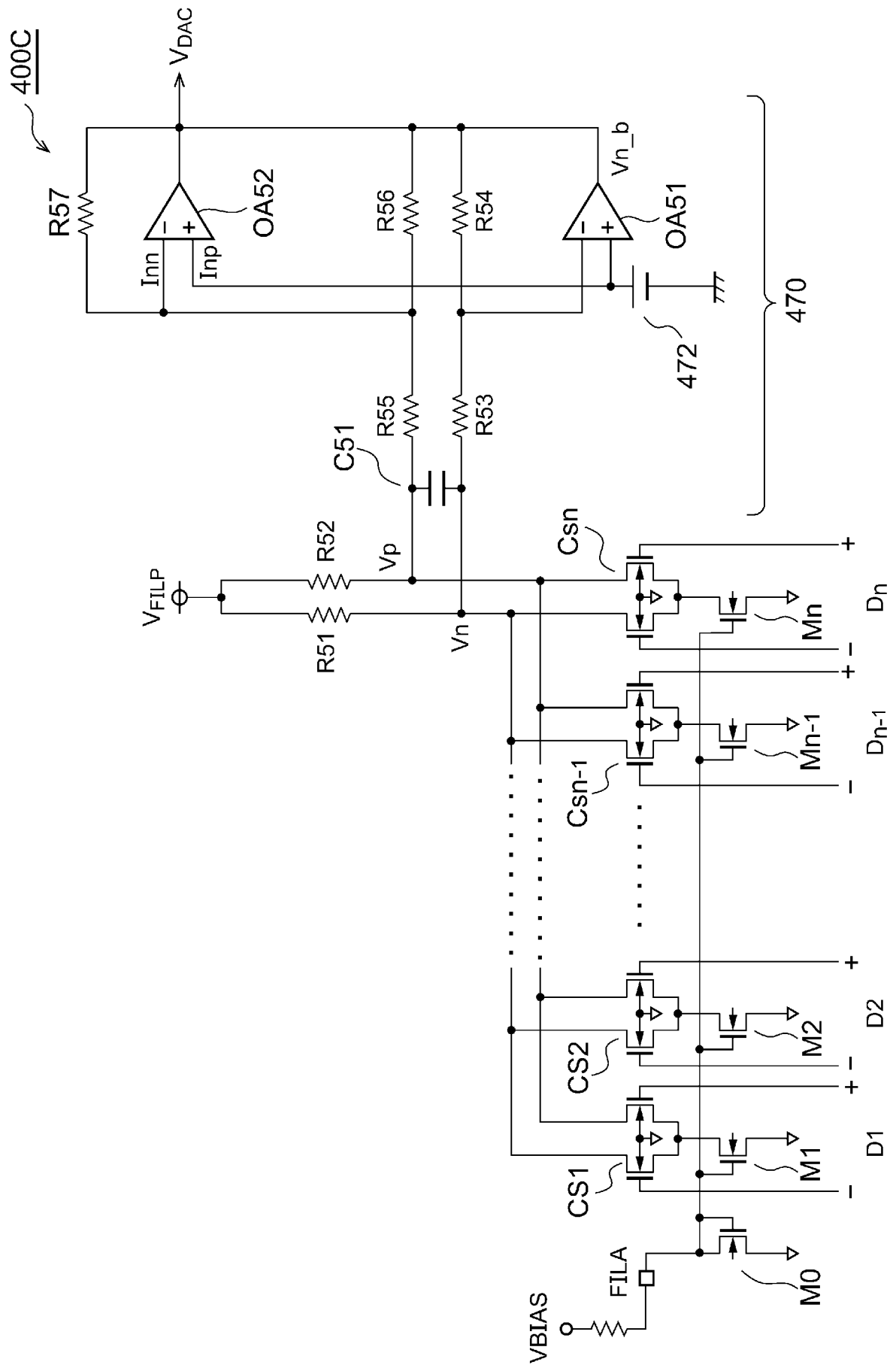


[図13]

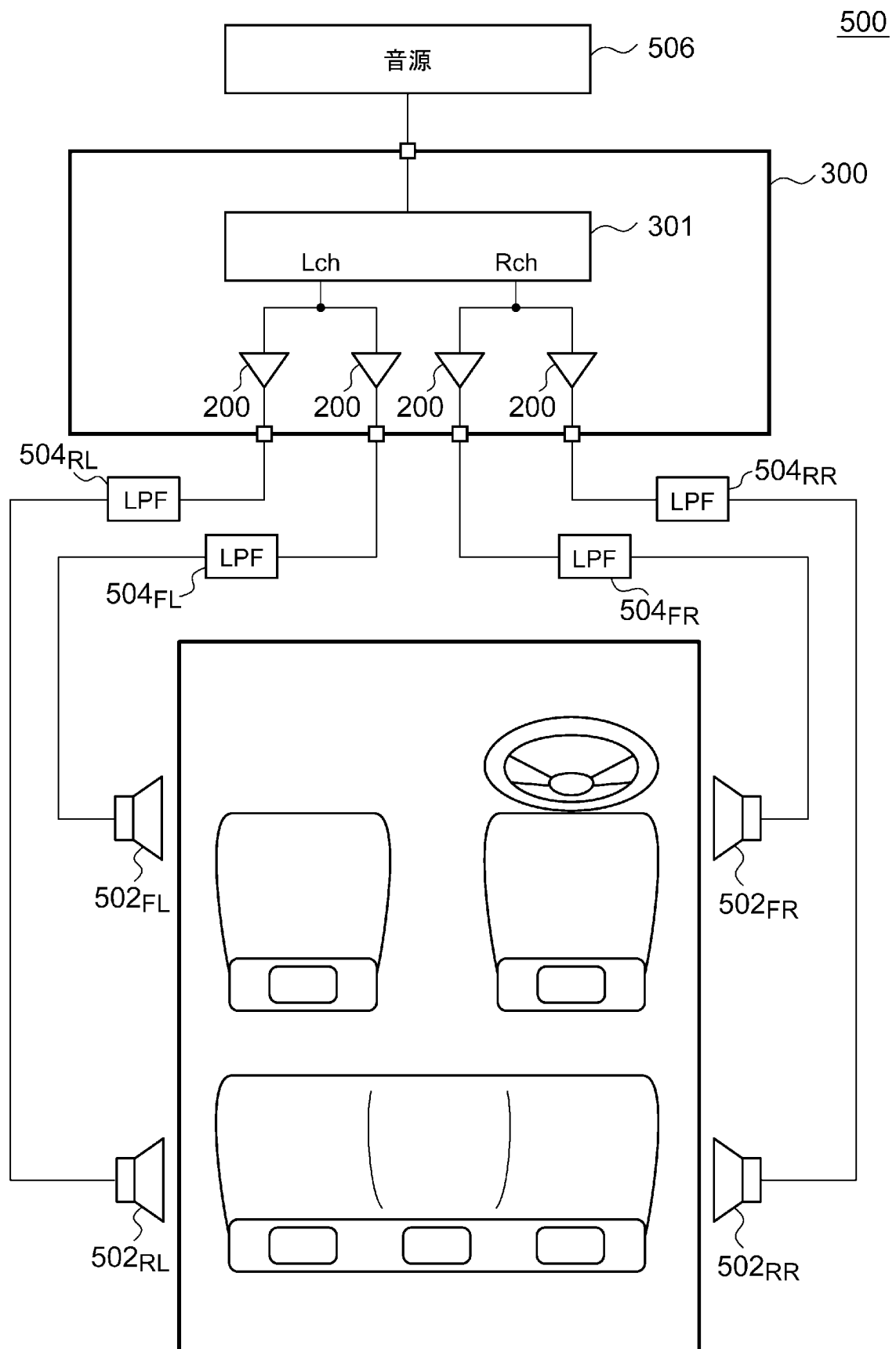


[illegible]

【図15】

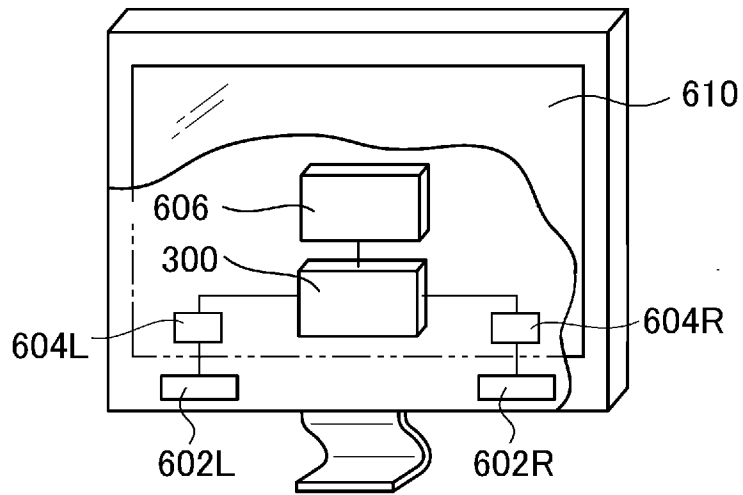


[図16]

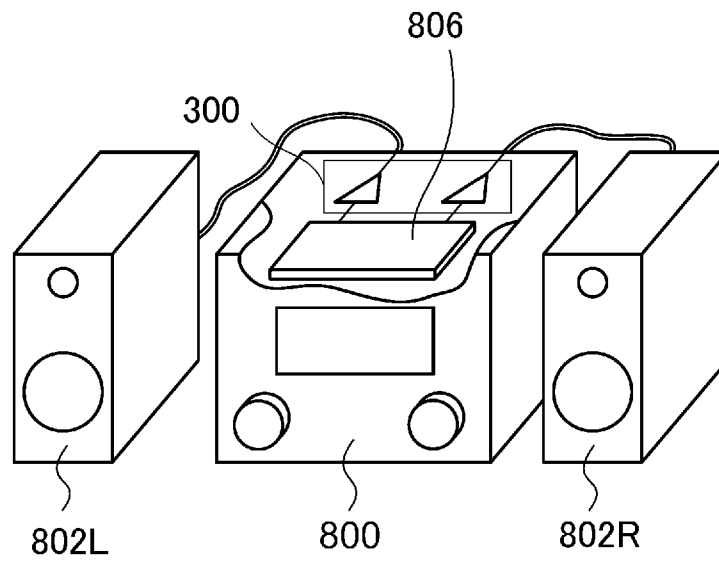


[図17]

(a)

600

(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/031522

A. CLASSIFICATION OF SUBJECT MATTER**H03K 7/08**(2006.01)i; **H03F 3/217**(2006.01)i

FI: H03F3/217 150; H03K7/08 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K7/08; H03F3/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-7005 A (QUALCOMM INC) 14 January 2016 (2016-01-14) paragraphs [0015]-[0034], fig. 2-4	1-3, 6-8
Y	JP 2017-9440 A (ROHM CO LTD) 12 January 2017 (2017-01-12) paragraphs [0002]-[0006], [0025]-[0051], fig. 1-6	1-3, 6-8
Y	JP 2011-82959 A (ROHM CO LTD) 21 April 2011 (2011-04-21) paragraphs [0018]-[0038], fig. 2	2-3, 6-8
A	JP 2016-63299 A (ROHM CO LTD) 25 April 2016 (2016-04-25) entire text, all drawings	4-5
A	JP 2006-33204 A (TOSHIBA CORP) 02 February 2006 (2006-02-02) entire text, all drawings	4-5
A	JP 2010-536197 A (WOLFSON MICROELECTRONICS PLC) 25 November 2010 (2010-11-25) entire text, all drawings	4-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 September 2021

Date of mailing of the international search report

05 October 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/031522

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-7005	A	14 January 2016	US 2009/0220110 A1	
				paragraphs [0027]-[0046], fig. 2-4	
				EP 3312991 A1	
				CN 101960715 A	
				KR 10-2010-0134620 A	
JP	2017-9440	A	12 January 2017	TW 201001901 A	
				US 2016/0373073 A1	
				paragraphs [0005]-[0012], [0039]-[0065], fig. 1-6	
				CN 102025325 A	
				paragraphs [0035]-[0056], fig. 2	
JP	2016-63299	A	25 April 2016	(Family: none)	
JP	2006-33204	A	02 February 2006	US 2006/0015199 A1	
				entire text, all drawings	
JP	2010-536197	A	25 November 2010	CN 1722611 A	
				US 2010/0219888 A1	
				entire text, all drawings	
				EP 2568599 A1	
				KR 10-2010-0059826 A	
				CN 101809862 A	
JP	2009-08546	A	2009-08546	TW 200908546 A	
				GB 2451525 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 7/08(2006.01)i; H03F 3/217(2006.01)i FI: H03F3/217 150; H03K7/08 C		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03K7/08; H03F3/217		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-7005 A（クワアルコム・インコーポレイテッド）14.01.2016（2016-01-14） 段落[0015]-[0034], 図2-4	1-3, 6-8
Y	JP 2017-9440 A（ローム株式会社）12.01.2017（2017-01-12） 段落[0002]-[0006], [0025]-[0051], 図1-6	1-3, 6-8
Y	JP 2011-82959 A（ローム株式会社）21.04.2011（2011-04-21） 段落[0018]-[0038], 図2	2-3, 6-8
A	JP 2016-63299 A（ローム株式会社）25.04.2016（2016-04-25） 全文, 全図	4-5
A	JP 2006-33204 A（株式会社東芝）02.02.2006（2006-02-02） 全文, 全図	4-5
A	JP 2010-536197 A（ウォルフソン・マイクロエレクトロニクス・ピーエルシー） 25.11.2010（2010-11-25） 全文, 全図	4-5
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 10.09.2021		国際調査報告の発送日 05.10.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 渡井 高広 5W 1208 電話番号 03-3581-1101 内線 3576

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/031522

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-7005	A	14.01.2016	US 2009/0220110 A1 段落[0027]-[0046], FIG. 2-4 EP 3312991 A1 CN 101960715 A KR 10-2010-0134620 A TW 201001901 A	
JP	2017-9440	A	12.01.2017	US 2016/0373073 A1 段落[0005]-[0012], [0039]- [0065], FIG. 1-6	
JP	2011-82959	A	21.04.2011	CN 102025325 A [0035]-[0056], 図2	
JP	2016-63299	A	25.04.2016	(ファミリーなし)	
JP	2006-33204	A	02.02.2006	US 2006/0015199 A1 全文, 全図 CN 1722611 A	
JP	2010-536197	A	25.11.2010	US 2010/0219888 A1 全文, 全図 EP 2568599 A1 KR 10-2010-0059826 A CN 101809862 A TW 200908546 A GB 2451525 A	