

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-252717

(P2006-252717A)

(43) 公開日 平成18年9月21日(2006.9.21)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G 1 1 C 11/44 (2006.01)</b>	G 1 1 C 11/44 Z A A Z	4 M 1 1 3
<b>H O 1 L 27/18 (2006.01)</b>	H O 1 L 27/18	
<b>H O 1 L 39/22 (2006.01)</b>	H O 1 L 39/22 B	

審査請求 未請求 請求項の数 9 O L (全 22 頁)

(21) 出願番号 特願2005-70401 (P2005-70401)  
 (22) 出願日 平成17年3月14日 (2005.3.14)

(出願人による申告)平成16年度、独立行政法人新エネルギー・産業技術総合開発機構委託研究、「低消費電力型超伝導ネットワークデバイスの開発」に関する委託研究、産業活力再生特別措置法30条の適用を受ける特許出願

(71) 出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (71) 出願人 391004481  
 財団法人国際超伝導産業技術研究センター  
 東京都港区新橋5丁目34番3号 栄進開発ビル6階  
 (74) 代理人 100077838  
 弁理士 池田 憲保  
 (74) 代理人 100082924  
 弁理士 福田 修一  
 (74) 代理人 100129023  
 弁理士 佐々木 敬

最終頁に続く

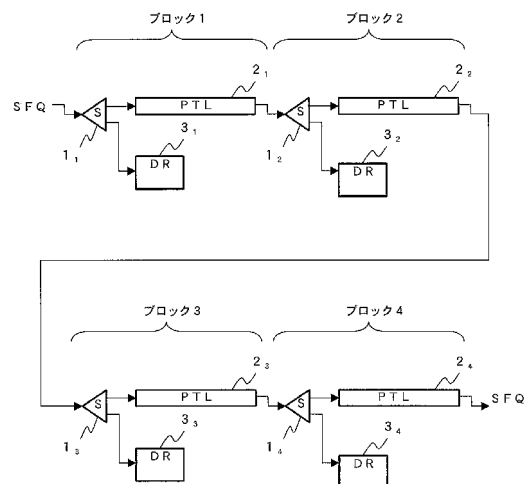
(54) 【発明の名称】 超伝導ランダムアクセスメモリの構成方法

(57) 【要約】

【課題】 大規模なRAMの構成においても超高速で且つ超低消費電力を実現可能とする。

【解決手段】 超伝導RAMの構成は、メモリセルアレイにアクセスするワード線、ビット線等の駆動線及びセンス線のそれぞれを複数のブロックに分割し、そのブロック内の信号伝搬にはそれぞれ負荷駆動能力の高いレベル論理のドライバ回路及びセンス回路を有するブロック内信号伝搬回路(DR)3を用いており、更に、長距離のブロック間の信号伝搬には高速動作が可能な単一磁束量子(SFQ)素子で構成された超伝導パッシブトランスミッションライン(PTL)2を使用している。その結果、全体として的高速動作を可能にする。これにスプリッタ(S)又はコンフルエンスバッファ(C)、及びラッチ回路(DL)を追加して用いることができ、更にバイナリーツリー構成を採用してもよい。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

メモリセルアレイを駆動するワード線又はビット線を構成する方法において、前記ワード線又はビット線を複数個のブロックに分割し、メモリセルを直接駆動する前記ブロック内の信号伝搬には駆動能力の高いレベル論理の超伝導ドライバ回路を使用し、複数個のブロック間の信号伝搬には単一磁束量子(SFQ)を用いて高速に信号伝搬が可能な超伝導パッシブトランスミッションライン(PTL)を用いることを特徴とするワード線又はビット線の構成方法。

## 【請求項 2】

請求項 1 に記載のワード線又はビット線の構成方法において、前記ワード線又はビット線は、更に、前記超伝導パッシブトランスミッションライン(PTL)を単一磁束量子(SFQ)素子で構成されたスプリッタを介して直列に接続することを特徴とするワード線又はビット線の構成方法。

10

## 【請求項 3】

請求項 1 に記載のワード線又はビット線の構成方法において、前記ワード線又はビット線は、更に、前記超伝導パッシブトランスミッションライン(PTL)を単一磁束量子(SFQ)素子で構成されたスプリッタを介してバイナリーツリー構造に配置することを特徴とするワード線又はビット線の構成方法。

## 【請求項 4】

請求項 2 又は請求項 3 に記載のワード線又はビット線の構成方法において、前記ワード線又はビット線は、更に、前記超伝導パッシブトランスミッションライン(PTL)の接続途中に少なくとも 1 個のラッチ回路を設け、前記ラッチ回路で情報を保持させることにより、前記複数個のブロック間の信号伝搬を少なくとも 2 段のパイプラインで動作させて高速動作を可能にすることを特徴とするワード線又はビット線の構成方法。

20

## 【請求項 5】

メモリセルアレイからの情報を検出するセンス線を構成する方法において、メモリセルアレイからの情報を検出するセンス線を複数個のブロックに分割し、メモリセルからの情報を直接検出する前記ブロック内の信号伝搬には駆動能力の高いレベル論理の超伝導センス回路を使用し、複数個の前記ブロック間の信号伝搬には単一磁束量子(SFQ)を用いて高速に信号伝搬が可能な超伝導パッシブトランスミッションライン(PTL)を用いることを特徴とするセンス線の構成方法。

30

## 【請求項 6】

請求項 5 に記載のセンス線の構成方法において、前記センス線は、更に、前記超伝導パッシブトランスミッションライン(PTL)を単一磁束量子(SFQ)素子で構成されたコンフルエンスバッファを介して直列に接続することを特徴とするランダムアクセスメモリにおけるセンス線の構成方法。

## 【請求項 7】

請求項 5 に記載のセンス線の構成方法において、前記センス線は、更に、前記超伝導パッシブトランスミッションライン(PTL)を単一磁束量子(SFQ)素子で構成されたコンフルエンスバッファを介してバイナリーツリー構造に配置することを特徴とするセンス線の構成方法。

40

## 【請求項 8】

請求項 6 又は請求項 7 に記載のセンス線の構成方法において、前記センス線は、更に、前記超伝導パッシブトランスミッションライン(PTL)の接続途中に少なくとも 1 個のラッチ回路を設け、前記ラッチ回路で情報を保持することにより、前記複数個のブロック間の信号伝搬を少なくとも 2 段のパイプラインで動作させて高速動作を可能にすることを特徴とするセンス線の構成方法。

## 【請求項 9】

ランダムアクセスメモリを構成する方法において、メモリセルアレイは前記請求項 1 から請求項 4 までのうちの一つに記載のワード線及びビット線、並びに前記請求項 5 から請

50

求項 8 までのうちの一つに記載のセンス線で構成し、デコーダ回路は単一磁束量子 ( S F Q ) 素子で構成することを特徴とするランダムアクセスメモリ構成方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、極低温で動作し超伝導性を有する集積回路で使用されるランダムアクセスメモリ ( 以後、 R A M と略称する ) の構成及びその構成方法に関するものである。

【背景技術】

【 0 0 0 2 】

超伝導 R A M は、半導体の R A M と同様にデコーダ回路、ドライバ回路、センス回路及びメモリセルアレイで構成される。メモリセルアレイは、メモリセルを 2 次元のマトリックスアレイの形状に配置したものである。 R A M において、アドレス信号で指定されたメモリセルへの情報の書込みは、横方向と縦方向の二つのデコーダ回路により、マトリックスアレイの行と列とが選択され、その信号を受けてドライバ回路がメモリセルアレイにデータ信号 ( 情報 ) を伝搬させることにより行われる。読出しも同様に、アドレスに対応したマトリックスアレイの行と列との信号により選択されたメモリセルに保持されているデータ信号 ( 情報 ) をセンス回路によって読み出す。

【 0 0 0 3 】

従来の超伝導 R A M 構成は、 R A M の規模 ( 記憶容量 ) が大きくなると、メモリセルのマトリックスアレイも大きくなり、一つのドライバ回路又はセンス回路が駆動するメモリセルの数 ( 1 行又は 1 列のメモリセルの数 ) が増大し、動作時間が大きくなるという問題点があった。

【 0 0 0 4 】

この問題点を解決するため、例えば、特開 2 0 0 0 - 2 6 0 1 8 7 号公報 ( 特許文献 1 ) により、 R A M を小さなブロックに分割するという方法が提案されている。

【 0 0 0 5 】

この提案について、図 1 4 及び図 1 5 を併せ参照して説明する。

【 0 0 0 6 】

図 1 4 に、この従来技術による超伝導 R A M ( ランダムアクセスメモリ ) のブロック構成図の一例を示す。図 1 5 に 2 5 6 R A M ブロック 5 1 の一例を示す。

【 0 0 0 7 】

図 1 4 に示される超伝導 R A M は、 6 4 個の 2 5 6 R A M ブロック 5 1 により形成される 1 6 k ビットの R A M 構成の一例である。図示の超伝導 R A M は、 2 5 6 R A M ブロック 5 1 と、ブロックデコーダ回路 5 2 と、ブロックセンス回路 5 3 と、ブロック間の信号伝搬を行う電圧型論理のドライバ回路 ( 交流電流バイアス ) 5 4 と、上述したそれぞれの回路を接続するインピーダンス整合ライン 5 5、高周波の交流電流 ( A C ) を供給するための L C 共振回路 5 6 とで構成されている。

【 0 0 0 8 】

一個の 2 5 6 R A M ブロック 5 1 は、 1 6 行 1 6 列の記憶セルアレイと、交流電流でバイアスされる超伝導ラッチング素子で構成された電圧型論理のドライバ回路 6 1 及びセンス回路 6 2 と、直流電流でバイアスされる超伝導単一磁束量子 ( S F Q ) 素子で構成されたデコーダ回路 6 3 とで構成されている。

【 0 0 0 9 】

この回路では、 1 0 G H z クロック動作を可能にするため、一つの電圧型論理のドライバ回路 6 1 で駆動する記憶セルアレイの大きさは 1 6 行 1 6 列の 2 5 6 ビットに制限されている。そのため、多数の R A M ブロックに並列に信号を伝えるマルチドライバ方式を採用している。一個の 2 5 6 R A M ブロック 5 1 は、 1 6 行 1 6 列の記憶セルアレイと、交流電流でバイアスされる超伝導ラッチング素子で構成された電圧型論理のドライバ回路 6 1 及びセンス回路 6 2 と、直流電流でバイアスされる超伝導単一磁束量子 ( S F Q ) 素子で構成されたデコーダ回路 6 3 とで構成されている。このように、この従来の超伝導ラン

ダムアクセスメモリでは、256RAMブロックという小さなRAMブロックに分割することにより一つのドライバ回路が駆動する記憶セルアレイの大きさを制限して、高速動作を可能にしている。さらに、ブロック間の信号伝搬に交流電源で動作する電圧論理型のドライバ回路とインピーダンス整合ラインとを用いることで、RAM全体としての高速動作を可能にしている。

【0010】

【特許文献1】特開2000-260187号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

ランダムアクセスメモリの大規模化に伴い、通常の構成では、デコーダ回路、ドライバ回路、及びセンス回路の素子数は、メモリセルの容量の平方根に比例して増大するだけである。

【0012】

しかしながら、従来技術の超伝導ランダムアクセスメモリは、デコーダ回路、ドライバ回路、センス回路及びメモリセルアレイを含む完全なRAM構造の小さなブロックに分割していた。このため、ランダムアクセスメモリの大容量化に伴い、分割数が正比例して増えるため、デコーダ回路、ドライバ回路、センス回路の数も正比例して増える。従って、レイアウト面積及び消費電力がメモリ容量の増大化に正比例して増大するといった問題点があった。

【0013】

さらに、従来技術の超伝導ランダムアクセスメモリでは、デコーダ回路以外は交流電源で動作する電圧論理型の素子で構成しているため、高周波の交流電源が必要であるということと、そのため消費電力もさらに大きくなるという大きな問題点があった。

【0014】

本発明の目的は、このような従来技術の問題点を除去し、大規模なランダムアクセスメモリの構成においても超高速動作が可能で、且つ、消費電力の小さい直流電源で動作可能な超伝導ランダムアクセスメモリの構成を提供することにある。

【課題を解決するための手段】

【0015】

本発明による超伝導RAMは、上記目的を達成するために、下記の特徴を有する。

【0016】

第1に、メモリセルアレイを駆動するワード線又はビット線の構造は、複数個のブロックに分割される。このワード線又はビット線の各ブロックは、駆動能力の高いレベル論理を有し、メモリセルを直接駆動するブロック内の信号伝搬に使用される超伝導ドライバ回路と、単一磁束量子(SFQ)を用いて高速に信号伝搬が可能な、複数個のブロック間の信号を伝搬するために配置される超伝導パッシブトランスミッションライン(以後、PTLと略称する)とを含んでいる。

【0017】

複数個のブロック間の信号伝搬は、超伝導PTLを単一磁束量子(SFQ)素子で構成されたスプリッタ(S)を介して直列に接続した構成であってもよい。又は、複数個のブロック間の信号伝搬は、超伝導PTLを単一磁束量子(SFQ)素子で構成されたスプリッタ(S)を介してバイナリーツリー構造に配置した構成であってもよい。

又は、複数個のブロック間の信号伝搬は、超伝導PTLの途中に少なくとも1個以上のラッチ回路(DL)を含み、このラッチ回路(DL)で情報を保持することにより、前記複数個のブロック間の信号伝搬を少なくとも2段以上のパイプラインで動作させることで高速動作を可能にするという構成であってもよい。

【0018】

第2に、メモリセルアレイからの情報を検出するセンス線も、複数個のブロックに分割されている。このセンス線の各ブロックは、駆動能力の高いレベル論理を有し、メモリセ

10

20

30

40

50

ルを直接駆動するブロック内の信号伝搬に使用される超伝導ドライバ回路と、単一磁束量子(SFQ)を用いて高速に信号伝搬が可能な、複数個のブロック間の信号を伝搬するために配置される超伝導PTLとを含んでいる。

【0019】

複数個のブロック間の信号伝搬は、超伝導PTLを単一磁束量子(SFQ)素子で構成されたコンフルエンスバッファ(C)を介して直列に接続した構成であってもよい。又は、複数個のブロック間の信号伝搬は、超伝導PTLを単一磁束量子(SFQ)素子で構成されたコンフルエンスバッファを介してバイナリーツリー構造に配置した構成であってもよい。

【0020】

又は、複数個のブロック間の信号伝搬は、超伝導PTLの途中に少なくとも1個以上のラッチ回路(DL)を有し、このラッチ回路(DL)で情報を保持して、前記複数個のブロック間の信号伝搬を少なくとも2段以上のパイプラインで動作させることにより高速動作を可能にするという構成であってもよい。

【0021】

第3に、本発明によるRAMは、上記本発明によるワード線、ビット線及びセンス線で構成されたメモリセルアレイと、単一磁束量子(SFQ)素子で構成されたデコーダ回路とで構成されていてもよい。

【発明の効果】

【0022】

本発明による超伝導性を有するランダムアクセスメモリの構成は、メモリセルアレイにアクセスするワード線、ビット線等の駆動線及びセンス線のそれぞれは複数のブロックに分割されている。そこで、そのブロック内の信号伝搬はそれぞれ負荷駆動能力の高いレベル論理のドライバ回路及びセンス回路を用いており、更に、長距離のブロック間の信号伝搬には高速動作が可能な単一磁束量子(SFQ)素子で構成された超伝導パッシブトランスミッションライン(PTL)を使用している。その結果、全体としての高速動作を可能にするという効果がある。

【0023】

その理由は、超伝導パッシブトランスミッションライン(PTL)が、所望の特性インピーダンスを有するストリップ又はマイクロストリップラインと、SFQ素子で構成されたドライバ回路及びレシーバ回路とで構成されるからである。すなわち、超伝導PTLは、理想的な伝送線路であり、ストリップラインを構成する絶縁層の誘電率に応じた光のスピードで信号をほとんど減衰なしに伝搬させることができるからである。

【0024】

また、これらの構成要素は低消費電力のSFQ回路で構成されているので、直流電源で動作可能であり、且つ消費電力を大幅に削減できるという効果もある。更に、ブロック間の信号伝搬をパイプライン化することで、どのような大規模な超伝導ランダムアクセスメモリのワード線、ビット線及びセンス線の構成においても超高速のクロック動作を実現できるという効果がある。

【0025】

さらに、本発明のこれらのワード線、ビット線及びセンス線で構成されたメモリセルアレイと、SFQ素子で構成されたデコーダ回路とで超伝導ランダムアクセスメモリを構成することで、超高速で且つ超低消費電力の大規模な超伝導ランダムアクセスメモリを実現できるという効果がある。

【発明を実施するための最良の形態】

【0026】

全体として直流電源で動作する超高速且つ超低消費電力の大規模な超伝導RAMとするという目的を、上述したようなワード線、ビット線、及びセンス線で構成されたメモリセルアレイと、単一磁束量子(SFQ)素子で構成されたデコーダ回路とで構成することにより実現した。

10

20

30

40

50

## 【 0 0 2 7 】

上述した単一磁束量子 ( S F Q ) 素子で構成されたスプリッタ、コンフルエンスバッファ、及びラッチ回路は、例えば、文献 ( IEEE Transaction on applied superconductivity, vol. 1, no. 1, p.7, 1991 ) に詳しく記載されている。スプリッタとしては、この文献の図 4 に示されている回路を、コンフルエンスバッファとしては、図 6 に示されている回路、又は同様の機能として図 1 0 に示されている O R 回路を使用することができる。ラッチ回路としては、この文献の図 7 に記載されている R S フリップフロップ回路を使用することができる。

## 【 0 0 2 8 】

また、パッシブトランスミッションライン ( P T L ) に関しては、例えば、文献 ( Extended Abstracts of ISEC ' 01, 175-176. ) 又は特開 2 0 0 4 - 7 2 1 4 1 号公報に詳しく記載されている。ブロック内の信号伝搬には、それぞれ負荷駆動能力の高いレベル論理のドライバ回路及びセンス回路が用いられているが、例えば、文献 ( IBM J. RES. DEVELOP. Vol. 24, no. 2, pp. 143-154, 1980 ) に記載されている直流電源で動作可能なドライバ回路及びセンス回路を用いることもできる。

## 【 0 0 2 9 】

また、ワード線、ビット線、又はセンス線を、上述したようにブロック内の信号伝搬回路とブロック間の信号伝搬回路とに分けることで、これらの線路の構造は複雑になる。しかし、メモリセルアレイが大規模になった場合にも高速動作を可能にしている。なお、このような、多少複雑な線路構造は、デバイス構造上、ニオブ ( N b ) の多層配線構造を採用することにより、メモリセルのレイアウト面積を増やすことなく実現できる。

## 【 0 0 3 0 】

R A M の規模が大きくなり、メモリセルアレイが大きくなると、一つのドライバ回路が駆動するメモリセルの数が増大し、動作速度は必然的に遅くなる。このため、本発明では、一つのドライバ回路及びセンス回路が駆動するメモリセルの数を分割により限定することにより高速動作を可能としている。そして、分割した複数個のドライバ回路又はセンス回路に対して、超高速で超低消費電力という特性を有する単一磁束量子 ( S F Q ) 素子で構成された回路と超伝導 P T L とにより、超高速で信号の伝搬が行われる。本発明では、このようなブロック間の信号伝搬とブロック内の信号伝搬とからなるワード線、ビット線、及びセンス線を構成することにより R A M 全体としての高速動作を可能としている。

## 【 0 0 3 1 】

また、R A M の規模がさらに大きくなる場合には、分割するブロックの数が増大してブロック間の信号伝搬に要する時間が長くなる。しかし、ラッチ回路を挿入してブロック間の信号伝搬に要するパイプライン段数を増やすことにより、所望の高速動作を保証している。言い換えれば、R A M の所望のクロック周波数を得るために、一つのドライバ回路又はセンス回路の動作時間がそのクロック周期内で完了するようにメモリセルアレイを複数個のブロックに分割し、分割した複数個のブロック間の信号伝搬もパイプライン化している。この結果、どのような大規模な R A M の構成においても所望の高速クロック動作を可能にしている。

## 【 0 0 3 2 】

一方、大規模な超伝導 R A M において、このような分割数の増大は消費電力の増大という問題につながる。しかし、本発明によるブロック間信号伝搬回路は、超伝導 P T L 、スプリッタ、コンフルエンスバッファ、及びラッチ回路など単一磁束量子 ( S F Q ) 素子で構成されているので、直流電源で動作する S F Q 回路の特徴である超低消費電力性という特徴を生かして、大規模な R A M の構成においても超低消費電力での動作を可能にしている。

## 【 実施例 1 】

## 【 0 0 3 3 】

本発明の実施例 1 について図 1 を参照して説明する。

## 【 0 0 3 4 】

図1は、本発明による超伝導RAMの構成における第1の実施の形態を示す等価回路図である。本実施例1は、超伝導RAMに含まれるワード線又はビット線の構成に関する。

【0035】

まず、本回路の構成と機能とを説明する。

【0036】

本実施例1によるワード線又はビット線の各ブロックは、超伝導ドライバ回路を含むブロック内信号伝搬回路(DR)3と、ブロック間の信号伝搬を行う超伝導パッシブトランスミッションライン(PTL)2と、前位の超伝導パッシブトランスミッションライン(PTL)2から受ける信号を自ブロック内の超伝導パッシブトランスミッションライン(PTL)2及びブロック内信号伝搬回路(DR)3に信号を分配する単一磁束量子(SFQ)素子で構成されたスプリッタ(S)1とで構成される。図1では、上記構成要素を4つのブロックそれぞれに配置した場合が示されている。ブロック内信号伝搬回路(DR)3<sub>x</sub>は、直列接続された32個のメモリセルと、このメモリセルを駆動する1個のドライバ回路とから構成され、SFQパルス信号の入力に応じてレベル信号を発生し、32個のメモリセルを直接駆動する機能を有する。

10

【0037】

次に、本実施例1の回路動作を説明する。図1で、左端から単一磁束量子(SFQ)パルスがスプリッタ(S)1<sub>1</sub>に入力した場合、SFQパルスは4個のスプリッタ(S)1<sub>1</sub>~1<sub>4</sub>と4個の超伝導パッシブトランスミッションライン(PTL)2<sub>1</sub>~2<sub>4</sub>とを交互に介して左から右にブロック間の信号伝搬を超高速に行う。同時に、各スプリッタ(S)1<sub>1</sub>~1<sub>4</sub>それぞれのもう一方の出力端から出力されたSFQパルスは、4個のブロック内信号伝搬回路(DR)3<sub>1</sub>~3<sub>4</sub>それぞれに伝搬され、ブロック内信号伝搬回路(DR)3<sub>1</sub>~3<sub>4</sub>内のドライバ回路がスイッチしてメモリセルに直接信号を伝搬させることができる。

20

【0038】

ブロック間の信号伝搬は、SFQ素子で構成されたスプリッタ(S)1<sub>x</sub>と超伝導パッシブトランスミッションライン(PTL)2<sub>x</sub>とにより超高速(誘電率に対応した光の速度)で行われるので、4つのブロック内信号伝搬回路(DR)に僅かな時間差でSFQパルス信号を伝えることができる。

【0039】

以上の動作により、超高速動作が可能な超伝導RAMのワード線又はビット線を構成することができる。

30

【0040】

また、本実施例1の回路では、ブロック内信号伝搬回路(DR)3<sub>x</sub>は、直列接続された32個のメモリセルと、このメモリセルを駆動する1個のドライバ回路とから構成したが、直列接続するメモリセルの数は所望の動作周波数により任意の値に設定することができる。

【実施例2】

【0041】

本発明の実施例2について図2を参照して説明する。

40

【0042】

図2は、本発明による超伝導RAMの構成に対する第2の実施の形態を示す等価回路図である。本実施例2は、超伝導RAMに含まれるワード線又はビット線の構成に関する。

【0043】

まず、本回路の構成と機能とを説明する。

【0044】

本実施例2は、超伝導ドライバ回路を含むブロック内信号伝搬回路(DR)3<sub>1</sub>~3<sub>4</sub>と、ブロック間の信号伝搬を行う超伝導パッシブトランスミッションライン(PTL)2<sub>1</sub>~2<sub>4</sub>と、情報を保持する機能を有する単一磁束量子(SFQ)素子で構成されたラッチ回路(DL)4<sub>1</sub>~4<sub>4</sub>と、超伝導パッシブトランスミッションライン(PTL)2

50

$1_1 \sim 2_4$  間及びラッチ回路 (DL)  $4_1 \sim 4_4$  に信号を分配する単一磁束量子 (SFQ) 素子で構成されたスプリッタ (S)  $1_1 \sim 1_4$  とで構成される。本実施例では、上記構成要素それぞれを4個ずつ配置した場合を記載した。ブロック内信号伝搬回路 (DR)  $3_x$  は、直列接続された32個のメモリセルと、このメモリセルを駆動する1個のドライバ回路とから構成され、SFQパルス信号の入力に応じてレベル信号を発生して、32個のメモリセルを直接駆動する機能を有する回路である。

#### 【0045】

本実施例2の回路は、2段のパイプラインで動作する。最初のクロック周期 ( $T_1$ ) で、図2の左端から単一磁束量子 (SFQ) パルスがスプリッタ (S)  $1_1$  に入力されると、SFQパルスは交互に直列に配備される4個のスプリッタ (S)  $1_1 \sim 1_4$  と4個のパストランスミッションライン (PTL)  $2_1 \sim 2_4$  とを介して左から右にブロック間の信号伝搬を超高速に行う。同時に、各スプリッタ (S)  $1_1 \sim 1_4$  のもう一方の出力端から出力されたSFQパルスは、4個のラッチ回路 (DL)  $4_1 \sim 4_4$  それぞれに入力され、情報が保持される。次のクロック周期 ( $T_2$ ) で、クロック信号が4個のラッチ回路 (DL)  $4_1 \sim 4_4$  に入力されると、ラッチ回路 (DL)  $4_1 \sim 4_4$  で保持されていた情報がブロック内信号伝搬回路 (DR)  $3_1 \sim 3_4$  それぞれにほぼ同時に伝搬され、ブロック内信号伝搬回路 (DR)  $3_1 \sim 3_4$  内のドライバ回路がスイッチしてメモリセルに直接信号を伝搬させることができる。

10

#### 【0046】

以上の動作により、2段のパイプラインで超高速動作が可能な超伝導RAMのワード線又はビット線を構成することができる。

20

#### 【0047】

このように、この第2の実施の形態では、ブロック間の信号伝搬経路により伝搬されたSFQパルス信号は、一旦4個のラッチ回路 (DL)  $4_1 \sim 4_4$  に保持され、次のクロック周期でほぼ同時に4つのブロック内信号伝搬回路 (DR)  $3_1 \sim 3_4$  に伝えられることが可能である。従って、第1の実施の形態に比べてより高速のクロック動作が可能になるという効果がある。

#### 【実施例3】

#### 【0048】

本発明の実施例3について図3を参照して説明する。

30

#### 【0049】

図3は、本発明の超伝導RAMの構成に対する第3の実施の形態を示す等価回路図である。本実施例3は、超伝導RAMに含まれるワード線又はビット線の構成に関する。

#### 【0050】

まず、本回路の構成と機能とを説明する。

#### 【0051】

本第3の実施の形態は、第1の実施の形態において、それぞれ4つのスプリッタ (S)  $1_1 \sim 1_4$  とブロック内信号伝搬回路 (DR) との間に更にスプリッタ (S)  $5_1 \sim 5_4$  を挿入し、スプリッタ (S)  $5_1 \sim 5_4$  の出力それぞれに二つずつのブロック内信号伝搬回路 (DR) を接続した構成になっている。これにより、第1の実施の形態に比べて2倍の8個のブロック内信号伝搬回路 (DR)  $3_1 \sim 3_8$  を駆動できる。ここでは、例えばスプリッタ (S)  $5_1$  にはブロック内信号伝搬回路 (DR)  $3_1, 3_2$  が接続され、それぞれブロック1, 2を形成する。同様にして、ブロック8までが形成されている。

40

#### 【0052】

本実施例3の回路の動作は、上記第1の実施の形態と同様であり、第1の実施の形態と同様の効果が得られる。さらに、本第3の実施の形態では、ブロック内信号伝搬回路の個数に比べて、相対的にブロック間信号伝搬に係わるスプリッタの数が少なくなっている。従って、ブロック間の信号伝搬がより高速で行えるので、同じクロック周期に対しては、より広い範囲でブロック間の信号伝搬を行うことができるという効果がある。

#### 【実施例4】

50



## 【0053】

本発明の実施例4について図4を参照して説明する。

## 【0054】

図4は、本発明の超伝導RAMの構成に対する第4の実施の形態を示す等価回路図である。本実施例4も、超伝導RAMに含まれるワード線又はビット線の構成に関する。

## 【0055】

まず、本回路の構成と機能とを説明する。

## 【0056】

この第4の実施の形態は、第2の実施の形態において、4つのラッチ回路(DL)4<sub>1</sub> ~ 4<sub>4</sub>とブロック内信号伝搬回路(DR)との間に更にスプリッタ(S)5<sub>1</sub> ~ 5<sub>4</sub>を挿入し、スプリッタ(S)5<sub>1</sub> ~ 5<sub>4</sub>の出力それぞれに二つずつのブロック内信号伝搬回路(DR)を接続した構成になっている。これにより、第2の実施の形態に比べて2倍の8個のブロック内信号伝搬回路(DR)3<sub>1</sub> ~ 3<sub>8</sub>を駆動できる。ここでは、例えばスプリッタ(S)5<sub>1</sub>にはブロック内信号伝搬回路(DR)3<sub>1</sub>, 3<sub>2</sub>が接続され、それぞれブロック1, 2を形成する。同様にして、ブロック8までが形成されている。

10

## 【0057】

本実施例4の回路は、実施例2と同様に2段のパイプラインで動作する。第1段目のクロック周期(T1)で、図4の左端から単一磁束量子(SFQ)パルスがスプリッタ(S)1<sub>1</sub>に入力されると、SFQパルスは交互に直列に配備される4個のスプリッタ(S)1<sub>1</sub> ~ 1<sub>4</sub>と4個のパッシブトランスミッションライン(PTL)2<sub>1</sub> ~ 2<sub>4</sub>とを介して左から右にブロック間の信号伝搬を超高速で行う。同時に、スプリッタ(S)1<sub>1</sub> ~ 1<sub>4</sub>それぞれのもう一方の出力端から出力されたSFQパルスは、4個のラッチ回路(DL)4<sub>1</sub> ~ 4<sub>4</sub>それぞれに入力され、情報が保持される。

20

## 【0058】

第2段目のクロック周期(T2)では上記実施例2とは異なり、クロック信号が4個のラッチ回路(DL)4<sub>1</sub> ~ 4<sub>4</sub>に入力されると、ラッチ回路(DL)4<sub>1</sub> ~ 4<sub>4</sub>で保持されていた情報が4個のスプリッタ(S)5<sub>1</sub> ~ 5<sub>4</sub>を介して8個のブロック内信号伝搬回路(DR)3<sub>1</sub> ~ 3<sub>8</sub>にほぼ同時に伝搬され、ブロック内信号伝搬回路(DR)3<sub>1</sub> ~ 3<sub>8</sub>内のドライバ回路がスイッチしてメモリセルに直接信号を伝搬させることができる。

30

## 【0059】

すなわち、本実施例4の回路動作は、上記第2の実施の形態と同様であり、第2の実施の形態と同様の効果が得られる。さらに、本第4の実施の形態では、ブロック内信号伝搬回路の個数に比べて、相対的にブロック間信号伝搬に係わるスプリッタの数が少なくなっている。従って、ブロック間の信号伝搬がより高速で行えるので、同じクロック周期に対しては、より広い範囲でブロック間の信号伝搬を行うことができるという効果がある。

## 【実施例5】

## 【0060】

本発明の実施例5について図5を参照して説明する。

## 【0061】

図5は、本発明の超伝導RAMの構成に対する第5の実施の形態を示す等価回路図であり、8つのブロックのうち、4つのブロック1 ~ 4が図示されている。ブロック5 ~ 8も図示されているブロック1 ~ 4と同様の構成を有している。本実施例5も、超伝導RAMに含まれるワード線又はビット線の構成に関する。

40

## 【0062】

まず、本回路の構成と機能とを説明する。

## 【0063】

この第5の実施の形態は、第4の実施の形態において、超伝導パッシブトランスミッションライン(PTL)とスプリッタ(S)とで構成されたブロック間の信号伝搬回路をバイナリーツリーに配置した構成をとる。加えて、バイナリーツリー構造のブロック間に配置される信号伝搬回路の適切な位置にラッチ回路(DL)を挿入することで、3段のパイ

50

ラインで動作するように設定されている。

【0064】

次に、図5では省略されている部分も含めて実施例5の構成と動作とを説明する。

【0065】

すなわち、第1段目のクロック周期( $T_1$ )では、スプリッタ( $S$ ) $11_1$ が、ラッチ回路( $DL$ ) $14$ を介して入力するSFQパルスを受け、二つの超伝導パッシブトランスミッションライン( $PTL$ ) $12_1$ ,  $12_2$ に送る。

【0066】

第2段目のクロック周期( $T_2$ )では、ラッチ回路( $DL$ ) $24_1$ が、超伝導パッシブトランスミッションライン( $PTL$ ) $12_1$ から受けたSFQパルスを、スプリッタ( $S$ ) $21_1$ を介して二つの超伝導パッシブトランスミッションライン( $PTL$ ) $22_1$ ,  $22_2$ に送る。この第2段目では、更に、超伝導パッシブトランスミッションライン( $PTL$ ) $22_1$ から出力されたSFQパルスが、直接スプリッタ( $S$ ) $31_1$ を介して二つの超伝導パッシブトランスミッションライン( $PTL$ ) $32_1$ ,  $32_2$ に送られる。図示されていないスプリッタ( $S$ ) $21_2$ 、超伝導パッシブトランスミッションライン( $PTL$ ) $22_3$ ,  $22_4$ ,  $32_3 \sim 32_8$ も同一構成で配備される。

10

【0067】

第3段目のクロック周期( $T_3$ )では、上記実施例4の第2段目と同一で2倍の回路構成を有する。

【0068】

本実施例5の回路動作は、第4の実施の形態と同様であり、第4の実施の形態と同様の効果が得られる。さらに、本第5の実施の形態では、ブロック間信号伝搬回路がバイナリーツリーで構成されているため、全てのブロック内信号伝搬回路に対して等長配線になっている。従って、ブロック間信号伝搬回路の上端から入力されたSFQパルスを、全てのブロック内信号伝搬回路に同時刻に伝搬させることができるという効果がある。そのため、より大規模なブロック構成のワード線又はビット線においても高速のパイプライン動作が可能であるという効果もある。

20

【0069】

また、本実施の形態では、バイナリーツリー構造のブロック間を形成する信号伝搬回路の適切な位置にラッチ回路を挿入して、3段のパイプラインを構成したが、場合によっては2段又は4段以上で構成することもできる。又は、回路サイズが小さい場合には、ラッチ回路を挿入せずに、パイプラインを行わない通常の動作をさせることもできる。

30

【実施例6】

【0070】

本発明の実施例6について図6を参照して説明する。

【0071】

図6は、本発明による超伝導RAMの構成に対する第6の実施の形態を示す等価回路図である。この第6の実施の形態は、超伝導RAMにおけるセンス線の構成に関する第1の実施例である。

【0072】

まず、本回路の構成と機能とを説明する。

40

【0073】

本実施例6は、ブロック内信号伝搬回路( $DR$ ) $6_1$ ( $\sim 6_4$ )と、ブロック間の信号伝搬を行うパッシブトランスミッションライン( $PTL$ ) $2_1$ ( $\sim 2_4$ )と、超伝導パッシブトランスミッションライン( $PTL$ ) $2_1$ ( $\sim 2_4$ )及びブロック内信号伝搬回路( $DR$ ) $6_1$ ( $\sim 6_4$ )から信号を受けて次のブロックの超伝導パッシブトランスミッションライン( $PTL$ )へ伝搬する単一磁束量子(SFQ)素子で構成されたコンフルエンスバッファ( $C$ ) $7_1$ ( $\sim 7_4$ )とで構成される。本実施例6では、上記構成要素をそれぞれ4個配置した場合が記載されている。ブロック内信号伝搬回路( $DR$ ) $6_x$ は、直列接続された32個のメモリセルと、このメモリセルからの情報を検出するセンス回路とから

50

構成され、選択されたメモリセルが保持していた情報に応じてS F Qパルスを出力する機能を有する回路である。

【0074】

次に、本実施例6の回路動作を説明する。

【0075】

まず、メモリセルアレイのアドレスで指定されたメモリセルが選択され、そのメモリセルからの情報が読み出される。本実施例6では、ブロック2のブロック内信号伝搬回路(D R)6<sub>2</sub>のセンス回路が選択され、このブロック内信号伝搬回路(D R)6<sub>2</sub>からS F Qパルスが出力された場合について説明する。出力されたS F Qパルスは、コンフルエンスバッファ(C)7<sub>2</sub>に入力され、ブロック間信号伝搬回路としての超伝導パッシブトランスミッションライン(P T L)2<sub>3</sub>、コンフルエンスバッファ(C)7<sub>3</sub>、超伝導パッシブトランスミッションライン(P T L)2<sub>4</sub>、及びコンフルエンスバッファ(C)7<sub>4</sub>を介して図の右端に高速に伝搬させることができる。

10

【0076】

この第6の実施の形態においても、4つのブロック内信号伝搬回路(D R)における任意のブロック内信号伝搬回路(D R)からS F Qパルスが出力されても、S F Q素子で構成されたコンフルエンスバッファ(C)と超伝導パッシブトランスミッションライン(P T L)とで構成されたブロック間信号伝搬回路は超高速(誘電率に対応した光の速度)で信号伝搬を行うので、僅かな時間差でS F Qパルス信号を出力端(図の右端)に伝えることができる。

20

【0077】

以上の動作により、超高速動作が可能な超伝導R A Mのセンス線を構成することができる。

【実施例7】

【0078】

本発明の実施例7について図7を参照して説明する。

【0079】

図7は、本発明による超伝導R A Mの構成に対する第7の実施の形態を示す等価回路図である。この第7の実施の形態は、超伝導ランダムアクセスメモリにおけるセンス線の構成に関する第2の実施例である。

30

【0080】

まず、本実施例7による回路の構成と機能とを説明する。

【0081】

本実施例7は、ブロック内信号伝搬回路(D R)6<sub>1</sub>(~6<sub>4</sub>)と、ブロック間の信号伝搬を行う超伝導パッシブトランスミッションライン(P T L)2<sub>1</sub>(~2<sub>4</sub>)と、情報を保持する機能を有する単一磁束量子(S F Q)素子で構成されたラッチ回路(D L)4<sub>1</sub>(~4<sub>4</sub>)と、超伝導パッシブトランスミッションライン(P T L)2<sub>1</sub>(~2<sub>4</sub>)及びブロック内信号伝搬回路(D R)6<sub>1</sub>(~6<sub>4</sub>)から信号を受けて次のブロックの超伝導パッシブトランスミッションライン(P T L)へ伝搬する単一磁束量子(S F Q)素子で構成されたコンフルエンスバッファ(C)7<sub>1</sub>(~7<sub>4</sub>)とで構成される。

40

【0082】

本実施例7では、上記構成要素それぞれの4個を配置した場合が記載されている。ブロック内信号伝搬回路(D R)6<sub>x</sub>は、直列接続された32個のメモリセルと、このメモリセルからの情報を検出するセンス回路とから構成され、選択されたメモリセルの保持していた情報に応じてS F Qパルスを出力する機能を有する回路である。

【0083】

本実施例7の回路は、2段のパイプラインで動作する。第1段目のクロック周期(T 1)では、メモリセルアレイのアドレスで指定されたメモリセルが選択され、そのメモリセルからの情報が読み出される。本実施例7では、ブロック2のブロック内信号伝搬回路(D R)3<sub>2</sub>のセンス回路が選択され、このブロック内信号伝搬回路(D R)3<sub>2</sub>からS F

50

Qパルスが出力された場合について説明する。ブロック内信号伝搬回路(DR)3<sub>2</sub>から出力されたSFQパルスは、ラッチ回路(DL)4<sub>2</sub>に入力され保持される。次の第2段目のクロック周期(T2)では、クロック信号が4個のラッチ回路(DL)4<sub>1</sub>~4<sub>4</sub>に入力されると、ラッチ回路(DL)4<sub>2</sub>では保持していた情報がコンフルエンスバッファ(C)7<sub>2</sub>に入力され、ブロック間信号伝搬回路である超伝導パッシブトランスミッションライン(PTL)2<sub>3</sub>、コンフルエンスバッファ(C)7<sub>3</sub>、超伝導パッシブトランスミッションライン(PTL)2<sub>4</sub>、及びコンフルエンスバッファ(C)7<sub>4</sub>を順次介して図の右端に高速に伝搬させ、メモリセルの情報を高速に取り出すことができる。

【0084】

以上の動作を有する、2段のパイプラインで超高速動作が可能な超伝導ランダムアクセスメモリのセンス線を構成できる。 10

【0085】

このように、本第7の実施の形態では、4つのブロック内信号伝搬回路(DR)のうち、任意のブロック内信号伝搬回路(DR)からSFQパルスが出力されても、一旦、4個のラッチ回路(DL)に保持され、次のクロック周期の最初からコンフルエンスバッファ(C)と超伝導パッシブトランスミッションライン(PTL)で構成されたブロック間信号伝搬回路にSFQパルス信号を伝搬させることができるので、第6の実施の形態に比べてより高速のクロック動作が可能になるという効果がある。

【実施例8】

【0086】

本発明の実施例8について図8を参照して説明する。 20

【0087】

図8は、本発明による超伝導RAMの構成に対する第8の実施の形態を示す等価回路図である。この第8の実施の形態は、超伝導ランダムアクセスメモリにおけるセンス線の構成に関する第3の実施例である。

【0088】

まず、本実施例8による回路の構成と機能について説明する。

【0089】

この第8の実施の形態は、第7の実施の形態において、パッシブトランスミッションライン(PTL)とコンフルエンスバッファ(C)で構成されたブロック間の信号伝搬回路をバイナリーツリーに配置した構成をとる。加えて、バイナリーツリー構造のブロック間における信号伝搬回路の適切な位置にラッチ回路(DL)を挿入することで、3段のパイプラインで動作するように設定されている。 30

【0090】

次に、図8では省略されている部分も含めて実施例8の構成を説明する。

【0091】

すなわち、第1段目のクロック周期(T1)では、ブロック1~4それぞれに対してブロック内信号伝搬回路(DR)16<sub>1</sub>~16<sub>4</sub>が図示され、ブロック5~16については省略されている。二つのブロック内信号伝搬回路(DR)16<sub>1</sub>, 16<sub>2</sub>から出力されたSFQパルスはコンフルエンスバッファ(C)18<sub>1</sub>が受けてラッチ回路(DL)14<sub>1</sub>へ出力する。 40

【0092】

第2段目のクロック周期(T1)では、ラッチ回路(DL)14<sub>1</sub>がパッシブトランスミッションライン(PTL)12<sub>1</sub>を介してコンフルエンスバッファ(C)17<sub>1</sub>へSFQパルスを出力する。コンフルエンスバッファ(C)17<sub>1</sub>は、ブロック3, 4におけるSFQパルスを、ラッチ回路(DL)14<sub>2</sub>からパッシブトランスミッションライン(PTL)12<sub>2</sub>を介して受けるので、4つのブロック1~4に対応している。同様に、コンフルエンスバッファ(C)17<sub>2</sub>は、ブロック5~8に対応したSFQパルスを受ける。ブロック9~16に対応した回路も同様である。

【0093】

更に、第 2 段目では、ブロック 5 ~ 8 に対応するコンフルエンスバッファ ( C ) 1 7<sub>1</sub> , 1 7<sub>2</sub> からパッシブトランスミッションライン ( P T L ) 2 2<sub>2</sub> , 2 2<sub>2</sub> それぞれを介して S F Q パルスを受けるコンフルエンスバッファ ( C ) 2 7<sub>1</sub> がある。コンフルエンスバッファ ( C ) 2 7<sub>1</sub> は、受けた S F Q パルスをラッチ回路 ( D L ) 2 4<sub>1</sub> へ出力する。ラッチ回路 ( D L ) 2 4<sub>2</sub> へ出力するブロック 9 ~ 1 6 に対応した回路も同様である。

【 0 0 9 4 】

第 3 段目のクロック周期 ( T 3 ) では、コンフルエンスバッファ ( C ) 3 7<sub>1</sub> が、S F Q パルスを、ラッチ回路 ( D L ) 2 4<sub>1</sub> , 2 4<sub>2</sub> からパッシブトランスミッションライン ( P T L ) 3 2<sub>1</sub> , 3 2<sub>2</sub> それぞれを介して受け、ラッチ回路 ( D L ) 3 4 に出力している。

10

【 0 0 9 5 】

このような実施例 8 の回路の動作は、第 7 の実施の形態と同様であり、第 7 の実施の形態と同様の効果が得られる。さらに、本実施の形態では、ブロック間信号伝搬回路がバイナリーツリーで構成されているため、全てのブロック内信号伝搬回路に対して等長配線になっている。従って、任意の位置のブロック内信号配線回路から出力された S F Q パルスでも、ほぼ同時刻に伝搬させることができるという効果がある。そのため、より大規模なブロック構成のセンス線においても高速にパイプライン動作が可能であるという効果もある。

【 0 0 9 6 】

また、本第 8 の実施の形態では、バイナリーツリー構造のブロック間における信号伝搬回路の適切な位置にラッチ回路 ( D L ) を挿入して、3 段のパイプラインを構成したが、場合によっては 2 段又は 4 段以上で構成することもできる。又は、回路サイズが小さい場合には、ラッチ回路 ( D L ) を挿入せず、パイプラインを行わない通常の動作をさせることもできる。

20

【 実施例 9 】

【 0 0 9 7 】

本発明の実施例 9 について図 9 及び図 1 0 を併せ参照して説明する。

【 0 0 9 8 】

図 9 は、本発明による超伝導 R A M 4 0 の構成に対する第 9 の実施の形態を示すブロック構成図である。この第 9 の実施の形態は、超伝導 R A M における上記第 2 の実施の形態によるワード線又はビット線の構成と、上記第 7 の実施の形態によるセンス線の構成とにより、1 6 k ビットの記憶容量を持った超伝導 R A M 4 0 を構成した場合の実施例である。

30

【 0 0 9 9 】

まず、本実施例 9 による回路構成と機能について説明する。

【 0 1 0 0 】

本実施例 9 における超伝導 R A M 4 0 は、4 行 4 列に配置された 3 2 行 3 2 列の 1 k ビットメモリセルアレイブロック 4 1 と、ブロック内の信号伝搬を行うドライバ回路 4 2 及びセンス回路 4 3 と、ブロック間に信号を伝播するためのスプリッタ、コンフルエンスバッファ、及びラッチ回路を含むライン回路 4 4、及び S F Q 素子で構成された行 ( X ) 方向と列 ( Y ) 方向との二つのデコーダ回路 4 5 , 4 6 とから構成されている。

40

【 0 1 0 1 】

図 9 には明記されていないが、行 ( X ) 方向及び列 ( Y ) 方向のパッシブトランスミッションライン ( P T L ) が上記スプリッタ、コンフルエンスバッファ、ラッチ回路等を含むライン回路 4 4 を介して接続されることで、( X ) 方向のワード線及びセンス線、並びに列 ( Y ) 方向のビット線それぞれが構成されている。また、全ての構成要素は、直流電源で動作するように設定されている。

【 0 1 0 2 】

次に、図 1 0 を参照して本実施例 9 の動作を簡単に説明する。図 1 0 は、本実施例 9 の超伝導 R A M の信号伝搬経路とパイプライン構成とを示す。

50

## 【0103】

第1段目のクロック周期(T1)に、アドレス、データ、リード/ライト(R/W)等の入力信号(SFQパルス)がSFQデコーダ回路45, 46に入力され、アドレス信号で指定された行(X)方向及び列(Y)方向の指定された位置が選択(手順S1)される。

## 【0104】

第2段目のクロック周期(T2)では、ブロック間信号伝搬として、デコーダ回路45, 46から出力されたSFQパルスが選択された行及び列に関連するワード線又はビット線に伝搬され、ブロック内信号伝搬回路(DR)の直前に配置されたラッチ回路に保持(手順S2)される。

## 【0105】

次の第3段目のクロック周期(T3)では、ブロック内信号伝搬回路(DR)のドライバ回路が動作し、選択されたメモリセルに対してデータの書込みや読出しの信号伝搬(手順S3)及びそれに対するメモリセルの動作(手順S4)が行われる。読出し動作の場合には、この時同時に、ブロック内信号伝搬回路(DR)のセンス回路が、選択されたメモリセルから読み出されたデータを伝搬してセンス回路に接続されたラッチ回路にデータを保持(手順S5)する。

## 【0106】

次の第4段目のクロック周期(T4)では、ラッチ回路に保持されたデータ信号が出力され、センス線のブロック間信号伝搬により出力端に伝搬(手順S6)される。

## 【0107】

このように、本実施例9では、4段のパイプラインで16kビットの超伝導ランダムアクセスメモリが構成されている。

## 【0108】

この第9の実施の形態では、メモリセルアレイの分割によりブロック内の信号伝搬に係るドライバ回路及びセンス回路の数は増大するがデコーダ回路の分割は行わないため、デコーダ回路の素子数は増大しない。このため、従来の技術のようにデコーダ回路も含めて分割した場合に比べて、素子数が少なくなり、レイアウト面積又は消費電力を小さくできるという効果がある。

## 【0109】

本実施例9では、10GHzのクロック動作を目標として、分割した一つのブロックの大きさを32行32列の1kビットメモリセルアレイに形成したが、分割するブロックの大きさは任意に設定することができる。例えば、一つのブロックの大きさを16行16列にすれば、分割に伴うブロック内信号伝搬に係わる回路の数は増大するが、20GHz近くのより高速の動作が可能になる。一方、一つのブロックの大きさを64行64列にすれば、分割に伴うブロック内信号伝搬に係わる回路の数は減少するが、クロック周波数は5GHz程度にとどまる。

## 【0110】

以上説明したように、この第9の実施の形態により、超高速で且つ超低消費電力の直流電源で動作が可能な16kビットの超伝導ランダムアクセスメモリを実現することができる。

## 【実施例10】

## 【0111】

本発明の実施例10について図11を参照して説明する。

## 【0112】

図11は、本発明による超伝導RAMの構成に対する第10の実施の形態を示すブロック構成図である。この第10の実施の形態は、上記第9の実施の形態で示された16kビットの超伝導RAM40Aを4個配置して、デコーダ回路を横方向と縦方法とのそれぞれ中央に配置して隣接する16kブロックで共通に使用するようにしている。従って、64kビットの記憶容量を有する超伝導RAMが構成されている。

10

20

30

40

50

## 【0113】

この第10の実施の形態は、第9の実施の形態の16kビットの超伝導RAM40を4個並列に配置した構成と回路動作上は全く同じなので、回路規模を4倍にしても第9の実施の形態と同様の4段のパイプラインで且つ同じクロック周波数で動作させることが可能である。従って、第9の実施の形態と同様の効果が得られ、且つ記憶容量が4倍の64kビットの超伝導RAMを構成できるという効果がある。加えて、デコーダ回路を横方向と縦方法のそれぞれ中央に配置して隣接する16kブロックで共通に使用するようにすることで、16kビットの超伝導RAMを単純に4個並列に配置した場合に比べて、デコーダ回路の数を減らすことができるという効果もある。

## 【実施例11】

## 【0114】

本発明の実施例11について図12を参照して説明する。

## 【0115】

図12は、本発明による超伝導RAMの構成に対する第11の実施の形態を示すブロック構成図である。この第11の実施の形態は、上記第5の実施の形態によるワード線又はビット線の構成と、上記第8の実施の形態によるセンス線の構成とにより、256kビットの記憶容量を持った超伝導RAMを構成した場合の実施例である。

## 【0116】

まず、実施例11の回路構成と機能とについて説明する。

## 【0117】

この第11の実施の形態は、まず第9の実施の形態に基づいて32行32列の1kビットメモリセルアレイブロック41を8行8列に配置し、ブロック間の信号伝搬のためのドライバ回路、センス回路、スプリッタ、コンフルエンスバッファ、ラッチ回路、及びSFQ素子で構成された行方向と列方向の2つのデコーダ回路とから構成された64kビット超伝導RAM40Bを構成する。次に、上記第10の実施の形態に基づいて、この64kビットの超伝導RAM40Bを4個配置し、デコーダ回路を横方向と縦方法のそれぞれ中央に配置して隣接する64kブロックで共通に使用するようにする。この結果、256kビットの記憶容量を持った超伝導RAMが構成できる。

## 【0118】

本第11の実施の形態における回路動作は、第9の実施の形態及び第10の実施の形態と同様で、分割した最小ブロックの大きさも32行32列の1kビットメモリセルアレイ41であるため、10GHzの同じクロック周波数で動作させることが可能であり、同様の効果も得られる。しかしながら、回路規模が大きくなり分割したブロックの数が多くなっているため、ブロック間の信号伝搬に時間がかかる。このため、図13のパイプライン構成で示されるように、ブロック間の信号伝搬に2段のパイプライン周期が設定されている。従って、256kビット超伝導ランダムアクセスメモリ全体のパイプラインは6段になる。

## 【0119】

図13は、この第11の実施の形態における超伝導RAMの信号伝搬経路とパイプライン構成とを示す。

## 【0120】

第1段目のクロック周期(T1)では、アドレス、データ、リード/ライト(R/W)等の入力信号(SFQパルス)がSFQデコーダ回路に入力され、アドレス信号で指定された行(X)方向及び列(Y)方向の指定された位置が選択(手順S11)される。

## 【0121】

第2段目のクロック周期(T2)では、ブロック間信号伝搬として、デコーダ回路から出力されたSFQパルスが選択された行及び列に関連するワード線又はビット線の前半部分に伝搬され、これらの線路の途中に配置されたラッチ回路に保持(手順S12)される。

## 【0122】

10

20

30

40

50

第3段目のクロック周期(T3)では、ブロック間信号伝搬として、ラッチ回路に保持されたSFQパルスがワード線又はビット線の後半部分に伝搬され、ブロック内信号伝搬回路(DR)の直前に配置されたラッチ回路に保持(手順S13)される。

【0123】

次の第4段目のクロック周期(T4)では、ブロック内信号伝搬回路(DR)のドライバ回路が動作し、選択されたメモリセルに対してデータの書込みや読出しの信号伝搬(手順S14)及びそれに対するメモリセルの動作(手順S15)が行われる。読出し動作の場合には、この時同時に、ブロック内信号伝搬回路(DR)のセンス回路が、選択されたメモリセルから読み出されたデータを伝搬してセンス回路に接続されたラッチ回路にデータを保持(手順S16)する。

10

【0124】

次の第5段目のクロック周期(T5)では、ブロック間信号伝搬として、ラッチ回路に保持されたデータ信号が出力され、センス線の前半部分に伝搬され、センス線の途中に配置されたラッチ回路に保持(手順S17)される。

【0125】

第6段目のクロック周期(T6)では、ブロック間信号伝搬として、センス線の途中に配置されたラッチ回路に保持されたデータ信号が出力され、センス線の後半部分を介して出力端に伝搬(手順S18)される。

【0126】

このように、本発明による超伝導RAMのワード線、ビット線及びセンス線の構成により、大規模な超伝導RAMを構成した場合においても、分割する最小単位のメモリセルアレイの大きさを一定にしておけば、例えばクロック周波数は10GHzという超高速を維持して大規模な超伝導RAMを構成できるという効果がある。この場合、分割したブロック数に応じて、ブロック間の信号伝搬に要する時間が長くなるため、ブロック間の信号伝搬に要するパイプライン段数を増やすことで、10GHzという超高速クロック動作を保証している。

20

【産業上の利用可能性】

【0127】

メモリセルアレイにアクセスするワード線、ビット線等の駆動線又はセンス線が、複数のブロックに分割され、そのブロック内の信号伝搬にはそれぞれ負荷駆動能力の高いレベル論理のドライバ回路及びセンス回路を有するブロック内信号伝搬回路(DR)を用いた構成を有しており、更に、長距離のブロック間の信号伝搬には高速動作が可能な単一磁束量子(SFQ)素子で構成された超伝導パッシブトランスミッションライン(PTL)が使用されている。従って、上述したような超伝導性を有する要素による構成は、大規模な構成においても超高速及び低消費電力が必要且つ不可欠なメモリ全般に、適用させることができる。

30

【図面の簡単な説明】

【0128】

【図1】本発明による超伝導RAMの一構成を説明するための等価回路図であって、より詳しくは、ワード線又はビット線に関する構成を示す説明図である。(実施例1)

40

【図2】本発明による超伝導RAMの一構成を説明するための等価回路図であって、より詳しくは、ワード線又はビット線に関する構成を示す説明図である。(実施例2)

【図3】本発明による超伝導RAMの一構成を説明するための等価回路図であって、より詳しくは、ワード線又はビット線に関する構成を示す説明図である。(実施例3)

【図4】本発明による超伝導RAMの一構成を説明するための等価回路図であって、より詳しくは、ワード線又はビット線に関する構成を示す説明図である。(実施例4)

【図5】本発明による超伝導RAMの一構成を説明するための等価回路図であって、より詳しくは、ワード線又はビット線に関する構成を示す説明図である。(実施例5)

【図6】本発明による超伝導RAMの一構成を説明するための等価回路図であって、より詳しくは、センス線の構成方法に関する構成を示す説明図である。(実施例6)

50



【図 7】本発明による超伝導 R A M の一構成を説明するための等価回路図であって、より詳しくは、センス線の構成方法に関する構成を示す説明図である。(実施例 7)

【図 8】本発明による超伝導 R A M の一構成を説明するための等価回路図であって、より詳しくは、センス線の構成方法に関する構成を示す説明図である。(実施例 8)

【図 9】本発明による超伝導 R A M の一構成を説明するためのブロック構成図であって、16kビットの記憶容量を持った超伝導 R A M の構成を示す説明図である。(実施例 9)

【図 10】図 9 に示される超伝導 R A M の構成における回路動作を説明するための信号伝搬経路とパイプライン構成との概略を示す説明図である。(実施例 9)

【図 11】本発明による超伝導 R A M の一構成を説明するためのブロック構成図であって、64kビットの記憶容量を持った超伝導 R A M の構成を示す説明図である。(実施例 10)

【図 12】本発明による超伝導 R A M の一構成を説明するためのブロック構成図であって、256kビットの記憶容量を持った超伝導 R A M の構成を示す説明図である。(実施例 11)

【図 13】図 12 に示される超伝導 R A M の構成における回路動作を説明するための信号伝搬経路とパイプライン構成との概略を示す説明図である。(実施例 11)

【図 14】従来の超伝導 R A M を説明するためのブロック構成の一例を示す説明図である。

【図 15】図 14 におけるメモリセルアレイ部分の一例を示す説明図である。

【符号の説明】

【0129】

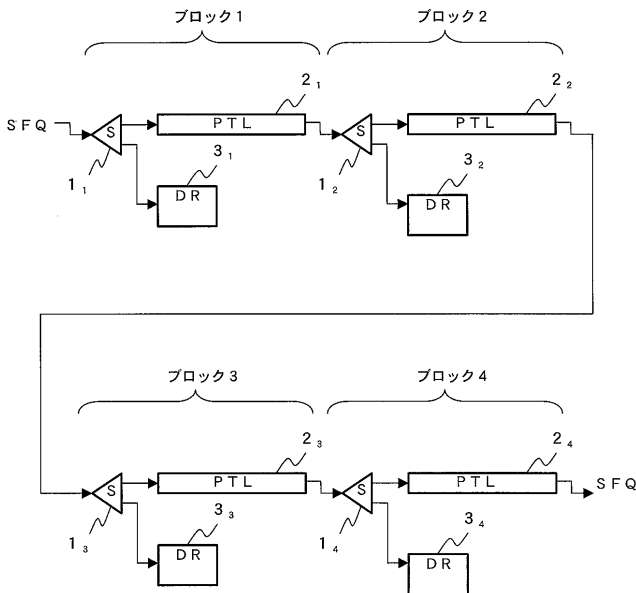
- 1、5、11、21、31、35 スプリッタ(S)
- 2、12、22、32 超伝導パッシブトランスミッションライン(PTL)
- 3、6、16 ブロック内信号伝搬回路(DR)
- 4、14、24、34 ラッチ回路(DL)
- 7、17、18、27、37 コンフルエンスバッファ(C)
- 40、40A、40B 超伝導RAM
- 41 メモリセルアレイブロック
- 42 ドライバ回路
- 43 センス回路
- 44 ライン回路
- 45、45A、46、46A デコーダ回路

10

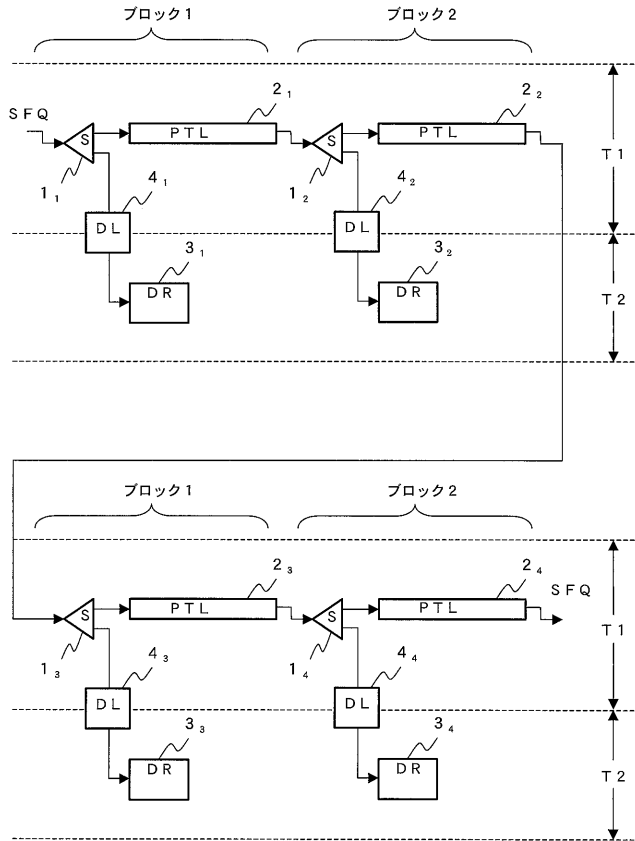
20

30

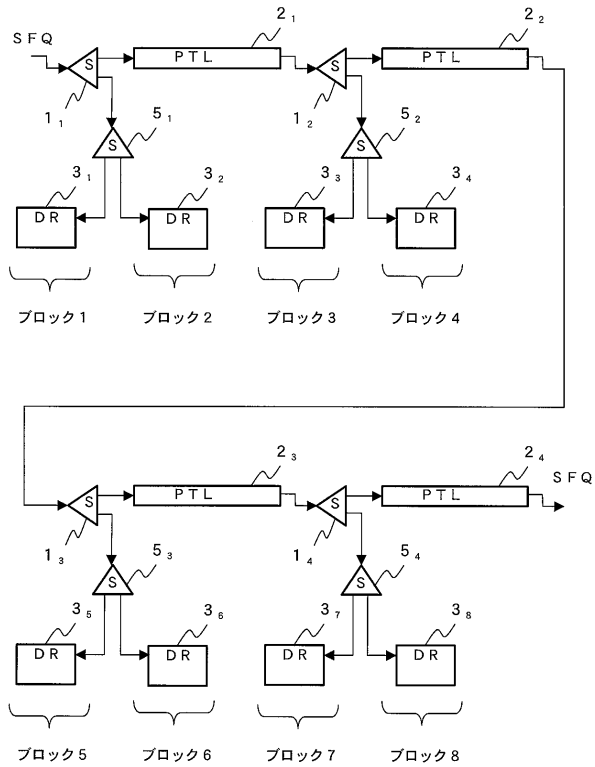
【図1】



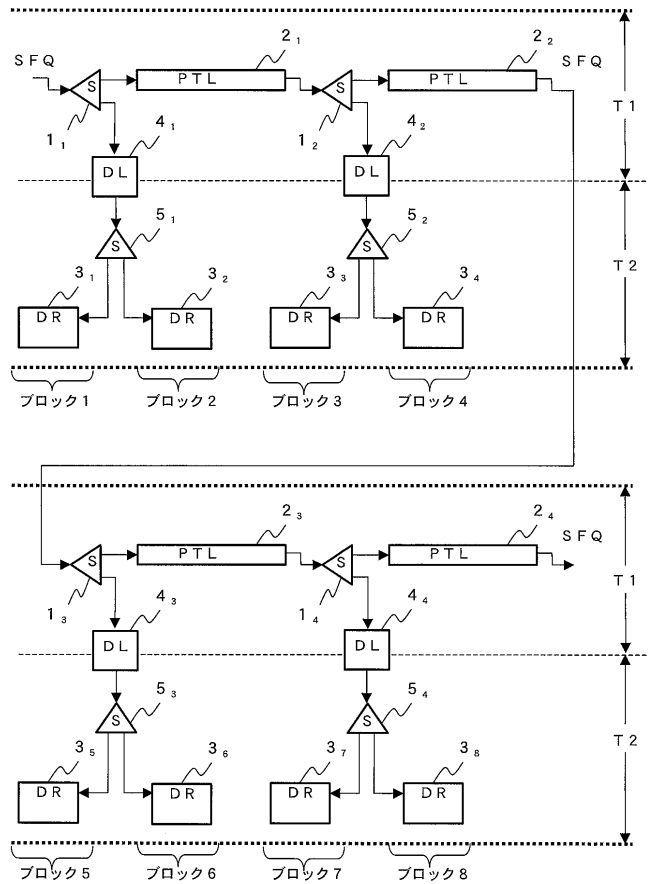
【図2】



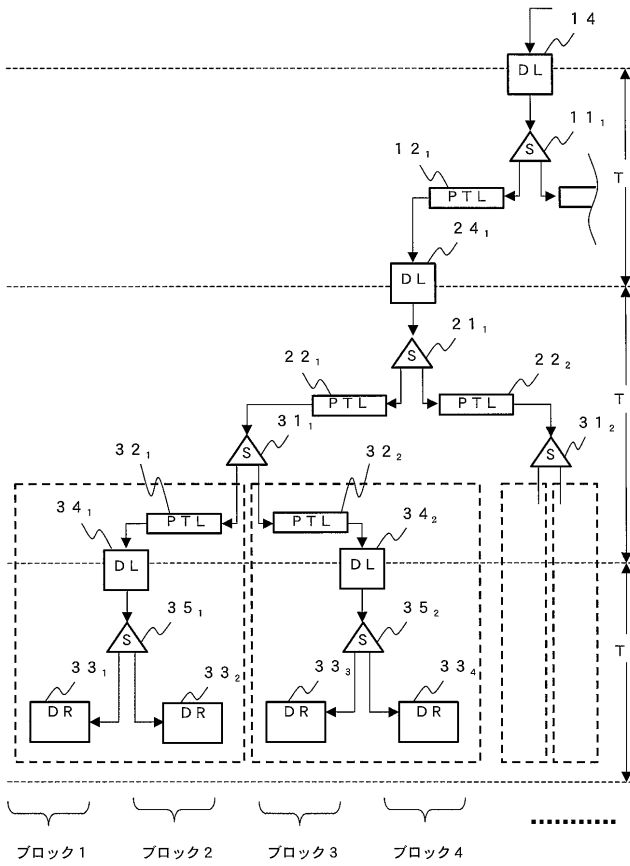
【図3】



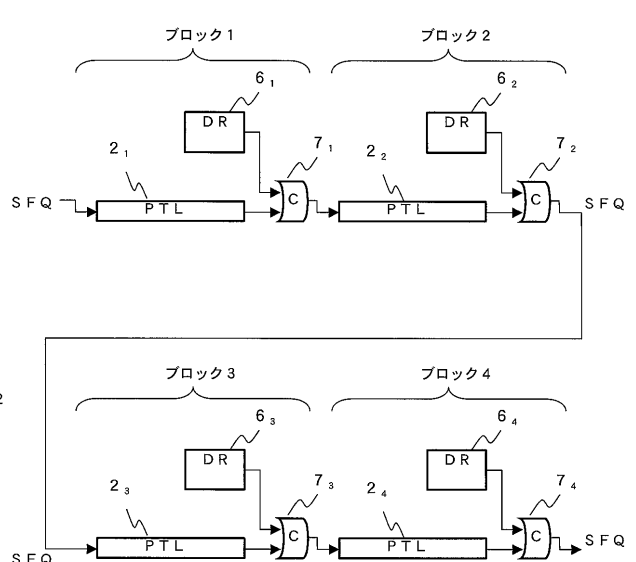
【図4】



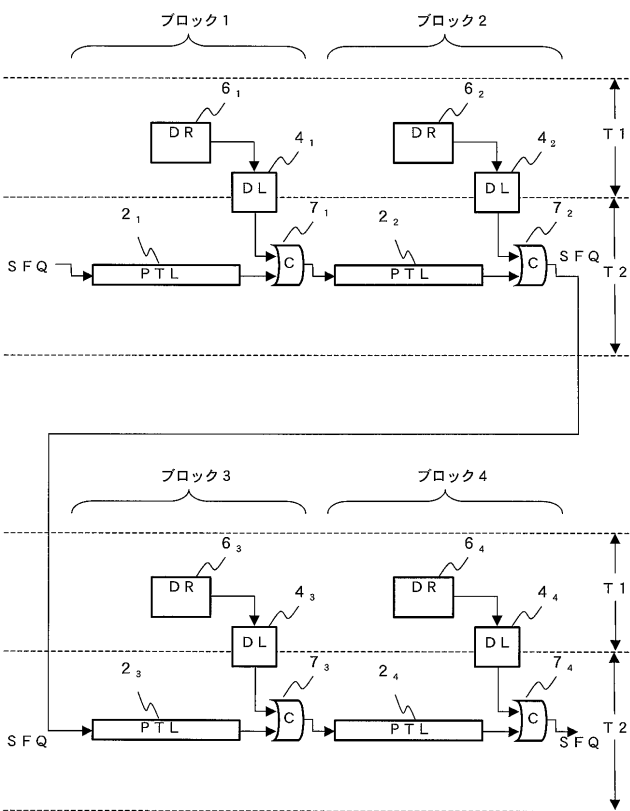
【図5】



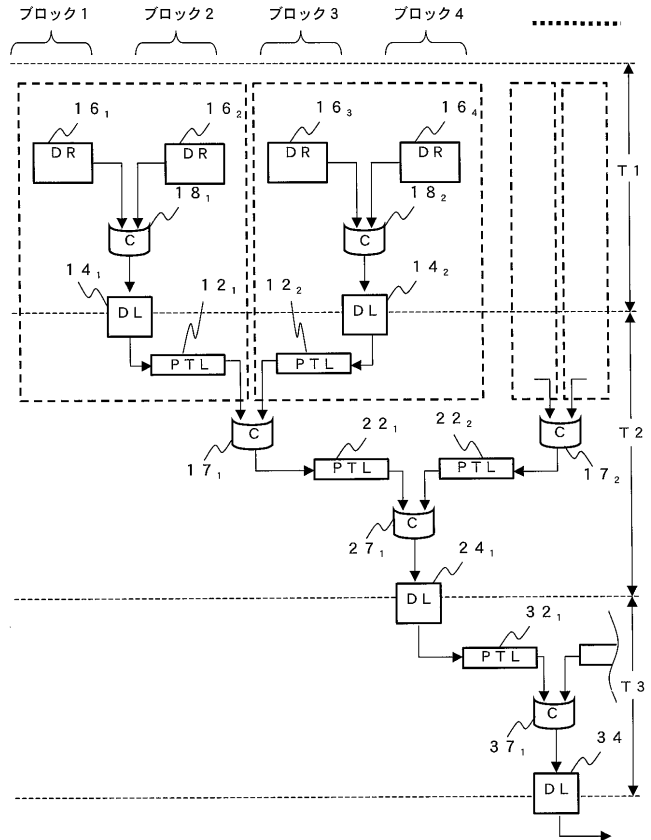
【図6】



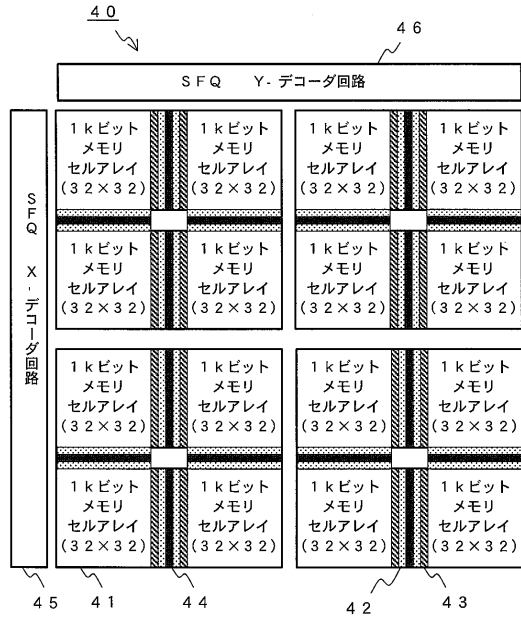
【図7】



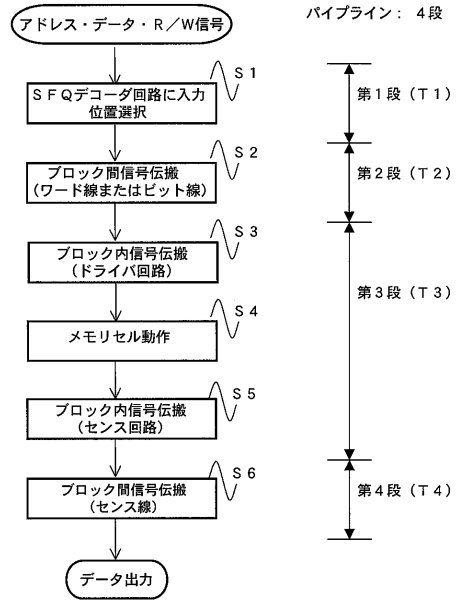
【図8】



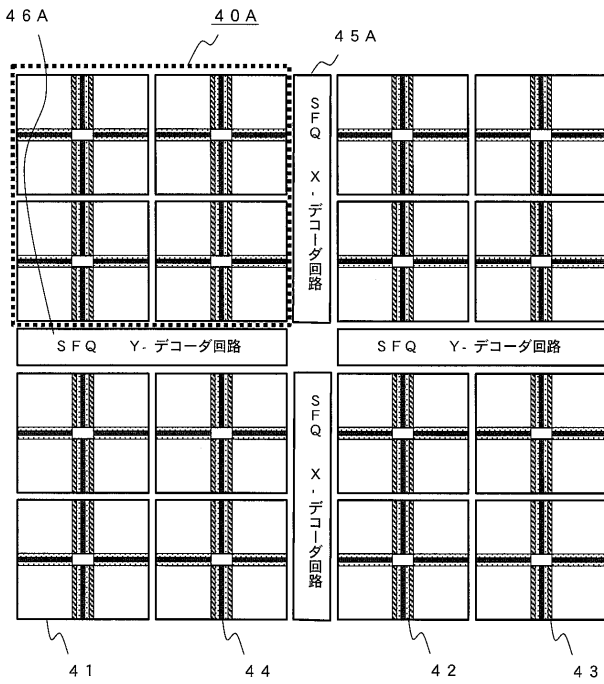
【 図 9 】



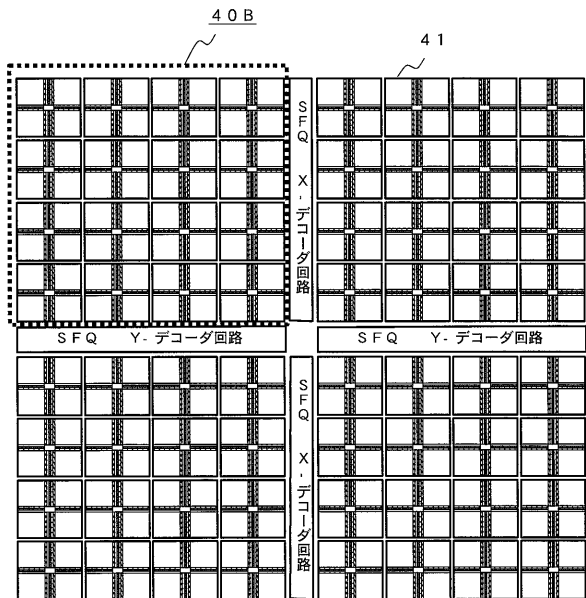
【 図 10 】



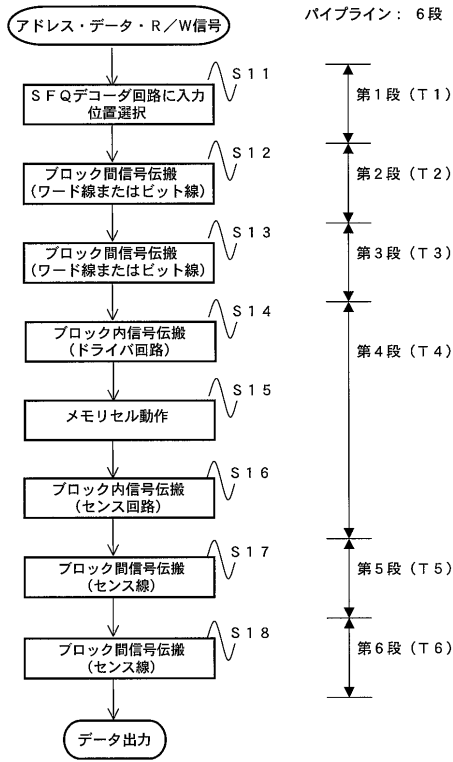
【 図 11 】



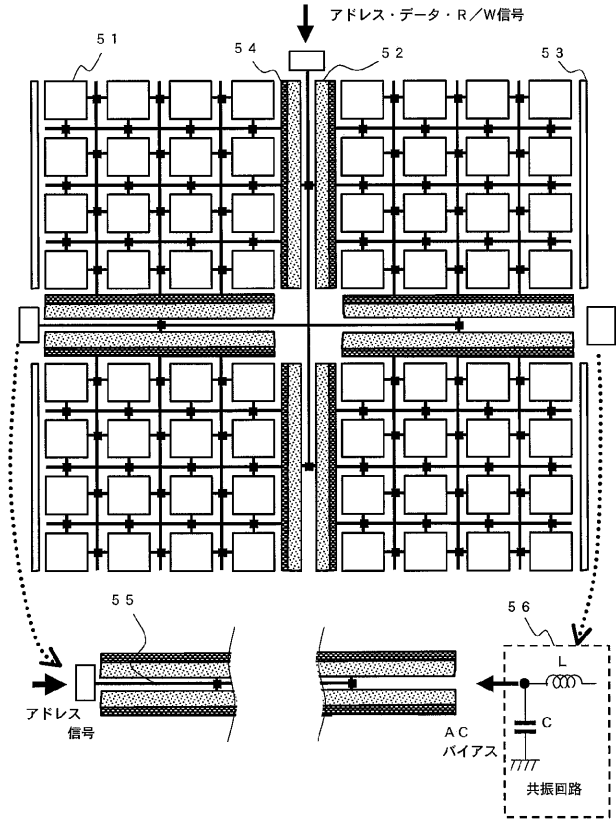
【 図 12 】



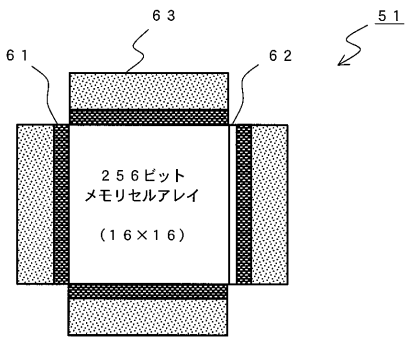
【図 1 3】



【図 1 4】



【図 1 5】



---

フロントページの続き

- (72)発明者 永沢 秀一  
東京都江東区東雲一丁目1番3号 財団法人 国際超電導産業技術研究センター 超電導工学研究  
所内
- (72)発明者 日高 睦夫  
東京都江東区東雲一丁目1番3号 財団法人 国際超電導産業技術研究センター 超電導工学研究  
所内
- (72)発明者 田辺 圭一  
東京都江東区東雲一丁目1番3号 財団法人 国際超電導産業技術研究センター 超電導工学研究  
所内

Fターム(参考) 4M113 AC02 AD01