

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 19 年 7 月 5 日 (2007.7.5)

【公開番号】特開 2001-344965 (P2001-344965A)  
 【公開日】平成 13 年 12 月 14 日 (2001.12.14)  
 【出願番号】特願 2000-167643 (P2000-167643)  
 【国際特許分類】

**G 1 1 C 11/401 (2006.01)**  
**G 1 1 C 11/4096 (2006.01)**  
**H 0 1 L 21/3205 (2006.01)**  
**H 0 1 L 21/8242 (2006.01)**  
**H 0 1 L 27/108 (2006.01)**

【F I】

G 1 1 C 11/34 3 6 2 H  
 G 1 1 C 11/34 3 5 4 R  
 G 1 1 C 11/34 3 7 1 K  
 G 1 1 C 11/34 3 7 1 D  
 H 0 1 L 21/88 K  
 H 0 1 L 27/10 6 2 1 C  
 H 0 1 L 27/10 6 8 1 B

【手続補正書】  
 【提出日】平成 19 年 5 月 18 日 (2007.5.18)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】請求項 6  
 【補正方法】変更  
 【補正の内容】

【請求項 6】 L は M よりも大きく、

前記データ線接続選択回路は、

前記複数のリードデータ線と前記複数のリードデータバスとの間に直列に配置され、各々が指定されたシフト位置を境に前記複数のリードデータ線と前記複数のリードデータバスとの間の接続関係をシフト可能な J 個の読出シフト回路と、

前記複数のライトデータ線と前記複数のライトデータバスとの間に直列に配置され、各々が指定されたシフト位置を境に前記複数のライトデータ線と前記複数のライトデータバスとの間の接続関係をシフト可能な J 個の書込シフト回路と、

前記冗長判定回路に制御されて、前記複数のライトデータバスのうちの J 本の各々と各前記スペアライト線との間を接続可能な接続切換回路と、

前記複数のリードデータ線のうちの I 本と前記複数のリードデータバスのうちの I 本との間および、前記 I 本のスペアリード線と前記複数のリードデータバスのうちの I 本との間にそれぞれ配置される 2・I 個の信号バッファとを含み、

前記冗長判定回路は、前記冗長救済制御に従って、前記 2・I 個の信号バッファのうちの I 個を活性化し、

J 個のうちの第 K 番目 (K は I 以下の自然数) の前記読出シフト回路および書込シフト回路における前記シフト位置は、前記冗長判定回路が生成する共通の制御信号によって指定される、請求項 4 記載の半導体記憶装置。

【手続補正 2】  
 【補正対象書類名】明細書  
 【補正対象項目名】0 0 2 9

## 【補正方法】変更

## 【補正の内容】

## 【0029】

デコード回路30によって選択されたメモリセルと周辺回路50との間におけるデータ伝達は、グローバルデータ線対GDL Pを介して実行される。周辺回路50は、グローバルデータ線対GDL Pによって伝達されるメモリセルアレイ40への読出/書込データをデータバス領域60との間で授受する。この際に、冗長判定回路35によって冗長救済の実行が指示された場合には、周辺回路50は、冗長判定回路が生成する制御信号群に基づいて、データ線の接続選択による冗長救済動作を実行する。

## 【手続補正3】

## 【補正対象書類名】明細書

## 【補正対象項目名】0035

## 【補正方法】変更

## 【補正の内容】

## 【0035】

センスアンプ回路130は、メモリセルブロック単位を挟んで交互に配置される構成となっている。L個(L:自然数)のセンスアンプ回路130に対応して、すなわちL個のメモリセル列ごとに、1組のリードデータ線対RDL Pが設けられる。一方、M個(M:自然数)のセンスアンプ回路130に対応して、すなわちM個のメモリセル列ごとに、1組のライトデータ線対WDL Pが設けられる。本発明の実施の形態1においては、これらのリードデータ線対およびライトデータ線対の配置単位であるメモリセル列の個数すなわちLおよびMが異なる数である点が特徴である。

## 【手続補正4】

## 【補正対象書類名】明細書

## 【補正対象項目名】0055

## 【補正方法】変更

## 【補正の内容】

## 【0055】

図3を参照して、サブワードドライバ165は、ゲートがバンク選択線BSLにより制御され、メインワード線と内部ノードn1との間に設けられる選択トランジスタ2001と、ノードn1にゲートが接続され選択線SLのうちの1つのSL0とサブワード線SWLとの間に接続されるトランジスタ2003と、ゲート電位がトランジスタ2003と同じ選択線SL0により制御され、サブワード線SWLとノードn1との間に接続されるトランジスタ2005とを含む。また、リセット線RSL0によりゲート電位が制御され、サブワード線と接地電位との間に設けられるトランジスタ2007をさらに含む。

## 【手続補正5】

## 【補正対象書類名】明細書

## 【補正対象項目名】0057

## 【補正方法】変更

## 【補正の内容】

## 【0057】

図3に示した例においては、1つのワード線MWLが各バンクにおいて4本のワード線SWLを制御し、いずれのサブワード線SWLが選択されるかは、選択線SLのうちの1つの活性化により指定される。バンク選択線BSLは、活性化時には昇圧電位Vppのレベルとなり、サブワード線SWLが活性化した後は、接地電位Vssレベルに変化する。この場合、トランジスタ2003および2005により構成されるラッチ回路により、このバンク選択線BSLの活性化の状態が保持されることになる。選択線SLとリセット線RSLとの電位レベルは、互いに相補となるように制御される。

## 【手続補正6】

## 【補正対象書類名】明細書

【補正対象項目名】 0 0 7 8

【補正方法】 変更

【補正の内容】

【 0 0 7 8 】

図 2 に示すデータ線接続選択回路 2 0 0 は、第 1 シフト回路 2 0 1 R , 2 0 1 W、第 2 シフト回路 2 0 2 R , 2 0 2 W および接続切換回路 2 2 0 とを含む。図 5 においては、第 1 シフト回路 2 0 1 R および 2 0 1 W を一体的に示しているが、第 1 シフト回路 2 0 1 R は、リードデータ線対とグローバルリードデータバス対との間に配置されるシフトスイッチ S F W を含み、第 1 シフト回路 2 0 1 W は、ライトデータ線対とグローバルライトデータバス対との間に配置されるシフトスイッチ S F W を含んでいる。第 2 シフト回路 2 0 2 R および 2 0 2 W の構成についても同様である。以下においては、第 1 シフト回路および第 2 シフト回路等の、データ線群とデータバス群との間でシフト動作を行なうための回路を総称して、単にシフト回路とも称する。

【手続補正 7】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 3

【補正方法】 変更

【補正の内容】

【 0 0 8 3 】

図 6 に黒丸で示されるように、リードデータ線対 R D L P 8 および R D L P 1 3 対応する領域に不良部が存在する。第 1 シフト回路 2 0 1 R は、リードデータ線対 R D L P 8 とグローバルリードデータバス対との接続を中止すべく、リードデータ線対 R D L P 9 を、本来リードデータ線対 R D L P 8 と対応づけられるグローバルリードデータバス対と接続する。第 1 シフト回路 2 0 1 R は、制御信号 C S F T 1 で指定されるシフト位置を境に R D L P 9 以降のリードデータ線対を 1 つずつ上側にシフトする。

【手続補正 8】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 4

【補正方法】 変更

【補正の内容】

【 0 0 8 4 】

さらに、リードデータ線対 R D L P 1 3 に対応する不良部が存在するため、リードデータ線対 R D L P 1 3 についてもグローバルリードデータバス対との接続を中止すべくシフト動作を行なう。このシフト動作は、第 2 シフト回路 2 0 2 R によって実行され、具体的には、第 2 シフト回路 2 0 2 R によってリードデータ線対 R D L P 1 4 , 1 5 とグローバルリードデータバス対との対応づけが本来より、さらに 1 個ずつ上側にずらされることとなる。

【手続補正 9】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 5

【補正方法】 変更

【補正の内容】

【 0 0 8 5 】

これらの第 1 シフト回路 2 0 1 R および第 2 シフト回路 2 0 2 R のシフト動作によって、リードデータ線対 R D L P 0 ~ R D L P 7 は、本来対応づけられるグローバルリードデータバスに対してデータを読み出すこととなるが、リードデータ線対 R D L P 8 の読出データは、グローバルリードデータバス対には伝達されない。

【手続補正 1 0】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 9

## 【補正方法】変更

## 【補正の内容】

## 【0089】

第1シフト回路 201R および第2シフト回路 202R におけるシフト位置を指定するシフト制御信号 CSFT1 , CSFT2 は、冗長判定回路35によって生成される。シフト制御信号 CSFT1 , CSFT2 は、冗長救済をプログラムする際において、不良アドレスとともに外部より入力されて冗長判定回路35内に記憶される。

## 【手続補正11】

## 【補正対象書類名】明細書

## 【補正対象項目名】0100

## 【補正方法】変更

## 【補正の内容】

## 【0100】

各シフトスイッチに対する接続方向の指示は、対応するデコード回路 205-1 ~ 205-2N が生成するデコード信号によって実行される。各デコード回路は、シフト制御信号 CSFT1 に従って、対応するシフトスイッチに対してデコード信号を供給する。シフト制御信号 CSFT1 は、 $2 \cdot N$  個のシフトスイッチのうちの1個をシフト位置に指定するための  $J$  ビット ( $J$  は、 $2^J = 2 \cdot N$  で示される自然数) の信号である。指定されたシフト位置を境に、各デコード回路が指示する接続方向は、通常時/シフト動作時に分けられる。

## 【手続補正12】

## 【補正対象書類名】明細書

## 【補正対象項目名】0104

## 【補正方法】変更

## 【補正の内容】

## 【0104】

図8においては、図4の場合と反対に、 $L = 8$  かつ  $M = 4$  である場合を示している。すなわち、8個のメモリセル列に対応して、1組のリードデータ線対 RDL , / RDL および2組のライトデータ線対 WDL , / WDL が配置される。これに対応して、サブリードソース線 SRGL で総称される8本のサブリードソース線 SRGL0 ~ SRGL7 と、サブライト活性化線 SWRL で総称される4本のサブライト活性化線 SWRL0 ~ SWRL3 とが配置される。その他の部分の構成および動作については、図4の場合と同様なので説明は繰返さない。

## 【手続補正13】

## 【補正対象書類名】明細書

## 【補正対象項目名】0113

## 【補正方法】変更

## 【補正の内容】

## 【0113】

このような構成とすることにより、 $2 \cdot N$  組のライトデータ線対 WDL P と  $2 \cdot N$  組のグローバルリードライトバス対 GWDB P との間を、不良部に対応する部分をシフトさせて接続することができる。また、シフト動作によってライトデータ線対 WDL P に伝達されなくなったデータは、接続切換回路230によって、スペアライトデータ線対 SWDLP0 あるいは SWDLP1 に伝達される。

## 【手続補正14】

## 【補正対象書類名】明細書

## 【補正対象項目名】0117

## 【補正方法】変更

## 【補正の内容】

## 【0117】

図 9 においては、スペアメモリセルアレイに配置されるスペアリードデータ線対の数が 1 である場合について説明したが、スペアリードデータ線対が K 組 ( K : 2 以上の自然数 ) 設けられる場合においては、リードデータ線対のうちの K 組とグローバルリードデータバス対 G R D B P のうちの K 組との間、ならびに K 組のスペアリードデータ線対とグローバルリードデータバス対 G R D B P のうちの K 組との間にそれぞれ、冗長判定回路によって制御可能な信号バッファを配置して、冗長判定回路は、冗長救済制御に従って、これらの 2 ・ K 個の信号バッファのうちの K 個を選択的に活性化する構成とすればよい。

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 2

【補正方法】変更

【補正の内容】

【0 1 2 2】

図 1 1 を参照して、メモリセル M C は、アクセストランジスタ 3 1 0 と、データを記憶するためのキャパシタ 3 0 5 とを含む。キャパシタ 3 0 5 は、誘電体膜 D F を挟んで対向するように配置されるセルプレート C P と電荷蓄積ノード S N とを有する。セルプレート C P は、複数のメモリセル間で共有され、共通の基準電位 V s s と結合される。電荷蓄積ノード S N には、メモリセル M C に記憶されるデータのレベルに応じて電荷が蓄積される。すなわち、メモリセル M C が “ 1 ” のデータが保持される場合には、電荷蓄積ノード S N は、アクセストランジスタ 3 1 0 を介してビット線 B L によって充電された電荷を保持する。一方、メモリセル M C が “ 0 ” のデータを保持する場合には、ビット線 B L には電荷が供給されず、電荷蓄積ノード S N の電荷は、アクセストランジスタ 3 1 0 を介して放電される。