

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ G09G 3/30 (2006.01)		(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년02월22일 10-0554793 2006년02월16일
(21) 출원번호 (22) 출원일자	10-2004-0015276 2004년03월06일	(65) 공개번호 (43) 공개일자	10-2004-0081029 2004년09월20일
(30) 우선권주장	JP-P-2003-00061288 JP-P-2003-00405642	2003년03월07일 2003년12월04일	일본(JP) 일본(JP)
(73) 특허권자	캐논 가부시끼가이샤 일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고		
(72) 발명자	카와사키소메이 일본국도쿄도오오따꾸시모마루쵸3쵸메30방2고캐논가부시끼가이샤나 이 카와노후지오 일본국도쿄도오오따꾸시모마루쵸3쵸메30방2고캐논가부시끼가이샤나 이 이세키마사미 일본국도쿄도오오따꾸시모마루쵸3쵸메30방2고캐논가부시끼가이샤나 이		
(74) 대리인	신중훈 임옥순		

심사관 : 천대식

(54) 구동회로와, 구동회로를 이용한 표시장치 및 구동회로의평가방법

요약

구동회로의 출력을 정확하게 하기 위해, 구동회로는, 전류신호를 복수의 출력유닛의 각각에 출력하는 복수의 전류신호발생회로와, 상기 복수의 전류신호발생회로의 출력이 공통으로 접속된 전류신호출력선과, 상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 상기 복수의 전류신호발생회로 중의 1개의 특정한 회로의 출력을 평가함으로써 획득한 보정값을 출력하는 보정값출력회로와, 보정값에 의해 상기 전류신호발생회로에 공급된 영상신호를 보정하는 보정회로로 구성되어 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은, 본 발명의 구동회로의 보정경로의 구성을 도시한 블록도.

도 2는, 본 발명의 표시장치의 바람직한 일실시예의 구성을 도시한 개략도.

도 3은, 열제어회로의 회로구성을 도시한 도면.

도 4는, 도 3의 열제어회로의 타임차트를 도시한 도면.

도 5는, 열제어회로의 다른 회로구성을 도시한 도면.

도 6은, 도 5의 열제어회로의 타임차트를 도시한 도면.

도 7은, 화소의 회로구성을 도시한 도면.

도 8은, 도 7의 화소회로의 타임차트를 도시한 도면.

도 9는, 총계의 전류출력회로의 회로구성의 일예를 도시한 도면.

도 10은, 도 9의 총계의 전류출력회로의 타임차트를 도시한 도면.

도 11은, 보정계수연산회로의 구성의 일예를 도시한 도면.

도 12는, 보정계수연산회로에 의한 연산결과를 도시한 그래프.

도 13은, 종래의 EL표시장치의 화소회로를 도시한 도면.

도 14는, 다른 종래의 EL표시장치의 표시패널의 구성을 도시한 도면.

<도면의 주요부분에 대한 부호의 설명>

1: 구동제어회로 2: 총계의 전류검출회로

3: 열전류측정회로 4: 열전류기억회로

5: 기준열전류검출회로 6: 보정이득검출회로

7: 보정계수연산회로 8: 보정계수기억회로

9: 영상신호보정회로 10: 계산회로

11: 분류계수결정회로 12: 사칙연산회로

13: 총계의 전류출력회로 14: 열시프트 레지스터

15: 행시프트 레지스터 16: 유효증폭기

17: 비교기 18,24: 디지털-아날로그 변환기

19: 열제어회로 20: 화소회로

21: 데이터선 22: 주사선

23: 논리회로 25: 화상표시유닛

27: 총계의 전류출력단자 28: 검출 레지스터

29: 비교회로 30: 표시패널

31: 외부제어회로 35: 샘플홀드회로

36: 전류신호발생회로 SPa,SPb: 샘플링신호

CC1,CC2,CC3: 열제어신호 VB: 기준전압 바이어스신호

REF: 기준신호 C1,C2,C3,C4: 용량

RC1,RC2: 주사신호 Vcc: 전원

P1,P2,P3,P4,P5,P6: 열제어신호 71: EL소자

83: 전류신호출력선 81: 스위치유닛

82: 차단유닛 91a 내지 9Nc: 데이터선

Iout: 총계의 전류 CCx,CCy: 총계의 전류검출제어신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 전류신호를 출력하는 구동회로에 관한 것이고, 또한 구동회로를 이용한 표시장치에 관한 것이다.

유기 전기발광(EL)소자를 이용한 액티브 매트릭스 시스템의 표시장치는, 격자로 배치된 전극의 동작을 온(ON) 또는 오프(OFF)하는 것만 행함으로써 발광을 제어하는 종래의 단순 매트릭스 시스템의 표시장치와 비교하여 높은 그라데이션(gradation)으로 각각의 화소를 조명한다. 따라서, 액티브 매트릭스 시스템을 채용한 표시장치에 의해, 콘트라스트비가 크고 응답속도가 높은 디스플레이를 실현할 수 있다.

상기 EL표시장치는, 화소가 배치된 화상표시유닛과, 외부로부터 입력된 영상신호 등의 신호정보를 처리하여 화상표시유닛의 각각의 화소에 처리된 신호정보를 전송하는 구동회로를 포함한다. 구동회로에서, 화상표시유닛과 동일한 표시패널에 장착되는 구동제어회로는, 박막트랜지스터(TFT)를 이용하여 일반적으로 구성된다. 또한, TFT는, 각각의 화소에 EL소자의 발광상태를 제어하는 액티브소자로서도 주로 이용된다. 그러나, TFT 소자는, 상보성 금속산화막 반도체(CMOS) 트랜지스터와 비교하여 그 특성에서 큰 범위에 분포되고, 인접영역에서도 분포의 상관성을 확보하기가 곤란하다. 따라서, 구동상태를 확실히 제어하도록 회로를 설계하지 않으면, 화소 전체가 균일하게 발광하도록 하여도 휘도의 불균일성이 발생한다.

일본국 특허공개 제 2003-66865호공보는, EL소자를 통해서 흐르는 전류를 제어하는 트랜지스터의 소스 종동부(source follower) 구성을 채용함없이 트랜지스터의 킥 전류(kink current)의 유도를 억제하는 소스선과 복수의 게이트선으로 제어되는 4개의 TFT를 사용한 화소회로를 구성함으로써, 화소회로내에 기억된 전류값의 변화를 감소시키는 화소회로의 구성을 개시하고 있다.

일본국 특허공개 제 2002-91377호공보에 개시된 회로는, 도 13에 도시한 바와 같이, 유기 EL소자(103)를 통해서 흐르는 전류를 검출하는 전류검출회로(105)와, 전류검출회로(105)의 출력전압과 샘플홀드회로(101)의 출력전압간의 차이를 증폭하여 화소회로의 전류제어회로(104)에 증폭된 차이를 입력하는 오차증폭회로(102)를 포함한다. 상기 회로는, 부의 피드백 동작에 의해 전류검출회로(105)의 출력전압과 샘플홀드회로(101)의 출력전압이 동일하게 되도록 구성된다. 따라서, 상기 회로는 휘도가 균일하게 되도록 제어한다.

일본국 특허공개 제 2002-278513호 공보는, 도 14에 도시한 구성을 개시하고 있다. 그 구성에서, 전류검출회로가 모든 화소에 배치되지 않고 전류측정소자(110)가 전원(108)의 각각의 공급선에 배치된다. 전류측정소자(110)는, 주사 드라이버(111)의 제어상태에 따라서 특정한 행의 전류를 측정하고, 그 후 측정된 전류를 기억수단(109)에 기억한다. 다음에, 연산소자(107)와 외부데이터 드라이버(106)에 의해 기억된 전류를 연산하고, 그 후 연산된 전류를 화상 데이터에 피드백한다.

표시소자로서, EL소자 이외에 다양한 소자가 공지되어 있다. 미국 특허 제 6195076호 공보는 전류신호에 의해 전자방출소자를 구동하는 구성을 개시하고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 구동회로의 출력을 평가할 수 있는 단순한 구성을 실현하는데에 있다. 특히, 상세한 목적은, 구동회로의 모든 복수의 출력유닛으로의 출력을 평가하는 측정소자를 배치함이 없이, 또한 구동회로의 모든 복수의 출력유닛에 각각의 출력을 획득하는 개개의 출력선을 배치함이 없이 구동회로의 출력을 평가할 수 있는 구성을 실현하는데에 있다.

본 발명의 요점은, 복수의 출력이 공통으로 접속된 출력선을 사용하여 출력을 평가하는 회로에 복수의 출력을 유도하는 구성을 단순화하는 것이다. 그러나, 상기 구성은 특유의 문제를 가진다. 즉, 발생하는 특유의 문제는, 구동회로로부터 출력된 신호가 전압값이 제어된 신호(전압신호)인 경우, 서로 상이한 복수의 출력을 공통의 출력선에 접속하면 정확한 평가를 실시할 수 없게 된다. 이것은 제 1의 특유의 문제이다. 따라서, 본 발명은, 복수의 출력이 공통으로 접속된 출력선을 이용하고, 제 1의 문제를 해결하기 위해 출력으로서 전류신호(즉, 전류값이 제어된 신호)를 출력하는 복수의 전류신호발생회로를 이용하는 구성을 채용한다. 또한, 제 2의 특유의 문제도 있다. 출력을 평가하기 위한 출력선으로서 복수의 출력이 접속된 출력선과, 공통의 출력선을 수반하는 상기 제 1의 특유의 문제를 해결하기 위해 출력으로서 전류신호(즉, 전류값이 제어된 신호)를 출력하는 전류신호발생회로를 이용하는 구성을 채용해도, 복수의 전류신호발생회로의 어떤 것이 평가대상의 전류신호발생회로인지를 상술할 수 없다(제 2의 특유의 문제). 따라서, 본 발명은, 제 1의 특유의 문제를 해결하는 동시에 제 2의 특유의 문제를 해결하기 위해서 전류신호출력선으로부터 출력된 전류값에 의거하여 특정의 전류신호발생회로의 출력을 평가할 수 있는 전류신호출력상태로 복수의 전류신호발생회로의 각각을 제어하는 제어회로가 부가하여 배치된다.

발명의 구성 및 작용

본 출원의 제 1발명은 다음과 같이 구성된다.

즉, 구동회로는,

전류신호를 복수의 출력유닛의 각각에 출력하는 복수의 전류신호발생회로와;

상기 복수의 전류신호발생회로의 출력이 공통으로 접속된 전류신호출력선과;

상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 상기 복수의 전류신호발생회로 중의 1개 이상의 특정한 회로의 출력을 평가할 수 있는 전류신호출력상태가 되도록 상기 복수의 전류신호발생회로의 각각을 제어하는 제어회로와;

상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 상기 복수의 전류신호발생회로 중의 상기 1개 이상의 특정한 회로의 출력을 평가하고 평가결과에 따라서 보정값을 출력하는 보정값출력회로와;

보정값에 의해 상기 전류신호발생회로에 공급된 영상신호를 보정하는 보정회로와;

를 포함하는 것을 특징으로 한다.

여기서, 상기 제어회로는, 소정의 신호를 상기 전류신호발생회로 중의 상기 1개 이상의 특정한 회로에 공급하고, 소정의 신호와는 상이한 신호를 다른 전류신호발생회로에 공통으로 공급하는 구성이 적합하게 채용될 수 있다. 예를 들면, 복수의 전류신호발생회로 중의 하나인 제 1전류신호발생회로를 특정한 전류신호발생회로가 되도록 설정한다. 다음에, 소정의 신호가 제 1전류신호발생회로에 공급되고, 상이한 공통의 신호를 다른 전류신호발생회로에 공급한다. 이 때 얻은 결과는 제 1결과로 설정한다. 다음에, 제 1전류신호발생회로와는 상이한 제 2전류신호발생회로를 특정한 전류신호발생회로가 되도록 설정한다. 다음에, 소정의 신호를 제 2전류신호발생회로에 공급하고, 공통의 신호를 다른 전류신호발생회로에 공급한다. 이 때 얻은 결과를 제 2결과로 설정한다. 제 1결과와 제 2결과를 비교함으로써, 제 1전류신호발생회로와 제 2전류신호발생회로를 비교하여 평가하는 것이 가능해진다.

또한, 여기서 전류신호발생회로의 출력의 평가는, 전류신호발생회로의 출력의 값과, 다른 전류신호발생회로의 출력으로부터의 차이와, 소정의 기준값으로부터의 차이 등을 직접 또는 간접적으로 검출하는 것을 의미한다.

또한, 특히, 다음의 구성을 적합하게 채용할 수 있다. 즉, 제어회로는, 1개 이상의 전류신호발생회로에 소정의 신호를 공급하고, 단일의 다른 전류신호발생회로 또는 복수의 다른 전류신호발생회로에 소정의 신호와는 상이한 신호를 공급함에 있어서, 상기 상이한 신호는, 상이한 신호가 공급된 다른 전류신호발생회로의 각각으로부터 출력된 전류신호의 전류값이 1개 이상의 전류신호발생회로로부터 출력된 전류신호의 전류값보다 충분히 작은 신호이다. 이 구성에 의해, 평가대상이 되는 1개 이상의 전류신호발생회로 이외의 전류신호발생회로로부터의 출력을 무시할 수 있다. 또한, 다른 전류신호발생회로의 출력을 무시할 수 없는 경우이어도, 상기 출력을 백그라운드로서 처리하는 연산이 용이하게 되어 연산의 정확도가 높아질 수 있다.

또한, 상기 설명한 각각의 발명에서, 전류신호출력선이 복수의 전류신호발생회로에 동시에 접속되는 상태를 실현하는 스위치를 부가하여 포함하는 구성을 적합하게 채용할 수 있다. 상기 스위치는, 복수의 전류신호발생회로에 대응해서 설치된 복수의 스위치로 구성된 스위치군인 구성을 적합하게 채용할 수 있다. 전류신호발생회로와 전류신호발생회로에 의해 출력된 전류신호가 공급되는 표시소자 사이의 전류경로의 도중에 전류신호발생회로에 의해 출력된 전류신호가 전류신호출력선에 흐르도록 하는 구성을 적합하게 채용할 수 있다. 그 구성에서, 전류신호발생회로의 출력의 평가를 실시할 필요가 없으면, 전류신호발생회로와 전류신호출력선은 서로 비접속 상태인 것이 바람직하다. 상기 스위치는, 비접속 상태가 실현될 수 있도록 배치하는 것이 바람직하다. 또한, 본 발명은, 전류신호출력선으로부터 출력된 전류값에 의거하여 특정한 전류신호발생회로의 출력을 평가할 수 있는 전류신호출력상태로 복수의 전류신호발생회로의 각각을 제어하는 제어회로를 이용한다. 따라서, 상기 스위치는, 개개의 전류신호발생회로와 전류신호출력선 사이의 접속관계를 개별적으로 제어할 수 있는 것일 필요는 없다. 개개의 전류신호발생회로와 전류신호선 사이에 개개의 스위치를 배치하는 경우에도, 이들 스위치는 공통의 제어신호에 의해 제어될 수 있다.

또한, 상기 설명한 각각의 발명에서, 복수의 전류신호발생회로와 전류신호출력선 사이의 접속관계를 개별적으로 제어하는 복수의 스위치를 포함하고 또한 상기 스위치가 공통의 제어신호에 의해 제어되는 구성을 적합하게 채용할 수 있다.

또한, 상기 설명한 각각의 발명에서, 복수의 전류신호발생회로와 복수의 출력유닛 사이의 접속관계를 개별적으로 제어하는 복수의 스위치를 포함하고 또한 상기 스위치가 공통의 제어신호에 의해 제어되는 구성을 적합하게 채용할 수 있다. 상기 설명한 바와 같이, 전류신호발생회로와 상기 전류신호발생회로로부터 출력된 전류신호가 공급되는 표시소자 사이의 전류경로의 도중에 전류신호발생회로에 의해 출력된 전류신호가 전류신호출력선에 흐르도록 하는 구성을 적합하게 채용할 수 있다. 전류신호발생회로의 출력을 전류신호출력선에 유도함으로써 평가를 실시하면, 전류신호발생회로의 출력이 표시소자측에 분류하지 않은 구성이 바람직하다. 표시소자가 접속된 데이터라인과 전류신호발생회로 사이에 스위치를 배치함으로써, 평가되는 전류신호가 데이터선측에 분류되는 것을 억제할 수 있다.

또한, 본 발명에서, 전류신호의 출력 등의 표현을 이용한다. 이런 표현들은 전류가 특정한 방향으로 흐르는 구성에 한정되지 않는다. 예를 들면, 전류신호발생회로는 전류신호를 출력한다고 나타낸 표현의 경우, 상기 표현은, 전류신호가 되는 전류가 전류신호발생회로로부터 흘러 나오는 경우와 상기 전류가 전류신호발생회로로 흐르는 경우의 양측 모두를 포함한다.

또한, 상기 설명한 각각의 발명에서, 다음의 구성을 적합하게 채용할 수 있다. 즉, 구동회로는, 표시소자를 포함하는 표시장치를 구동하는 구동회로이고, 상기 표시장치는, 전류신호발생회로와 전류신호출력선이 형성된 기판 위에 형성된 표시소자의 적어도 일부를 포함한다.

또한, 상기 설명한 각각의 발명에서, 다음의 구성을 적합하게 채용할 수 있다. 즉, 상기 전류신호발생회로는 각각 입력신호의 전류값의 제공한 전류값을 가지는 전류신호를 출력하는 적어도 1개의 회로를 포함하고, 상기 보정값출력회로는 평가에

의해 얻은 특정한 전류신호발생회로의 출력평가값과 기준값 사이의 비율의 제곱근을 연산함으로써 얻은 보정값을 출력한다. 특히, 다음의 구성을 적합하게 채용할 수 있다. 즉, 상기 보정값출력회로는 제곱근을 연산하는 연산회로를 포함하고, 상기 연산은 출력평가값과 기준값 사이의 비율의 값에 따라서 분류함으로써 실시된 근사연산이다.

또한, 본 발명은, 본 발명의 표시장치로서, 상기 설명한 발명의 각각에 의한 구동회로와; 상기 구동회로의 복수의 출력부에 개별적으로 접속된 복수의 데이터선과; 상기 복수의 데이터선에 개별적으로 접속된 복수의 표시소자를 포함하는 것을 특징으로 하는 본 발명의 표시장치를 포함한다.

표시장치로서, 복수의 표시소자가 매트릭스로 배치되는 것을 적합하게 이용할 수 있다. 이 경우에, 다음의 구성이 적합하게 채용될 수 있다. 즉, 복수의 데이터선은 복수의 변조신호선으로서 이용되고, 또한, 복수의 변조신호선과 함께 매트릭스 배선을 구성하는 복수의 주사선이 배치된다. 또한, 매트릭스로 배치된 복수의 표시소자는 매트릭스 배선에 의해 구동된다. 이 경우에, 차례로 주사선을 선택하기 위한 주사회로를 배치할 수 있다.

또한, 구동회로의 전류신호발생회로와 전류신호출력선 및 스위치는, 표시소자의 적어도 일부를 형성하는 기판 위에 배치될 수 있다. 이 경우에, 특히 표시소자가 접속된 데이터선과 구동회로의 출력유닛은, 특별한 접속소자를 가지는 구동회로에 의해 출력유닛이 접속된 데이터선을 접속한 형태를 취할 필요가 없다. 이 경우에, 데이터선의 표시소자가 접속된 부분과 구동회로를 구성하는 회로 사이의 임의의 위치가 출력유닛이 된다.

또한, 본 발명의 표시소자로서, 전류신호에 의해 구동가능한 다양한 소자가 이용될 수 있다. 예를 들면, EL소자가 표시소자로서 특히 바람직하게 이용될 수 있다. EL소자 이외에는, 예를 들면, 전자방출소자가 표시소자로서 이용될 수 있다. 전자방출소자가 표시소자로서 이용되는 경우, 방출된 전자에 의해 발광하는 형광체 등의 발광소자를 전자방출소자와 조합하여 이용함으로써 표시를 행할 수 있다.

또한, 본 출원은 구동회로의 평가방법의 발명으로서 다음의 발명을 포함한다.

즉, 전류신호를 복수의 출력유닛의 각각에 출력하는 복수의 전류신호발생회로를 포함하는 구동회로의 평가방법으로서:

상기 복수의 전류신호발생회로의 출력을 공통전류신호출력선에 접속하는 단계와;

상기 전류신호발생회로 중의 특정한 회로의 출력은 상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 평가될 수 있는 전류신호출력상태로 상기 복수의 전류신호발생회로의 각각을 제어하는 단계와;

상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 상기 전류신호발생회로 중의 특정한 회로의 출력을 평가하는 단계와;

를 포함하는 것을 특징으로 한다.

(제 1실시예)

도 1은, 본 발명의 바람직한 실시예의 구동회로의 보정경로의 구성을 도시한 블록도이다. 도 1에서, (1)은 구동제어회로를 나타낸다. (2)는, 총계의 전류검출회로를 나타낸다. (3)은, 열전류측정회로를 나타낸다. (4)는, 열전류기억회로를 나타낸다. (5)는, 기준열전류검출회로를 나타낸다. (6)은, 보정이득결정회로를 나타낸다. (7)은, 보정계수연산회로를 나타낸다. (8)은, 보정계수기억회로를 나타낸다. (9)는, 영상신호보정회로를 나타낸다. (20)은, 화소회로를 나타낸다.

제 1실시예의 구동회로는, 열제어회로와 화소회로(20) 사이에 총계의 전류출력회로(도 1의 구동제어회로를 포함함)가 배치된다. 열제어회로로부터 출력된 전류신호는, 총계의 전류로서 총계의 전류출력회로로부터 출력된다. 출력된 총계의 전류가 총계의 전류검출회로(2)에 의해 검출된다. 열전류측정회로(3)는, 각각의 데이터선마다 전류신호데이터를 측정하고, 측정된 전류신호데이터를 열전류기억회로(4)에 기억한다. 다음에, 기준열전류검출회로(5)는, 열전류기억회로(4)로부터 기준이 되는 전류신호데이터를 선택한다. 보정계수연산회로(7)는, 기준전류신호데이터와 열전류기억회로(4)에 기억된 각각의 데이터선의 전류신호데이터를 처리하는 연산을 실시하여 보정계수를 획득한다. 획득한 보정계수는, 보정계수기억회로(8)에 기억된다. 신규한 영상신호에 응답하여, 영상신호보정회로(9)는, 보정계수기억회로(8)에 기억된 해당 데이터선의 보정계수에 의해 영상신호에 포함된 각각의 화소의 데이터를 보정한다. 영상신호보정회로(9)에 의해 획득한 보정된 영상신호는 구동제어회로(1)에 재전송되어 데이터선을 통해서 화소회로(20)에 전송된다.

제 1 실시예에서, 상기 구동제어회로(1)에 의해 총계의 전류의 출력으로부터 구동제어회로(1)로 보정된 영상신호의 입력까지의 보정경로가 설치된다. 보정경로에 의해, 열제어회로로부터 출력된 전류신호의 분포를 보정한다.

도 2는, 본 발명의 표시장치의 바람직한 일 실시예의 구성을 도시한 개략도이다. 또한, 도 2에서는, 제 1 실시예를 이해하기 위해 필요한 부재만을 도시하고 있다. 도 2에서, (13)은, 총계의 전류출력회로를 나타낸다. (14)는, 열시프트 레지스터(HSR)를 나타낸다. (15)는, 행시프트 레지스터(VSR)를 나타낸다. (16)은, 연산증폭기를 나타낸다. (17)은, 비교기를 나타낸다. (18)은, 디지털-아날로그 변환기(DAC)를 나타낸다. (19)는, 열제어회로를 나타낸다. (21)은, 데이터선을 나타낸다. (22)는, 주사선을 나타낸다. (23)은, 논리회로를 나타낸다. (24)는, DAC를 나타낸다. (25)는, 화상표시유닛을 나타낸다. (27)은, 총계의 전류출력단자(Iout)를 나타낸다. (28)은, 검출 레지스터(Rm)를 나타낸다. (29)는, 비교회로를 나타낸다. (30)은, 표시패널을 나타낸다. (31)은, 외부제어회로를 나타낸다. 도 1에 도시한 것과 동일한 부재는 동일한 참조부호에 의해 나타낸다.

제 1 실시예의 표시장치는 표시패널(30)과 구동회로를 포함한다. 구동회로는, 표시패널(30) 위의 구동제어회로(1)와, 표시패널(30)의 외부의 외부제어회로(31)와, 외부제어회로(31)와 표시패널(30) 사이에 총계의 전류검출회로(2)와 열전류측정회로(3)의 일부 등 필요한 회로가 설치된다.

표시패널(30)에서, 구동제어회로(1)에 의해 구동된 구동회로(1)와 화상표시유닛(25)이 배치된다. 제 1 실시예의 화상표시유닛(25)은, 표시유닛의 N열과 M행으로 구성된다. 상기 표시유닛은, 액티브 소자를 포함하는 화소회로(20)가 각각 최소 표시유닛으로서 적색(R), 녹색(G), 청색(B)을 표시하기 위해 행방향으로 배치된 3개의 화소회로(20)가 개별적으로 구성된다. 따라서, 화소의 열의 개수는, $(N \times 3)$ 이다. 화소회로(20)의 $M \times N \times 3$ 은 매트릭스로 배치된다. 각각의 행의 화소회로(20)는, 주사선(22)에 공통으로 접속된다. 각각의 주사선(22)은, 주사회로를 구성하는 행시프트 레지스터(15) 중의 1개에 의해 접속된다. 또한, 각각의 열의 화소회로(20)는, 데이터선(21)에 공통으로 접속된다. 각각의 데이터선(21)은, 총계의 전류출력회로(13)를 통해서 열제어회로(19) 중의 1개에 접속된다. 제 1 실시예에서, EL소자는 표시소자로서 이용된다. 화소회로(20)의 각각은 EL소자 중의 하나를 포함한다.

도 2의 표시장치에서, 열주사 클럭(KC)과 열주사 개시신호(SPC)가 제 1 단계에서 열시프트 레지스터(14)로 입력되면, 열주사 클럭(KC)의 1주기 또는 반주기마다 변이에 의해 발생하는 샘플링신호가 각각의 시프트 레지스터(14)로부터 출력되어 대응하는 열제어회로(19)에 입력된다. 열제어회로(19)에는, 열제어신호(SC)가 논리회로(23)를 거쳐 입력된다. 각각의 열제어회로(19)에서는, 상기 언급한 샘플링신호와 열제어신호(SC)에 의해 소정기간의 영상신호 비디오가 샘플링되어 대응하는 전류신호가 대응하는 데이터선(21)에 출력된다.

또한, 행주사 클럭(KR)과 행주사 개시신호(SCR)가 제 1 단계에서 시프트 레지스터(15)에 입력되면, 행주사 클럭(KR)의 1주기 또는 반주기마다 변이에 의해 발생하는 샘플링신호가 각각의 주사선(22)을 통해서 각각의 행의 화소회로(20)에 차례로 입력된다.

본 발명에서는, 각각의 열제어회로(19)가 전류신호발생회로를 포함한다. 도 3은, 열제어회로(19)의 회로구성의 일례로서 간단한 구성을 가지는 아날로그 열제어회로를 도시한 도면이다. 도 3에서, (35)는, 샘플홀드회로를 나타낸다. (36)은, 전류신호발생회로를 나타낸다. 특히, 개개의 전류신호발생회로는, 전압신호를 수신하여 전압값에 따라 전류값을 가지는 신호(전류신호)를 출력하는 전압전류변환회로이다. 또한, (SPa), (SPb)는, 시프트 레지스터(14)로부터 출력된 샘플링신호를 나타낸다. (CC1), (CC2), (CC3)는, 논리회로(23)로부터 출력된 열제어신호(SC)를 나타낸다. (VB)는, 기준전압 바이어스신호를 나타낸다. (REF)는, 영상신호 비디오와 상관성을 가지고 입력되는 기준신호를 나타낸다.

도 3의 샘플링홀드회로(35)에 입력된 영상신호 비디오는, 해당 색의 화상전압신호이다. 시프트 레지스터(14)로부터 출력된 샘플링신호(SPb)는, 샘플홀드회로(35)에 입력된다. 또한, 열제어신호(CC1), (CC2)는, 샘플홀드회로(35)에도 입력된다. 샘플홀드회로(35)로부터 출력된 전압신호 v(data)와, 기준전압 바이어스신호(VB)와, 열제어신호(CC3) 및 기준신호(REF)가 전압전류변환회로(36)에 개별적으로 입력되고, 전류신호 i(data)가 전압전류변환회로(36)로부터 출력된다.

도 3의 회로의 동작을 도 4에 도시한 타임차트를 이용하여 설명한다.

행기간(수평주사기간)인 기간(T1)에서, 열제어신호(CC1)는 "L"이 되고(열제어신호(CC2)는 "H"가 됨), 샘플링신호(SPb)는 출력된다(샘플링신호(SPb)는 출력되지 않음). 해당 열의 샘플링신호(SPb)의 발생기간(t1)에서, 영상신호 비디오와 기준신호(REF)의 전압간의 차이전압(d1)은 전압신호 v(data)가 되도록 샘플링되어 샘플홀드회로(35)에 유지된다.

다음의 기간(T2)에서, 열제어신호(CC1)는 "H"가 되면(열제어회로(CC2)는 "L"이 됨), 기간(T1)동안 샘플링되어 유지된 전압 신호 v(data)가, 전류신호발생회로(36)에 입력되고 전류신호 i(data)로 변환된다. 변환된 전류신호 i(data)는, 전류 i(m)로서 전류신호발생회로(36)로부터 출력된다. 또한, 기간(T2)에서, 샘플링신호(Sb)가 출력된다. 해당 열의 샘플링신호(SPb)의 발생기간(t2)에서, 영상신호 비디오와 기준신호(REF)의 전압간의 차이전압(d2)은, 전압신호 v(data)가 되도록 샘플링되어 샘플홀드회로(35)에 유지된다.

다음에, 기간(T3)에서, 열제어신호(CC1)가 다시 "L"로 되고(열제어신호(CC2)가 "H"가 됨), 기간(T2)에서 샘플링되어 유지된 전압신호 v(data)가 전류신호발생회로(36)에 입력된다. 다음에, 변환전류 i(data)가 출력된다.

도 5는, 열제어회로(19)의 다른 회로구성예를 도시한 도면이다. 도 5에서, (M1) 내지 (M4)와 (M6) 내지 (M10) 및 (M12)는, 각각 n형 TFT를 나타낸다. (M5)와 (M11)은, 각각 p형 TFT를 나타낸다. (C1) 내지 (C4)는, 각각 용량을 나타낸다. (SPa)와 (SPb)는, 샘플링신호를 나타낸다. (Vcc)는, 전원전압을 나타낸다. (P1) 내지 (P6)은, 열제어신호를 나타낸다. 이하, 트랜지스터의 소스와 드레인 및 게이트를 각각 (/S), (/D), (/G)로 나타낸다.

도 5에 도시한 회로에서, 영상신호 비디오는 (M1/S)와 (M7/S)에 입력된다. 샘플링신호(SPa),(SPb)는, 각각 (M1/G)와 (M7/G)에 입력된다. (M1/D)는 용량(C1)의 일단에 접속되고, 용량(C1)의 다른 단은 용량(C2)의 일단과, 접지된 다른 단과, (M3/G)에 접속된다. (M3/S)는 접지된다. (M3/D)와 (M3/G)는, 각각 (M2/D)와 (M2/S)에 접속된다. 열제어신호(P1)가 (M2/G)에 입력된다. (M3/D)는 (M4/S)에 접속된다. (M4/D)는 (M5/D)에 접속된다. (M5/S)는 전원(Vcc)에 접속된다. (M5/D)와 (M5/G)가 쇼트된다. (M4/G)에, 열제어신호(P2)가 입력된다. 또한, (M6/S)가 (M3/D)에 접속된다. (M6/D)가 전류신호 i(data)의 단자에 접속된다. (M6/G)에 열제어신호(P3)가 입력된다.

한편, (M7/D)는 용량(C3)의 일단에 접속되고, 용량(C3)의 다른 단은 용량(C4)의 일단과, 접지된 다른 단과, (M9/G)에 접속된다. (M9/S)가 접지된다. (M9/D)와 (M9/G)가 각각 (M8/D)와 (M8/S)에 접속된다. (M8/G)에, 열제어신호(P4)가 입력된다. (M9/D)는 (M10/S)에 접속된다. (M10/D)가 (M11/D)에 접속된다. (M11/S)는 전원(Vcc)에 접속된다. (M11/D)와 (M11/G)가 쇼트된다. (M10/G)에, 열제어신호(P5)가 입력된다. 또한, (M9/D)가 (M12/S)에 접속된다. (M12/D)가 전류신호 i(data)의 단자에 접속된다. (M12/G)에, 열제어신호(P6)가 입력된다. 또한, 각각의 트랜지스터의 게이트 사이즈(폭: W, 길이: L)와 용량은, M1=M7, M2=M8, M3=M9, M4=M10, M5=M11, M6=M12, C1=C3, C2=C4의 관계에 있다.

도 5의 회로의 동작의 타임차트를 도 6에 도시한다. 도 6에서, (M3/G)와 (M9/G)는, 각각 TFT(M3),(M9)의 게이트전압을 나타낸다. 도 6은, 2행의 영상신호에 관련된 동작을 도시한 도면이다.

(시각(t1) 직전)

SPa = L, SPb = L,

P1 = L, P2 = L, P3 = H, P4 = L, P5 = H, P6 = L

따라서, 각각의 트랜지스터는:

M1: 오프, M2: 오프, M4: 오프, M6: 온, M7: 오프, M8: 오프, M10: 온, M12: 오프

의 상태가 된다.

이 때, 트랜지스터(M3),(M9)는, 각각 트랜지스터(M3),(M9)의 게이트에 수반한 용량에 충전된 유지전압(Va1),(Vb1)에 의해 전류가 흐르도록 구동되고, (M3/D)의 전류(Ia1)가 전류신호 i(data)로서 출력된다. (M9/D)의 전류는 (M11/D)와 (M11/G)에 공급되어 고정값이 된다.

(시각(t1))

샘플링신호(SPa)와 열제어신호(P2),(P3),(P5),(P6)가 다음과 같이 변화한다.

SPa = H, P2 = H, P3 = L, P5 = L, P6 = H

영상신호 비디오는 블랭킹 기간(blanking period)에서 블랭킹 신호(VBL)가 된다.

따라서, 각각의 트랜지스터는 다음과 같이:

M1: 온, M2: 오프, M4: 온, M6: 오프, M7: 오프, M8: 오프, M10: 오프, M12: 온

가 된다.

이 때, (M9/G)의 전압(Vb1)에 의해 구동된 (M9/D)의 전류(Ib1)는, (M3/D)의 전류(Ia1)의 대신에 전류신호 i(data)로서 출력된다. 전류신호 i(data)가 화상표시유닛(25)의 열길이를 통과하여 각각의 열의 다수의 화소회로(20)에 대응하는 EL소자에 접속된다. 따라서, 전류신호 i(data)는, 큰 기생용량을 구동해야 한다. 따라서, 액티브 전류 공급전압 (Ia1) → (Ib1)는 많은 시간이 걸린다. 시각(t2)이 되기 전에, 열제어신호(P1)는 "H"가 되고 트랜지스터(M2)가 온(on)된다. 이 시점으로부터 시각(t2)까지의 단시간동안, (M3/G)가 트랜지스터(M5)에 의해 충전된다.

(시각(t2))

열제어신호(P2)가 "L"로 변화하여 트랜지스터(M4)가 오프된다. 따라서, 트랜지스터(M5)에 의해 (M3/G)의 충전동작이 정지한다. (M3/G)는, 자신의 한계전압 (Vth)이 단계적으로 접근하도록 자기방전동작을 실시한다.

(시각(t3))

샘플링신호(SP_a)가 "L"로 변화하여 트랜지스터(M1)가 오프된다. 열제어신호(P1)가 시각(t4) 전에 "L"로 변화하여 트랜지스터(M2)가 오프된다. 이 시점에서, 트랜지스터(M3)의 자기방전동작이 종료한다. 이 시점으로부터 시각(t4)까지의 기간 동안, 트랜지스터(M2), (M4)의 양측 모두가 오프이고 (M3/D)의 전류가 L레벨로 급속하게 변화한다. 따라서, (M3/G)의 전압은 드레인-게이트 용량 등에 의해 도 6에 도시한 바와 같이 다소 전압강하된다.

(시각(t4))

열제어신호(P2)가 "H"로 변화하여 트랜지스터(M4)가 온된다. 따라서, (M3/D)의 전류가 다시 상승하고, (M3/G)의 전압이 다시 상승하여 거의 원상태 (V_{rsa})로 돌아온다. 이 시점에서, (M3/G)의 전압이 자신의 한계전압(V_{th})에 근접하므로, (M3/D)의 전압이 거의 0이다.

(시각(t7)까지)

시각(t4)으로부터 시각(t7)까지의 기간동안, 각각의 열에 대응하는 샘플링신호(SP_a)가 발생한다. 어떠한 샘플링신호(SP_b)도 발생하지 않는다. 시각(t5)으로부터 시각(t6)까지의 기간동안, 해당 화소열의 샘플링신호(SP_a)가 발생하여 자신의 한계전압(V_{th})에 근접하게 유지된 (M3/G)의 전압을, 이 시점에서 기준으로 하는 블랭킹 레벨(VBL)에 의거한 비디오 신호레벨(d1)에 의한 전이전압(ΔV1)에 의해 변화시킨다. 전이전압(ΔV1)이 다음의 식에 의해 개략적으로 나타난다.

$$\Delta V1 = d1 \times C1 / (C1 + C2 + C(M3))$$

여기서, C(M3)는, (M3/G)의 입력용량을 나타낸다.

해당 샘플링신호(SP_a)가 "L"로 변화하면, 트랜지스터(M1)가 오프되고, 트랜지스터(M1)의 기생용량동작에 의해 전이전압(ΔV1)으로부터 다소 전압강하하는 전압(Va2)으로 (M3/G)의 전압이 변화하고 다시 유지상태가 된다.

(시각(t7))

샘플링신호(SP_b)와 열제어신호(P2), (P3), (P5), (P6)가 다음과 같이 변화한다.

SP_b = H, P2 = L, P3 = H, P5 = H, P6 = L

영상신호 비디오는 블랭킹 기간에서 블랭킹 신호(VBL)가 된다.

따라서, 각각의 트랜지스터는 다음과 같이:

M1: 오프, M2: 오프, M4: 오프, M6: 온, M7: 온, M8: 오프, M10: 온, M12: 오프

가 된다.

이 때, (M3/G)의 전압(Va2)에 의해 구동된 (M3/D)의 전류(Ia2)는, (M9/D)의 전류(Ib1)의 대신에 전류신호 i(data)로서 출력된다. 전류신호 i(data)가 화상표시유닛(25)의 열길이를 통과하여 각각의 열의 다수의 화소회로(20)에 대응하는 EL소자에 접속된다. 따라서, 전류신호 i(data)는, 큰 기생용량을 구동해야 한다. 따라서, 액티브 전류 공급전압이 (Ib1) → (Ia2)는 많은 시간이 걸린다. 시각(t8)이 되기 전에, 열제어신호(P4)는 "H"가 되고 트랜지스터(M8)가 온(on)된다. 이 시점으로부터 시각(t8)까지의 단시간동안, (M9/G)가 트랜지스터(M11)에 의해 충전된다.

(시각(t8))

열제어신호(P5)가 "L"로 변화하여 트랜지스터(M10)가 오프된다. 따라서, 트랜지스터(M11)에 의해 (M9/G)의 충전동작이 정지한다. (M9/G)는, 자신의 (M9/G)의 한계전압(Vth)에 단계적으로 접근하도록 자기방전동작을 실시한다.

(시각(t9))

샘플링신호(SPb)가 "L"로 변화하여 트랜지스터(M7)가 오프된다. 열제어신호(P4)가 시각(t10) 전에 "L"로 변화하여 트랜지스터(M8)가 오프된다. 이 시점에서, 트랜지스터(M9)의 자기방전동작이 종료한다. 이 시점으로부터 시각(t10)까지의 기간동안, 트랜지스터(M8), (M10)의 양측 모두가 오프이고 (M9/D)의 전류가 L레벨로 급속하게 변화한다. 따라서, (M9/G)의 전압은 드레인-게이트 용량 등에 의해 도 6에 도시한 바와 같이 다소 전압강하된다.

(시각(t10))

열제어신호(P5)가 "H"로 변화하여 트랜지스터(M10)가 온된다. 따라서, (M9/D)의 전류가 다시 상승하고, (M9/G)의 전압이 다시 상승하여 거의 원상태 (Vrsb)로 돌아온다. 이 시점에서, (M9/G)의 전압이 자신의 한계전압(Vth)에 근접하므로, (M9/D)의 전압이 거의 0이다.

(시각(t13)까지)

시각(t10)으로부터 시각(t13)까지의 기간동안, 각각의 열에 대응하는 샘플링신호(SPb)가 발생한다. 어떠한 샘플링신호(SPa)도 발생하지 않는다. 시각(t11)으로부터 시각(t12)까지의 기간동안, 해당 화소열의 샘플링신호(SPb)가 발생하여 자신의 한계전압(Vth)에 근접하게 유지된 (M9/G)의 전압을, 이 시점에서 기준으로 하는 블랭킹 레벨(VBL)에 의거한 비디오 신호레벨(d2)에 의한 전이전압($\Delta V2$)에 의해 변화시킨다. 전이전압($\Delta V2$)이 다음의 식에 의해 개략적으로 나타난다.

$$\Delta V2 = d2 \times C3 / (C3 + C4 + C(M9))$$

여기서, C(M9)는, (M9/G)의 입력용량을 나타낸다.

해당 샘플링신호(SPb)가 "L"로 변화하면, 트랜지스터(M7)이 오프되고, 트랜지스터(M7)의 기생용량동작에 의해 전이전압($\Delta V2$)으로부터 다소 전압강하하는 전압(Vb2)으로 (M9/G)의 전압이 변화하고 다시 유지상태가 된다. 또한, 시각(t13) 직전에 영상신호 비디오가 블랭킹 레벨(VBL)로 돌아온다.

그 후, 시각(t13)을 시각(t1)으로서 설정함으로써 시각(t1) 내지 시각(t12)의 주기동안의 동작을 반복한다.

도 5에 도시한 회로에서, 용량(C2), (C4)이 트랜지스터(M3), (M9)의 게이트 입력용량(채널용량)만으로 실현될 수 있다. 이 경우, 용량(C2), (C4)은 설치되지 않아도 된다. 또한, 도 6에서, 열제어신호(P1), (P2)의 변화타이밍은, 각각 샘플링신호(SPa)와 동일하게 되도록 시각(t1)과 시각(t3)에서 설정될 수 있다. 또한, 열제어신호(P4), (P5)의 변경타이밍은, 각각 샘플링신호(SPb)와 동일하게 되도록 시각(t7)과 시각(t9)에서 설정될 수 있다. 도 5에서, 열제어신호(P2)와, 트랜지스터(M4), (M5)와, 열제어신호(P5), 및 (M3/D)와 (M9/D)의 바이어스회로와 (M3/G)와 (M9/G)의 충전회로를 구성하는 트랜지스터(M10), (M11)는, 설치되지 않아도 된다.

상기 언급한 회로와 상기 언급한 동작에 의해, 영상신호 비디오는 선형순차 전류신호 i(data)로 변환될 수 있다.

열제어회로(19)의 회로구성예는 아날로그 방식을 채용한다. 디지털 방식의 회로를 이용하는 경우, 영상신호 비디오는 복수의 데이터신호가 되어 샘플홀드회로(35)는 각각의 데이터신호를 유지하는 마스터 슬레이브 플립플롭군이 된다. 상기 샘플홀드회로(35)는, 복수의 전압신호 V(data)를 출력한다. 전압전류 변환회로는, gm 특성을 결정하는 각각의 전압신호에 상당한 중량 전류에 의거한 전류출력형 디지털 아날로그(DA) 컨버터가 된다.

다음에, 본 발명에 의한 표시장치의 화소회로(20)를 설명한다. 본 발명에서는, 화소회로(20)는 각각 액티브 소자가 설치되어 전류설정방식으로 구동된다. 각각의 화소회로(20)가 EL소자를 포함하는 것이 바람직하다. 또한, 액티브 소자로서, 1개 이상의 TFT가 이용된다.

도 7은, 1개의 화소회로(20)의 회로구성예를 도시한 도면이다. 도 7에서, (71)은, EL소자를 나타낸다. (M1), (M2), (M4)는, 각각 p형 TFT를 나타낸다. (M3)는, n형 TFT를 나타낸다. (C1)은, 용량을 나타낸다. (RC1), (RC2)는, 각각 주사신호를 나타낸다. (Vcc)는, 전원을 나타낸다.

도 7의 화소회로(20)에서, 해당 열의 데이터선(21)은 (M3/S)에 접속된다. 해당 행의 주사신호선(22) 중의 1개가 (M3/G)에 접속되고, 주사신호(RC1)가 (M3/G)에 입력된다. (M3/D)가 (M2/D)뿐만 아니라 (M4/S)에 접속된다. 해당 행의 주사신호선(22)의 1개는 또한 (M4/G)에 접속되고, 주사신호(RC1)가 (M4/G)에 입력된다. (M1/S)는 전원(Vcc)에 접속된다. (M1/G)는 용량(C1)의 일단과, 전원(Vcc)에 접속된 다른 단에 접속된다. (M2/G)는, 해당 행의 다른 주사신호선(22)에 접속되고, 주사신호(RC2)는 (M2/G)에 입력된다. (M4/D)는 EL소자(71)의 전류주입단자에 접속되고, EL소자(71)의 다른 단은 접지(GND)된다.

도 7의 화소회로(20)의 동작을 도 8의 타임차트를 참조하여 설명한다.

해당 열의 화소회로(20)에 입력되는 전류신호 i(data)가 열의 데이터선(21)에 입력되고 행주기마다 갱신된다.

시각(t0)에서, 해당 행의 주사신호(RC1)가 "H"가 되고, 주사신호(RC2)가 "L"로 된다. 다음에, 트랜지스터(M1)의 전류구동능력에 따라서 (M1/G)의 전압이 그 시점에서 전류 i(data)인 전류 i(m)에 의해 발생하여 용량(C1)이 충전된다. 이 때, 트랜지스터(M4)가 오프되고, 어떠한 전류도 EL소자(71)에 주입되지 않는다.

시각(t1)에서, 주사신호(RC2)는 "H"가 되고, 트랜지스터(M2)는 오프된다. 따라서, (M1/G)의 전압이 유지된다. 시각(t2)에서, 주사신호(RC1)는 "L"로 변화되어 트랜지스터(M4)가 온된다. 따라서, 트랜지스터(M1)에 의해 유지된 전류가 EL소자(71)에 주입되고, 화소회로(20)는 전류신호 i(data)로부터 분리되어 다음에 트랜지스터(M3)가 온될 때까지 설정된 전류신호 i(m)에 비례하는 전류를 EL소자(71)에 연속하여 공급한다.

본 발명의 표시장치에서, 열제어회로(19)로부터 출력된 전류신호의 분포를 보정하기 위해서, 열제어회로(19)와 화소회로(20) 사이에 총계의 전류출력회로(13)가 배치된다. 총계의 전류출력회로(13)로부터, 보정경로가 형성되어 보정을 실시한다.

도 9는, 제 1실시예의 총계의 전류출력회로(13)의 회로구성의 일예를 도시한 도면이다. 도 9에서, (83)은, 전류신호발생회로(36)의 출력이 공통으로 접속된 전류신호출력선을 나타낸다. (81)은, 전류신호발생회로(36)의 출력과 전류신호출력선(83)간이 접속관계를 제어하는 스위치유닛을 나타낸다. (82)는, 전류신호발생회로(36)와 화소측 사이의 접속관계를 제어하는 스위치유닛인 차단유닛을 나타낸다. (91a) 내지 (91c)는, 데이터선을 나타낸다. (M11) 내지 (M3N)과 (M41) 내지 (M6N)은, 트랜지스터를 나타낸다. (Iout)은, 총계의 전류를 나타낸다. (CCx)와 (CCy)는, 총계의 전류검출제어신호를 나타낸다.

본 발명에 의한 총계의 전류출력회로(13)는, 복수의 데이터선(21)으로부터 공통으로 전류신호를 출력하는 스위치유닛(81)과, 화소회로(20)에 흐르는 전류를 차단하는 차단유닛(82)을 포함한다. 제 1실시예에서, 모든 데이터선으로부터 전류신호를 출력하는 형태를 나타낸다.

스위치유닛(81)은, 각각의 데이터선(91a) 내지(9Nc)(도 2의 데이터선(21)에 상당함)에 출력선(83)으로 접속한다. 스위치유닛(81)은, 개폐되도록 자유롭게 제어될 수 있는 스위치인 트랜지스터(M11) 내지(M3N)군으로 구성된다. 차단유닛(82)은, 개폐되도록 자유롭게 제어될 수 있고 스위치유닛(81)과 화소회로(20) 사이의 데이터선(91a) 내지(9Nc)에 접속된 스위치인 차단 트랜지스터(M41) 내지(M6N)군으로 구성된다.

열제어회로(19)가 해당 화소회로(20)에 각각 접속하는 데이터선(91a) 내지(9Nc)은, (M11/S) 내지(M6N/S)에 각각 접속되고, (M11/D) 내지(M3N/D)는 모두 출력선(83)에 공통으로 접속된다. 다음에, 총계의 전류(Iout)가 출력선(83)으로부터 출력된다. 한편, (M41/D) 내지(M6N/D)는 해당 행의 데이터선(91a) 내지(9Nc)에 각각 접속된다. (M11/G) 내지(M3N/G)는 모두 공통으로 접속되어 논리회로(23)로부터의 총계의 전류검출제어신호(CCx)가 입력된다. (M41/G) 내지(M6N/G)는 모두 공통으로 접속되어 논리회로(23)로부터의 총계의 전류검출제어신호(CCy)가 입력된다. 또한, 모든 트랜지스터는 스위치 동작을 행하고, 적절히 제어함으로써, n형 또는 p형인 그 종류 및 그 구성이 한정되지 않는다.

총계의 전류출력회로(13)의 동작을 도 10의 타임차트에 의거하여 설명한다. 또한, 도 3의 열제어회로(19)가 도 1의 회로를 이용한 경우를 예를 들어 설명하고, 열제어회로(19)는 모두 열제어신호(CC3)에 의해 전류 출력상태에 있는 것으로 한다.

총계의 전류출력회로(13)로부터 총계의 전류를 출력함으로써 영상신호의 보정을 실시하기 위해, 통상의 동작기간의 전에 보정기간을 마련한다. 보정기간에서, 총계의 전류출력회로(13)의 스위치유닛(81)의 트랜지스터(M11) 내지(M3N)는 모두 총계의 전력검출제어회로(CCx)에 의해 온되고, 차단유닛(82)의 트랜지스터(M41) 내지(M6N)는 모두 총계의 전력검출제어신호(CCy)에 의해 오프된다. 따라서, 열제어회로(19)로부터 출력된 전류신호는 화소회로(20)를 통해 흐르지 않고, 출력선(83)으로부터 전류신호 모두가 출력된다.

보정기간동안, 샘플링신호(SPa), (SPb)의 타이밍과 열제어신호(CC1), (CC2)의 타이밍은, 도 4에 도시한 통상의 동작의 타이밍과 동일하다. 그러나, 영상신호 비디오는, 수평주사시간동안, 소정의 데이터선(21)에 전류신호를 출력하는 전류신호발생회로(36)로부터만 제 1전류신호가 출력되어, 다른 모든 데이터선(21)에 전류신호를 출력하는 다른 전류신호발생회로(36)로부터 제 2전류신호가 출력되도록 설정한다. 각각의 수평주사기간에서, 제 1전류신호를 출력하는 전류신호발생회로(36)가 차례로 변경되도록 설정된다. 더욱 상세하게는, 예를 들면, 1개의 전류신호발생회로(36)만이 소정의 레벨을 가지는 제 1전류신호를 출력하여 다른 전류신호발생회로(36)는 제 1의 전류신호보다 낮은 레벨을 가지는 제 2전류신호를 출력하는 영상신호를, 각각의 전류신호발생회로(36)에 입력한다. 예를 들면, 전류신호발생회로(36)(열제어회로(19))가 디지털 신호입력 방식을 채용한 경우와, 제 2전류가 0이 되도록 설정한 경우에는, 제 2전류신호를 출력시켜야 하는 전류신호발생회로(36)에 입력되는 디지털 데이터를 0으로 설정할 수 있다. 상기와 같이 설정된 영상신호에서, 화소열의 개수에 대한 수평기간을 위해서 모든 데이터선(21)에 제 1전류신호를 입력한다. 도 2의 제어회로(200)에 의해 제어를 행한다. 외부로부터 제어회로(200)에 대해 보정기간을 지정함으로써 보정을 실시하는 구성을 채용할 수 있다. 또한, 제 2전류신호로서, 상당한 전류값을 가지는 전류신호를 채용할 수 있다. 그러나, 제 2전류신호의 전류값은 이 시점에서 거의 0으로 설정된다. 상기 설정은 이후의 평가처리를 용이하게 한다.

도 10의 타임차트에서, 영상신호 비디오는, 각각의 수평주사기간(T0) 내지(T7)에서 1개의 데이터선(21)에 대해서만 고레벨의 신호가 샘플링되는 파형을 가지도록 설정된다. 따라서, 모든 열제어회로(19)는, 통상의 동작에 의해 영상신호 비디오를 샘플링하여 전류신호 i(data)를 출력한다. 전류신호 i(data)는, 총계의 전류출력회로(13)에 의해 모든 데이터선(21)의 총계의 전류(Iout)로서 출력선(83)으로부터 출력된다. 각각의 주사기간동안 출력되는 총계의 전류(Iout)는, 제 1전류신호가 인가된 데이터선(21)으로부터의 출력전류를 주성분으로서 포함한다.

또한, 행주사기간동안 제 1전류신호가 입력되는 데이터선(21)은 1개로 한정하지 않는다. 최소 표시유닛에 대해서, 제 1전류신호가 입력된 데이터선(21)이 채용될 수 있다. 수평주사기간동안 동시에 제 1전류신호가 입력된 데이터선(21)의 조합이 적합하게 선택된다. 적절한 복수개의 데이터선(21)을 조합함으로써, 보정처리에 필요한 시간이 단축될 수 있고, 또한 시각적으로 주목해야 되는 TFT의 분포가 추출될 수 있다. 또한, 각각의 데이터선(21)의 조합에 포함된 데이터선(21)이 상이한 주사기간에서 서로 중첩될 수 있고, 또한 데이터선(21)의 순서가 한정되지 않는다.

제 1실시에에서, 총계의 전류검출회로(2)와, 열전류측정회로(3)와, 열전류기억회로(4)와, 기준열전류검출회로(5)와, 보정이득결정회로(6)와, 보정계수연산회로(7) 및 보정계수기억회로(8)는, 출력선(83)을 통해서 출력되는 전류값에 의거하여 특정한 전류신호발생회로(36)의 출력을 평가하여 평가결과에 따라서 보정값을 출력하는 보정값출력회로를 구성한다. 더

욱 상세하게는, 보정값출력회로는 다음과 같이 구성된다. 즉, 총계의 전류검출회로(2)와 열전류측정회로(3)는, 전류신호발생회로(36)의 출력을 평가하여, 보정계수연산회로(7)가 평가결과에 따라서 보정값을 연산한다. 다음에, 보정값기억회로인 보정계수기억회로(8)는, 획득한 보정값을 기억하여, 보정계수기억회로(8)로부터 보정값이 출력된다.

전류신호발생회로(36)의 출력을 평가하는 단계를 다음과 같이 실시한다.

총계의 전류출력회로(13)로부터 출력된 총계의 전류(Iout)는, 도 2의 출력단자(27)로부터 출력되고, 총계의 전류검출회로(2)에 입력된다. 총계의 전류검출회로(2)에서, 검출저항(28)의 일단이 출력단자(27)에 접속된다. 검출저항(28)의 다른 단은 전원(Vcc)에 접속된다. 또한, 출력단자(27)는, 연산증폭기(16)의 정극측에 접속된다. 연산증폭기(16)의 음극측과 출력측이 쇼트된다. 연산증폭기(16)의 출력단자는 다음 스테이지의 열전류측정회로(3)의 비교기(17)의 음극측에 접속된다. DAC(18)의 출력은 비교기의 정극측에 입력된다.

보정기간동안 검출되는 총계의 전류는, 총계의 전류출력회로(13)에 입력되는 TEST 신호가 "H"인 기간동안, 예를 들면, 도 5의 열제어회로(19)의 트랜지스터 (M3), (M9)의 전압(Vgs)에 해당하는 전류가 모든 열전류에 상응하여, 총계의 전류(ΣI)로서 전원으로부터 검출저항(28)을 통해서 흐르므로, 출력단자(27)의 전위는 $V_{out} = V_{cc} - \Sigma I \times R_m$ (R_m 은, 검출저항(28)의 저항값을 나타냄)이 된다. 또한, 연산증폭기(16)의 입력 임피던스의 영향을 무시하는 것으로 한다. 전위(V_{out})는, 연산증폭기(16)의 구성에 의해, 버퍼링되어 그대로 비교기(17)의 음극측에 입력된다.

다음에, 도 2에서는, 상기 열측정회로(3)로서, 비교기(17)와, DAC(18) 및 비교회로(29)로 구성된 순차비교회로를 나타내고 있다. 순차비교회로가 일반적으로 폭넓게 이용되므로, 그 설명을 간단하게 한다.

비교기(17)의 출력은, "H"와 "L"의 2극으로 구성된 디지털출력이다. 비교회로(29)는, 전위(V_{out})와 DAC(18)의 출력값(V_{dac})을 비교하여 비교기(17)의 출력 레벨을 판정한다. 예를 들면, DAC(18)의 출력전압이 최저의 전위로부터 비트의 모든 분해에 의해 상승되는 경우, 도 2에 도시한 구성에서 $V_{out} > V_{dac}$ 일 동안 비교기(17)의 출력은 "L"이다. 상태가 $V_{out} < V_{dac}$ 로 변화하여 비교기(17)의 출력이 "H"로 반전된 경우, DAC(18)의 디지털데이터는 열전류기억회로(4)에 기억된다. 도 2에서, 전위(V_{out})는, 비교기(17)의 음극측에 입력된다. 그러나, DAC(18)측의 극성에 대해 극성을 바꿀 수 있다. 이 경우, 비교기(17)의 출력도 반전된다. 비교기(29)로부터 출력된 값이 전류신호발생회로의 출력의 평가값이다. 상기 평가값은, 전류신호발생회로로부터 출력된 전류값에 1:1 대응한다.

기준열전류검출회로(5)는 열전류기억회로(4)에 기억된 각각의 데이터선(21)의 전류신호데이터로부터 기준이 되는 전류신호데이터를 선택하여 선택된 전류신호데이터를 기억한다. 기준이 되는 전류신호 데이터의 선택기준은 특별한 제한을 가지지 않는다.

보정계수연산회로(7)는, 기준열전류검출회로(5)에 기억된 기준전류신호데이터와 열전류기억회로(4)에 기억된 각각의 데이터선(21)의 전류신호데이터의 연산처리를 실시하여 각각의 데이터선(21)에 대응하는 보정계수를 산출한다. 더욱 상세하게는, 보정계수연산회로(7)에 이득연산회로가 설치되고, 이득연산회로는 다음의 연산을 행한다. 즉, 보정되는 데이터선(21)의 전류신호데이터에 의해 기준전류가 나뉘어진다. 제산결과의 제곱근 연산을 실시한다. 제곱근 연산의 결과가 계수(k)에 의해 승산된다. 획득한 이득연산결과를 보정계수로서 이용한다. 즉, 다음의 식에 의해서 보정계수가 산출된다.

$$H_{sample} = 1 - \left(1 - \sqrt{\frac{I_{ref}}{I_{sample}}} \right) \times k \quad (1)$$

여기서, (H_{sample})은, 각각의 데이터선(21)의 보정계수를 나타내고, (I_{sample})은, 각각의 데이터선(21)의 전류신호데이터를 나타내고, (I_{ref})는, 기준전류신호데이터를 나타내고, (k)는 계수를 나타낸다.

상기 식(1)에서, 제곱근 연산을 논리연산에 의해 실시하는 경우, 최소의 오차가 발생될 수 있도록 연산을 행하는 제산값 $x = I_{ref}/I_{sample}$ 에 따라서 계수가 분류된 이항정리에 의거한 근사연산을 실시한다. 연산식은 다음의 식(2)과 같이 나타낸다.

$$\sqrt{x} = \{a - (a - x)\}^{1/2} = \sqrt{a} \left(1 - \frac{a - x}{a} \right)^{1/2} \cong \sqrt{a} \left(1 - \frac{a - x}{2 \times a} \right) \quad (2)$$

상기 식(2)에서, a 와 $a^{1/2}$ 는 분류계수이다. 몇 개의 패턴의 분류계수를 미리 준비한다. 상기 식(2)의 $(a-x)/a$ 항의 값이 0에 가까울수록 연산결과의 오차가 적다.

도 11은, 제 1실시예의 보정계수연산회로(7)의 구성을 도시한 도면이다. 도 11에서, (10)은, 제산회로를 나타낸다. (11)은, 분류계수결정회로를 나타낸다. (12)는, 사칙연산회로를 나타낸다. 제 1실시예에서, 제산값 $x = I_{ref}/I_{sample}$ 은, 제산회로(10)에 입력된 전류(I_{sample}),(I_{ref})에 의거하여 산출되고, 산출된 제산값 x 는 분류계수결정회로(11)에 입력된다. 분류계수결정회로(11)는, 제산값 x 에 따라서 분류계수 a 와 $a^{1/2}$ 가 결정된다. 사칙연산회로(12)는, 상기 식(2)의 최우변의 연산을 행한다. 승산과 제산의 논리는 일반적인 시프터 및 애더로 구성될 수 있으므로, 여기에서는 논리의 동작의 설명을 생략한다.

상기 식(2)의 실제의 연산결과를 도 12에 나타낸다. 도 12는, 이항정리에 의한 결과에 대해서 계산기에 의한 제공근 연산의 결과의 비율을 도시한 도면이다. 비율이 1에 근접할수록 오차가 적다. 0.5 내지 1.5의 범위내에서 연산되는 값의 설정에서 계수 a 와 $a^{1/2}$ 의 8개의 조합을 준비한다. 다음에 각각의 조합을 나타낸다. 도 12에 도시한 곡선 [1] 내지 [8]은, 각각 상기 근사연산(종축)의 결과에 대한 정확한 연산결과(정확한 계산기로 행한 연산결과)의 비와, 상기 제산값 x (횡축) 사이의 관계를 나타낸다.

[표 1]

Table 1

x	a	\sqrt{a}
$x < 0.69$	0.6250	0.790569
$0.69 \leq x < 0.82$	0.7500	0.866025
$0.82 \leq x < 0.91$	0.8750	0.935414
$0.91 \leq x < 0.97$	0.9375	0.968246
$0.97 \leq x < 1.07$	1.0000	1.000000
$1.07 \leq x < 1.19$	1.1250	1.06066
$1.19 \leq x < 1.32$	1.2500	1.118034
$1.32 \leq x$	1.3750	1.172604

각각의 a 의 값의 곡선 그래프에 특정한 제산값 x 에서 1에 근접한 계수를 순서대로 선택함으로써, 계산기에 의한 결과와 거의 차이가 없는 계산결과를 얻을 수 있다.

따라서, 다음의 연산에 의해 얻은 결과는 보정계수(H_{sample})이다. 즉, 식(2)으로부터 얻은 연산결과는 값을 식(1)의 루트 기호에 대입하여 대입결과를 계수(k)로 승산한다. 이렇게 획득한 보정계수(H_{sample})는, 보정계수기억회로(8)에 기억된다.

영상신호보정회로(9)는, 열의 영상신호 비디오에 따라서, 보정계수기억회로(8)에 기억되고 샘플링되는 열의 보정계수를 판독하여, 상기 영상신호보정회로(9)는 판독된 보정신호로 영상신호 비디오를 승산하여 영상신호 비디오를 보정한다. 승산결과는, 열제어회로(19)가 아날로그 방식 또는 디지털 방식을 채용하는지의 여부에 관련하여 열제어회로(19)의 방식에 따라 출력된다. 즉, 디지털 방식의 경우, 영상신호보정회로(9)는 보정된 영상신호를 구동회로(1)에 디지털 신호로서 출력한다. 아날로그 방식의 경우, DAC(24)에 의해 보정된 영상신호의 아날로그 전압변환을 행하여 구동제어회로(1)에 마찬가지로 출력된다.

보정이득은 식(1)의 계수(k)의 값에 의해 결정된다. 즉, 계수(k)가 1로 설정되는 경우, 제산연산과 루트연산에 의해 얻은 값이 그대로 보정계수(H_{sample})가 된다.

$k < 1$ 의 경우 보정계수(Hsample)의 이득이 1보다 작으므로, 보정을 약하게 하게 된다. 따라서, 전류신호의 불균일성이 1회의 보정에 의해 완전히 억제되지 않는다. 따라서, 상기 보정처리를 복수회 행하여, 보정계수기억회로(8)에 기억되는 보정계수(Hsample)를 점차적으로 재기록하여 전류신호의 불균일성을 더욱 확실하게 억제할 수 있다.

$k > 1$ 인 경우, $k < 1$ 의 경우와는 역으로 보정을 강하게 한다. 따라서, 전류신호의 불균일성이 1회의 보정만으로 역전될 가능성이 있다. 따라서, 이 경우에도, 상기 보정처리를 복수회 행하여, 보정계수기억회로(8)에 기억되는 보정계수(Hsample)가 점차적으로 재기록하여 전류신호의 불균일성을 더욱 확실하게 억제할 수 있다.

또한, 이득을 너무 강하게 설정하면, 역으로 수렴되지 않을 가능성이 있다. $1 < k < 2$ 의 범위에서 계수(k)를 선택한다.

이득은, 디바이스의 조건과 제품장착시의 이용에 의거하여 선택될 수 있고, 다음에 보정을 행할 수 있다. 예를 들면, 제품가동시에 표시패널의 점등 전에 이득을 1로 설정하여 영상신호 비디오를 보정할 수 있고, 이득을 1보다 작게 설정하거나 이득을 $1 < k < 2$ 의 범위에서 설정하여 영상신호 비디오를 복수회 보정할 수 있다. 이득의 선택은, 보정이득결정회로(6)에 의해 실시된다.

보정값을 결정하기 위한 보정기간은, 예를 들면, 제품가동시로 설정할 수 있다. 또한, 보정기간을 일정한 기간의 간격을 두고 보정을 행하도록 설정될 수 있다. 기억유지동작에 대해 전원의 필요한 메모리가 보정값을 기억하는 회로인 보정계수기억회로(8)로서 이용되는 경우, 전원을 오프함으로써 메모리의 기억이 소실된다. 따라서, 오프인 상태에서부터 전원을 온할 때마다 보정값을 결정할 수 있다. 또한, 전력을 오프한 경우 기억을 소실하지 않는 메모리(예를 들면, 전기적 소거 및 프로그램가능 판독전용 메모리(EEPROM))를 채용함으로써, 오프인 전원의 상태에서부터 전원을 온할 때마다 보정값의 결정이 불필요한 구성을 실현할 수 있다.

(제 2실시예)

상기 제 1실시예에서는, 미리 설정된 보정기간동안 보정값을 획득함으로써 보정값을 갱신하는 구성을 설명하였다. 제 2실시예에서는, 보정값결정처리를 1회만 실시하여, 보정값결정처리에 의해 결정된 보정값을 갱신없이 이용한다. 더욱 상세하게는, 보정값결정처리를 제품을 출하하기 전에 실시하여, 획득한 보정값을 보정값출력회로에 기억시킨다. 제 2실시예에서, 보정값을 갱신할 필요가 없으므로, 재기록 가능한 메모리를 이용할 필요가 없다. 제 2실시예는, 전류신호출력선을 통해서 출력된 전류값에 의거하여 특정한 전류신호발생회로의 출력을 평가할 수 있는 전류신호출력상태가 되도록 복수개의 전류신호발생회로의 각각을 제어하는 제어회로(200)는, 구동회로 또는 표시장치에 대해 포함할 필요가 없다.

(제 3실시예)

제 3실시예에서는, 상기 언급한 실시예에서 설명한 각각의 전류신호발생회로의 출력을 평가하는 단계를, 구동회로와 표시회로가 제조공정동안 또는 제조공정이 완료한 후 실시하여, 불량품의 판정을 실시한다. 더욱 상세하게는, 각각의 전류신호발생회로의 출력의 분포가 큰 경우, 그 후의 제조공정 또는 출하를 정지한다.

또한, 상기 설명한 각각의 실시예에서, EL소자를 이용한 EL표시장치를 예를 들어 설명했다. 그러나, 본 발명은 상기 EL표시장치를 이용하는 것에 한정되지 않는다. 본 발명은, 전류신호에 의해 각각의 화소의 표시를 제어할 수 있는 장치에 바람직하게 적용될 수 있다.

발명의 효과

본 발명에 의하면, 간단한 구성으로 평가를 실시할 수 있는 구동회로를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

전류신호를 복수의 출력유닛의 각각에 출력하는 복수의 전류신호발생회로와;

상기 복수의 전류신호발생회로의 출력이 공통으로 접속된 전류신호출력선과;

상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 상기 복수의 전류신호발생회로 중의 1개 이상의 특정한 회로의 출력을 평가할 수 있는 전류신호출력상태가 되도록 상기 복수의 전류신호발생회로의 각각을 제어하는 제어회로와;

상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 상기 복수의 전류신호발생회로 중의 상기 1개 이상의 특정한 회로의 출력을 평가하고 평가결과에 따라서 보정값을 출력하는 보정값출력회로와;

보정값에 의해 상기 전류신호발생회로에 공급된 영상신호를 보정하는 보정회로

를 포함하는 것을 특징으로 하는 구동회로.

청구항 2.

제 1항에 있어서, 상기 제어회로는, 소정의 신호를 상기 전류신호발생회로 중의 상기 1개 이상의 특정한 회로에 공급하고, 소정의 신호와는 상이한 신호를 다른 전류신호발생회로에 공통으로 공급하는 것을 특징으로 하는 구동회로.

청구항 3.

제 2항에 있어서, 상기 상이한 신호는, 상이한 신호가 공급된 단일의 다른 전류신호발생회로 또는 복수의 다른 전류신호발생회로의 각각으로부터 출력된 전류신호의 전류값이, 상기 전류신호발생회로의 상기 1개 이상의 특정한 회로로부터 출력된 전류신호의 전류값보다 충분히 작은 신호인 것을 특징으로 하는 구동회로.

청구항 4.

전류신호를 복수의 출력유닛의 각각에 출력하는 복수의 전류신호발생회로와;

상기 복수의 전류신호발생회로의 출력이 공통으로 접속된 전류신호출력선과;

상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 상기 복수의 전류신호발생회로 중의 1개 이상의 특정한 회로의 출력을 평가함으로써 얻은 보정값을 출력하는 보정값출력회로와;

보정값에 의해 상기 전류신호발생회로에 공급된 영상신호를 보정하는 보정회로

를 포함하는 것을 특징으로 하는 구동회로.

청구항 5.

제 1항 내지 제 4항 중의 어느 한 항에 있어서, 상기 전류신호출력선이 상기 복수의 전류신호발생회로와 동시에 접속된 상태를 실현하는 스위치를 부가하여 포함하는 것을 특징으로 하는 구동회로.

청구항 6.

제 1항 내지 제 4항 중의 어느 한 항에 있어서, 상기 복수의 전류신호발생회로와 상기 전류신호출력선 사이의 접속관계를 개별적으로 제어하고 공통제어신호에 의해 제어되는 복수의 스위치를 부가하여 포함하는 것을 특징으로 하는 구동회로.

청구항 7.

제 1항 내지 제 4항 중의 어느 한 항에 있어서, 상기 복수의 전류신호발생회로와 상기 복수의 출력유닛 사이의 접속관계를 개별적으로 제어하고, 공통제어신호에 의해 제어되는 복수의 스위치를 부가하여 포함하는 것을 특징으로 하는 구동회로.

청구항 8.

제 1항 내지 제 4항 중의 어느 한 항에 있어서, 상기 구동회로는 표시소자를 포함하는 표시장치용 구동회로이고, 상기 표시장치는 상기 전류신호발생회로와 상기 전류신호출력선이 형성된 기판 위에 형성된 상기 표시소자의 적어도 일부를 포함하는 것을 특징으로 하는 구동회로.

청구항 9.

제 1항 내지 제 4항 중의 어느 한 항에 있어서, 상기 전류신호발생회로는 각각 입력신호의 값의 제공값을 가지는 전류신호를 출력하는 적어도 1개의 회로를 포함하고, 상기 보정값출력회로는 평가에 의해 얻은 상기 전류신호발생회로 중의 상기 1개 이상의 특정한 회로의 출력평가값과 기준값 사이의 비율의 제공근을 계산함으로써 얻은 보정값을 출력하는 것을 특징으로 하는 구동회로.

청구항 10.

제 9항에 있어서, 상기 보정값출력회로는 제공근을 계산하는 계산회로를 포함하고, 상기 계산은 출력평가값과 기준값 사이의 비율의 값에 따라서 분류함으로써 실시된 근사계산인 것을 특징으로 하는 구동회로.

청구항 11.

제 1항 내지 제 4항 중 어느 1항에 기재된 구동회로와;

상기 구동회로의 복수의 출력부에 개별적으로 접속된 복수의 데이터선과;

상기 복수의 데이터선에 개별적으로 접속된 복수의 표시소자

를 포함하는 것을 특징으로 하는 표시장치.

청구항 12.

전류신호를 복수의 출력유닛의 각각에 출력하는 복수의 전류신호발생회로를 포함하는 구동회로의 평가방법으로서,

상기 복수의 전류신호발생회로의 출력을 공통전류신호출력선에 접속하는 단계와;

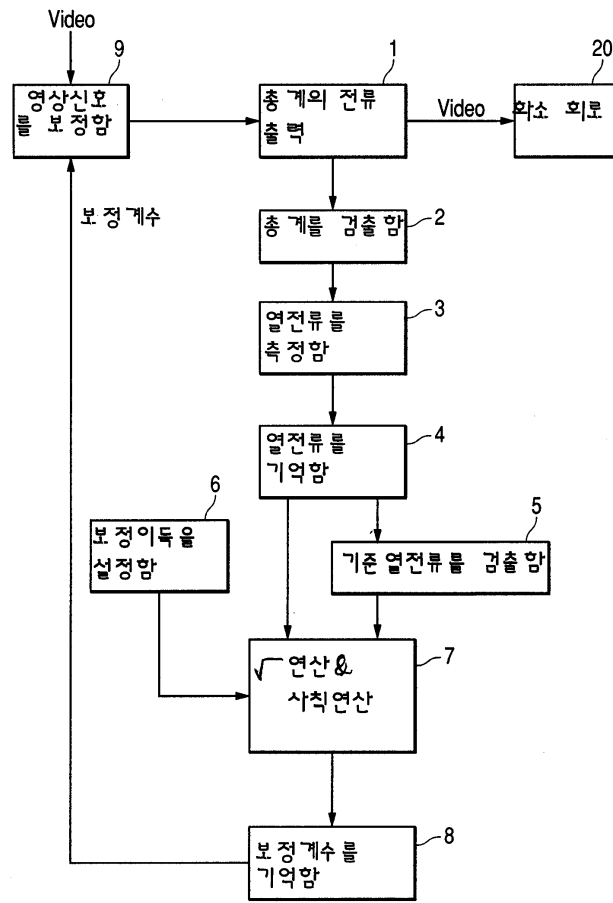
상기 전류신호발생회로 중의 1개 이상의 특정한 회로의 출력은 상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 평가될 수 있는 전류신호출력상태로 상기 복수의 전류신호발생회로의 각각을 제어하는 단계와;

상기 전류신호출력선을 통해서 출력된 전류값에 의거하여 상기 전류신호발생회로 중의 상기 1개 이상의 특정한 회로의 출력을 평가하는 단계

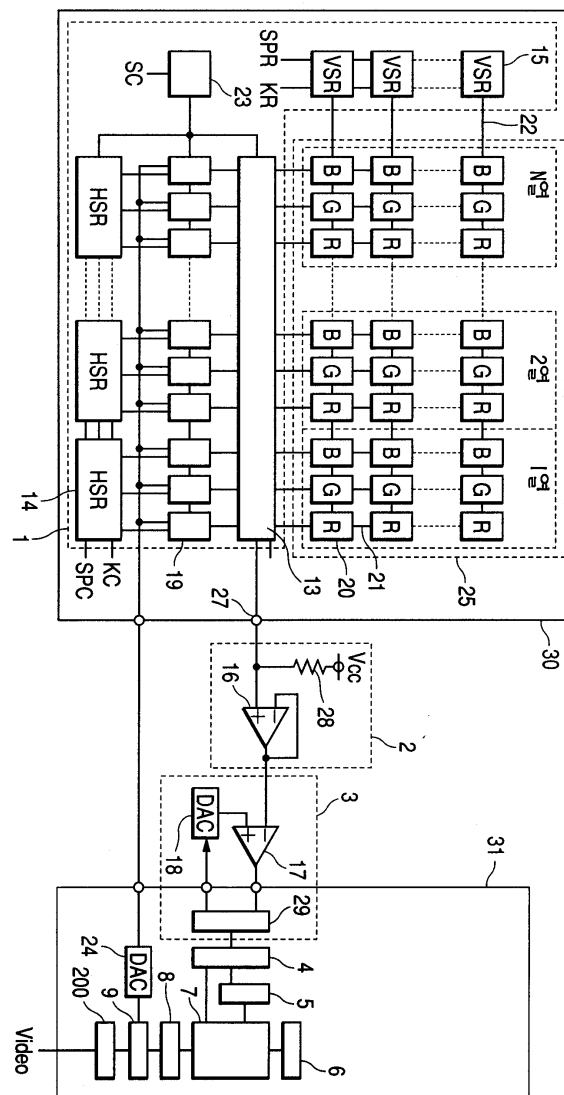
를 포함하는 것을 특징으로 하는 구동회로의 평가방법.

도면

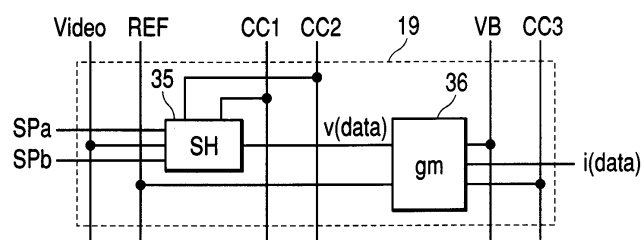
도면1



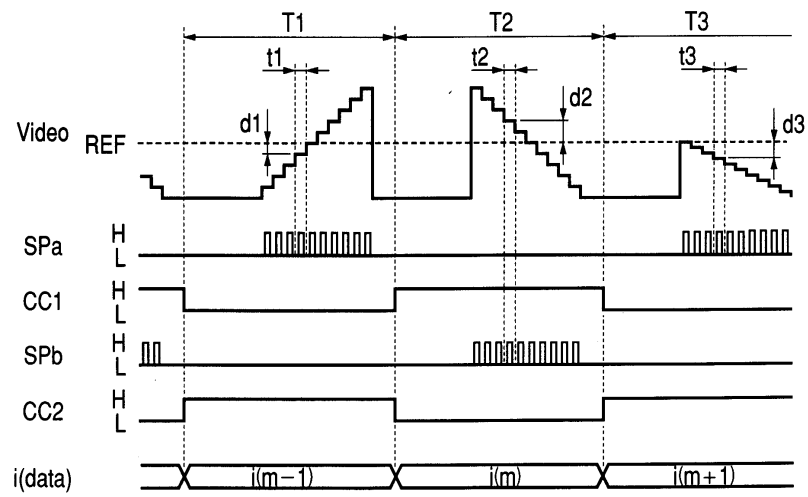
도면2



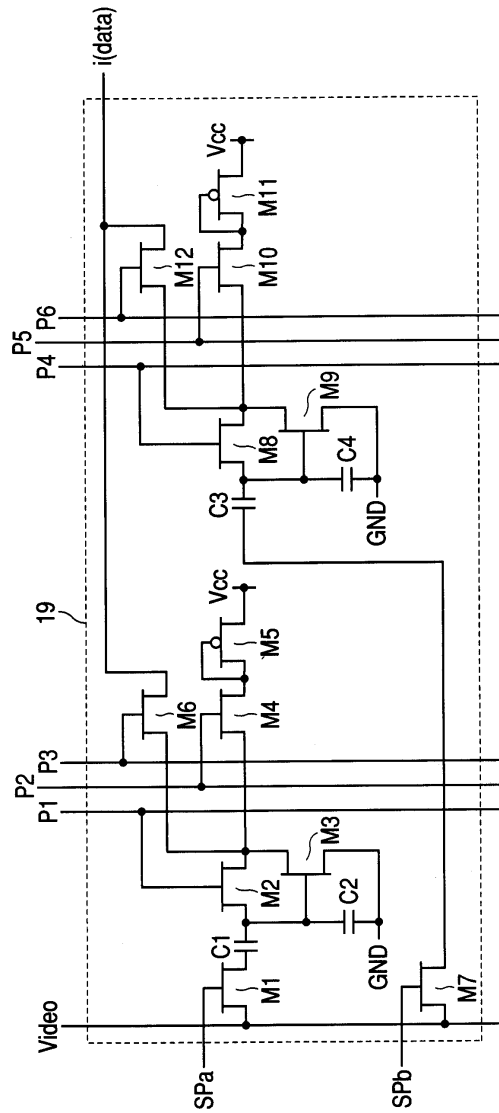
도면3



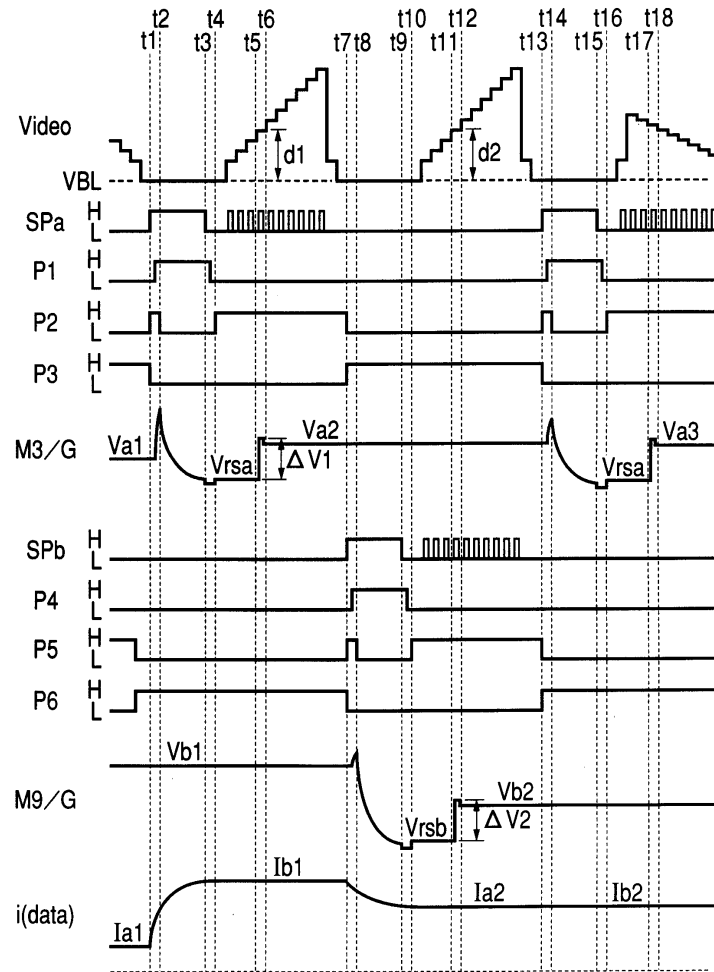
도면4



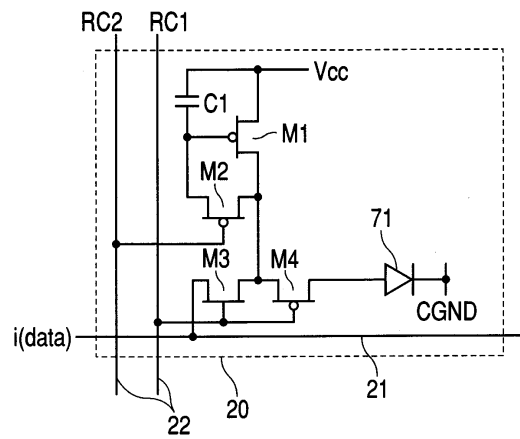
도면5



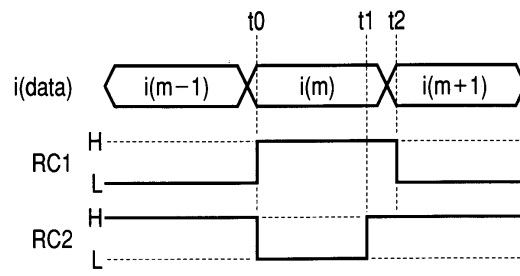
도면6



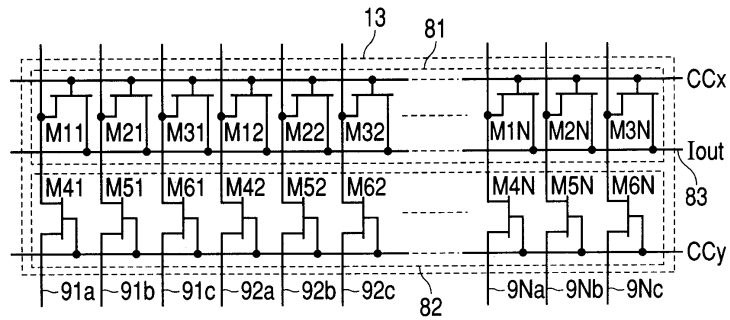
도면7



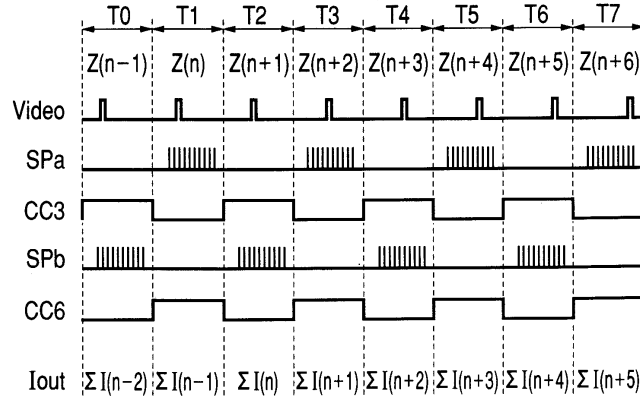
도면8



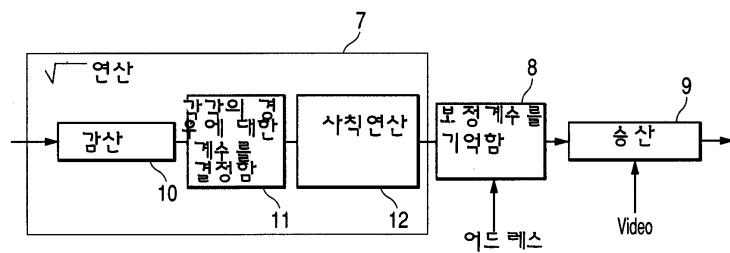
도면9



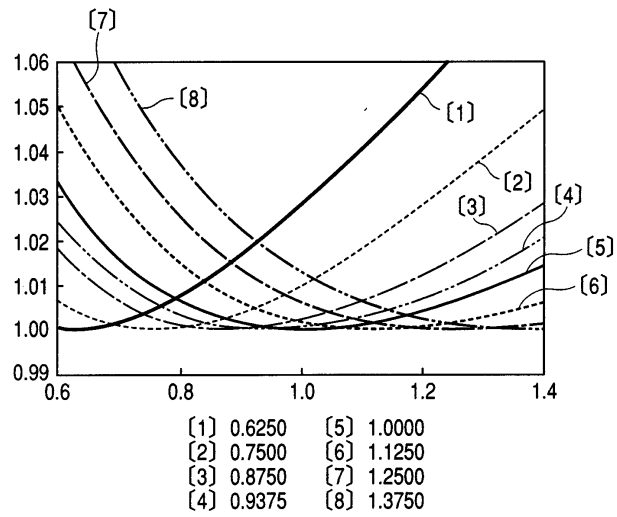
도면10



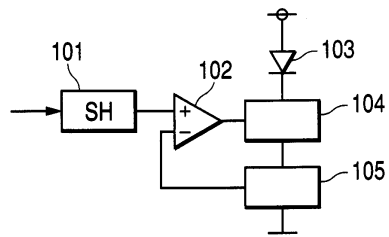
도면11



도면12



도면13



도면14

