

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-9713

(P2012-9713A)

(43) 公開日 平成24年1月12日(2012.1.12)

(51) Int.Cl.

**H01L 21/60** (2006.01)  
**H01L 25/065** (2006.01)  
**H01L 25/07** (2006.01)  
**H01L 25/18** (2006.01)

F 1

H01L 21/60  
H01L 25/08

311S  
Z

テーマコード(参考)

5 F O 4 4

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号

特願2010-145550 (P2010-145550)

(22) 出願日

平成22年6月25日 (2010. 6. 25)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市小島田町80番地

(74) 代理人 100077621

弁理士 綿貫 隆夫

(74) 代理人 100092819

弁理士 堀米 和春

(74) 代理人 100146075

弁理士 岡村 隆志

(74) 代理人 100141634

弁理士 平井 善博

(74) 代理人 100141461

弁理士 傅田 正彦

最終頁に続く

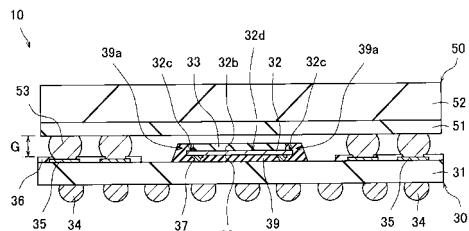
(54) 【発明の名称】半導体パッケージおよび半導体パッケージの製造方法

## (57) 【要約】

【課題】P o P パッケージの信頼性を向上する。

【解決手段】P o P パッケージ 10 は、基板 31 と、基板 31 上に設けられたアンダーフィル樹脂層 39 と、主面 32a とその反対の裏面 32b とを有し、アンダーフィル樹脂層 39 を介して基板 31 上に主面 32a を対向させてフリップチップ実装された半導体チップ 32 と、を備えている。ここで、半導体チップ 32 が、主面 32a および主面 32a から裏面 32b の縁部 32c にかけて、アンダーフィル樹脂層 39 で覆われている。

【選択図】図 1



**【特許請求の範囲】****【請求項 1】**

基板と、

前記基板上に設けられたアンダーフィル樹脂層と、

主面とその反対の裏面とを有し、前記アンダーフィル樹脂層を介して前記基板上に前記主面を対向させてフリップチップ実装された半導体チップと、

を備えており、

前記半導体チップが、前記主面および該主面から前記裏面の縁部にかけて、前記アンダーフィル樹脂層で覆われていることを特徴とする半導体パッケージ。

**【請求項 2】**

請求項 1 記載の半導体パッケージにおいて、

前記縁部の前記アンダーフィル樹脂層で囲まれた前記裏面の中央部を埋め込むように設けられた樹脂層を備えており、

前記アンダーフィル樹脂層および前記樹脂層によって、前記半導体チップが封止されていることを特徴とする半導体パッケージ。

**【請求項 3】**

請求項 2 記載の半導体パッケージにおいて、

前記アンダーフィル樹脂層と、前記樹脂層とは、熱膨張係数が異なることを特徴とする半導体パッケージ。

**【請求項 4】**

請求項 1、2 または 3 記載の半導体パッケージにおいて、

下側基板としての前記基板に積み重ねられた上側基板を備えており、

前記下側基板の前記上側基板側に設けられた外部接続パッドに、前記上側基板の前記下側基板側に設けられた外部接続バンプが接続されて、前記下側基板と前記上側基板との間にギャップが形成されており、

前記ギャップには、前記半導体チップ、前記アンダーフィル樹脂層が設けられていることを特徴とする半導体パッケージ。

**【請求項 5】**

( a ) 主面とその反対の裏面を有する半導体チップを準備する工程と、

( b ) 前記半導体チップを実装する基板を準備する工程と、

( c ) 前記半導体チップの前記裏面と対向する対向面と、該対向面から突起して前記半導体チップの前記裏面と接触し、前記半導体チップのチップサイズより小さい接触面とを有するボンディングツールを準備する工程と、

( d ) 前記基板上にアンダーフィル樹脂層を形成する工程と、

( e ) 前記裏面の中央部に前記接触面を接触させて、前記半導体チップを前記ボンディングツールに吸着させる工程と、

( f ) 前記ボンディングツールに前記半導体チップを吸着させた状態で、前記アンダーフィル樹脂層を介して前記基板上に前記半導体チップをフリップチップ実装する工程と、を含んでおり、

前記 ( f ) 工程では、前記アンダーフィル樹脂層に前記半導体チップが押し込まれて、前記主面から前記裏面の縁部にかけて前記アンダーフィル樹脂層を回り込ませることを特徴とする半導体パッケージの製造方法。

**【請求項 6】**

請求項 5 記載の半導体パッケージの製造方法において、

前記 ( f ) 工程では、前記裏面に回り込んだ前記アンダーフィル樹脂層を、前記ボンディングツールの前記対向面で押さえることを特徴とする半導体パッケージの製造方法。

**【請求項 7】**

請求項 5 または 6 記載の半導体パッケージの製造方法において、

前記 ( f ) 工程の後、前記縁部の前記アンダーフィル樹脂層で囲まれた前記裏面の中央部を、ポッティングによって樹脂で埋め込み、樹脂層を形成することを特徴とする半導体

10

20

30

40

50

パッケージの製造方法。

【請求項 8】

請求項 5、6 または 7 記載の半導体パッケージの製造方法において、

前記半導体チップがフリップチップ実装された前記基板を下側基板として上側基板を積み重ねて、前記下側基板に形成された外部接続パッドに前記上側基板に形成された外部接続バンプをリフロー処理によって接続することを特徴とする半導体パッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージおよびその製造技術に関し、特に、P o P ( Package on Package : パッケージオンパッケージ ) 構造のものに適用して有効な技術に関する。

【背景技術】

【0002】

携帯電話機などの電子機器における高機能化を可能にするための半導体パッケージ技術として、複数の半導体パッケージを積層した構造の、いわゆる P o P 構造がある。

【0003】

特開 2009 - 146969 号公報 ( 特許文献 1 ) には、下側 ( 被搭載側 ) の半導体パッケージ ( 以下、単に「下側パッケージ」ともいう。 ) と、上側 ( 搭載側 ) の半導体パッケージ ( 以下、単に「上側パッケージ」ともいう。 ) とから構成される P o P 構造の半導体パッケージ ( 以下、単に「P o P パッケージ」ともいう。 ) が開示されている。この特許文献 1 の P o P パッケージでは、上側パッケージの基板と、下側パッケージの基板との間に、下側パッケージの基板にフリップチップ実装された半導体チップが設けられた構造となっている。

【0004】

なお、フリップチップ実装 ( バンプ方式 ) に関する技術が、特開 2000 - 22040 号公報 ( 特許文献 2 ) において開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2009 - 146969 号公報

【特許文献 2】特開 2000 - 22040 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

電子機器への搭載に際し、P o P 構造の半導体パッケージには、小型化、薄型化が要求されてきている。このため、特許文献 1 に記載のような、P o P パッケージでは、下側パッケージおよび上側パッケージのそれぞれも小型化、薄型化する必要がある。下側パッケージは、例えば、基板に半導体チップがフリップチップ実装されたものである。一方、上側パッケージは、例えば、上側パッケージ用の基板に半導体チップがワイヤボンディング実装され、半導体チップおよびボンディングワイヤはモールド樹脂で封止されたものである。

【0007】

下側パッケージおよび上側パッケージに用いられる基板は、例えば、ガラス纖維入りのエポキシ系樹脂および配線パターンなどを含む配線基板が用いられる。ここで、配線基板の熱膨張係数は、14 ~ 15 ppm / K 程度である。また、半導体チップは、例えば、シリコンからなり、その熱膨張係数は、3 ppm / K 程度である。

【0008】

ガラス纖維入りのエポキシ系樹脂および配線パターンなどを含む配線基板は、半導体チップに対して、熱膨張係数が大きく、また、熱による膨張、収縮も大きい。このため、例

10

20

30

40

50

えば、半導体チップを実装する際の加熱処理時に、半導体チップと基板との間の熱膨張係数の差によって熱応力が発生し、これに起因して基板に反りが発生する場合がある。例えば、図9に示すように、半導体チップ71を実装した状態の基板72では、基板72が上面に凸となるような反りが発生してしまう。

#### 【0009】

このような反りが発生したままの下側パッケージを用いたPnPパッケージでは、その信頼性が低下してしまうことが考えられる。また、反りが発生したままでは、製造過程において扱いにくく、またPnPパッケージの製造歩留まりも低下することが考えられる。

#### 【0010】

具体的には、下側パッケージにおいては、基板とそれにフリップチップ実装した半導体チップとの間（接合部分）に注入したアンダーフィル樹脂を硬化させることに伴う加熱処理（例えば、150～200程度）時の熱応力によって、反りが発生する場合がある。このアンダーフィル樹脂は、半導体チップと基板との間で生じる熱応力を抑制するために用いられる。しかしながら、PnPパッケージの薄型化の要求に対して下側パッケージの基板を薄くすると、このようなアンダーフィル樹脂を用いても反りが発生してしまう。

10

#### 【0011】

また、下側パッケージと上側パッケージとを積み重ねて、下側パッケージの外部接続パッドと上側パッケージの外部接続バンプとを電気的に接続することに伴うリフロー加熱処理（例えば、250～270程度）時の熱応力によって、下側パッケージに反りが発生する場合がある。なお、上側パッケージでは、その基板上の半導体チップがモールド樹脂で封止しているため、反りが発生することが防止されている。

20

#### 【0012】

そこで、下側パッケージの反りの発生を防止するために、下側パッケージの半導体チップの厚さを厚くすることが考えられる。しかしながら、半導体チップ（シリコン）のコストが増加してしまい、PnPパッケージの製造コストが増加してしまう。

#### 【0013】

また、下側パッケージの反りの発生を防止するために、下側パッケージの半導体チップもモールド樹脂で封止することが考えられる。このようにモールド樹脂で封止する場合、増加したモールド樹脂の厚さ分だけ下側パッケージと上側パッケージとの間のギャップを広くする必要があり、PnPパッケージとして厚さが増加してしまい、PnPパッケージの薄型化に反することとなる。また、下側パッケージの半導体チップの周辺においてモールド樹脂分だけ領域を確保する必要があり、PnPパッケージとして面積が増加してしまい、PnPパッケージの小型化に反することとなる。

30

#### 【0014】

また、例えば、下側パッケージは、大判の基板から個片化されてなるものであるが、モールド樹脂で封止する場合、その厚みを確保するため大判の基板からの取れ数が減少してしまう。さらに、モールド樹脂で封止する場合、モールド金型代が高く、製造コストが増加してしまう。

#### 【0015】

また、特許文献2には、半導体素子を接着フィルム介して実装後、半導体装置の信頼性を高めるために、半導体素子を樹脂封止する技術が開示されている（特許文献2の明細書段落【0010】参照）。ここで、封止樹脂に関しては、ポッティング法（ディスペンス法）を用いて、まず半導体素子の周囲にインナー材の樹脂が流れ広がらないようにダム材の樹脂を滴下塗布し、次に、半導体素子上にインナー材の樹脂を滴下塗布後、これらの樹脂を硬化させている。

40

#### 【0016】

しかしながら、ダム材、インナー材の樹脂を単にポッティング法を用いて形成しただけでは、樹脂封止後の樹脂厚さ、樹脂形状の制御が困難である。このため、半導体パッケージの薄型化や小型化の要求に対して、特許文献2に記載の技術は有効でない。すなわち、薄型化、小型化の半導体パッケージに対して、特許文献2に記載の技術ではなく、他の技

50

術を適用して、半導体パッケージの反りを防止して半導体パッケージの信頼性を向上しなければならない。

#### 【0017】

本発明の目的は、半導体パッケージの信頼性を向上することのできる技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【課題を解決するための手段】

#### 【0018】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

#### 【0019】

本発明の一実施形態における半導体パッケージは、基板と、基板上に設けられたアンダーフィル樹脂層と、正面とその反対の裏面とを有し、前記アンダーフィル樹脂層を介して前記基板上に前記正面を対向させてフリップチップ実装された半導体チップと、を備えている。ここで、前記半導体チップが、前記正面および該正面から前記裏面の縁部にかけて、前記アンダーフィル樹脂層で覆われている。

#### 【発明の効果】

#### 【0020】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、半導体パッケージの信頼性を向上することができるることにある。

10

20

30

40

50

#### 【図面の簡単な説明】

#### 【0021】

【図1】本発明の一実施形態におけるPnPパッケージの断面図を示す。

【図2】図1に示すPnPパッケージの要部の平面図である。

【図3】図1に示すPnPパッケージの製造工程中の断面図である。

【図4】図3に続く製造工程中のPnPパッケージの断面図である。

【図5】図4に続く製造工程中のPnPパッケージの断面図である。

【図6】図5に続く製造工程中のPnPパッケージの断面図である。

【図7】図6に続く製造工程中のPnPパッケージの断面図である。

【図8】本発明の他の実施形態におけるPnPパッケージの断面図を示す。

【図9】半導体チップを実装した状態の基板に発生する反りを説明するための図である。

#### 【発明を実施するための形態】

#### 【0022】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する場合がある。

#### 【0023】

##### (実施形態1)

まず、本実施形態におけるPnPパッケージ10の構造について説明する。図1に本実施形態におけるPnPパッケージ10の断面図を示す。PnPパッケージ10は、下側(被搭載側)の半導体パッケージ(以下、単に「下側パッケージ」ともいう。)30と、上側(搭載側)の半導体パッケージ(以下、単に「上側パッケージ」ともいう。)50とから構成されているものである。また、図2にPnPパッケージ10の要部として下側パッケージ30の平面図を示す。なお、図2では、説明および位置関係を明解にするために、一部にハッチングを付し、半導体チップ32の位置を破線で示している。

#### 【0024】

図1に示すように、上側パッケージ50は、基板51と、基板51のチップ実装面上に実装された半導体チップ(図示しない)と、基板51上に設けられ、前記半導体チップを封止するモールド樹脂52と、基板51のチップ実装面とは反対の裏面に設けられ、前記半導体チップと電気的に接続された外部接続バンプ53とを備えている。

## 【0025】

下側パッケージ30の基板31に対して上側基板となる基板51は、例えば、図示しない配線パターンなどを有する配線基板である。また、半導体チップは、例えば、基板51に複数実装されており、この場合、上側パッケージ50は、マルチチップパッケージ(MCP:Multi Chip Package)となる。

## 【0026】

また、外部接続バンプ53は、例えば、はんだボールであり、その高さによって、下側パッケージ30と上側パッケージ50との間でギャップG(離間距離)を形成している。ギャップGは、外部接続バンプ53の大きさ(高さ)に制限され、また、外部接続バンプ53の大きさによって、隣接する外部接続バンプ53のピッチが制限される。なお、ギャップGは、例えば、 $200\mu m$ 程度である。10

## 【0027】

また、図1に示すように、下側パッケージ30は、基板31と、基板31上に設けられたアンダーフィル樹脂層39と、主面32a(素子形成面)とその反対の裏面32bとを有し、アンダーフィル樹脂層39を介して基板31上に主面32aを対向させてフリップチップ実装された半導体チップ32と、を備えている。

## 【0028】

半導体チップ32は、例えば厚さが $50\mu m$ 程度であって、平面形状が矩形状をしており、その主面32aには外部接続バンプ37が形成されているものである。この半導体チップ32は、基板31上にフリップチップ実装されており、その主面32aに設けられた外部接続バンプ37と図示しない基板31の外部接続パッドとは電気的に接続されている。なお、図2では、半導体チップ32(破線で示している。)は、基板31の中央部で実装されている。20

## 【0029】

また、基板31には、外部接続バンプ37に対応する外部接続パッド(図示しない)が形成されている。また、下側パッケージ30には、基板31のチップ実装面とは反対の裏面に、半導体チップ32と電気的に接続された外部接続バンプ34が設けられている。なお、この外部接続バンプ34は、外部接続パッドでも良い。

## 【0030】

上側パッケージ50の基板51に対して下側基板となる基板31は、例えば、図示しない配線パターンなどを有する配線基板である。この基板31は、上側パッケージ50側に設けられた外部接続パッド35と、外部接続パッド35を露出するような開口部が形成された絶縁層36(例えばソルダレジスト)とを有している。なお、図2では、外部接続パッド35は、基板31の縁部に沿って2列で複数個配置されている。30

## 【0031】

このように、POPパッケージ10では、基板31の基板51側に設けられた外部接続パッド35に、基板51の基板31側に設けられた外部接続バンプ53が接続されて、基板31と基板51との間にギャップGが形成されている。このギャップGには、半導体チップ32やアンダーフィル樹脂層39が設けられている。

## 【0032】

また、POPパッケージ10の下側パッケージ30では、基板31上には半導体チップ32がフリップチップ実装されている。基板31は、例えば、ガラス纖維入りのエポキシ樹脂および配線パターンなどを含む配線基板であり、その熱膨張係数が $14\sim15\text{ppm}/\text{K}$ 程度である。また、半導体チップ32は、例えば、シリコンからなり、その熱膨張係数が $3\text{ppm}/\text{K}$ 程度である。このように基板31と半導体チップ32とでは熱膨張係数差があるため、熱応力によって基板31が反ろうとする。40

## 【0033】

そこで、本実施形態では、半導体チップ32を、その主面32aおよび裏面32bの縁部32cにかけてアンダーフィル樹脂層39で覆うことによって、下側パッケージ30およびそれを含むPOPパッケージ10の反りを防止することができ、これ

らの信頼性も向上することができる。

#### 【0034】

基板31に設けられたアンダーフィル樹脂層39は、基板31に実装されている半導体チップ32の裏面32bを越えて隆起している隆起部39aを有している。この隆起部39aは、半導体チップ32の裏面32bの縁部32cに回り込んでいる。このため、半導体チップ32の正面32aだけでなく、裏面32bにも樹脂層（アンダーフィル樹脂層39）を設けているので、基板31の反りを防止することができる。

#### 【0035】

また、本実施形態における下側パッケージ30では、正面32aとは別個に裏面32bの縁部32cに樹脂層を設けたのではなく、正面32および正面32aから裏面32bの縁部32cにかけて一体としたアンダーフィル樹脂層39で半導体チップ32を覆っている。このため、樹脂層を別個に設けた場合に対して、アンダーフィル樹脂層39で一体に設けた場合では、基板31の反りをより防止することができる。

10

#### 【0036】

また、本実施形態における下側パッケージ30では、半導体チップ32の縁部32cのアンダーフィル樹脂層39で囲まれた裏面32bの中央部32dを埋め込むように設けられたインナー樹脂層33を備えている。このインナー樹脂層33は、例えば、エポキシ系樹脂に、低熱膨張化のためのシリカ充填材が充填されたものであり、その熱膨張係数は、20 ppm/K程度である。

20

#### 【0037】

このように、インナー樹脂層33およびアンダーフィル樹脂層39によって半導体チップ32全体が封止されている。したがって、アンダーフィル樹脂層39のみ設けた場合に対して、さらにインナー樹脂層39も設けた場合では、基板31の反りをより防止することができる。

#### 【0038】

基板31の反りを防止するために、インナー樹脂層33はその熱膨張係数を任意に選択することができる。インナー樹脂層33の熱膨張係数が基板31より高いと、熱応力による基板31の反りを、反り戻そうとする方向に作用して、基板31（下側パッケージ30）の反りを防止することができる。

30

#### 【0039】

また、下側パッケージ30では、基板31の反りの状態によって、インナー樹脂層33とアンダーフィル樹脂層39との熱膨張係数を調整、すなわち異ならせている。主として半導体チップ32と基板31の熱膨張係数差による熱応力を抑制するため、基板31より熱膨張係数が高いアンダーフィル樹脂層39（例えば55～60 ppm/K程度）を用いて、主として低熱膨張化のため、アンダーフィル樹脂層39より熱膨張係数が低いインナー樹脂層33（例えば20 ppm/K程度）を用いている。

#### 【0040】

また、POPパッケージ10では、下側パッケージ30と上側パッケージ50とは、外部接続パッド35と外部接続バンプ53との接続部の他は絶縁性が確保されなければならない。そこで、導電性ではなく、絶縁性のアンダーフィル樹脂層39やインナー樹脂層33を用いることで、確実に絶縁性を確保することができる。

40

#### 【0041】

また、半導体チップ32を覆うアンダーフィル層39の隆起部39aやインナー樹脂層33の厚さを厚くするほど、基板31の反りを防止することができる。しかしながら、POPパッケージ10では、隆起部39aやインナー樹脂層33の厚さの上限が、下側の基板31と上側の基板51との間のギャップGによって制限される。そこで、本実施形態では、POPパッケージ10のギャップG内で半導体チップ32、アンダーフィル層39およびインナー樹脂層33を設けている。なお、絶縁性のアンダーフィル層39やインナー樹脂層33を用いることで、半導体チップ32の裏面に設けられたインナー樹脂層33が、上側パッケージ50の基板51と接触しても、絶縁性を確保することができる。

50

## 【0042】

次に、本実施形態におけるPOPパッケージ10の製造方法について説明する。以下では、下側パッケージ30の製造方法を中心に説明する。まず、図3に示すように、正面32aとその反対の裏面32bを有する半導体チップ32を準備する。なお、図3には、半導体チップ32の裏面32bにおける縁部32cと、縁部32cで囲まれた中央部32dを示している。

## 【0043】

続いて、図4に示すように、半導体チップ32の裏面32bと対向する対向面60aと、対向面60aから突起して半導体チップ32の裏面32bと接触し、半導体チップ32のチップサイズより小さい接触面60bとを有するボンディングツール60を準備する。  
すなわち、ボンディングツール60は、対向面60aから突起する突起部60cを有している。

10

## 【0044】

また、図4に示すように、外部接続パッド35が形成された基板31を準備する。この基板31は、例えば、配線基板であり、その表面保護層として絶縁層36（ソルダレジスト）が形成されている。外部接続パッド35は、この絶縁層36から露出している。その後、基板31上にアンダーフィル樹脂層39を形成する。例えば、アンダーフィル樹脂層39として、フィルム状の樹脂を用いるのであれば基板31に貼り付ければ良く、あるいは、液状の樹脂を用いるのであれば先に基板31に塗布し、例えば、半硬化の状態（Bステージ）としておけば良い。

20

## 【0045】

次いで、半導体チップ32の裏面32bの中央部32dに接触面60bを接触させて、半導体チップ32をボンディングツール60に吸着させる。ここでは、半導体チップ32の中央部32dのみにボンディングツール60の接触面60bが接触しており、半導体チップ32の縁部32cにはボンディングツール60の接触面60bが接触していない。

## 【0046】

続いて、図5に示すように、ボンディングツール60に半導体チップ32を吸着させた状態で、アンダーフィル樹脂層39を介して基板31上に半導体チップ32をフリップチップ実装する。この際、アンダーフィル樹脂層39に半導体チップ32が押し込まれて、アンダーフィル樹脂層39には隆起部39aが形成され、さらに、アンダーフィル樹脂層39が半導体チップ32の正面32aから裏面32bの縁部32cにかけて回り込む。このため、半導体チップ32が、正面32aおよび正面32aから裏面32bの縁部32cにかけて、アンダーフィル樹脂層39で覆うことができる。

30

## 【0047】

また、基板31上に半導体チップ32をフリップチップ実装する工程では、半導体チップ32の裏面32bに回り込んだアンダーフィル樹脂層39を、ボンディングツール60の対向面60aで押さえることとしている。隆起しようとするアンダーフィル樹脂層39を、ボンディングツール60の対向面60aで押さえることで、アンダーフィル樹脂層39の隆起部39aの高さを調整することができる。

40

## 【0048】

続いて、図6に示すように、半導体チップ32の縁部32cのアンダーフィル樹脂層39（隆起部39a）で囲まれた中央部32dを、シリンジ61を用いたポッティングによって液状の樹脂33aで埋める。その後、液状の樹脂33aを熱硬化することによって、図7に示すように、インナー樹脂層33を形成する。このようにして、下側パッケージ30が略完成する。

## 【0049】

インナー樹脂層33を形成する工程では、隆起部39aは、樹脂33aが中央部32dから流れ出さないようにダム材として機能する。また、液状の樹脂33aには表面張力が働き、隆起部39aから流れ出さないように維持される。前述したように、隆起部39aは、ボンディングツール60の突起部60cによって高さが調整されているので、液状の

50

樹脂 3 3 a の高さ、すなわちインナー樹脂層 3 3 の高さ（厚さ）も調整されることとなる。

#### 【0050】

また、図 1 に示すように、外部接続バンプ 5 3 が形成された基板 5 1 を有する上側パッケージ 5 0 を準備する。そして、下側パッケージ 3 0 の基板 3 1 に上側パッケージ 5 0 の基板 5 1 を積み重ねて、例えば 250 ~ 270 程度のリフロー炉内に送り、外部接続パッド 3 5 に外部接続バンプ 5 3 をリフロー処理によって接続する。これにより、P o P パッケージ 1 0 が略完成する。

#### 【0051】

このような製造技術によれば、図 5 を参照して説明したように、半導体チップ 3 2 の正面 3 2 a から裏面 3 2 b の縁部 3 2 c にかけてアンダーフィル樹脂層 3 9 を回り込ませることができる。このため、下側パッケージ 3 0 およびそれを含む P o P パッケージ 1 0 の反りを防止することができ、これらの製造歩留まりを向上させることができる。

#### 【0052】

また、図 5 を参照して説明したように、隆起しようとするアンダーフィル樹脂層 3 9 を、ポンディングツール 6 0 の対向面 6 0 a で押さえることで、アンダーフィル樹脂層 3 9 の隆起部 3 9 a の高さを調整することができる。このため、P o P パッケージ 1 0 のギャップ G 内に収めて、半導体チップ 3 2 、アンダーフィル層 3 9 を設けることができる。

#### 【0053】

また、図 6 を参照して説明したように、アンダーフィル層 3 9 の隆起部 3 9 a の高さが調整されているので、液状の樹脂 3 3 a の高さ、すなわちインナー樹脂層 3 3 の高さ（厚さ）も調整することができる。このため、P o P パッケージ 1 0 のギャップ G 内に収めて、半導体チップ 3 2 、アンダーフィル層 3 9 およびインナー樹脂層 3 3 を設けることができる。

#### 【0054】

また、下側パッケージ 3 0 の反りを防止しているので、下側パッケージ 3 0 の基板 3 1 に上側パッケージ 5 0 の基板 5 1 を積み重ねてリフロー処理を行う場合であっても、P o P パッケージ 1 0 の反りを防止することができ、その製造歩留まりを向上することができる。

#### 【0055】

##### （実施形態 2）

前記実施形態 1 では、P o P パッケージ 1 0 の下側パッケージ 3 0 において、半導体チップ 3 2 の裏面 3 2 b（中央部 3 2 d）にインナー樹脂層 3 3 を設けた場合について説明したが、本実施形態では、インナー樹脂層 3 3 を設けない場合について説明する。なお、他の構成については、前記実施形態 1 で説明した構成と同様であるので、その説明は省略する。

#### 【0056】

図 8 に示すように、本実施形態における P o P パッケージ 1 1 0 の下側パッケージ 1 3 0 では、図 1 で示したようなインナー樹脂層 3 3 を設けていない。このような構成であっても、半導体チップ 3 2 は、その正面 3 2 a および正面 3 2 a から裏面 3 2 b の縁部 3 2 c にかけてアンダーフィル樹脂層 3 9 で覆われている。すなわち、半導体チップ 3 2 の裏面 3 2 の縁部 3 2 c に樹脂層（アンダーフィル樹脂層 3 9）が設けられている。このため、下側パッケージ 3 0 およびそれを含む P o P パッケージ 1 0 の反りを防止することができ、それらの信頼性も向上することができる。

#### 【符号の説明】

#### 【0057】

1 0、1 1 0 P o P パッケージ

3 0、1 3 0 下側パッケージ

3 1 基板

3 2 半導体チップ

10

20

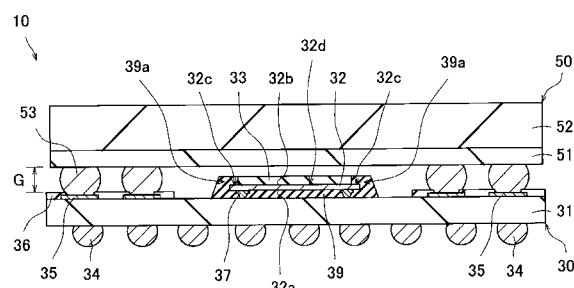
30

40

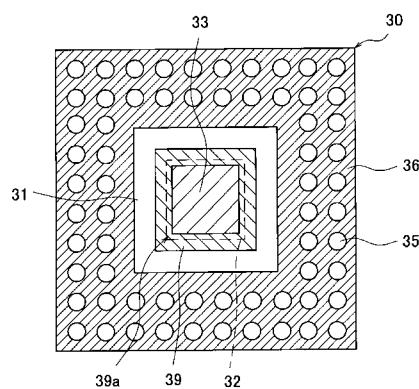
50

3 2 a	主面	
3 2 b	裏面	
3 2 c	縁部	
3 2 d	中央部	
3 3	インナー樹脂層	
3 3 a	樹脂	
3 4	外部接続バンプ	10
3 5	外部接続バンプ	
3 6	絶縁層	
3 7	外部接続バンプ	
3 8	接続部材	
3 9	アンダーフィル樹脂	
3 9 a	隆起部	
5 0	上側パッケージ	
5 1	基板	
5 2	モールド樹脂	
5 3	外部接続バンプ	
6 0	ボンディングツール	
6 1	シリンジ	
7 1	半導体チップ	20
7 2	基板	
G	ギャップ	

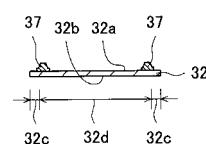
【図1】



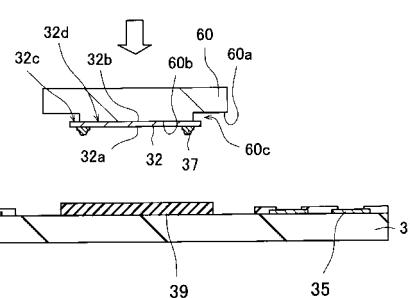
【図2】



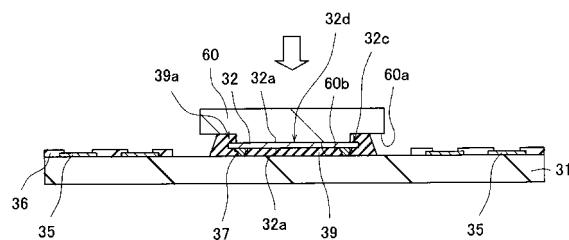
【図3】



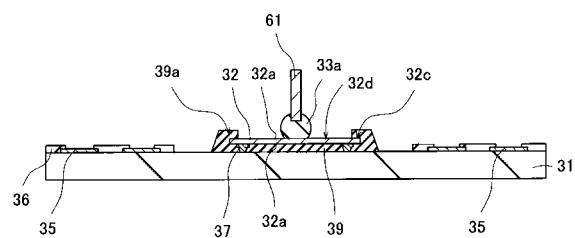
【図4】



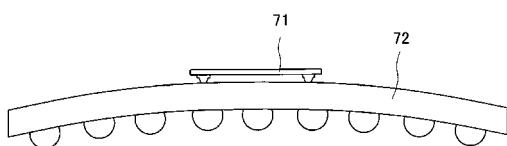
【図5】



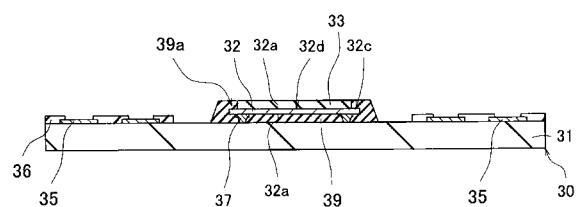
【図6】



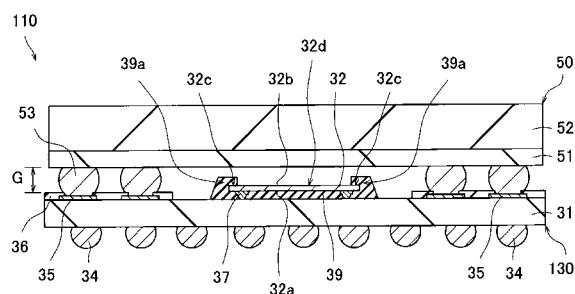
【図9】



【図7】



【図8】



---

フロントページの続き

(72)発明者 小澤 隆史  
長野県長野市小島田町 80 番地 新光電気工業株式会社内

(72)発明者 武田 幸太  
長野県長野市小島田町 80 番地 新光電気工業株式会社内

F ターム(参考) 5F044 KK02 LL11 RR17 RR18 RR19