

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年11月16日(2006.11.16)

【公開番号】特開2002-198529(P2002-198529A)

【公開日】平成14年7月12日(2002.7.12)

【出願番号】特願2001-219666(P2001-219666)

【国際特許分類】

H 01 L	29/78	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	21/265	(2006.01)

【F I】

H 01 L	29/78	3 0 1 H
H 01 L	27/08	3 3 1 E
H 01 L	29/78	6 1 8 F
H 01 L	29/78	6 1 6 V
H 01 L	27/08	1 0 2 B
H 01 L	27/08	3 2 1 C
H 01 L	21/265	F

【手続補正書】

【提出日】平成18年10月2日(2006.10.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 M I S F E T を有する半導体装置であつて、

前記 M I S F E T は、

(a) 半導体基板に形成された第1導電型のウェルと、

(b) 前記ウェル上に形成されたゲート絶縁膜と、

(c) 前記ゲート絶縁膜上に形成されたゲート電極と、

(d) 前記ゲート電極の側壁に形成されたサイドウォールスペーサと、

(e) 前記ウェルに形成された、前記第1導電型とは反対の導電型である第2導電型のソース・ドレイン拡張領域と、

(f) 前記ウェルに形成され、前記ソース・ドレイン拡張領域よりも高い不純物濃度を有し、且つ、前記ソース・ドレイン拡張領域よりも深い位置まで形成された前記第2導電型のソース・ドレイン拡散領域と、

を有し、

前記 M I S F E T は更に、前記ウェルに形成された、前記第1導電型の第1不純物層および前記第1導電型の第2不純物層を有し、

前記第2不純物層の不純物濃度のピークの位置は、前記第1不純物層の不純物濃度のピークの位置よりも浅く、且つ、M I S F E T のチャネル領域よりも深い位置に形成されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記第 2 不純物層の不純物濃度は、前記第 1 不純物層の不純物濃度よりも薄く、且つ、前記チャネル領域の不純物濃度よりも濃いことを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 記載の半導体装置において、

前記第 1 不純物層は前記ソース・ドレイン拡散領域に接しており、

前記第 2 不純物層は前記ソース・ドレイン拡張領域に接していることを特徴とする半導体装置。

【請求項 4】 請求項 1 ~ 3 のいずれか一項に記載の半導体装置において、

前記 MISFET は 1 V 以下の電源電圧で動作することを特徴とする半導体装置。

【請求項 5】 請求項 1 ~ 4 のいずれか一項に記載の半導体装置において、

前記第 2 不純物層に含まれる元素の質量は、前記第 1 不純物層に含まれる元素の質量よりも重いことを特徴とする半導体装置。

【請求項 6】 請求項 1 ~ 5 のいずれか一項に記載の半導体装置において、

前記第 1 導電型は p 型を示す導電型であり、前記第 2 導電型は n 型を示す導電型であることを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、

前記第 2 不純物層にはインジウムが注入されていることを特徴とする半導体装置。

【請求項 8】 請求項 1 ~ 5 のいずれか一項に記載の半導体装置において、

前記第 1 導電型は n 型を示す導電型であり、前記第 2 導電型は p 型を示す導電型であることを特徴とする半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、

前記第 2 不純物層にはヒ素が注入されていることを特徴とする半導体装置。

【請求項 10】 請求項 1 ~ 9 のいずれか一項に記載の半導体装置において、

前記チャネル領域の不純物濃度の総和が $5 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項 11】 請求項 1 ~ 10 のいずれか一項に記載の半導体装置において、

前記第 2 不純物層の濃度は $1 \times 10^{18} / \text{cm}^3$ 以上であることを特徴とする半導体装置。

。

【請求項 12】 請求項 1 ~ 11 のいずれか一項に記載の半導体装置において、

前記半導体基板は、基板、単結晶薄膜および前記基板と単結晶薄膜を分離する絶縁層で構成されており、

前記 MISFET は、前記単結晶薄膜に形成されていることを特徴とする半導体装置。

【請求項 13】 MISFET を有する半導体装置の製造方法であって、

(a) 半導体基板に第 1 導電型のウェルを形成する工程と、

(b) 前記ウェル上にゲート絶縁膜を形成する工程と、

(c) ゲート電極を形成する工程と、

(d) 前記ウェルに、前記第 1 導電型とは反対の導電型である第 2 導電型のソース・ドレイン拡張領域を形成する工程と、

(e) 前記ゲート電極の側壁にサイドウォールスペーサを形成する工程と、

(f) 前記ウェルに、前記ソース・ドレイン拡張領域よりも高い不純物濃度を有し、且つ、前記ソース・ドレイン拡張領域よりも深い位置にまで前記第 2 導電型のソース・ドレイン拡散領域を形成する工程と、

を有し、

前記半導体装置の製造方法は更に、

(g) 前記ウェルに前記第 1 導電型の第 1 不純物層を形成する工程と、

(h) 前記ウェルに前記第 1 導電型の第 2 不純物層を形成する工程と、

を有し、

前記第 2 不純物層の不純物濃度のピークの位置は、前記第 1 不純物層の不純物濃度のピークの位置よりも浅く、且つ、MISFET のチャネル領域よりも深い位置に形成されることを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 記載の半導体装置の製造方法において、

前記第2不純物層の不純物濃度は、前記第1不純物層の不純物濃度よりも薄く、且つ、
前記チャネル領域の不純物濃度よりも濃いことを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 13 または 14 記載の半導体装置の製造方法において、

前記第1不純物層は前記ソース・ドレイン拡散領域に接しており、

前記第2不純物層は前記ソース・ドレイン拡張領域に接していることを特徴とする半導
体装置の製造方法。

【請求項 16】 請求項 13 ~ 15 のいずれか一項に記載の半導体装置の製造方法に
おいて、

前記第2不純物層に含まれる元素の質量は、前記第1不純物層に含まれる元素の質量よ
りも重いことを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 13 ~ 16 のいずれか一項に記載の半導体装置の製造方法に
おいて、

前記第1導電型は p 型を示す導電型であり、前記第2導電型は n 型を示す導電型である
ことを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 17 記載の半導体装置の製造方法において、

前記 (h) 工程において、インジウムをイオン注入することを特徴とする半導体装置の
製造方法。

【請求項 19】 請求項 13 ~ 16 のいずれか一項に記載の半導体装置の製造方法に
おいて、

前記第1導電型は n 型を示す導電型であり、前記第2導電型は p 型を示す導電型である
ことを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 19 記載の半導体装置の製造方法において、

前記 (h) 工程において、ヒ素をイオン注入することを特徴とする半導体装置の製造方
法。

【請求項 21】 請求項 13 ~ 20 のいずれか一項に記載の半導体装置の製造方法に
おいて、

前記 (g) および (h) 工程は、前記 (a) 工程と前記 (b) 工程との間に行われるこ
とを特徴とする半導体装置の製造方法。

【請求項 22】 請求項 13 ~ 21 のいずれか一項に記載の半導体装置の製造方法に
おいて、

前記チャネル領域の不純物濃度の総和が $5 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とす
る半導体装置の製造方法。

【請求項 23】 請求項 13 ~ 22 のいずれか一項に記載の半導体装置の製造方法に
おいて、

前記第2不純物層の濃度は $1 \times 10^{18} / \text{cm}^3$ 以上であることを特徴とする半導体装置
の製造方法。

【請求項 24】 請求項 13 ~ 23 のいずれか一項に記載の半導体装置の製造方法に
おいて、

前記半導体基板は、基板、単結晶薄膜および前記基板と単結晶薄膜を分離する絶縁層で
構成されており、

前記 M I S F E T は、前記単結晶薄膜に形成されることを特徴とする半導体装置の製造
方法。