[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/84 (2006.01)
H01L 21/8238 (2006.01)

[12] 发明专利说明书

专利号 ZL 200510077326.5

[45] 授权公告日 2008 年 2 月 20 日

[11] 授权公告号 CN 100370601C

[22] 申请日 2005.6.20
[21] 申请号 200510077326.5
[30] 优先权
[32] 2004.7.29 [33] US [31] 10/902,557
[73] 专利权人 国际商业机器公司
地址 美国纽约阿芒克
[72] 发明人 凯文·K·陈 乔尔·P·德索扎
亚历山大·雷兹奈斯克
德维德拉·K·萨达纳
凯瑟琳·L·塞格尔
[56] 参考文献
US4933298A 1990.6.12
US6214694B1 2001.4.10
CN1467795A 2004.1.14
US6172381B1 2001.1.9
US6724019B2 2004.4.20
US2004-075141A1 2002.4.22
US2003-227036A1 2002.12.11
审查员 吴 黎
[74] 专利代理机构 北京市金杜律师事务所
代理人 王茂华

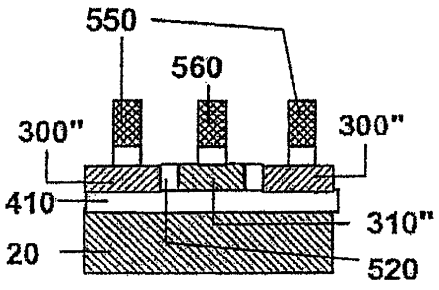
权利要求书 4 页 说明书 15 页 附图 17 页

[54] 发明名称

一种形成集成半导体结构的方法

[57] 摘要

本发明提供一种方法用于形成具有不同晶向的平面混合取向绝缘体上半导体(SOI)衬底，使得可以将器件制作在提供最佳性能的晶向上。 该方法包括以下步骤：选择衬底，该衬底具有通过薄绝缘层与具有第二晶体取向的顶半导体层隔离的具有第一晶体取向的基础半导体层；用具有第一晶体取向的外延生长的半导体代替所选区域中的顶半导体层；然后使用离子注入和退火方法以(i)在外延生长的半导体材料内形成掩埋绝缘区域，以及(ii)加厚位于顶半导体层下方的绝缘层，由此形成其中两个不同晶体取向的半导体材料具有基本上相同的厚度并且都布置在普通掩埋绝缘体层上的混合取向衬底。



1. 一种形成集成半导体结构的方法，包括以下步骤：

提供衬底，该衬底包括具有第一晶体取向的基础半导体衬底层，该基础半导体衬底层通过第一绝缘层与第二晶体取向的顶半导体层隔离，所述第一晶体取向不同于所述第二晶体取向；

在所述衬底中形成至少一个开口，以露出所述基础半导体衬底层的表面；

用外延生长的半导体材料在所述基础半导体衬底层的所述露出表面上填充所述至少一个开口，所述外延生长的半导体材料具有与所述第一晶体取向相同的晶体取向；以及

注入并退火，以（ i ）在所述外延生长的半导体材料中形成第二绝缘层，以及（ ii ）加厚位于所述顶半导体层下方的所述第一绝缘层。

2. 如权利要求 1 所述的方法，其中所述基础半导体衬底层布置在块体半导体衬底上。

3. 如权利要求 1 所述的方法，其中所述基础半导体衬底层布置在辅助掩埋绝缘体层上，并且利用所述注入和退火来向上延伸所述辅助掩埋绝缘体以（ i ）进入所述外延生长的半导体材料，以及（ ii ）至少达到位于所述顶半导体层下方的所述第一绝缘层。

4. 如权利要求 1 所述的方法，其中省略隔离所述基础半导体衬底层和所述顶半导体层的所述第一绝缘层，使所述基础半导体和顶半导体在半导体到半导体界面处直接接触，并且利用所述注入和退火以制作掩埋绝缘体，所述掩埋绝缘体的顶表面在所述半导体到半导体界面处或在该界面之上。

5. 如权利要求 1 所述的方法，其中所述基础半导体衬底层布置在辅助掩埋绝缘体层上，省略隔离所述基础半导体衬底层和所述顶半导体层的所述第一绝缘层，使所述基础半导体和顶半导体在半导体到半导体界面上直接接触，并且利用所述注入和退火来向上延伸

所述辅助掩埋绝缘体以（ i ）进入所述外延生长的半导体材料，以及（ ii ）至少达到所述半导体到半导体界面。

6. 如权利要求 1 所述的方法，还包括使所述注入和退火的半导体材料平面化的步骤，以提供这样的结构，即其中具有所述第一晶体取向的所述外延生长的半导体材料，与所述顶半导体层是共面的并且具有相同的厚度。

7. 如权利要求 1 所述的方法，其中所述注入包括注入氧离子或氮离子。

8. 如权利要求 1 所述的方法，其中所述注入包括第一或基础离子注入步骤。

9. 如权利要求 8 所述的方法，还包括在所述第一或基础离子注入步骤之后的第二离子注入步骤。

10. 如权利要求 1 所述的方法，其中在氧化环境中在从 700℃到 1400℃的温度下执行所述退火。

11. 如权利要求 10 所述的方法，其中所述氧化环境包括含氧气体，该含氧气体用惰性气体稀释。

12. 如权利要求 1 所述的方法，其中所述注入和退火还包括以下步骤：在所述注入之后，在所述外延生长的半导体材料和所述顶半导体层上方沉积阻挡层，以及在所述退火之后，去除所述阻挡层。

13. 如权利要求 12 所述的方法，其中所述阻挡层包括从由 SiO_2 和 SiN_X 构成的组中选出的一层或多层材料，或者述阻挡层包括从由 SiO_2 和 SiN_X 构成的组中选出的一层或多层材料并以硅层覆盖该一层或多层材料。

14. 如权利要求 12 所述的方法，其中所述阻挡层的厚度在 30nm 到 300nm 的范围内。

15. 如权利要求 6 所述的方法，其中所述平面化包括至少一个刻蚀步骤，选择性地去除所述退火期间形成的氧化物。

16. 如权利要求 1 所述的方法，还包括在所述顶半导体层和所述外延生长的半导体层上形成至少一个 pFET 和至少一个 nFET。

17. 如权利要求 16 所述的方法，其中所述至少一个 pFET 位于（110）晶面上，而所述至少一个 nFET 位于（100）晶面上。

18. 如权利要求 1 所述的方法，其中所述顶半导体层具有（110）表面取向，而所述半导体材料具有（100）表面取向。

19. 如权利要求 18 所述的方法，还包括在所述（110）表面上形成至少一个 pFET，以及在所述（100）表面上形成至少一个 nFET。

20. 如权利要求 6 所述的方法，其中所述基础半导体衬底层布置在块体半导体衬底上。

21. 如权利要求 6 所述的方法，其中所述基础半导体衬底层布置在辅助掩埋绝缘体层上，并且利用所述注入和退火来向上延伸所述辅助掩埋绝缘体以（ i ）进入所述外延生长的半导体材料，以及（ ii ）达到位于所述顶半导体层下方的所述第一绝缘层。

22. 如权利要求 6 所述的方法，其中省略隔离所述基础半导体衬底层和所述顶半导体层的所述第一绝缘层，使所述基础半导体和顶半导体在半导体到半导体界面处直接接触，并且利用所述注入和退火以制作掩埋绝缘体，所述掩埋绝缘体的顶表面在所述半导体到半导体界面处或在该界面之上。

23. 如权利要求 6 所述的方法，其中所述基础半导体衬底层布置在辅助掩埋绝缘体层上，省略隔离所述基础半导体衬底层和所述顶半导体层的所述第一绝缘层，使所述基础半导体和顶半导体层在半导体到半导体界面处直接接触，并且利用所述注入和退火来向上延伸所述辅助掩埋绝缘体以（ i ）进入所述外延生长的半导体材料，以及（ ii ）至少达到所述半导体到半导体界面。

24. 如权利要求 6 所述的方法，其中所述注入包括注入氧离子或氮离子。

25. 如权利要求 6 所述的方法，其中所述注入包括第一或基础离子注入步骤。

26. 如权利要求 25 所述的方法，还包括在所述第一或基础离子注入步骤之后的第二离子注入步骤。

27. 如权利要求 6 所述的方法，其中在氧化环境中在从 700℃到 1400℃的温度下执行所述退火。

28. 如权利要求 27 所述的方法，其中所述氧化环境包括含氧气体，该气体用惰性气体稀释。

29. 如权利要求 6 所述的方法，其中所述注入和退火还包括以下步骤：在所述注入之后，在所述外延生长的半导体材料和所述顶半导体层上方沉积阻挡层，以及在所述退火之后，去除所述阻挡层。

30. 如权利要求 29 所述的方法，其中所述阻挡层包括从由 SiO_2 和 SiN_X 构成的组中选出的一层或多层材料，或者述阻挡层包括从由 SiO_2 和 SiN_X 构成的组中选出的一层或多层材料并以硅层覆盖该一层或多层材料。

31. 如权利要求 29 所述的方法，其中所述阻挡层的厚度在 30nm 到 300nm 的范围内。

32. 如权利要求 6 所述的方法，还包括在所述顶半导体层和所述外延生长的半导体层上形成至少一个 pFET 和至少一个 nFET。

33. 如权利要求 32 所述的方法，其中所述至少一个 pFET 位于（110）晶面上，而所述至少一个 nFET 位于（100）晶面上。

34. 如权利要求 6 所述的方法，其中所述顶半导体层具有（110）表面取向，而所述半导体材料具有（100）表面取向。

35. 如权利要求 34 所述的方法，还包括在所述（110）表面上形成至少一个 pFET，以及在所述（100）表面上形成至少一个 nFET。

一种形成集成半导体结构的方法

相关申请的交叉引用

本申请涉及2003年6月17日提交的、名称为“High-performance CMOS SOI device on hybrid crystal-oriented substrates”的共同未决共同转让的美国专利申请No.10/250,241，涉及2003年8月5日提交的、名称为“Self-aligned SOI with different crystal orientation using wafer bonding and SIMOX processes”的共同未决共同转让的美国专利申请No.10/634,446，还涉及2003年12月2日提交的、名称为“Planar substrate with selected semiconductor crystal orientations formed by localized amorphization and recrystallization of stacked template layers”的共同未决共同转让的美国专利申请No.10/725,850。上述三个申请每一个的全部内容均通过参考引入本申请。

尾号为241的申请描述用于制作平面混合取向衬底的外延生长方法，该衬底包括布置在体硅上的一个或多个第一单晶半导体的区域，所述第一半导体具有第一取向；和布置在掩埋氧化物（BOX）层上的一个或多个第二单晶半导体的区域，所述第二半导体具有与第一取向不同的第二取向。

尾号为446的申请在尾号为241的申请的方法的基础上扩展，提供附加的步骤，用于通过经由掩模中的开口应用的SIMOX（注氧隔离）处理，在一个或多个第二半导体区域下方选择性地形成BOX层。

尾号为850的申请描述一种非晶化/模板重结晶（ATR）方法，用于制作平面混合取向衬底，该衬底包括一个或多个具有第一取向的第一单晶半导体的区域，以及一个或多个具有第二取向的第二单晶半导体的区域，其中第一和第二半导体区域都布置在BOX层上，该BOX层由对两个半导体区域应用SIMOX处理而产生。

类似于尾号为446的申请，本申请在尾号为241的申请的方法的

基础上扩展，提供 SIMOX 处理以在第二半导体区域下方形成掩埋绝缘层。然而，本申请中的 SIMOX 处理应用于第一半导体区域和第二半导体区域两者，两个半导体区域布置在至少部分地由 SIMOX 产生的掩埋绝缘层上。

技术领域

本发明涉及用于数字或模拟应用的高性能金属氧化物半导体场效应晶体管（MOSFET），并且更具体地涉及利用了来自衬底表面取向的载流子迁移率增加的 MOSFET。

背景技术

在目前的半导体技术中，诸如 nFET（即 n 沟道 MOSFET）或 pFET（即 p 沟道 MOSFET）的互补金属氧化物半导体（CMOS）器件通常制作在诸如硅（Si）的具有单一晶向的半导体晶片上。特别地，大多数现在的半导体器件形成（built）在具有（100）晶向的 Si 上。

已知电子对于（100）Si 表面取向具有高的迁移率，而已知空穴对于（110）表面取向具有高的迁移率。也就是说，在（100）Si 上的空穴迁移率值比对于该晶体取向的相应的电子迁移率大致低 2 倍-4 倍。为了补偿这个差异，通常设计 pFET 具有较大的宽度，以便对于 nFET 的下拉电流平衡上拉电流，并得到一致的电路切换。具有较大的宽度的 pFET 是不合需要的，因为它们占用了大量的芯片面积。

另一方面，（110）Si 上的空穴迁移率比（100）Si 上的高 2 倍；因此，形成在（110）表面上的 pFET 将呈现比形成在（100）表面上的 pFET 高得多的驱动电流。遗憾的是（110）Si 表面上的电子迁移率与（100）Si 表面上的相比大大地降低。

从以上可以推出，（110）Si 表面对于 pFET 器件是最佳的，因为其具有出色的空穴迁移率，然而这种晶向完全不适合 nFET 器件。代替地，由于（100）Si 表面的晶向适合于电子迁移率，所以（100）Si 表面对于 nFET 是最佳的。

鉴于以上所述，需要提供形成在具有不同晶向的衬底上的集成半导体器件，其中不同的晶向给特定的器件提供最佳的性能。还需要提供形成这种集成半导体器件的方法，在该方法中将 nFET 和 pFET 两者都形成在具有不同晶体取向的绝缘体上覆硅（SOI）衬底上，其中其上形成器件的半导体层基本上共面并且具有基本上相同的厚度。

现有技术遇到了图 1-3 中所示的问题。具体地，图 1A-1F 示出了在美国专利申请No.10/250,241 中描述的外延生长方法的现有技术的步骤，该方法用于制作平面混合取向衬底，该衬底包括一个或多个布置在体硅上的第一单晶半导体的区域，所述第一半导体具有第一取向；和一个或多个布置在 BOX 层上的第二单晶半导体的区域，所述第二半导体具有不同于第一取向的第二取向。

图 1A 示出了原始绝缘半导体（SOI）衬底 10，包括具有第一取向的基础半导体衬底层 20；介电或掩埋氧化层 30；具有不同于第一取向的第二取向的 SOI 层 40；以及最佳表面介电掩模/钝化层 50。原始 SOI 衬底 10 的层 20，30 和 40 通常通过将两个不同的半导体晶片键合到一起来形成。只要基础半导体衬底的上表面部分包括单晶半导体的顶层，基础半导体衬底层 20 就可选择地由半导体层和绝缘层的任意组合来代替。

图 1B 示出了在层 50，40 和 30 中形成一个或多个开口 60 以露出基础半导体衬底 20 的表面之后的图 1A 的结构。如图 1C 所示，侧壁间隔层（sidewall spacer）70 可以形成在开口 60 的露出的侧壁上。接着，具有与基础半导体衬底 20 相同晶向的半导体材料 80 外延生长在层 20 的露出表面上的开口 60 中，并且之后可以使用可选的平面化步骤以形成图 1D 的结构。图 1E 示出了在附加的去除掩模/钝化层 50 的平面化步骤之后的图 1D 的结构，以及图 1F 示出了在可选的形成浅槽隔离区域 90 之后的图 1E 的结构。

上面描述的并且在图 1A-1F 中说明的方法的缺陷在于该处理仅留下布置在 BOX 上的半导体取向之一。图 2A-2F 示出了美国专利申

请 No.10/634,446 中描述的附加的掩模和 SIMOX（注氧隔离）步骤，该步骤可以应用于图 1D，1E 或 1F 的结构以在一个或多个外延生长半导体 80 的区域中选择性地形成 BOX 层。图 2A 示出了在形成具有掩模开口 110 的构图掩模 100 以后的图 1D 的结构。图 2B 示出了注入氧离子 120 的图 2A 的结构，该注入用于在由掩模开口 110 露出的半导体层 80 的中形成富氧硅层 130 和破坏的单晶半导体区域 140。图 2C 示出了在含氧环境中高温退火之后的图 2B 的结构，该退火将富氧硅层 130 转化为掩埋氧化层 150，并且将破坏的半导体区域 140 转化为器件质量（device-quality）半导体层 140′。在高温退火步骤期间也形成了表面氧化层 170。图 2D 示出了去除掩模层 50 和 100、去除表面氧化层 170 并且部分地去除侧壁间隔层 70 之后的图 2C 的结构。图 2E 示出了可选的形成浅槽隔离区域 190 之后的图 2D 的结构。

上面所述的并且在图 2A-2E 中说明的方法的缺陷在于需要附加的掩模层来保护半导体层 40 不被 SIMOX 注入和退火。这种掩模层的使用通常需要附加的掩模层沉积、光刻对准以及构图步骤。

图 3A-3D 概示了美国专利申请 No.10/725,850 中描述的可选择非晶化/模板重结晶（ATR）方法，该方法用于制作平面混合取向衬底，该衬底具有一个或多个具有第一取向的第一单晶半导体的区域以及一个或多个具有第二取向的第二单晶半导体的区域，其中第一和第二半导体区域两者都布置在通过将 SIMOX 处理应用于两个半导体区域而生成的 BOX 层上。图 3A 表示键合的衬底 200，该衬底包括具有第一晶体取向的半导体衬底 210 和具有第二取向的半导体层 220，该衬底 210 和该半导体层 220 在键合界面 215 处接合。衬底 200 的选定区域由诸如离子注入的工艺来进行非晶化，以制作包括非晶化区域 230 和未非晶化区域 220′的图 3B 的结构。然后用诸如退火的工艺，使非晶化区域 230 重结晶，以形成具有半导体衬底 210 的取向的结晶半导体 240，如图 3C 所示。（沟槽或浅槽隔离区域，未示出，通常形成在半导体层 220 的非晶化区域和未非晶化的区域（分别为 230 和 220′）之间的边界处，以防止侧面板结（lateral

templating）。）在不同取向的半导体区域 220'和 240 下方，通过将 SIMOX 处理应用于两个半导体区域来形成掩埋氧化区域 250，如图 3D 所示。

虽然图 3A-3D 中说明的 ATR 方法很有吸引力，但是（i）它不如外延再生长方法成熟，并且（ii）它在键合界面 215 处对氧化物和杂质敏感。

鉴于现有技术方法的以上缺陷，需要提供一种能够生成具有不同晶体取向的半导体层的半导体衬底材料的方法，该半导体层基本上共面并且有基本上相同的厚度，还都位于诸如 BOX 层的掩埋绝缘层的顶上。

发明内容

本发明的一个目的在于提供一种制造集成半导体器件的方法，以便在绝缘体上覆硅（SOI）衬底的提高各个器件的性能的特定晶向上形成不同类型的 CMOS 器件。

本发明的另一目的在于提供一种制造集成半导体器件的方法，以便使 pFET 位于（110）晶面上，而 nFET 位于同一 SOI 衬底的（100）晶面上。

本发明的再一个目的在于提供一种使用简易处理步骤使 SOI 技术与 CMOS 技术结合的方法。

本发明的又一个目的在于提供一种形成集成半导体结构的方法，在该结构中两个 CMOS 器件，即 pFET 和 nFET，都是 SOI 类。

本发明的又一个目的在于提供一种形成混合取向 SOI 衬底的方法，该衬底具有不同取向的半导体层，该半导体层基本上共面并且具有基本上相同的厚度。

通过以下步骤在本发明中实现了这些及其他的目的和优点，步骤包括：利用键合和外延生长方法来形成平面混合衬底，该衬底包括直接布置在第一掩埋绝缘层上的一个晶体取向的键合的半导体区域和不直接布置在第一掩埋绝缘层上的不同晶体取向的外延生长的半

导体区域，并且然后对键合的和外延生长的半导体区域两者都施以SIMOX类的处理（包括一个或多个氧或氮离子注入步骤以及一个或多个退火步骤）以（ i ）在外延生长的半导体材料中形成第二掩埋绝缘区域以及（ ii ）加厚位于键合的半导体层下方的第一掩埋绝缘层。在去除由 SIMOX 退火步骤和可选的修补（touch-up）平面化步骤产生的任何表面氧化物之后，留下键合的半导体和外延生长的半导体作为 SOI 区域，该 SOI 区域基本上是共面的并且具有基本上相同的厚度。

然后根据哪个表面取向对于该器件是最佳的，可以在键合的半导体层或外延生长的半导体材料上形成至少一个 nFET 和至少一个 pFET。由于两个 CMOS 器件，即 nFET 和 pFET，都位于布置在掩埋绝缘体上的 SOI 层，因而都是 SOI 类器件。

特别地，本发明提供一种形成集成半导体结构的方法，包括以下步骤：

提供衬底，该衬底包括具有第一晶体取向的基础半导体衬底层，该基础半导体衬底层通过第一绝缘层与第二晶体取向的顶半导体层隔离，所述第一晶体取向不同于所述第二晶体取向；

在衬底中形成至少一个开口以露出基础半导体衬底层的表面；

用外延生长的半导体材料在基础半导体衬底层的所述露出表面上填充所述至少一个开口，所述外延生长的半导体材料具有与第一晶体取向相同的晶体取向；以及

注入并退火以（ i ）在外延生长的半导体材料中形成第二绝缘层，以及（ ii ）加厚位于顶半导体层下方的所述第一绝缘层。

在注入和退火步骤之后，可选的平面化和/或表面处理可以用于提供这样的结构，即其中所剩下的具有第一晶体取向的外延生长的半导体材料，与所剩下的顶半导体层基本上是共面的并且具有基本上相同的厚度。

上述基础半导体衬底层可以布置半导体层和绝缘层的任何组合上，该绝缘层例如包括辅助掩埋绝缘体层。在这种情况下，当把辅

助掩埋绝缘体层向上延伸（ｉ）进入外延生长的半导体，以及（ii）达到位于顶半导体层下方的第一绝缘层时，分别更明确地描述了以下步骤：（ｉ）在外延生长的半导体材料内形成第二绝缘层，以及（ii）加厚位于顶半导体层下方的所述第一绝缘层。

本发明还包括上述方法的变型，其中省略隔离基础半导体衬底层和顶半导体层的第一绝缘层，使基础半导体层和顶半导体层在半导体到半导体界面处直接接触。在这个变形中，进行离子注入和退火工艺，以便使得到的第二绝缘层的顶置于半导体到半导体界面的水平面处或在该水平面之上。

附图说明

图 1A-1F 以截面图说明形成平面混合取向衬底的现有技术方法的步骤，该衬底中一些半导体区域在 BOX 层上，而其他半导体区域不在 BOX 层上。

图 2A-2E 以截面图说明图 1A-1F 中所示的方法的现有技术扩展，以制作其中半导体取向都在 BOX 层上的平面混合取向衬底。

图 3A-3D 以截面图说明用以制作其中两个半导体取向都在 BOX 层上的平面混合取向衬底的现有技术的非晶化/模板重结晶（ATR）方法的步骤。

图 4A-4H 以截面图说明在本发明中可采用的可能的原始衬底。

图 5A-5E 以截面图说明从块体衬底上的基础半导体层开始，制作平面混合取向衬底的本方法的发明步骤。

图 6A-6D 以截面图说明从掩埋绝缘层衬底上的基础半导体层开始，制作平面混合取向衬底的本发明方法的步骤。

图 7A-7C 以截面图说明进行离子注入和退火处理的退火步骤的一种方法。

图 8A-8D 以截面图说明进行离子注入和退火处理的退火步骤的一种备选方法。

图 9 以截面图说明如何利用本发明的衬底结构来制作集成半导

体结构，该结构包含形成在不同晶体取向的共面表面上但具有基本上相同的 SOI 厚度的 nFET 和 pFET。

具体实施方式

现在将通过参照本申请的附图来更详细地描述提供双 SIMOX HOT(混合取向技术)衬底的本发明。在附图中，相同以及相应的元素由相同的参考标号表示。注意本申请中提供附图意在说明并因而不是按比例画的。

图 4A-4H 示出了本发明中可以采用的可能的原始衬底的截面图。图 4A-4H 的原始衬底都是平面混合取向衬底，其包括具有第一取向的基础半导体衬底层 20，和一个或多个具有不同于第一取向的第二取向的顶半导体层或顶半导体区域 300。该一个或多个顶半导体区域 300 通常通过键合形成，该键合利用了先前通过参考引入这里的尾号为 '241 的申请中所述的过程。该一个或多个顶半导体区域 300 可以布置在第一绝缘层 330 上（如图 4A-4D 和 4H 所示），或者它们可以直接布置在基础半导体衬底 20 上（如图 4F 和 4G 所示），以形成界面 331。第一绝缘层 330 可以包括氧化物或氮化物，并且它通常具有从约 2nm 到约 200nm 的厚度。

该基础半导体衬底层 20 可以布置在半导体层和绝缘层的任何组合上。在图 4A-4D 和 4G-4H 的结构中，该基础半导体衬底层 20 包括块体（bulk）半导体衬底晶片。在图 4E 和 4F 的结构中，基础半导体衬底层 20 布置在位于衬底 335 上的辅助掩埋绝缘层 325 上。辅助掩埋绝缘层 325 包括氧化物或氮化物，并且其通常具有约 50nm 到约 500nm 的厚度。衬底 335 包括以下提到的半导体材料中的一种。

该基础半导体衬底层 20 由包括例如 Si，SiC，SiGe，SiGeC，Ge，GaAs，InAs，InP 及其他III/V或II/VI 族化合物半导体的任何类型的半导体材料组成。基础半导体衬底 20 还可以包括这些半导体材料的组合。基础半导体衬底层 20 可以是应变的，无应变的或者可以使用应变层和无应变层的组合。该基础半导体衬底层 20，其特征还在于

具有可以是例如（110），（111）或（100）的第一晶体取向。

该一个或多个顶半导体层300包括上述半导体材料中的一种。因此，在本发明中，一个或多个顶半导体层300可以包括与基础半导体衬底层20相同的半导体材料，或者可以包括与基础半导体衬底层20不同的半导体材料。如上所述，一个或多个顶半导体层300具有与基础半导体衬底层20的第一晶体取向不同的第二晶体取向。

一个或多个外延生长的半导体区域310直接布置在基础半导体衬底层20上，并且通过（优选为绝缘的，即氧化物，氮化物，氧氮化物及其包括多层的组合）侧壁间隔层320与一个或多个顶半导体层300分开。外延生长的半导体区域310由上述半导体材料之一组成（其可以是与基础半导体衬底层20相同或不同的半导体材料），并且具有与基础半导体衬底层20相同的晶体取向。图4A-4H中的参考标号311标注的线用来指示在基础半导体衬底层20与外延生长的半导体区域310之间的不可见界面的位置。

如果掩膜层350足够薄以致于基本上不妨碍随后的SIMOX（注氧隔离）步骤，则图4A-4G的衬底也可以包括残留掩膜层350（对于图4A结构的情况如图4H所示）。如果存在掩膜层350，则其由诸如氧化物或氮化物的绝缘材料组成。该掩膜层350的厚度通常为约20nm到约50nm。

图4A-4D的结构在第一绝缘层330(注意第一绝缘层和随后形成的第二绝缘层都可以称为掩埋绝缘体区域）的厚度上和侧壁间隔层320的深度上有所不同。图4A和图4B的结构具有薄的第一绝缘层330，其厚度通常在1到20nm之间，且更通常地在2到10nm之间；图4C和图4D的结构具有较厚的第一绝缘层330，其厚度通常在20到1000nm之间，且更通常地在50到200nm之间。在图4A和图4C的结构中，侧壁间隔层320延伸到第一绝缘层330的底部，而在图4B和图4D的结构中侧壁间隔层320经过第一绝缘层330进入基础半导体衬底层20。

此外要注意图4A-4G的结构等可以通过已知技术中的方法和材

料制造，例如通过结合图 1A-1F 所述的方法以及先前引入的美国专利申请 No. 10/250,241 和 10/634,446 中所述的方法和材料。

图 5A-5E 和图 6A-6D 概示了如何将 SIMOX 类的处理(包括一个或多个氧或氮离子注入步骤和一个或多个退火步骤）应用于图 4A-4H 所示的结构。具体地，对图 4A 和 4E 中所示的结构的具体情况（其中存在第一绝缘层 330 并且其很薄）加以说明。图 5A-5E 是对于没有辅助掩埋绝缘体 325 的原始结构的情况进行说明，而图 6A-6D 是对于具有辅助掩埋绝缘体 325 的原始结构的情况进行说明。

特别地，图 5A-5E 概示了如何将 SIMOX 类的处理应用于一个或多个顶半导体区域 300 和外延生长的半导体区域 310 两者，以（i）在外延生长的半导体区域 310 内形成第二掩埋绝缘层以及（ii）加厚位于顶半导体层 300 下方的第一掩埋绝缘层 330（或其他介电层）。

图 5A 示出了对具有图 4A 的结构的原始衬底的该处理的第一个步骤。将诸如氧或氮的离子 380 注入到图 5A 的结构中以制作图 5B 中所示的结构，该结构中在一个或多个顶半导体层 300 和外延生长的半导体区域 310 的顶表面之下具有掩埋的注入区域 400，这里将区域 300 和区域 310 分别指示为破坏的键合的半导体区域 300′和破坏的外延生长的半导体区域 310′。掩埋的注入区域 400 包含高浓度的注入物质（implanted species），该物质能够在随后的高温退火步骤期间形成第二掩埋绝缘层 410。选取注入区域 400 的深度和广度（extent），使得要随后从注入区域 400 形成的第二掩埋绝缘层 410 具有所需的与第一掩埋绝缘层 330 的深度对准，该第一掩埋绝缘层 330 的位置指示为 370。在图 5C 的结构中，第二掩埋绝缘层 410 中心围绕第一掩埋绝缘层 330 的位置 370，在图 5D 的结构中，第二掩埋绝缘层 410 中心在位置 370 之上，而在图 5E 所示的结构中，第二掩埋绝缘层 410 中心在位置 370 之下。

图 6A-6D 概示了如何将 SIMOX 类的处理应用于一个或多个顶半导体区域 300 和外延生长的半导体区域 310 两者，以向上延伸辅助掩埋绝缘体 325（i）进入外延生长的半导体 310 以及（ii）达到位于

半导体基础衬底层 20 下方的第一绝缘层 330。图 6A 示出了对具有图 4E 的结构的原始衬底的该处理的第一个步骤。将诸如氧或氮的离子 380 注入到图 6A 的结构中，以制作例如图 6B 中所示的具有掩埋的注入区域 400 的结构。该掩埋的注入区域 400 位于一个或多个顶半导体区域 300 和外延生长的半导体区域 310 的顶表面之下，这里将区域 300 和区域 310 分别指示为破坏的键合的半导体区域 300′和破坏的外延生长的半导体区域 310′，并且该掩埋的注入区域 400 延伸进入辅助掩埋绝缘体 325。在本实施例中，注入区域 400 包含高浓度的注入物质，该物质能够在随后的高温退火步骤期间形成第二掩埋绝缘层 410。选取注入区域 400 的深度和宽度，以使要随后从注入区域 400 形成的第二掩埋绝缘层 410 具有所需的与第一掩埋绝缘层 330 的深度对准，该第一掩埋绝缘层 330 的位置指示为 370。第二掩埋绝缘层 410 可以如图 6C 所示延伸到第一绝缘层 330 的位置 370 之上，但是优选地终止在位置 370，例如图 6D 所示。

虽然图 5A-5E 和图 6A-6D 说明了将 SIMOX 处理应用于具有薄的第一掩埋绝缘层 330 的结构，但是注意现有技术也应用于其中第一绝缘层 330 较厚的结构以及没有第一绝缘层 330 的结构。在没有第一绝缘层 330 的情况下，进行离子注入和退火工艺，以便使得到的第二绝缘层的顶置于半导体到半导体界面的水平面处或在该水平面之上。然而，当原始结构存在有至少某一掩埋绝缘体（330 或 325）时，利用 SIMOX 处理形成掩埋绝缘体往往比较容易。

用于生成掩埋的注入层 400 的离子注入可以包括各种公知的离子注入条件（例如参见 G.K. Celler and S. Cristoloveanu, J. Appl. Phys. 93 4955(2003)），例如包括以下高剂量和低剂量的离子注入条件:

高剂量注入:

这里使用的术语“高剂量”指示约 4E17cm^{-2}或更高的 O^+离子剂量，更优选具有约 4E17 cm^{-2}到约 2E18 cm^{-2}的离子剂量。除了使用高剂量之外，该注入通常在离子注入设备中以约 10keV 到约 1000keV 的能量进行。更通常地使用约 60keV 到约 250keV 的注入能量。

该注入也可以称为基础离子注入，在从约 200℃到约 800℃的温度下，在从约 0.05μA cm^{-2}到约 50μA cm^{-2}的束流密度下进行。更优选地，该基础离子注入可以在从约 200℃到约 600℃的温度下，在从约 5μA cm^{-2}到约 20μA cm^{-2}的束流密度下进行。

如果需要，在基础注入步骤之后可以接着进行使用剂量从约 1E14 cm^{-2}到约 1E16 cm^{-2}，更优选为从约 1E15 cm^{-2}到约 4E15 cm^{-2}的第二 O^+离子注入。该第二注入以从约 40keV 或更高的能量，更优选为从约 120keV 到约 450keV 的能量进行。

该第二注入在从约 4K 到约 200℃的温度下，以从约 0.05μA cm^{-2}到约 10μA cm^{-2}的束流密度执行。更优选地，第二注入可以在从约 25℃到约 100℃的温度下，以从约 0.5μA cm^{-2}到约 5.0μA cm^{-2}的束流密度执行。

当采用第二注入时，该第二注入在由基础离子注入步骤造成的破坏区之下形成非晶化区域。在随后的退火期间，该非晶化区域和该破坏的区域转化为上述第二掩埋绝缘区域。

低剂量注入:

这里用于本发明该实施例的术语“低剂量”指示约 4E17cm^{-2}或更低的离子剂量，更优选地为从约 1E17 cm^{-2}到约 3.9E17cm^{-2}的离子剂量。该低剂量注入在从约 40keV 到约 500keV 的能量下进行，更优选地注入能量为从约 60keV 到约 250keV。

该低剂量注入也可以称为基础离子注入，在从约 100℃到约 800℃的温度下进行。更优选地，该基础离子注入可以在从约 200℃到约 650℃的温度下进行。用于低剂量注入的束流密度在从约 0.05μA cm^{-2}到约 50μA cm^{-2}。

如果需要，在基础低剂量注入步骤之后可以接着进行使用上述条件的第二 O^+注入。

此外要强调的是以上的离子注入类型是示例性的并且不以任何方式限制本发明的范围。相反，本发明考虑所有常规的离子注入条件，退火条件，以及对于在更常规的衬底中的 SIMOX 处理有用的离

子注入和退火序列（sequence）的组合。

离子注入之后，包括注入区域 400 的图 5B 和 6B 的结构，经受高温退火工艺，该工艺能够将注入区域 400 转化成第二掩埋绝缘层 410。如上所述，生成第二掩埋绝缘层 410，优选地具有所需的相对于第一掩埋绝缘层 330 的深度对准。该退火工艺还将破坏的半导体区域 300′和破坏的外延生长的半导体区域 310′转化成器件质量半导体区域 300″和 310″。

具体地，本发明的退火步骤在从约 700℃到约 1400℃的温度下执行，更优选地为从约 1100℃到约 1300℃的温度。而且，本发明的退火步骤在氧化环境中进行。在退火步骤期间使用的氧化环境包括至少诸如 O_2，NO，N_2O，臭氧，空气的含氧气体以及其他类似的含氧气体的一种。该含氧气体可以互相混合（例如 O_2 和 NO 的混合物），或者该气体可以由诸如 He，Ar，N_2，Xe，Kr 或 Ne 的惰性气体稀释。

退火步骤可以进行可变的时间段，通常在约 1 小时到 100 小时的范围，更优选地为约 2 小时到约 24 小时的时间段。退火步骤可以在单一指定温度下进行，或者以使用各种升降温速率（ramp rate）和热炼时间（soak time）的各种升降温和热炼周期进行。

因为退火是在氧化环境下执行的，所以如果不存在阻挡层，则希望氧化半导体材料 300′和 310′的上部分，如图 7A-7C 所示。具体地，图 7A 示出了退火前通常的注入结构，而图 7B 示出了形成表面氧化层 430 之后的图 7A 的结构。对于 Si 半导体的情况，表面氧化层 430 的厚度近似为所消耗的硅的厚度的两倍。

现在参照图 7B，表面氧化层 430 连同掩模层 350（如果存在）和至少一部分侧壁间隔层 320 一起，相对于半导体材料被选择性地去除。由于该步骤提供图 7C 中所示的平面结构，所以该步骤可以称为平面化工艺。相对于半导体材料选择性地去除氧化物的湿法化学刻蚀溶液的一个例子是缓冲 HF 溶液。因为间隔层 320 通常位于绝缘区域（而不是有源器件区域），所以间隔层 320 的凹陷或去除是可以接受的。在沟槽绝缘区域的形成期间可以代替或修复破坏的间隔

层 320′。

图 8A-8D 说明执行离子注入和退火工艺所需的退火步骤的备选方法，该方法使用阻挡层来防止或减少半导体表面氧化。图 8A 示出了退火前通常的注入结构。图 8B 示出了在沉积层 420 的沉积后的图 8A 的结构。该沉积层 420 可以包括单一材料或层叠材料，但是优选为热稳定的，对于下方的半导体区域是非反应的，并且在退火后容易选择性去除的材料。用于层 420 的优选材料包括 SiO_2，SiN_X，以 SiN_X 作为底（刻蚀停止）层的 SiN_X/SiO_2 双分子层，以及具有 Si 的覆盖层的这些层的任何一个，该 Si 的覆盖层足够薄以致于在退火期间完全转化成 SiO_2。优选阻挡层厚度在 30nm 到 300nm 的范围内，并且更优选在 50nm 到 100nm 的范围内。

在高温退火和可选的平面化步骤之后，然后根据哪个表面取向对该器件是最佳的，可以在键合的半导体区域 300″或外延生长的半导体区域 310″上形成至少一个 nFET 和至少一个 pFET。图 9 示出了在侧壁间隔层 320 已经并入浅槽隔离区域 520 中之后，最佳地安排在图 7C 或图 8D 的衬底结构上的 nFET 550 和 pFET 560。

利用本领域技术人员公知的标准 CMOS 工艺步骤，形成一个或多个 nFET 550 和 pFET 560。如美国专利申请 No.10/634,446 中所述，每个 FET 包括栅极电介质、栅极导体、位于栅极导体顶上的可选的硬掩模、位于至少栅极导体的侧壁上的间隔层、和扩散区域。pFET 通常形成在具有（110）或（111）取向的半导体材料的上方，而 nFET 通常形成在具有（100）或（111）取向的半导体表面的上方。

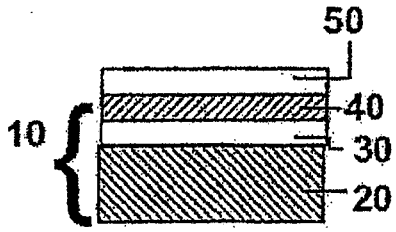
应注意虽然第二掩埋绝缘层 410 示为具有均匀的厚度，但是它在不同的半导体区域下方可以具有不同的厚度。例如，第二掩埋绝缘层 410 可以在“全部-SIMOX”区域（其中 SIMOX 生成的掩埋绝缘体生成在外延生长的半导体区域 310 中）具有一个厚度，而在“部分-SIMOX”区域（其中 SIMOX 生成的掩埋绝缘体增加最初存在的第一掩埋绝缘层 330）具有另一个厚度。第二掩埋绝缘层 410 的厚度可以受多个因素影响，包括（i）原始掩埋绝缘层 330 的厚度，和（ii）

其中（或其间）形成有 SIMOX 掩埋绝缘体，即，第二掩埋绝缘层 410 的半导体取向（因为化学反应、半导体/氧化物界面稳定性以及扩散速率都与取向密切相关）。

由于通常在 110-取向的 Si 中比在 100-取向的 Si 中更难生成 SIMOX 掩埋氧化层，所以对于具有 110 和 100 取向的 Si 半导体的情况，实现图 7C 或图 8D 的均匀厚度的掩埋绝缘体结构的优选做法是，利用 110 取向的 Si 作为键合的半导体层 300，以及 100 取向的 Si 作为衬底 20 和外延生长的半导体层 310。利用该方法，全部-SIMOX 掩埋氧化物将形成在 100 Si 中，而部分-SIMOX 掩埋绝缘体将形成在 Si（110）/ Si（100）界面处或该界面的周围。优选地，第一掩埋绝缘层 330 具有的厚度选择为能补偿预期的与取向相关的掩埋绝缘体的 SIMOX 生成部分的厚度差，由此允许第二掩埋绝缘层 410 具有基本上均匀的厚度。

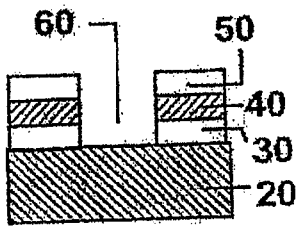
可选择地，对于其中 SIMOX 生成的掩埋绝缘体层的厚度对于半导体取向相对不敏感的情况（例如对于某种 SIMOX 条件和/或半导体材料的类型），优选第一掩埋绝缘层 330 的厚度尽可能薄。

虽然本发明已经关于其优选实施例作了具体的表示和说明，但是本领域技术人员会理解在不脱离本发明的精神和范围下，可以做出形式和细节上的前述和其他改变。因此本发明可以不限于所描述和说明的具体形式和细节而是落入所附权利要求的范围内。



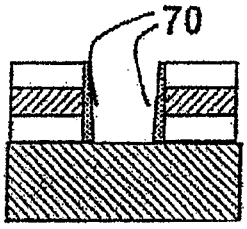
现有技术

图 1A



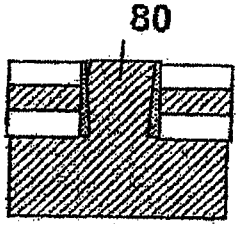
现有技术

图 1B



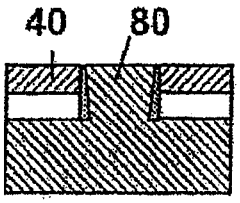
现有技术

图 1C



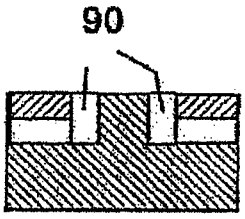
现有技术

图 1D



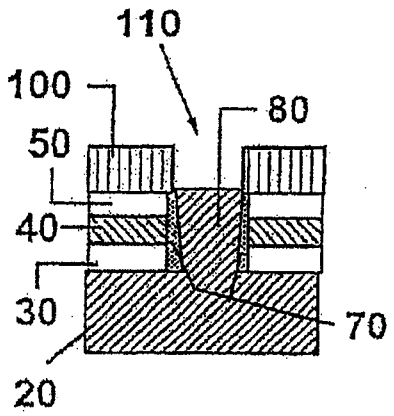
现有技术

图 1E



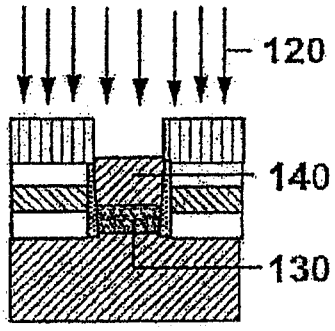
现有技术

图 1F



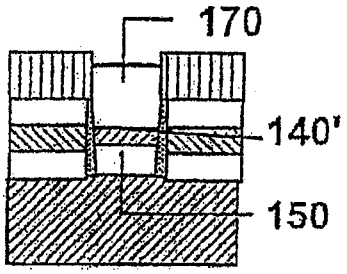
现有技术

图 2A



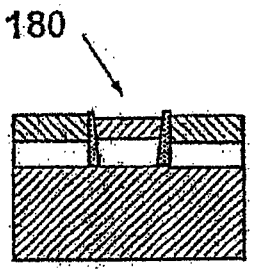
现有技术

图 2B



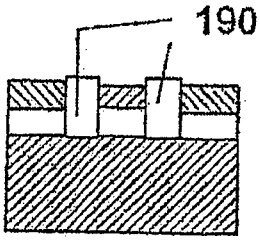
现有技术

图 2C



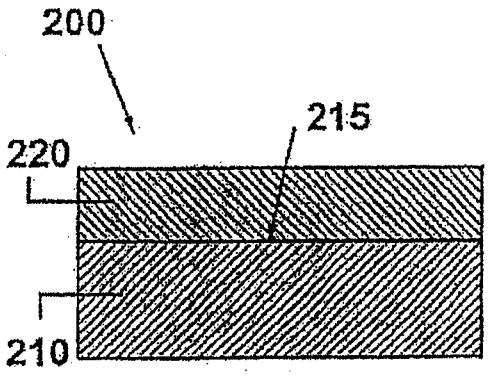
现有技术

图 2D



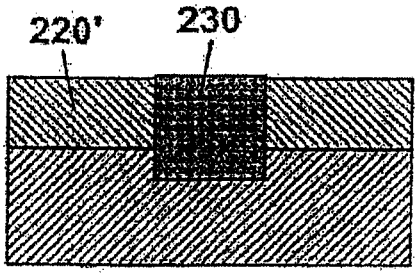
现有技术

图 2E



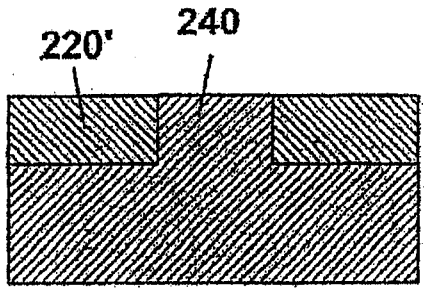
现有技术

图 3A



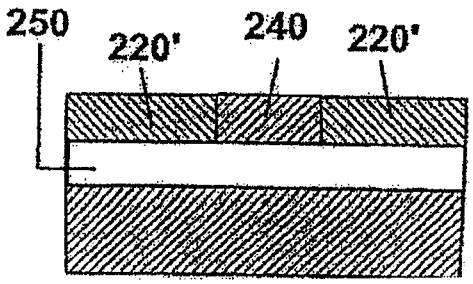
现有技术

图 3B



现有技术

图 3C



现有技术

图 3D

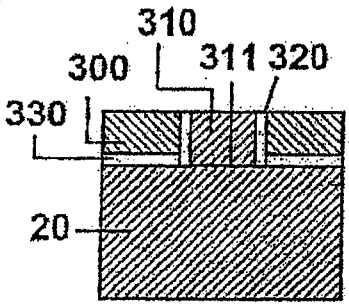


图 4A

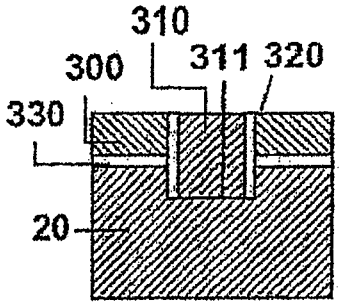


图 4B

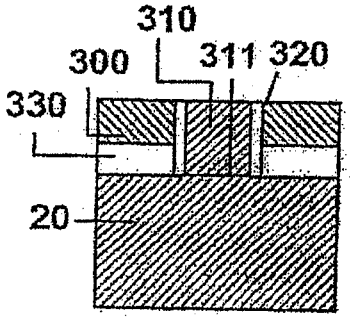


图 4C

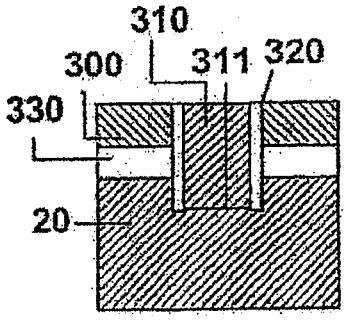


图 4D

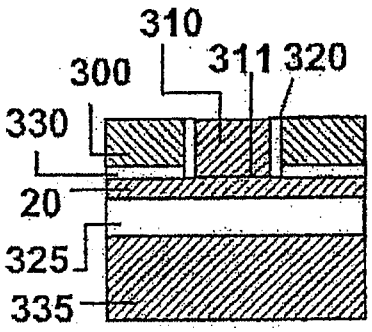


图 4E

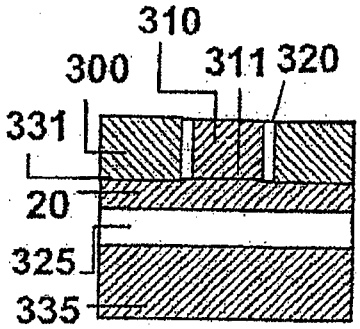


图 4F

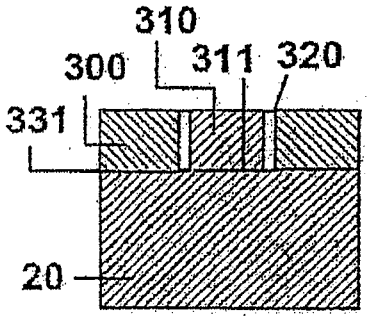


图 4G

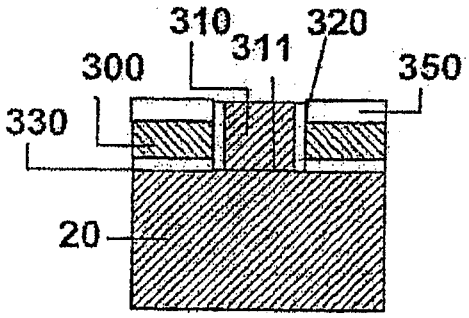


图 4H

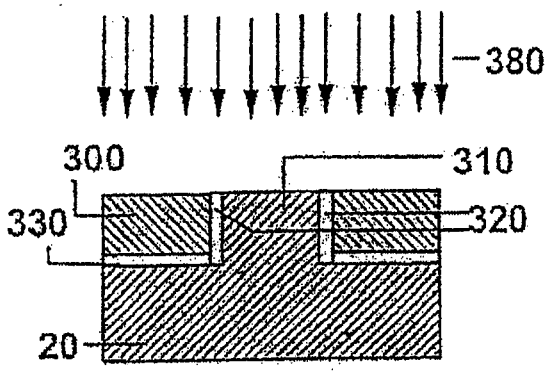


图 5A

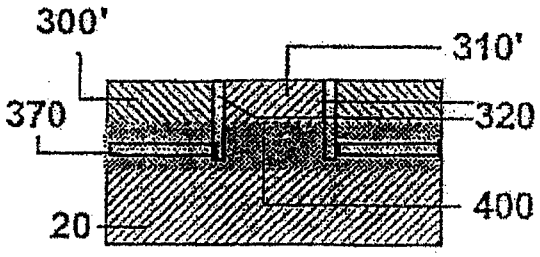


图 5B

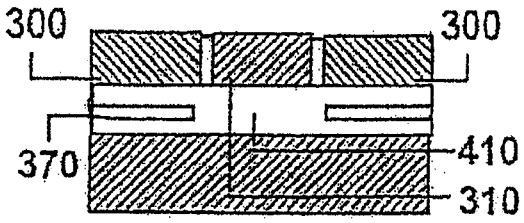


图 5C

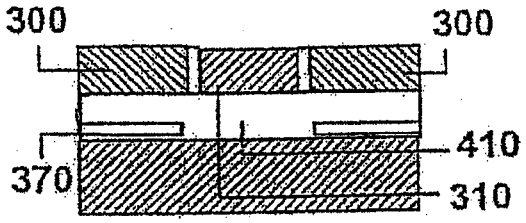


图 5D

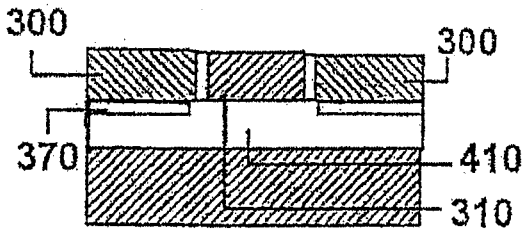


图 5E

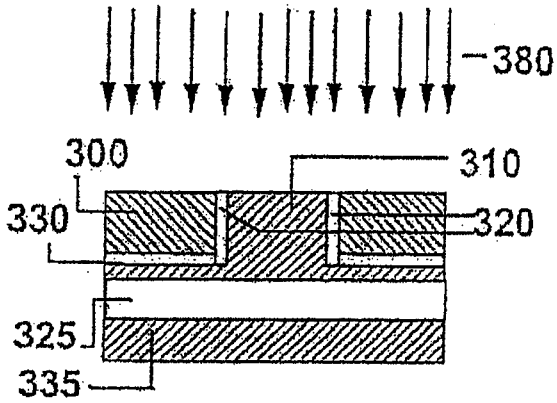


图 6A

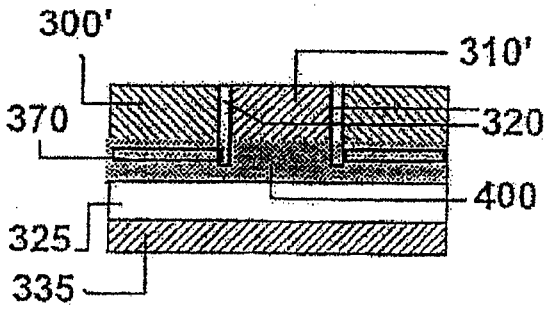


图 6B

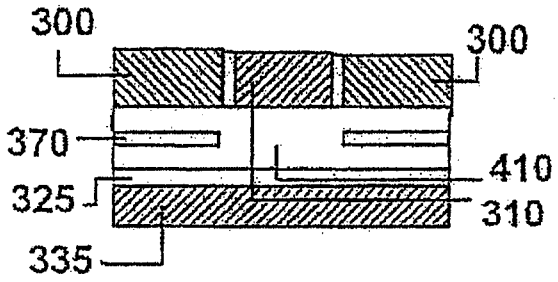


图 6C

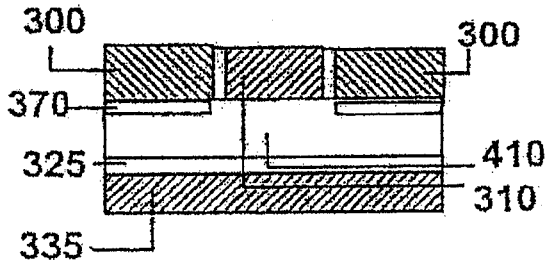


图 6D

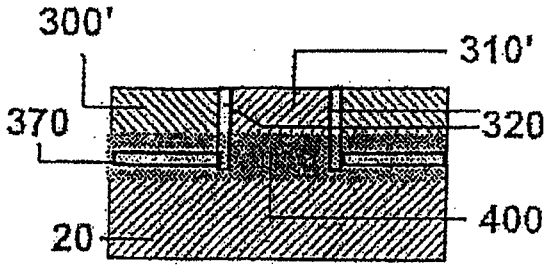

300'
310'
370
320
400
20

图 7A

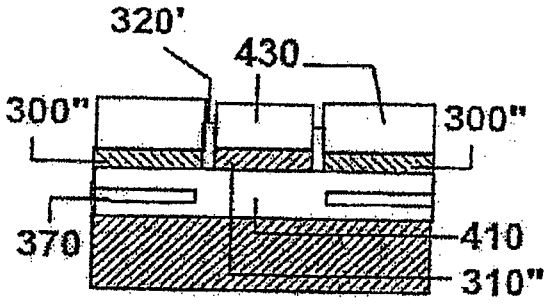

320'
430
300"
300"
370
410
310"

图 7B

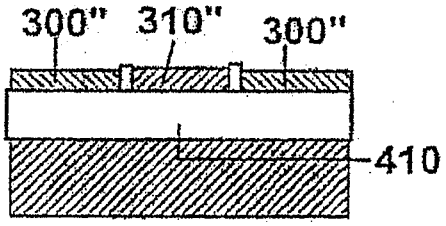

300"
310"
300"
410

图 7C

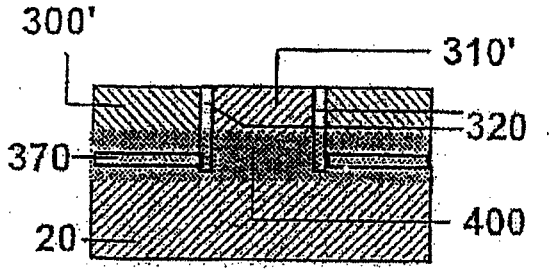


图 8A

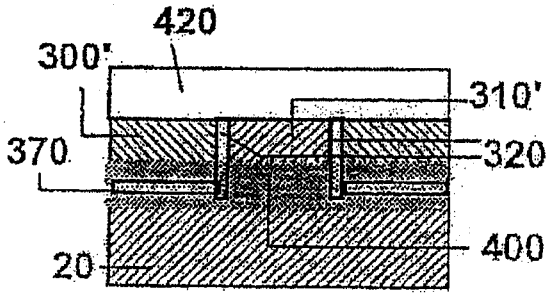


图 8B

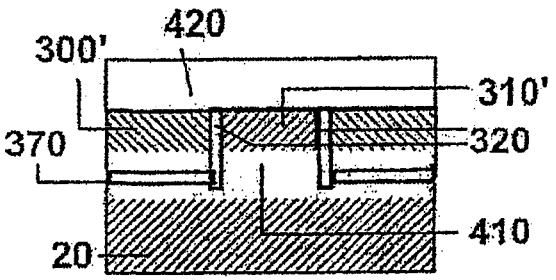


图 8C

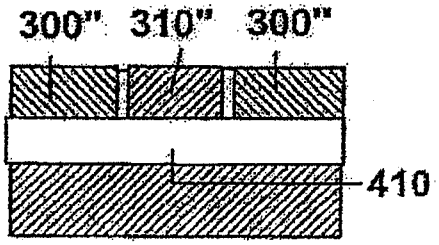


图 8D

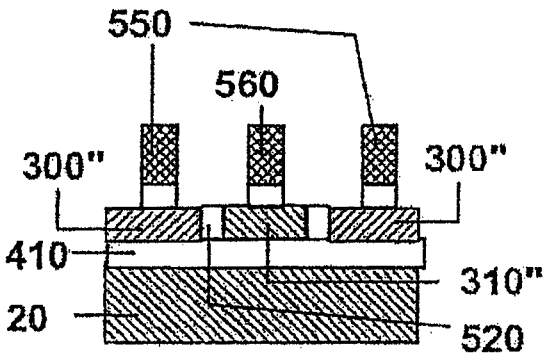


图 9