



(12) 发明专利

(10) 授权公告号 CN 101154461 B

(45) 授权公告日 2011. 10. 19

(21) 申请号 200710180231. 5

(22) 申请日 2001. 09. 20

(30) 优先权数据

297443/2000 2000. 09. 28 JP

(62) 分案原申请数据

01137244. 3 2001. 09. 20

(73) 专利权人 株式会社东芝

地址 日本东京都

(72) 发明人 柴田升 田中智晴

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 吴丽丽

(51) Int. Cl.

G11C 16/26 (2006. 01)

G11C 16/22 (2006. 01)

(56) 对比文件

CN 1114456 A, 1996. 01. 03, 全文.

US 5576987 A, 1996. 11. 19, 全文.

CN 1258078 A, 2000. 06. 28, 全文.

审查员 刘邵频

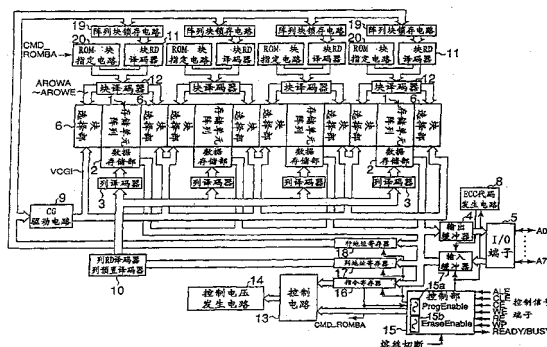
权利要求书 1 页 说明书 22 页 附图 43 页

(54) 发明名称

半导体存储装置

(57) 摘要

本发明用于准确识别存储器中的不良块的半导体存储装置,该半导体存储装置包含:具有多个存储元件的多个块;与上述各块对应设置的存储电路(109),上述存储电路存储第1逻辑电平或第2逻辑电平的数据;检出上述存储电路的存储状态的检出电路(6b);从上述各块的存储元件读出数据的读出电路,上述读出电路在通过上述检出电路检出存储电路存储上述第1逻辑电平时,输出上述块内存储元件的数据,在检出上述存储电路存储上述第2逻辑电平时,输出不取决于上述块内存储元件的数据的一定值。通过上述半导体存储装置能够准确识别存储器中的不良块,提高成品率。



1. 一种半导体存储装置,其特征是包含:

具有多个存储元件的多个块;

与上述各块对应设置的熔丝元件,

检出上述熔丝元件的状态的检出电路;

从上述各块的存储元件读出数据的读出电路,上述读出电路在通过上述检出电路检出上述熔丝元件未被切断时,输出上述块内的存储元件的数据,在检出上述熔丝元件被切断时,输出不取决于上述块内的存储元件的数据的一定值。

2. 根据权利要求 1 所述的装置,其特征是还包含:

上述熔丝元件在对应的上述块有不良时被切断。

3. 一种半导体存储装置,其特征是包含:

具有多个存储元件的多个块;

与上述各块对应设置的非易失性存储器,上述非易失性存储器存储第 1 逻辑电平或第 2 逻辑电平的数据;

检出上述非易失性存储器的存储状态的检出电路;

从上述各块的存储元件读出数据的读出电路,上述读出电路在通过上述检出电路检出上述非易失性存储器存储上述第 1 逻辑电平时,输出上述块内存储元件的数据,在检出上述非易失性存储器存储上述第 2 逻辑电平时,输出不取决于上述块内存储元件的数据的一定值。

4. 根据权利要求 3 所述的装置,其特征是,

上述非易失性存储器在对应的上述块有不良时,存储上述第 2 逻辑电平的数据。

5. 根据权利要求 3 所述的装置,其特征是,

上述非易失性存储器是 EEPROM 单元。

半导体存储装置

[0001] 本申请是申请号为 01137244.3, 申请日为 2001 年 9 月 20 日, 发明名称为“非易失半导体存储装置”的申请的分案申请。

[0002] 本申请具有 2000 年 9 月 28 日提交的在先日本专利申请 No. 2000-297443 的优先权, 其全部内容已被引证在本申请中。

技术领域

[0003] 本发明涉及半导体存储装置, 例如可以电重写的非易失半导体存储装置。

背景技术

[0004] 作为可以电重写的非易失半导体存储装置, 提出了使用 EEPROM 的 NAND 型快速存储器。该 NAND 型快速存储器与相邻配置的多个存储单元的源极、漏极串联连接, 该串联连接的多个存储单元作为 1 单位与位线连接。在该 NAND 型快速存储器中, 对于按行方向配置的全部单元或半数单元, 一起进行写入或读出。近来, 又开发了在 NAND 型快速存储器的 1 个单元中存储多个数据的多值存储器。

[0005] 然而, 该种类的非易失半导体存储装置, 具有称为存储了用于保密的识别代码等的 ROM 块 (ROM BLOCK) 的存储元件区域。该 ROM 块由特别指令进行选择。该 ROM 块被分配为救济存储单元阵列的不良单元的冗长单元的一部分。因此, 当在该冗长单元的一部分中存在不良时, 则会出现不能使用 ROM 块的问题。

[0006] 而且, ROM 块使用冗长单元的一部分。因而, 难于根据需要将 ROM 块设定在禁止写入和禁止擦除。

[0007] NAND 型快速存储器具有多个块 (block), 用该块单位擦除数据。具有不良单元的不良块, 替换为冗余块。但是, 在冗余数以上具有不良块时, 将作为仍存留不良块的部分良品 (一部分良品) 出厂。这时, 为了识别不良块, 在不良块的最前面数位写入数据“0”, 当选取不良块时, 即输出数据“0”。然而, 在不良块的单元中不一定写入或不写入数据“0”。这时, 尽管大部分存储单元是正常的, 也必须废弃该产品。因此, 导致了成品率降低。

发明内容

[0008] 因此, 在能够可靠存储用于保密的信息, 但在部分存储器中有不良块的情况下, 希望能有可以准确识别该不良块的半导体存储装置。

[0009] 本发明的半导体存储装置包含: 具有第 1、第 2 存储区域的存储单元阵列, 上述第 1 存储区域具有由地址信号选择的多个存储元件, 上述第 2 存储区域具有由控制信号选择的多个存储元件; 具有第 1 熔丝元件的控制电路, 当上述控制电路切断了上述第 1 熔丝元件时, 则禁止相对于上述第 2 存储区域的写入和擦除的至少其中之一。

附图说明

[0010] 图 1 是表示本发明第 1 实施例的半导体存储装置的构成图。

- [0011] 图 2 是表示图 1 所示存储单元阵列 1 和数据存储部 2 的电路图。
- [0012] 图 3A、B 是表示存储单元和选择晶体管的断面图。
- [0013] 图 4 是表示存储单元阵列中的 1 个 NADN 单元的断面图。
- [0014] 图 5 是表示图 2 所示数据存储电路的电路构成。
- [0015] 图 6A、6B、6C、6D 是各方式的写入地址和 I/O 端子的关系图。
- [0016] 图 7A、7B 是图 1 所示前置译码器和列式 RD 译码器的动作图。
- [0017] 图 8A、B、C 是表示图 1 所示 CG 驱动电路的电路图,图 8D 是表示图 8C 的动作图。
- [0018] 图 9A 表示图 1 所示阵列块电路的动作,图 9B 表示锁存电路。
- [0019] 图 10 是图 1 所示块 RD 译码电路的动作图。
- [0020] 图 11 是图 1 所示块译码器的动作图。
- [0021] 图 12 是表示块选择电路的电路图。
- [0022] 图 13 是表示图 12 的动作用的波形图。
- [0023] 图 14 是存储单元阵列的物理映象图。
- [0024] 图 15A 是表示图 1 所示禁止写入电路 15a 的电路图,图 15B 是表示禁止擦除电路 15b 的电路图。
- [0025] 图 16 是 4 值数据的写入方法图。
- [0026] 图 17A 是存储单元数据与写入和读出数据的关系图,图 17B、17C 是说明写入次数图。
- [0027] 图 18 是升压写入方法的写入特性图。
- [0028] 图 19 是表示程序动作顺序的波形图。
- [0029] 图 20 是表示倍速程序动作顺序的波形图。
- [0030] 图 21 是表示第 1 页的程序动作的流程图。
- [0031] 图 22 是表示第 1 页的程序动作的流程图。
- [0032] 图 23 是表示在第 1 页程序时的顺序的波形图。
- [0033] 图 24 是第 1 页的程序校验读出动作图。
- [0034] 图 25 是表示程序校验读出的顺序的波形图。
- [0035] 图 26A、26B、26C 是第 2 页的程序校验读出的动作图。
- [0036] 图 27 是表示在内部数据装入时的顺序的波形图。
- [0037] 图 28 是不第 2 页第 1 校验读出时的顺序的波形图。
- [0038] 图 29 是表示读出动作顺序的波形图。
- [0039] 图 30 是表示倍速读出动作顺序的波形图。
- [0040] 图 31 是概略表示读出动作的流程图。
- [0041] 图 32 是第 2 页的读出动作图。
- [0042] 图 33A、图 33B 是第 1 页的读出动作图。
- [0043] 图 34 是表示第 2 页的读出动作顺序的波形图。
- [0044] 图 35 是表示第 1 页的读出动作顺序的波形图。
- [0045] 图 36 是表示擦除动作顺序的波形图。
- [0046] 图 37 是表示倍速擦除动作顺序的波形图。
- [0047] 图 38 是概略表示自动擦除的流程图。

- [0048] 图 39 是表示擦除动作顺序的波形图。
- [0049] 图 40 是表示擦除校验动作顺序的波形图。
- [0050] 图 41 是表示设置在图 1 所示控制电压发生电路内的电压设定电路的构成图。
- [0051] 图 42 表示本发明的第 2 实施例,表示数据存储电路一例的电路图。
- [0052] 图 43 是表示第 1 页、第 2 页同时程序动作顺序的波形图。
- [0053] 图 44 是第 1 页、第 2 页同时程序动作图。
- [0054] 图 45A、45B、45C、45D 是第 1 页、第 2 页同时程序动作图。
- [0055] 图 46 是表示第 1 页、第 2 页同时程序动作的流程图。
- [0056] 图 47 是表示以第 1 页、第 2 页同时程序并倍速程序动作顺序的波形图。

具体实施方式

- [0057] 以下,参照附图说明本发明的实施例。
- [0058] (第 1 实施例)
- [0059] 图 1 是本发明第 1 实施例的半导体存储装置的构成图。首先,用图 1 进行概略说明。
- [0060] 存储单元阵列 1 包含未图示的多个位 (bit) 线和多个字线以及共同借用线的可以进行电的数据重写的存储单元被配置为矩阵状。各存储单元阵列 1 的内部,如后所述,分割为多个块和多个冗长块。在各存储单元阵列 1 的列方向一端,分别配置数据存储部 2。在各存储单元阵列 1 的行方向两侧,分别配置块选择部 6。
- [0061] 上述数据存储部 2,如后所述,包含多个数据存储电路。各数据存储电路具有以下功能。(1) 通过位线从存储单元阵列 1 中的存储单元读出数据。(2) 通过位线检出存储单元阵列 1 中的存储单元的状态。(3) 通过位线在存储单元阵列 1 中的存储单元外加写入控制电压,并在存储单元进行写入。
- [0062] 在各数据存储部 2 被连接到列译码器 3、输入缓冲器 7、输出缓冲器 4。输入缓冲器 7 和输出缓冲器 4 与 I/O 端子 5 连接。
- [0063] 上述各列译码器 3 选择数据存储部 2 中的数据存储电路。从由列译码器 3 选择的数据存储电路读出的存储单元的数据,通过输出缓冲器 4 从 I/O 端子 5 向外部输出。从外部输入到 I/O 端子 5 的写入数据,通过输入缓冲器 7,供给由列译码器 3 选择的数据存储电路。
- [0064] 控制部 15 根据从外部供给的信号 ALE、CLE、CE、WE、RE、WP,控制上述输出缓冲器 4、输入缓冲器 7、ECC 代码发生电路 8、控制电路 13、指令寄存器 16、列地址寄存器 17、行地址寄存器 18。控制部 15 具有禁止后述的 ROM 块 20 写入的禁止写入电路 15a、以及禁止 ROM 块 20 擦除的禁止擦除电路 15b。控制部 15,如后所述,还有转换半导体存储装置的设定方式的熔丝。
- [0065] ECC 代码发生电路 8 根据控制部 15 的指示发生 ECC (错误订正代码),供给输入缓冲器 7。
- [0066] 上述指令寄存器 16 将从上述输入缓冲器 7 供给的指令,供给控制电路 13。该控制电路 13 根据指令控制各部。该控制电路 13 被连接到控制电压发生电路 14。该控制电压发生电路 14 由例如充电激励电路等构成,产生数据写入、读出、擦除时的必要电压。

[0067] 上述列地址寄存器 17 将从上述输入缓冲器 7 供给的地址,供给列 RD(冗余)译码器和列前置译码器 10。该列 RD 译码器和列前置译码器 10 对列的冗长地址进行译码,并对列地址进行前置译码。该列 RD 译码器和列前置译码器 10 的输出信号,被供给上述各列译码器 3。

[0068] 上述行地址寄存器 18 将从上述输入缓冲器 7 供给的地址,供给上述 CG(控制栅极)驱动电路 9 和上述阵列块锁存电路 19。

[0069] CG 驱动电路 9 根据由行地址寄存器 18 供给的行地址,选择由上述控制电压发生电路 14 产生的字线电位,供给块选择部 6。

[0070] 上述块选择部 6 连接块译码器 12。该块译码器 12 连接块 RD(冗余)译码器 11 和 ROM 块指定电路 20。上述块 RD 译码器 11 连接阵列块锁存电路 19。该阵列块锁存电路 19 连接行地址寄存器 18。

[0071] 上述块选择部 6 根据阵列块锁存电路 19、块 RD 译码器 11 和块译码器 12 的输出信号,选择存储单元阵列 1 内的块。块选择部 6 在数据读出、写入和擦除时,根据行地址,选择后述的传送栅极,将从 CG 驱动电路 9 供给的电压供给存储单元阵列 1 的字线。

[0072] 上述 ROM 块指定电路 20 将存储单元阵列的冗长块指定为 ROM 块。也就是,本实施例中,可以将存储单元阵列内的任意冗长块指定为 ROM 块。在 ROM 块中写入用于制造工序中保密的识别代码等。因此,ROM 块在汇总写入、汇总擦除等的测试时,不进行选择。

[0073] 图 2 表示图 1 所示存储单元阵列 1 和数据存储部 2 的构成。数据存储部 2 具有多个数据存储电路 31_0 、 $31_1 \sim 31_{n/2}$ 。各数据存储电路 31_0 、 $31_1 \sim 31_{n/2}$ 连接上述输入缓冲器 4、输出缓冲器 7。这些 31_0 、 $31_1 \sim 31_{n/2}$ 由从上述列译码器 3 供给的列选择信号 CSL_0 、 $CSL_1 \sim CSL_{n/2}$ 控制。

[0074] 各数据存储电路 31_0 、 $31_1 \sim 31_{n/2}$ 与一对位线连接。也就是,数据存储电路 31_0 与位线 BL_0 、 BL_1 连接,数据存储电路 31_1 与位线 BL_2 、 BL_3 连接,数据存储电路 $31_{n/2}$ 与位线 BL_n 、 BL_{n+1} 连接。

[0075] 在存储单元阵列 1 配置多个 NAND 单元。1 个 NAND 单元由串联连接的 16 个 EEPROM 组成的存储单元 $M_0 \sim M_{15}$ 、连接在该存储单元 M_{15} 的第 1 选择栅极 S_1 、连接在存储单元 M_0 的第 2 选择栅极 S_2 组成。第 1 选择栅极 S_1 与位线 BL_0 连接,第 2 选择栅极 S_2 与源极线 $CELSRC$ 连接。配置在各行的存储单元 $M_0 \sim M_{15}$ 的控制栅极共同连接字线 $WL_0 \sim WL_{15}$ 。并且,第 1 选择栅极 S_1 共同连接选择线 SGD_1 ,第 2 选择栅极 S_2 共同连接选择线 SGD_2 。

[0076] 当读出动作、程序校验动作和程序动作时在与数据存储电路连接的 2 条位线 (BL_i 、 BL_{i+1}) 中,通过由外部指定的地址选择 1 条位线。再根据外部地址,选择 1 条字线,选择 2 值时 1 页、4 值时用图 2 虚线表示的 2 页的单元。

[0077] 擦除动作由图 2 的虚线表示的块单位实行。也就是,以该块单位擦除数据。1 块由多个 NAND 单元构成。在与数据存储电路连接的 2 条位线 (BL_i 、 BL_{i+1}) 同时进行。

[0078] 擦除校验动作,通过 1 次动作,在与数据存储电路连接的 2 条位线 (BL_i 、 BL_{i+1}) 中,对 1 条位线 (BL_i) 进行校验动作。然后,对另一条位线 (BL_{i+1}) 进行校验动作。

[0079] 图 3A、3B 表示存储单元和选择晶体管的断面图。图 3A 表示存储单元。在基片 41 上形成作为存储单元的源极、漏极的 n 型扩散层 42。在基片 41 上通过栅极绝缘膜 43 形成浮置栅极 44。在该浮置栅极 44 上通过绝缘膜 45 形成控制栅极 46。

[0080] 图 3B 表示选择晶体管。在基片 41 上形成作为源极、漏极的 n 型扩散层 47。在基片 41 上通过栅极绝缘膜 48 形成控制栅极 49。

[0081] 图 4 表示存储单元阵列的 1 个 NAND 单元的断面。该例中, 1 个 NANA 单元由 16 个存储单元 M0 ~ M15 串联连接构成。各存储单元形成图 3A 所示的构成。在 NAND 单元的漏极侧和源极侧, 设置第 1 选择栅极 S1 和第 2 选择栅极 S2。第 1 选择栅极 S1 和第 2 选择栅极 S2 形成图 3B 所示的结构。

[0082] 图 5 表示图 2 所示数据存储电路 310 的电路构成。数据存储电路全部是同样构成, 所以仅对数据存储电路 310 予以说明。

[0083] 位线 BLi 与 N 沟道晶体管 61a 的电流通路的一端连接。将信号 BLTR 供给该晶体管 61a 的栅极。该晶体管 61a 的电流通路的另一端与晶体管 61b 的电流通路的一端和晶体管 61c 的电流通路的一端连接。上述晶体管 61b 的电流通路的另一端与端子 62a 连接。将电压 VBLA 供给该端子 62a。将信号 PREA 供给上述晶体管 61b 的栅极。将信号 BLSA 供给上述晶体管 61c 的栅极。

[0084] 位线 BLi+1 与 N 沟道晶体管 61d 的电流通路的一端连接。将上述信号 BLTR 提供给该晶体管 61d 的栅极。该晶体管 61d 的电流通路的另一端与晶体管 61e 的电流通路的一端和晶体管 61f 的电流通路的一端连接。上述晶体管 61e 的电流通路的另一端与端子 62b 连接。将电压 VBLB 供给该端子 62b。将信号 PREB 供给上述晶体管 61e 的栅极。将信号 BLSB 供给上述晶体管 61f 的栅极。晶体管 61b、61e 根据信号 PREA、PREB 将非选择的位线预充电至电位 VBLA、VBLB。上述晶体管 61c、61f 根据信号 BLSA、BLSB 选择位线。

[0085] 上述晶体管 61c、61f 的电流通路的另一端通过晶体管 61g 与端子 62c 连接, 并同时与结点 NE 连接。将信号 BIAS 供给上述晶体管 61g 的栅极, 将电压 VCC 供给端子 62e。该晶体管 61g 在数据读出时, 根据信号 BIAS 对位线予充电。

[0086] 上述结点 NE 与晶体管 61h 的电流通路的一端连接。将信号 BLC1 供给该晶体管 61h 的栅极。该晶体管 61h 的电流通路的另一端通过 P 沟道 MOS 晶体管 61m 与端子 62d 连接。将电压 VCC 供给该端子 62d。将信号 PRSTB1 供给上述晶体管 61m 的栅极。

[0087] 上述晶体管 61h 的电流通路的另一端与第 1 锁存电路 LAT(A) 连接。该第 1 锁存电路 LAT(A) 由 2 个同步脉冲倒相电路 61i、61j 构成。同步脉冲倒相电路 61i 由信号 SEN1、SEN1B(B 表示倒相信号) 控制。同步脉冲倒相电路 61j 由信号 LAT1、LAT1B 控制。该第 1 锁存电路 LAT(A) 锁存写入数据。

[0088] 在上述同步脉冲倒相电路 61j 的输出结点 NB 以及同步脉冲倒相电路 61i 的输入端的连接结点 NC, 连接 N 沟道 MOS 晶体管 610 的电流通路的一端。该晶体管 610 的电流通路的另一端 IO 连接上述输入缓冲器 7、输出缓冲器 4。

[0089] 在上述同步脉冲倒相电路 61i 的输出结点 NA 以及同步脉冲倒相电路 61j 的输入端的连接结点, 连接 N 沟道 MOS 晶体管 61n 的电流通路的一端。该晶体管 61n 的电流通路的另一端 IOB 与上述输入缓冲器 7、输出缓冲器 4 连接。将来自列译码器 3 的列选择信号 CSL 供给这些晶体管 610、61n 的栅极。

[0090] 在上述结点 NE, 晶体管 61K、61l 串联连接。晶体管 61K 的栅极与上述第 1 锁存电路 LAT(A) 的结点 NC 连接, 将信号 VRFY1 供给晶体管 61l 的栅极。将信号 VREG 供给晶体管 61l 的电流通路。这些晶体管 61K、61l 根据在第 1 锁存电路 LAT(A) 锁存的数据, 设定位线

的电位。

[0091] 另外,在上述结点 NE,连接晶体管 61q 的电流通路的一端。将信号 BLC2 供给该晶体管 61q 的栅极。在该晶体管 61q 的电流通路的另一端,通过 P 沟道 MOS 晶体管 61p 与端子 62e 连接。将电压 VCC 供给该端子 62e。将信号 PRSTB2 供给上述晶体管 61p 的栅极。

[0092] 在上述晶体管 61q 的电流通路的另一端,连接第 2 锁存电路 LAT(B)。该第 2 锁存电路 LAT(B) 由 2 个同步脉冲倒相电路 61r、61s 构成。同步脉冲倒相电路 61r 由信号 SEN2、SEN2B 控制。同步脉冲倒相电路 61s 由信号 LAT2、LAT2B 控制。该第 2 锁存电路 LAT(B),锁存从存储单元读出的数据。

[0093] 在上述结点 NE,晶体管 61t、61u 串联连接。晶体管 61t 的栅极与上述第 2 锁存电路 LAT(B) 的结点 ND 连接,将信号 VRFY2 供给晶体管 61u 的栅极。将信号 VREG 供给晶体管 61u 的电流通路。这些晶体管 61t、61u 根据在第 2 锁存电路 LAT(B) 锁存的数据,设定位线的电位。

[0094] 对上述构成的动作予以说明。

[0095] (指令输入)

[0096] 指令使供给图 1 所示控制部 15 的信号 CLE 为高电平,在信号 VE 的前沿和后沿时,供给 I/O 端子 5 的数据作为指令供给指令寄存器 16。

[0097] (地址输入)

[0098] 地址使图 1 所示控制部 15 的信号 ALE 为高电平,在信号 WE 的前沿和后沿时,供给 I/O 端子 5 的数据作为地址取入。

[0099] 图 6A、6B、6C、6D 表示在各状态写入的地址与 I/O 端子的关系。该实施例的半导体存储装置可将存储单元阵列转换设定为 4 种状态。该 4 种状态的转换可以通过切断设置在控制部 15 的未图示的熔丝来设定。

[0100] 图 6A 是以 1G(千兆)位在 1 个单元存储 2 位的 4 值数据存储,块规模表示 32KB 的状态。图 6B 是以 512M(兆)位在 1 个单元存储 1 位的 2 值数据存储,块规模表示 16KB 的状态。图 6C 是以 1G 位存储 4 值数据,块规模表示 128KB 的状态。图 6D 是以 512M 位存储 2 值数据,块规模表示 64KB 的状态。

[0101] 在各动作状态,读出、程序通过 4 循环取出列地址和块地址等。然而,由于擦除不必要取出列地址,则第 1 循环省略,在从第 2 循环开始的 4 循环的 3 循环输入的地址。

[0102] 在图 6A、6C 所示 4 值情况下,必须转换 1 页和 2 页。该转换利用第 2 循环的 MLAdd 进行。2 值情况下,在 1 个单元仅存储 1 位。因此,不必要转换页。

[0103] 图 6A 所示列地址 A8、A8E,根据指令转换输入。

[0104] (数据输入)

[0105] 当输入写入数据时,使图 1 所示控制部 15 的信号 ALE 和信号 CLE 都为低电平,在信号 WE 的前沿和后沿时,取入供给 I/O 端子 5 的数据。该数据供给由列译码器 3 选择的数据存储电路。通过连续触发信号 WE,列地址增加,顺序取入下一个地址数据。

[0106] (数据输出)

[0107] 当将从存储单元读出的数据输出到外部时,使图 1 所示控制部 15 的信号 ALE 和信号 CLE 都为低电平。在这种状态下,在信号 RE 的前沿和后沿时,由列译码器 3 选择的数据存储电路的数据从 I/O 端子 5 输出。通过反复触发信号 RE,地址增加,顺序输出下一个地址

数据。

[0108] (前置译码器和列 RD 译码器)

[0109] 图 7A、7B 表示前置译码器和列 RD 译码器 10 的动作。

[0110] 图 1 所示列地址寄存器 17 锁存由外部指定的地址 A0 ~ A8、A8E, 同时与信号 WE 和信号 RE 同步, 增加地址。使用 ECC 时, 为了存储 ECC 代码, 对于列地址的 528 列, 必须追加 21 列。也就是, 当订正 2 位时, 每 1 页 (528 位) 必须有订正代码用的 21 位单元。但是, 21 列中的 4 列是与列冗余共同的。因此, 仅增加了 17 列的列地址。

[0111] 列前置译码器和列 RD 译码器 10, 如图 7A 所示, 对列地址 A0 ~ A8、A8E 进行译码, 输出列前置译码信号 CA0 ~ 7、CB0 ~ 7、CC0 ~ 8。这样, 选择 528+17 列。

[0112] 如图 7B 所示, 选择列冗余时, 停止列前置译码信号, 输出选择列冗余的信号 CSS0 ~ 7。本实施例中, ECC 未使用时, 列冗余对于 1 个阵列为 8 个。使用 ECC 时, 列冗余对于 1 个阵列为 4 个, 17 列由信号 CA0 ~ 7、CB0 ~ 8 选择, 4 列由信号 CSS0 ~ 3 选择。

[0113] 从列前置译码器和列 RD 译码器 10 输出的信号 CA0 ~ 7、CB0 ~ 7、CC0 ~ 8, 由列译码器 3 选择 528 列中的 1 个。信号 CSS0 ~ 7 直接选择未被译码的 1 个列。

[0114] 图 1 所示行地址寄存器 18 锁存由外部指定的地址 A9 ~ A26。

[0115] 图 8A、8B、8C 表示图 1 所示 CG 驱动电路 9。

[0116] 在读出和程序时, 首先, 由图 8A、8B 所示电路分别生成选择 CG 电压 Vcgse1 和非选择 CG 电压 Vcguse1。选择 CG 电压 Vcgse1, 读出时设定在电压 Vcgrv, 程序时设定在电压 Vpgmh。非选择 CG 电压 Vcguse1, 读出时设定在电压 Vread, 程序时设定在电压 Vpass。

[0117] 图 8A 是产生被选择的控制栅极线电位的电路, 由升压电路 81a、81b、晶体管 81c、81d 构成。在晶体管 81c 的电流通路的一端, 供给来自控制电压发生电路 14 的程序电压 Vpgmh。该晶体管 81c 的栅极连接升压电路 81a 的输出端。将程序电压 Vpgmh 以及信号 VPGMEN 供给升压电路 81a, 升压电路 81a 根据信号 VPGMEN 产生电压 Vpgmh+Vth。因此, 晶体管 81c 可以输出电压 Vpgmh。

[0118] 在晶体管 81d 的电流通路的一端, 供给来自控制电压发生电路 14 的电压 Vcgrv。该晶体管 81d 的栅极连接升压电路 81b 的输出端。将电压 Vcgrv 以及信号 VCGREN 供给升压电路 81b, 升压电路 81b 根据信号 VCGREN 产生电压 Vcgrv+Vth。因此, 晶体管 81d 可以输出电压 Vcgrv。这些晶体管 81c、81d 的电流通路的另一端共同连接, 从该连接结点输出由电压 Vpgmh 或电压 Vcgrv 构成的选择 CG 电压 Vcgse1。

[0119] 图 8B 是产生非选择的控制栅极线电位的电路, 由升压电路 82a、82b、晶体管 82c、82d 构成。在晶体管 82c 的电流通路的一端, 供给来自控制电压发生电路 14 的电压 Vpass。该晶体管 82c 的栅极连接升压电路 82a 的输出端。将电压 Vpass 以及信号 VPASSENB 供给该升压电路 82a, 升压电路 82a 根据信号 VPASSENB 产生电压 Vpass+Vth。因此, 晶体管 82c 可以输出电压 Vpass。

[0120] 在晶体管 82d 的电流通路的一端, 供给来自控制电压发生电路 14 的电压 Vreadh。该晶体管 82d 的栅极连接升压电路 82b 的输出端。将电压 Vreadh 以及信号 VREADEN 供给该升压电路 82b, 升压电路 82b 根据信号 VREADEN 产生电压 Vreadh+Vth。因此, 晶体管 82d 可以输出电压 Vreadh。这些晶体管 82d 的电流通路的另一端共同连接, 从该连接结点输出由电压 Vpass 或 Vreadh 构成的非选择 CG 电压 Vcguse1。

[0121] 图 8C 表示将选择 CG 电压 V_{cgse1} 和非选择 CG 电压 V_{cguse1} 供给控制栅极的 CG 供给电路。该 CG 供给电路与控制栅极对应设置 16 个。根据地址 A11 ~ A14, 使其中的 1 个为选择状态, 剩余的 15 个为非选择状态。

[0122] 也就是, CG 供给电路由译码电路 83a、倒相电路 83b、升压电路 83c、83d、晶体管 83e、83f、83g 构成。将地址 A11~A14 供给译码电路 83a 的输入端。根据该地址选择 CG 供给电路时, 通过升压电路 83c 使晶体管 83e 导通, 作为控制栅极电压 V_{CGi} , 输出上述选择 CG 电压 V_{cgse1} 。当 CG 供给电路为非选择时, 通过升压电路 83d 使晶体管 83f 导通, 作为控制栅极电压 V_{CGi} , 输出上述非选择 CG 电压 V_{cguse1} 。

[0123] 擦除情况下, 信号 ERASEEN 为高电平, 晶体管 83g 导通。因此, 全部控制栅极电压 $V_{CG0} \sim V_{CG15}$ 为接地电位。

[0124] 图 8D 表示地址 A11 ~ A14 与控制栅极电压 V_{CGi} 的关系。该图 8D 表示根据地址 A11 ~ A14 输出 1 个控制栅极电压 V_{CGi} 。

[0125] 这样, 以图 8A、8B 所示电路和图 8C 所示电路的 2 阶段转换控制栅极电压 V_{CGi} 。因此, 可以从各 CG 供给电路输出在读出、程序、以及擦除时必要的全部电位。并且, 采用上述 2 阶段的电路构成, 可以缩小电路规模。

[0126] 图 9A、9B 表示图 1 所示阵列块电路 19。阵列块电路 19 在每个存储单元阵列锁存块地址 (A17 ~ 26)。

[0127] 如图 9A 所示, 4 个存储单元阵列由地址 A15、A16 选择。被选择的存储单元阵列的锁存信号 $PBLATPB0 \sim 3$ 为高电平。

[0128] 图 9B 表示设置在阵列块锁存电路 19 的锁存电路。该锁存电路与 A17 ~ A26 的各块地址对应配置。该锁存电路由倒相电路 91a、“与非”电路 91b、构成触发电路的“与非”电路 91c、91d 构成。该锁存电路在锁存信号 $PBLATPB0 \sim 3$ 为高电平时, 锁存块地址 A17~A26。

[0129] 图 10 表示图 1 所示块 RD 译码器 11 的动作。该块 RD 译码器 11, 当从阵列块锁存电路 19 供给的块地址 A17 ~ A26 与由熔丝设定的块冗余地址 $APB17 \sim APB26$ 一致时, 输出地址 $ATPB17 \sim ATPB26$ 和选择冗余区域的信号 $ATPBD$ 。该地址 $ATPB17 \sim ATPB26$ 和信号 $ATPBD$ 用于从多个存在的块冗余中选择 1 个。

[0130] 图 10 表示块地址 A17 ~ 26 与块冗余地址 $APB17 \sim APB26$ 一致的情况。这时, 块 RD 译码器 11 设块地址 $ATPB18$ 和选择冗余区域的信号 $ATPBRD$ 为高电平, 从而选择位于 $ATPB18$ 的块冗余。

[0131] 图 11 表示图 1 所示块译码器 12 的动作。块译码器 12 对从块 RD 译码器 11 供给的块地址 $ATPB17 \sim 26$ 以及 $ATPBRD$ 进行译码, 输出图 11 所示的行译码信号 $AROWA \sim AROWE$ 和 $RDECPBLR$ 。行译码信号 $AROWA \sim AROWE$ 是用于选择存储单元阵列 1 内的块的信号。 $RDECPBLR$ 是选择配置在存储单元阵列 1 两侧 (左右) 的块选择部 6 的其中之一信号。

[0132] 当选择 ROM 块指定电路 20 时, 块译码器 12 与上述同样对从 ROM 块指定电路 20 供给的块地址进行译码, 生成用于选择 ROM 块的行译码信号 $AROWA \sim AROWE$ 。

[0133] 图 12 表示设置在图 1 所示块选择部 6 的块选择电路 6a 的电路构成。该块选择电路 6a 相对于各块设置 1 个。图 12 所示熔丝状态检出电路 6b, 对于各存储单元阵列 1 各配置 1 个。

[0134] 在块选择电路 6a, 将电源电压 VDD 供给端子 100。在该端子 100 和供给信号 ROWCOM

的结点相互之间,串联连接 P 沟道 MOS 晶体管 101、N 沟道 MOS 晶体管 102、108。将上述信号 RDECPBLR 供给上述晶体管 101 的栅极。该信号 RDECPBLR 是选择存储单元阵列 1 的左侧或右侧的块选择部 6 的信号。将上述行译码信号 AROWA ~ AROWE 供给晶体管 102 ~ 106 的栅极。将信号 RDECPBLRD 供给晶体管 107 的栅极。信号 RDECPBL 如图 13 所示,稍迟于信号 RDECPBLRD 地变化。

[0135] 用于存取 ROM 块的指令信号 CD_ROMBA 被供给晶体管 108 的栅极。在该晶体管 108, 熔丝 109 并联连接。当与该块选择电路 6a 对应的块是不良块时,切断该熔丝 109。

[0136] 在上述晶体管 101, P 沟道 MOS 晶体管 117、118 串联电路并联连接。上述晶体管 117 的栅极接地(图中向下的箭头表示接地)。在上述晶体管 101、102、118 的连接结点连接倒相电路 119 的输入端。该倒相电路 119 的输出端与上述晶体管 118 的栅极连接,并与电平移相器 120 的一个输入端连接。

[0137] 将信号 VRDEC 供给该电平移相器 120 的另一个输入端。该信号 VRDEC 是根据数据的程度、读出、擦除控制电平移相器 120 的信号。该电平移相器 120,在块选择电路 6a 是选择状态时,根据信号 VRDEC 生成驱动传送栅极 TG 的信号。

[0138] 上述传送栅极 TG 包含与存储单元的字线连接的传送栅极 TG0 ~ TG15,以及与第 1、第 2 选择栅极 S1、S2 的栅极连接的传送栅极 TGS1、TGS2。在传送栅极 TG0 ~ TG15 的电流通路的一端分别连接控制栅极线 CG0 ~ CG15,在电流通路的另一端分别连接字线 WL ~ WL15。将来自上述 CG 驱动电路 9 的控制栅极电压 VCG 分别供给控制栅极线 CG0 ~ CG15。

[0139] 在传送栅极 TGS1、TGS2 的电流通路的一端分别连接选择栅极线 SGD、SGS,在电流通路的另一端分别连接选择线 SGD1、SGD2。将来自上述控制电压发生电路 14 的所定电压分别供给选择线 SGD1、SGD2。

[0140] 在上述选择线 SGD1, N 沟道 MOS 晶体管 121、122 串联连接。将信号 SGDSPBLR 供给晶体管 121 的电流通路的一端,将信号 RDECAD_{n+1n} 供给栅极。通过倒相电路 123 将上述倒相电路 119 的输出信号 RDECAD_n 供给晶体管 122 的栅极。

[0141] 在上述选择线 SGD2 连接 N 沟道 MOS 晶体管 124 的电流通路的一端。将上述信号 SGDSPBLR 供给该晶体管 124 的电流通路的另一端,将上述信号 RDECAD_n 供给栅极。

[0142] 在熔丝状态检出电路 6b,供给上述信号 ROWCOM 的结点通过 N 沟道 MOS 晶体管 110 接地,并与 N 沟道 MOS 晶体管 111 的栅极连接。将信号 ROWCOMVSS 供给上述晶体管 110 的栅极。上述晶体管的电流通路的一端与倒相电路 112 的输入端、以及倒相电路 113 的输出端连接,另一端接地。上述倒相电路 112 的输出端和倒相电路 113 的输入端与倒相电路 114 的输入端连接。从该倒相电路 114 的输出端输出表示上述熔丝是否切断的信号 FUSECUT。该信号 FUSECUT 被供给控制部 15。该倒相电路 114 的输入端通过 N 沟道 MOS 晶体管 115 接地。信号 BUSY 通过倒相电路 116 被供给晶体管 115 的栅极。

[0143] 对在上述构成中的块选择电路 6a 的动作予以说明。

[0144] 信号 RDECPBLR、信号 RDECPBLRD、CDM_ROMBA、ROWCOM 通常是接地电位 VSS。因此,倒相电路 119 的输出信号 RDECAD 为低电平。

[0145] 另一方面,当读出动作、程序动作、擦除动作开始时,与选择的存储单元阵列的右侧或左侧对应的信号 RDECPBLR 为高电平。在该状态下,当地址一致时,行译码信号 AROWA ~ AROWE 全部为高电平。因此,倒相电路 119 的输出信号 RDECAD 为高电平,电平移相器 120 被

激活。该电平移相器 120, 在程序时输出程序电压 $V_{pgm}+V_{th}$ (V_{th} 是传送栅极的阈值电压), 在读出时输出读出电压 $V_{read}+V_{th}$, 在擦除时输出电源电压 VDD。通过生成这些电压, 传送栅极仍可传送来自 CG 驱动电路 9 的电压。

[0146] 当地址不一致时, 行译码信号 AROWA ~ AROWE 都为低电平, 块选择电路 6a 为非选择状态。因此, 电平移相器 120 的输出电压为接地电压 VSS。在读出时、程序时, 字线 WL0 ~ 15 为浮置 (floating) 的。选择线 SGD1、SGD2, 通过 SGDSPBLR 为接地电位, 进而晶体管 121、122、123 导通而变为接地电位 VSS。

[0147] 擦除时, 字线 WL0 ~ 15 为浮置状态, 电压 SGDSPBLR 被设定为电源电压 VDD。因此, 选择线 SGD1、SGD2 的电位为 $VDD-V_{th}$ 。然而, 由于基片被设定在擦除电压 VERA, 则通过耦合, 字线 WL0 ~ 15 以及选择线 SGD1、SGD2 都为接近擦除电压 VERA 的电位。

[0148] 图 12 所示熔丝 109, 如前所述, 在不良块情况下被切断。当都选择写入等的检测时, 行译码信号 AROWA ~ E 全部为高电平。然而, 由于熔丝 109 被切断, 倒相电路 119 的输出信号 RDECAD 为低电平, 不选择不良块。

[0149] 当存取部分优良品的不良块时, 在熔丝 109 被切断情况下, 该不良块为非选择。因此, 在这种状态下, 进行读出动作时单元被关断。因而, 2 值时, 读出数据自动为“0”数据。4 值的第 2 页时, 相对于“0”数据, 第 1 页时为数据“1”。因此, 在使信号 RDECPBLR 为高电平前, 若信号 ROWCOMVSS 为低电平, 则使 ROWCOM 浮置。

[0150] 图 13 表示用于检出图 12 所示熔丝 109 状态的动作顺序。

[0151] 首先, 当使信号 BUSY 和信号 RDECPBLRD 为高电平状态时, 使信号 ROWCOMVSS 为低电平。在这种状态下, 行译码信号 AROWA ~ AROWE 都是高电平, 而且在熔丝 109 未切断的块情况下, 供给信号 ROWCOM 的结点电压为电源电压 VDD。因此, 晶体管 111 导通, 由倒相电路 112、113 组成的锁存电路的输出端保持高电平。倒相电路 114 的输出信号 FUSECUT 为低电平。

[0152] 在熔丝 109 切断的块情况下, 供给信号 ROWCOM 的结点仍为浮置 (电位是 VSS)。因此, 晶体管 111 关断, 由倒相电路 112、113 组成的锁存电路的输出端保持低电平。倒相电路 114 的输出信号 FUSECUT 为高电平。

[0153] 此后, 信号 ROWCOMVSS、信号 RDECPBLRD 为高电平。由倒相电路 112、113 组成的锁存电路保持锁存状态。因此, 切断熔丝 109 时, 哪个块也不选择。

[0154] 这样, 在图 12 所示电路的情况下, 要知道是否切断熔丝 109。因此, 当切断熔丝 109 时, 在第 1 次读出后, 不进行第 2 次读出动作, 输出为数据“0”。

[0155] 当在多个单元写入相同数据的擦除动作时, 对于擦除充分时擦除校验, 数据存储电路的值为数据“1”, 不充分时为数据“0”。然而, 当熔丝 109 被切断时, 哪个块也不选择的数据为“0”。因此, 反复进行擦除校验, 直到最大的循环次数。本发明为了防止这种情况, 信号 FUSECUT 为高电平时, 不进行该阵列的擦除。

[0156] 图 14 表示存储单元阵列的物理映象, 表示根据地址选择的物理位置。

[0157] 各存储单元阵列 1 具有块 blk0 ~ blk23, 以及作为冗长块的块冗作 blkRD0 ~ 9。可以将块冗余 blkRD0 ~ blkRD9 中的任意块冗余作为 ROM 块。例如, 将块冗余 blkRD1 作为 ROM 块时, 输入用于存取 ROM 块的指令信号 CD_ROMBA, 不从图 1 所示块 RD 译码器 11 输出信号。这时, 从 ROM 块指定电路 20, 输出选择块冗余的信号 A17 ~ A26 以及信号 ARD, 输出选

择第 1 个块冗余的行译码信号 ARDWA ~ AROWE。

[0158] ROM 块的熔丝 109 通常是切断的。由于在多类别检验时将数据写入 ROM 块,因此在此后的汇总程序和汇总擦除时,不选择 ROM 块。

[0159] 当存取 ROM 块时,图 12 中,使指令信号 CMD_ROMBA 为高电平,由于晶体管 108 导通,即使熔丝 109 被切断,也为选择状态。

[0160] 图 15A 表示设置在图 1 所示控制部 15 的 ROM 块的禁止写入电路 15a,图 15B 表示 ROM 块 20 的禁止擦除电路 15b。

[0161] 图 15A 中,禁止写入电路 15a 由 P 沟道 MOS 晶体管 151a、151b, N 沟道 MOS 晶体管 151c,熔丝 151d,倒相电路 151e、151f、151h,“非或”电路 151g 组成。在上述晶体管 151a、151b 的电流通路的一端供给电源电压 VDD,电流通路的另一端共同连接。在这些晶体管的连接结点和接地之间,连接上述晶体管 151c 和上述熔丝 151d。将信号 LOWVDDn 供给晶体管 151a 和晶体管 151c 的栅极。上述连接结点通过上述倒相电路 151e 与“非或”电路 151g 的一个输入端连接。将指令信号 CMD_ROMBA 通过倒相电路 151f 供给该“非或”电路 151g 的另一个输入端。该“非或”电路 151g 的输出端与倒相电路 151h 的输入端连接,从该倒相电路 151h 的输入端输出信号 PROENABL。

[0162] 图 15B 所示禁止擦除电路 15b 是与禁止写入电路 15a 同样的构成。也就是,在晶体管 152a、152b 的电流通路的一端供给电源电压 VDD,电流通路的另一端共同连接。在这些晶体管的连接结点和接地之间连接晶体管 152c 和熔丝 152d。将信号 LOWVDDn 供给晶体管 152a 和晶体管 152c 的栅极。上述连接结点通过倒相电路 152e 与“非或”电路 152g 的一个输入端连接。指令信号 CMD_ROMBA 通过倒相电路 152f 供给该“非或”电路 152g 的另一个输入端。该“非或”电路 152g 的输出端与倒相电路 152h 的输入端连接,从该倒相电路 152h 的输出端输出信号 ERAENABL。

[0163] 上述信号 LOWVDDn 在接通电源时为低电平,此后则为高电平。在熔丝 151d、152d 切断前,输出信号 PROENABL、输出信号 ERAENABL 经常为高电平。因此,程序和擦除是可能的。然而,在熔丝 151d、152d 切断后,存取 ROM 块的指令信号 CMD_ROMBA 为高电平,则输出信号 PROENABL、ERAENABL 都为低电平。因此,ROM 块不能写入、擦除。可以任意设定熔丝 151d 或 152d 的切断。

[0164] (4 值情况的动作)

[0165] 说明本发明的半导体存储装置的 4 值情况的动作。

[0166] 如图 16、图 17A 所示,定义存储单元的数据和存储单元的阈值。这里,存储单元的数据为状态“0”~“3”,定义存储单元的阈值为从低到高。进行擦除时存储单元的数据为状态“0”。根据写入动作,存储单元的阈值电压向高方向移动。

[0167] 图 16 表示本发明的写入方法。在存储单元写入数据时,首先,将第 1 页的数据写入存储单元,接着,将第 2 页的数据写入存储单元。这里,当构成第 1 页或第 2 页的数据的写入数据是“1”时,通过写入动作,存储单元的阈值电压不变化的存储单元的数据不变化。也就是,不将数据写入存储单元。当构成第 1 页或第 2 页的数据的写入数据是“0”时,通过写入动作使存储单元的阈值电压变化,则随之存储单元的数据也变化。也就是,数据被写入存储单元。

[0168] 擦除状态的存储单元的数据为状态“0”。该状态下,最初第 1 页的数据被写入存储

单元。当写入数据为“1”时,不进行写入的存储单元的数据仍是状态“0”。当写入数据为“0”时,进行写入的存储单元的数据为状态“1”。

[0169] 然后,将第 2 页的数据写入存储单元。这时,通过第 1 页的写入动作,对于数据是状态“1”的存储单元,当供给写入数据“0”时,存储单元的数据为状态“2”。并且,通过第 1 页的写入动作,对于数据是状态“0”的存储单元,当供给写入数据“0”时,存储单元的数据为状态“3”。

[0170] 通过第 1 页的写入动作,对于数据是状态“1”的存储单元,当从外部供给写入数据“1”时,存储单元的数据仍为状态“1”。并且,通过第 1 页的写入动作,对于数据是状态“0”的存储单元,当从外部供给写入数据“1”时,存储单元的数据仍为状态“0”。

[0171] 如图 16、图 17A 所示,在本发明中,当存储单元的数据是状态“2”时,第 1 页和第 2 页的数据设定为“0”、“0”。当存储单元的数据是状态“3”时,第 1 页和第 2 页的数据设定为“1”、“0”。当读出存储单元的数据时,首先读出第 2 页的数据,然后读出第 1 页的数据。

[0172] 在读出第 2 页的数据时,若存储单元的数据是状态“0”或状态“1”,则读出的数据为“1”。若存储单元的数据是状态“2”或状态“3”,则读出的数据为“0”。因此,第 2 页的数据读出,可由存储单元的数据是状态“1”以下或状态“2”以上的 1 次动作来判断。

[0173] 在读出第 1 页的数据时,若存储单元的数据是状态“0”或状态“3”,则读出的数据为“1”。若存储单元的数据是状态“1”或状态“2”,则读出的数据为“0”。因此,第 1 页的数据,可以由存储单元的数据是状态“0”或状态“1”以上的判断,以及存储单元的数据是状态“2”以下或状态“3”的判断来读出。也就是,第 1 页的数据,可用合计 2 次的动作读出。

[0174] 进行擦除动作的存储单元的数据为状态“0”,在地址中指定第 1、第 2 页的其中一个时,读出的数据为“1”。

[0175] 2 位(第 1 页、第 2 页)的转换由地址 A9 进行。例如,使地址 A9 为低电平,则指定第 1 页,使地址 A9 为高电平,则指定第 2 页。

[0176] 多值存储器情况下,必须根据写入数据正确控制存储单元的阈值电压。因此,在存储单元写入数据时,在存储单元的控制栅极渐渐增加外加电压并写入数据。这种写入方法称为升压写入方法。

[0177] 图 18 表示对于存储单元的升压写入方法的写入特性。纵轴表示单元的阈值电压,横轴表示写入电压(程序电压)。

[0178] 擦除后的单元阈值电压(存储单元的数据是状态“0”)为 -3.5V。如上所述,本实施例中,在存储单元的数据为从状态“0”到状态“3”时,在单元的控制栅极外加 16V 作为初始程序电压。此后,每提高 0.2V 写入电压进行写入时,阈值电压沿着图中的“0”→“3”上升。另外,在存储单元的数据为从状态“0”到状态“1”时,使初始写入电压为 14V 开始写入。这是因为数据是状态“1”的阈值电压为 0.2V。因此,使初始写入电压为 16V 开始写入时,在第 3 步和第 4 步之间数据为状态“1”的阈值电压,具有溢出程序的可能性。为了避免这种情况,使初始写入电压为 14V。

[0179] 第 1 页写入时,存储单元的数据从状态“0”移动到状态“1”。因此,在 13 次的写入次数,存储单元数据达到状态“1”的阈值。第 2 页写入时,存储单元的数据为状态“0”→“3”和“1”→“2”。这时,由于在状态“0”→“3”写入到比“0”→“1”较高的位置,则可将初始写入电压提高到 16V。

[0180] 如图 17B 所示,在将存储单元的数据从状态“0”变化到状态“3”时写入次数是 11 次,在将存储单元的数据从状态“1”变化到状态“2”时写入次数是 6 次。因此,第 2 页的写入可能是 11 次写入程序。这样,第 1 页和第 2 页的写入次数合计是 24 次。

[0181] 如后所述,在同时写入第 1 页和第 2 页时,将存储单元的数据变化为状态“0”→“1”、“0”→“2”、“0”→“3”。因此,设定初始写入电压为 14V。

[0182] 如图 17C 所示,当存储单元的数据从状态“0”变化到状态“1”时写入次数是 13 次,当存储单元的数据从状态“0”变化到状态“2”时写入次数是 17 次,当存储单元的数据从状态“0”变化到状态“3”时写入次数是 20 次。因此,同时写入第 1 页和第 2 页时,用 20 次写入完成。在同时写第 1 页和第 2 页时,可以高速写入。

[0183] 由于该第 1 页和第 2 页是同一块内的页,则可高速写入连续的 2 页。

[0184] (自动程序)

[0185] 程序动作,如图 19 所示,首先输入作为数据输入指令的“80h”(h 表示 16 进数),在全部数据存储电路 310 ~ 31n/z 的第 1 锁存电路 LAT(A) 中,置位数据“1”(不进行写入)。此后,根据信号 ALE 和信号 WE 的触发,输入地址和数据。在由列地址指定的数据存储电路,串行供给数据。

[0186] 当从外部输入的数据是表示不进行写入的数据“1”时,图 5 所示数据存储电路的结点 NC 为高电平。当从外部输入的数据是表示进行写入的数据“0”时,结点 NC 为低电平。以后,第 1 锁存电路 LAT(A) 的数据作为结点 NC 的电位。

[0187] 此后,如图 19 所示,输入作为自动程序实行指令的“10h”,开始自动程序。ECC 代码使用时,“10h”指令输入后,通过 ECC 代码发生电路 8 自动建立 ECC 代码,并将该代码供给数据存储电路。然后,开始自动程序动作。

[0188] 如图 20 所示,倍速程序动作,输入数据输入指令“80h”、地址、数据后,由于输出伪 Busy 信号,则输入指令“11h”。该伪程序在 1.5 μ s 的短时间,输出 Busy 信号。ECC 代码使用时,在该指令“11h”后,产生 ECC 代码,并将该代码供给数据存储电路。因此,Busy 信号的时间为比 1.5 μ s 较长的时间。

[0189] 用改变阵列地址 (A15、A16) 进行 4 次将上述指令“80h”、地址、数据、指令“11h”的输入。但是,最后仅输入指令“10h”代替指令“11h”,实行自动程序。在第 2 次以后的指令“80h”,第 1 锁存电路 LAT(A) 不复位。

[0190] 块地址 (A17-A26),每次输入任意地址。图 1 所示行地址寄存器 18,当输入下一个地址时,消除前一个地址。因此,图 1 所示阵列块锁存电路 19,在各阵列每个地址输入锁存块地址。

[0191] 在自动程序指令“10h”输入后,进行程序动作。然而,本存储器是多值存储器,在 1 个存储单元中存储 2 位数据。如前述所示,该 2 位被分配在地址 A9。也就是,地址 A9 为低电平时指定第 1 页,地址 A9 为高电平时指定第 2 页。第 1、第 2 页的写入顺序如图 21、图 22 所示。本存储器首先写入第 1 页的数据,然后写入第 2 页的数据。首先,用图 21、图 22 概略说明第 1、第 2 页的程序。

[0192] 图 21 所示第 1 页的程序中,在各数据存储电路 310 ~ 31n/2 置位的数据,在存储单元实施程序 (ST1),然后,进行写入是否充分的检验读出 (ST2)。也就是,读出存储单元的数据,并锁存在数据存储电路的第 1 锁存电路 LAT(A) 中。此后,在将不良块替换为块冗余前

的测试工序中,对第 1 锁存电路 LAT(A) 锁存的低电平数据的数目即检验不合格数目进行计数。当该计数值在规定值(本例中,列冗余是 4 个时是 4,列冗余是 8 个时是 8)以上时,再次反复进行程序检验。当计数值是规定值以下时,程序动作结束(ST4)。除测试以外,判别各第 1 锁存电路 LAT(A) 锁存的数据是否是“1”(ST5)。其结果,若各第 1 锁存电路 LAT(A) 锁存的数据都不是“1”,则反复进行上述动作,若全部是“1”时,则第 1 页的程序结束。

[0193] 在图 22 所示第 2 页的程序中,首先实行内部数据装入(ST11)。在该内部数据装入中,在各数据存储电路 310 ~ 31n/2 的第 1 锁存电路 LAT(A) 置位数据后,第 1 页的程序中写入的数据在数据存储电路的第 2 锁存电路 LAT(B) 读出。此后,与第 1 页同样进行程序(ST12)。然后,用检验读出 1,检验存储单元的数据是否为状态“2”(ST13)。接着,用检验读出 2,检验存储单元的数据是否为状态“3”(ST14)。以下,进行与第 1 页的程序同样的动作(ST15 ~ ST17)。

[0194] 部分优良品的不良块在测试后切断熔丝 109。因此,当存取该不良块时,不选择该不良块。为此,以 OK 检验结束。

[0195] 以下详细说明第 1、第 2 页的程序。该说明中,省略图 21 所示步骤 ST3、ST4 以及图 22 所示步骤 ST15、ST16。

[0196] (第 1 页自动程序)

[0197] 图 23 表示第 1 页程序时的各部分动作顺序。如图 5、图 23 所示,设供给数据存储电路的晶体管 61h 栅极的信号 BLC1 为 $V_{CC}+V_{th}$,设信号 BLSA 为 V_{pass} ,设 BLTR 为 V_{CC} 。当第 1 锁存电路 LAT(A) 存储数据“1”(不进行写入)时,位线 BL 的电位为 V_{CC} 。当存储数据“0”(进行写入)时,位线电位为接地电位 V_{SS} 。并且,与被选择的字线连接,非选择页(位线为非选择)的单元不进行写入。因此,与这些单元连接的位线电位是与供给数据“1”的位线同样的电位 V_{CC} 。

[0198] 通过图 1 所示的 CG 驱动电路 9,在选择线 SG1 外加 V_{CC} ,在选择线 SG2 外加 V_{SS} ,在选择 CG 线外加 $V_{PGM}(20V)$,在非选择字线外加 $V_{pass}(10V)$ 。由块选择电路 6 选择的块(倍速时,在各阵列有 1 个)的选择线 SG1 为 V_{CC} ,选择字线为 $V_{PGM}(20V)$,非选择字线为 $V_{PASS}(10V)$ 。当位线为 V_{SS} 时,单元的通道为 V_{SS} ,字线为 V_{PGM} 。因此,该单元实施程序。当位线为 V_{CC} 时,由于单元的通道不是 V_{SS} 并且 V_{PGM} 上升,通过耦合为 V_{PGM}/Z 。因此,该单元不实施程序。

[0199] 这样,写入数据“0”的存储单元,如图 16、图 17A 所示,为状态“1”。写入数据“1”的存储单元仍为状态“0”。

[0200] (第 1 页程序检验)

[0201] 以下,实行程序检验读出(图 21、ST2)。

[0202] 图 24 表示程序检验读出的动作,图 25 表示程序检验读出时各部分的顺序。

[0203] 第 1 页程序检验读出,如图 16 所示,将比读出时的电位 b 稍高的电位 b',供给选择的字线。以后“'”表示检验电位,认为是比读出时的字线电位稍高的值。

[0204] 如图 25 所示,将电压 V_{read} 供给被选择块内的非选择字线和选择线 SG1。供给图 5 所示数据存储电路的晶体管 61g 栅极的信号 BIAS 为高电 ($1.6V$),位线预通电。

[0205] 此后,使存储单元源极侧的选择线 SG2 为高电平 (V_{read})。在存储单元的阈值电压比电位 b' 高时,由于存储单元关断,则位线仍为高电平。在存储单元的阈值电压未达到电

位 b' 时,由于存储单元导通,则位线电位为低电平 (VSS)。

[0206] 当进行写入时,在图 5 所示第 1 锁存电路 LAT(A) 的结点 NA 锁存低电平 (数据“0”)。当不进行写入时,在结点 NA 锁存高电平 (数据“1”)。因此,设供给晶体管 611 的电流通路的信号 VREG 为 VCC,供给栅极的信号 VRFY1 为高电平时,不进行写入时的位线从浮置状态固定在高电平。该动作后,位线电位写入第 1 锁存电路 LAT(A)。在第 1 锁存电路 LAT(A) 锁存高电平的情况下,当存储单元的电位达到阈值电压时,不进行写入。在第 1 锁存电路 LAT(A) 锁存低电平时,仅是存储单元的电位未达到阈值电压的情况。

[0207] 当第 1 锁存电路 LAT(A) 为低电平时,反复进行上述程序动作和检验读出动作,直到再次进行写入动作的全部数据存储电路的数据达到高电平 (图 21, ST1 ~ ST5)。

[0208] (第 2 页程序)

[0209] 第 2 页程序与第 1 页程序一样,从外部输入第 2 页的数据。这些数据存储在各数据存储电路 310 ~ 31h/z 的第 1 锁存电路 LAT(A)。

[0210] 在第 2 页程序动作中,与第 1 页程序动作很大的不同是内部数据装入 (ST11)。第 2 页程序动作根据第 1 页程序动作结果而有所不同。

[0211] 如图 16、图 17A 所示,在第 1 页存储单元的数据为状态“0”的情况下 (没有进行写入动作),第 2 页的数据为“0”(进行写入)时,设定存储单元的数据为状态“3”。第 2 页的数据为“1” (没有进行写入) 时,设存储单元的数据仍为状态“0”。在存储单元的数据为状态“1”的情况下 (在第 1 页进行了写入动作),第 2 页的数据为“0”时 (进行写入),设定存储单元的数据为状态“2”。第 2 页的数据为“1”时 (没有进行写入),存储单元的数据仍为状态“1”。

[0212] 这样,第 2 页程序动作根据第 1 页程序的动作结果而有所不同。因此,在将第 2 页数据写入单元前,检查并存储存储单元的数据是状态“0”或状态“1”是必要的。为此,读出存储单元的数据,并进行装入图 5 所示数据存储电路的第 2 锁存电路 LAT(B) 的内部数据装入 (ST11)。该内部数据装入是将图 16 所示电位 a 供给字线,进行读出动作。将该读出结果存储在数据存储电路的第 2 锁存电路 LAT(B)。

[0213] 图 26A 表示内部数据装入时的动作,图 27 表示内部数据装入时各部分的顺序。参照图 26A、图 27 说明内部数据装入的动作。

[0214] 内部数据装入时,首先,将图 5 所示数据存储电路的第 1 锁存电路 LAT(A) 的数据存储在非选择侧的位线。然后,在字线外加电位 a,进行读出动作。将该结果存储在第 1 锁存电路 LAT(A)。当存储单元的数据为“0”时第 1 锁存电路 LAT(A) 锁存数据“0”,当存储单元的数据为“1”时第 1 锁存电路 LAT(A) 存储数据“1”。

[0215] 在第 2 锁存电路 LAT(B) 的数据为“1”后,在信号 BLC2 外加中间电位 1V,使信号 VREG 为电压 VSS,使信号 VRFY1 为高电平。这样,第 1 锁存电路 LAT(A) 为数据“1”,也就是在存储单元的数据为“1”时第 2 锁存电路 LAT(B) 的数据为“0”。第 1 锁存电路 LAT(A) 的数据为“0”,也就是存储单元的数据为状态“1”时第 2 锁存电路 LAT(B) 的数据仍是“1”。此后,将存储在非选择侧的位线的数据返回第 1 锁存电路 LAT(A)。

[0216] 然后,与第 1 页程序同样,在各部分外加所定电压。在该状态下,根据存储在第 1 锁存电路 LAT(A) 的第 2 页数据,对已选择的全部单元进行写入 (图 22, ST12)。

[0217] (第 2 页检验)

[0218] 第 2 页检验具有第 1 检验读出 (ST13) 和第 2 检验读出 (ST14) 共 2 个检验读出。第 1 检验读出 (ST13) 检验存储单元的数据是否是状态“2”。第 2 检验读出 (ST14) 检验存储单元的数据是否是状态“3”。

[0219] (第 2 页第 1 检验读出)

[0220] 图 26B 表示第 2 页第 1 检验读出的动作,图 28 表示第 2 页第 1 检验读出时各部分的顺序。

[0221] 该检验如图 16 所示,在字线外加电位 b' ,进行读出动作。其结果,当存储单元的阈值电压达到 b' 时位线为高电平,当阈值电压未达到 b' 时为低电平。这时,使存储单元的数据为状态“3”的单元也关断。因此,检验为 OK。另外,在第 1 页的写入动作时不写入,则与数据为状态“0”的存储单元连接的位线电位为低电位。

[0222] 也就是,在第 1 页的写入动作时不写入,当存储单元的数据为状态“0”时,通过上述内部数据装入,第 2 锁存电路 LAT(B) 的结点 ND 为高电平。在这种状态下设供给图 5 所示晶体管 61u 的电流通路的信号 VREG 为图 28 所示的接地电压 VSS,设供给栅极的信号 VRFY2 为高电平。这样,在第 2 锁存电路 LAT(B) 的结点 ND 为高电平时,晶体管 61t 导通,位线被强制为低电平。

[0223] 与第 1 页检验动作同样,设信号 VREG 为电源电压 VCC,设供给晶体管 61i 栅极的信号 VRFY1 为高电平。这样,当第 1 锁存电路 LAT(A) 的结点 NC 锁存高电平(不进行写入)时,晶体管 61k 导通。因此,位线为高电平。该动作以后,将位线电位写入第 1 锁存电路 LAT(A)。

[0224] 通过上述动作,第 1 锁存电路 LAT(A) 锁存高电平,如图 26B 所示,由于存储单元的数据为状态“2”,则当进行写入的单元达到阈值电压时,不进行写入。在第 1 锁存电路 LAT(A) 锁存低电平时,由于存储单元的数据为状态“2”,则当进行写入的单元未达到阈值电压时,进行写入的存储单元的数据为状态“3”。

[0225] (第 2 页第 2 检验读出)

[0226] 图 26C 表示上述第 2 页第 2 检验读出动作,图 25 表示此时各部分的顺序。

[0227] 该检验与第 1 页检验动作完全相同。这是因为除了数据为状态“3”的单元以外,不存在比图 16 所示电位 C' 高的单元。为了检验存储单元的数据是否为状态“1”,第 1 页检验在字线外加电位 a' 。然而,这时为了检验存储单元的数据是否为状态“3”,在字线外加电位 c' 。

[0228] 其结果,第 1 锁存电路 LAT(A) 锁存高电平,如图 26C 所示,当单元达到阈值电压时,不进行写入(从开始第 1 锁存电路 LAT(A) 即锁存高电平)。同样,第 1 锁存电路 LAT(A) 锁存低电平,当单元未达到阈值电压时,即存储单元的数据为状态“3”时写入,当未达到状态“3”的 NG,将在状态“2”写入存储单元的数据。

[0229] 第 2 页检验,进行第 1 检验读出和第 2 检验读出的 2 次检验读出。第 1 检验读出是将存储单元的数据写入状态“2”的检验读出,第 2 检验读出是写入状态“3”的检验读出。第 1 锁存电路 LAT(A) 为低电平时再次进行写入动作。这样,反复进行该程序动作和检验动作,直到全部数据存储电路的数据为高电平(图 22, ST12 ~ ST17)。

[0230] 然而,存储单元的数据为状态“3”时,阈值电压高。因此,该存储单元不容易写入。在反复进行的程序检验动作中,开始的数次可以省略存储单元的数据是否为状态“3”的检

验动作。反复进行数次程序检验动作,将阈值电压比状态“3”低的状态“2”的数据写入的存储单元,即应结束写入。因此,写入状态“2”的数据的存储单元,反复进行数次程序检验动作后,即可省略检验。

[0231] (读出动作)

[0232] 图 29 表示读出动作的顺序。

[0233] 读出动作如图 29 所示,首先,输入读出指令“00h”后,从输入地址开始。读出动作中,由地址指定的页的全部单元的数据,分别在数据存储电路 310 ~ 31n/z 中读出。此后,信号 BUSY 解除,处于准备就绪状态,根据信号 RE 的触发,按照由列地址指定的顺序,从数据存储电路输出数据。

[0234] 图 30 表示倍速读出动作的顺序。该倍速读出是在一次读出动作中,在各数据存储电路全部读出 4 个存储单元阵列内的页的单元。然后,当信号 BUSY 解除并处于准备就绪状态时,根据信号 RE 的触发,按照由列地址指定的顺序,从数据存储电路输出数据。到了 1 个存储单元阵列的最终列地址,输出短信号 BUSY (1.5 μ s)。此后信号 BUSY 解除并处于准备就绪状态时,根据信号 RE 的触发,输出下一个存储单元阵列的数据。反复该动作,可以一次读出,顺序输出 4 页的数据。但是,该 4 页是不连续的 4 页。因此,如图 6C、6D 所示,必须对地址予以安排。

[0235] 本实施例的存储器是多值存储器,1 个单元存储 2 位数据。该 2 位数据由地址 A9 指定。也就是,如上所述,当地址 A9 为高电平时指定第 2 页。地址 A9 为低电平时指定第 1 页。

[0236] 图 31 是概略表示读出动作的流程图。

[0237] 读出动作,在输入读出指令“00h”后,从输入地址开始(ST21)。当地址 A9 为高电平时,读出第 2 页的数据(ST25)。该第 2 页读出,如图 16、图 17A 所示,判别存储单元的数据是否是“2”以下。

[0238] 当地址 A9 为低电平时,读出第 1 页的数据。第 1 页的读出动作具有 2 个读出动作。第 1 读出动作(第 1 页读出 1)(ST22),如图 16、图 17A 所示,判别存储单元的数据是“2”以下或是“3”。第 2 读出动作(第 1 页读出 2)(ST24),如图 16、图 17A 所示,判别存储单元的数据是“1”或是“2”以上。

[0239] 与部分优良品的不良块对应的块选择电路的熔丝 109 被切断。对于 2 值和 4 值的第 2 页读出动作,当存取不良块时,不选择该不良块,不流过电流。因此,自动输出数据“0”。然而,对于 4 值存储器的第 1 页的读出动作,通过第 1、第 2 读出动作(第 1 页读出 1、2),输出数据“1”。根据从图 12 所示倒相电路 114 输出的信号 FUSECUT,可以知道是否切断熔丝 109。当切断熔丝时,仅进行第 1 读出动作(第 1 页读出 1),不进行第 2 读出动作(第 1 页读出 2),输出数据“0”(ST23)。

[0240] 以下参照图 32 到图 35,详细说明读出动作。

[0241] (第 2 页读出)

[0242] 第 2 页读出,如图 16 所示,在选择的字线外加读出时的电位 C。

[0243] 接着,如图 34 所示,在选择的块内的非选择字线和选择线 SG1 外加 Vread (4.5V)。在图 5 所示数据存储电路晶体管 61g 的栅极外加高电平的 BIAS,使位线予通电。然后,使单元的源极侧的选择线 SG2 为高电平。当单元的阈值电压比电位 C 高时,由于单元关断,则位

线仍是高电平。当单元的阈值电压未达到电位 C 时,由于单元导通,则位线为接地电位 VSS。如图 17A 所示,定义存储单元的数据和存储单元的阈值电压。在存储单元的数据是状态“0”或状态“1”时,位线电位为低电平,当是状态“2”或状态“3”时,位线电位为高电平。

[0244] 然后,在第 1 锁存电路 LAT(A) 写入这些位线的电位。图 5 所示第 1 锁存电路 LAT(A) 的结点 NA,如图 32 所示,当存储单元的数据是状态“0”或状态“1”时为低电平,当是状态“2”或状态“3”时为高电平。结点 NB 是与结点 NA 相反的电平。当列选择线 CSL 为高电平时,晶体管 61_o、61_n 导通,将结点 NB、NA 的电位输出到输出缓冲器 4。

[0245] (第 1 页读出)

[0246] 以下,读出第 1 页数据。当由第 1 页读出输出的数据是“1”时,如图 17A 所示,存储单元的数据是状态“0”或状态“3”。

[0247] 因而,最初判断存储单元的数据是状态“2”以下或状态“3”。下一个必定判断存储单元的数据是状态“0”或状态“1”以上。

[0248] {第 1 读出动作}

[0249] 第 1 读出动作判断存储单元的数据是状态“2”以下或是状态“3”。

[0250] 图 33A 表示第 1 页的第 1 读出动作,图 23 的左一半表示这时的顺序。

[0251] 图 35 中的顺序与图 34 一样。

[0252] 首先,为了检查存储单元的数据是状态“2”以下或是状态“3”,在字线外加电位 C,读出存储单元的数据。其结果,第 1 锁存电路 LAT(A) 锁存高电平,如图 33A 所示,存储单元的数据仅是状态“3”。当第 1 锁存电路 LAT(A) 锁存低电平时,存储单元的数据是状态“0”、状态“1”、状态“2”的其中之一。

[0253] {第 2 读出动作}

[0254] 第 2 读出动作判断存储单元的数据是状态“0”或是状态“1”以上。图 33B 表示第 1 页的第 2 读出动作,图 35 的右一半表示这时的顺序。

[0255] 为了检查存储单元的数据是状态“0”或是状态“1”以上,在字线外加电位 a,读出存储单元的数据。其结果,第 1 锁存电路 LAT(A) 锁存低电平,存储单元的数据仅是状态“0”。当第 1 锁存电路 LAT(A) 锁存高电平时,存储单元的数据是状态“1”、状态“2”、状态“3”的其中之一。

[0256] 这里,使图 5 所示信号 VREG 为接地电位 VSS,使供给晶体管 61₁ 的栅极的信号 VRFY1 为高电平。当第 1 锁存电路 LAT(A) 锁存高电平时,也就是在第 1 页的第 1 读出动作中,存储单元的数据是状态“3”时,位线被强制在低电平。其结果,当存储单元的数据是状态“0”或状态“3”时,位线的电位为低电平。当存储单元的数据是状态“1”或状态“2”时,位线的电位为高电平。

[0257] 在第 1 锁存电路 LAT(A) 写入这些位线电位,如图 33B 所示,当存储单元的数据是状态“0”、状态“3”时,第 1 锁存电路 LAT(A) 的结点 NA 为低电平。当是状态“1”、状态“2”时,结点 NA 为高电平。结点 NB 是与结点 NA 相反的电平。当列选择线 CSL 为高电平时,晶体管 61_o、61_n 导通,将结点 NB、NA 的电位输出到输出缓冲器 4。

[0258] (自动擦除)

[0259] 图 36 表示擦除动作。擦除动作,以块单位进行擦除。首先,输入选择块的块选择指令“60h”,然后,输入块地址。当输入自动擦除的实行指令“Doh”时,开始自动擦除。

[0260] 图 37 表示倍速擦除动作。倍速擦除动作, 更换阵列地址 (A15、A16), 3 次输入块选择指令“60h”、块地址。然后, 通过输入块选择指令“60h”、地址、自动擦除实行指令“Doh”, 开始倍速擦除动作。

[0261] 块地址 (A17 ~ A26), 每次输入任意的地址, 但当图 1 所示行地址寄存器 18 输入下一个地址时, 消除前面的地址。因此, 在每个地址输入, 用图 1 所示阵列块锁存电路 19 在每个存储单元阵列锁存块地址。

[0262] 图 38 表示自动擦除的流程图。首先, 进行选择的块的擦除动作 (ST31)。然后, 对与数据存储电路连接的 2 条位线 (BLi、BL+1) 中的 1 条位线 (BLi) 进行擦除检验读出动作, 当未充分擦除时, 再次进行擦除 (ST32 ~ ST35、ST31)。当存储单元充分擦除时, 再对其他位线 (BLi) 进行擦除检验读出动作 (ST36)。其结果, 当未充分擦除时, 再次进行擦除 (ST36 ~ ST39、ST31)。在存储单元充分擦除时结束。

[0263] 在将不良块替换为块冗余前的测试工序中, 在各擦除检验动作 ST33、ST36 之后, 对第 1 锁存电路 LAT(A) 锁存的低电平数据的数目, 也就是检验失误的数目进行计数。当该计数值是规定值 (本例中, 列冗余是 4 个时是 4, 列冗余是 8 个时是 8) 以上时, 再次反复进行擦除 (ST34、ST38)。

[0264] 部分优良品的不良块, 测试后熔丝 109 被切断。因此, 在存取该不良块时, 不选择该不良块。第 1 锁存电路 LAT(A) 其数据为低电平, 擦除检验不是 OK。然而, 根据从图 12 所示倒相电路 114 输出的信号 FUSECUT, 可以知道是否切断熔丝 109。当根据信号 FUSECUT 切断熔丝 109 时, 检验为 OK。

[0265] (擦除)

[0266] 图 39 表示擦除动作的顺序。进行擦除动作时, 存储单元的数据为状态“0”, 在第 1 页、第 2 页、任一页进行读出时, 都输出数据“1”。

[0267] (擦除检验)

[0268] 图 40 表示擦除检验动作的顺序。1 次擦除检验动作, 对与数据存储电路连接的 2 条位线 (BLi、BL+1) 中的 1 条位线 (BLi) 进行擦除检验读出动作。因此, 使块内的全部字线 WL 为选择状态 VSS。使单元的源极线 SRC 为 VDD、选择线 SG1 为 Vread 之后, 单元的源极侧的选择线 SG2 为 Vread。在单元的漏极侧, 即在位线, 输出 16 个单元中最浅的单元的 -Vth 的电位。

[0269] 这里, 当第 1 锁存电路 LAT(A) 为高电平、信号 BLC1 为 1.6V、Vth 为 -0.6V 以下 (擦除充分) 时, 第 1 锁存电路 LAT(A) 仍为高电平。然而, 当 Vth 为 -0.6V 以上 (擦除不充分) 时, 第 1 锁存电路 LAT(A) 其数据为低电平。当全部第 1 锁存电路 LAT(A) 的数据为高电平时, 擦除检验为 OK。

[0270] (升压移动测试)

[0271] 图 41 表示设置在图 1 所示控制电压发生电路 14 内的电压设定电路。如前所述, 控制电压发生电路 14 具有升压电路。该升压电路产生程序电压 Vpgm、擦除电压 Vera、以及电压 Vpass。如前所述, 程序电压 Vpgm 分数阶段升压。

[0272] 然而, 存储单元的特性根据工序的变动等而变化, 升压电路产生的上述各电压也随工序的变动等而变化。因此, 必须根据芯片的特性设定程序电压 Vpgm、擦除电压 Vera、以及电压 Vpass。在向冗余区域替换前的测试时, 进行自动程序和自动擦除, 根据其结果, 进行

程序开始电压的设定和擦除开始电压的设定。

[0273] 图 41 所示电压设定电路,可以根据芯片特性设定最适合的程序电压 V_{pgm} 、电压 V_{pass} 、以及擦除电压 V_{era} 。

[0274] 该电压设定电路由初始数据存储用熔丝 161、计数器 162 构成。上述初始数据存储用熔丝 161 用熔丝设定用于控制电压 V_{pgm} 、电压 V_{pass} 、以及电压 V_{era} 的初始数据。这些熔丝根据自动程序和自动擦除的结果进行程序。这些自动程序和自动擦除在向冗余区域替换前的测试时进行。在熔丝设定的上述初始数据,当产生电压 V_{pgm} 、电压 V_{pass} 、以及电压 V_{era} 时,在计数器 162 预置。计数器 162 由预置计数器构成。将信号 CT1、CT2 供给该计数器 162。该计数器 162 的输出信号,例如连接于升压电路 163 的限幅器,改变该限幅器的限定值。

[0275] 上述信号 CT1,例如在 1 次程序或擦除动作结束、检验为 NG 时供给。计数器 162 根据信号 CT1 增加。根据计数器 162 的输出信号,控制限幅器,从升压电路 163 输出高 1 级的电压。

[0276] 上述信号 CT2 表示本实施例的特征。也就是,在测试状态时,按数级增加从初始数据存储用熔丝 161 读出数据的程序开始电压和擦除开始电压。

[0277] 以往,调整后的加速试验,一律加稍高的程序开始电压和擦除开始电压。然而,由于使用信号 CT2,可具有用于加速试验的 $\pm$ 数级 (Step) 变化的功能。因此,可对各个芯片加适当的电压。

[0278] 在使电压 V_{pass} 、 V_{pgm} 为比由初始数据存储用熔丝 161 设定的数据低的电压的程序非选择的加速试验中,必须在负方向增加计数器 162。然而,可在该负方向增加的计数器是复杂的。因此,使用信号 CT2,通过按 (1 周)-(数级) 增加计数器,设定在比由初始数据存储用熔丝 161 设定的数据较低的电压。采用这种构成,不使用复杂的计数器,即可容易地设定所要求的值。

[0279] 上述第 1 实施例中,存储单元阵列 1 具有多个块 bk10-bk123、多个块冗余 blkRD0 ~ blkRD9。在各块 bk10 ~ bk123 和各块冗余 blkRD0-blkRD9,设置块选择电路 6a。各块选择电路 6a 具有熔丝 109,通过切断该熔丝 109,可将任意块冗余 blkRD0 ~ blkRD9 设定为存储用于保密的信息的 ROM 块。因此,能够可靠地将保密信息设定在 ROM 块中。

[0280] 通过按照要求切断设置在控制部 15 的 ROM 块的禁止写入电路 15a、禁止擦除电路 15b 的熔丝 151c、152c,可以适当地使 ROM 块为禁止写入、禁止擦除。

[0281] 通过切断与不良块对应的块选择电路 6a 的熔丝 109,能够可靠地使不良块为非选择。因此,在程序 (倍速自动程序) 和擦除 (倍速自动擦除) 时,可以防止检验反复进行到最大次数。

[0282] 上述实施例,可以通过设置在控制部 15 的熔丝,设定使用 ECC 和不使用 ECC 的情况。当不使用 ECC 时,可以将 ECC 使用的 21 位用于冗余,能够提高不良的救济效率。

[0283] 在冗余替换前的测试工序中,进行自动程序和自动擦除时,在存在列不良的情况下,用于该不良列的检验为 NG。然而,上述实施例中,忽略列冗余数在规定值以下时的检验结果。因此,在冗余替换前的测试时,可以进行自动程序和自动擦除,并可据此进行程序开始电压的设定和擦除开始电压的设定。

[0284] 而且,将信号 CT2 供给计数器 162,通过该信号 CT2,具有使由初始数据存储用熔丝

161 固定的程序开始电压和擦除开始电压用于加速试验的 $\pm$ 数级的功能。因此,如以往一样,在调整后的加速试验中,与一律加稍高的程序开始电压和擦除开始电压的情况比较,具有可以加适合各个芯片的电压的优点。

[0285] (第 2 实施例)

[0286] 下面说明本发明的第 2 实施例。第 1 实施例在 1 页写入动作时,写入 1 位的数据。在第 2 实施例中,当 1 页的写入动作时写入 1 位、2 页同时写入动作时可连续写入 2 位,同时写入连续页时可高速写入。

[0287] 第 1 实施例中,分别对第 1 页、第 2 页进行程序时,第 1 页的程序写入 1 个阈值,第 2 页的程序写入 2 个阈值。第 1 页、第 2 页同时程序写入 3 个阈值。

[0288] 图 42 表示适用于第 2 实施例的数据存储电路的构成。这里,为了简化说明,数据存储电路具有 3 个锁存电路。(在 2 个锁存电路可一次写入 3 个阈值)。

[0289] 图 42 中,与图 5 相同部分附与相同符号,仅对不同部分予以说明。图 42 所示数据存储电路还具有第 3 锁存电路 LAT(C)。第 3 锁存电路 LAT(C),在上述结点 NE 与晶体管 62f 的电流通路的一端连接。将信号 BLC3 供给该晶体管 62f 的栅极。在该晶体管 62f 的电流通路的另一端,通过 P 沟道 MOS 晶体管 62j 与端子 62i 连接。将电压 VCC 供给该端子 62i。将信号 PRSTB3 供给上述晶体管 62j 的栅极。

[0290] 在上述晶体管 62f 的电流通路的另一端与第 3 锁存电路 LAT(C) 连接。该第 3 锁存电路 LAT(C) 由 2 个同步脉冲倒相电路 62k、62l 构成。同步脉冲倒相电路 62k 由信号 SEN3、SEN3B 控制,同步脉冲倒相电路 62l 由信号 LAT3、LAT3B 控制。该第 3 锁存电路 LAT(C) 锁存从存储单元读出的数据。

[0291] 在结点 NE,串联连接晶体管 62q、62h。晶体管 62q 的栅极与上述第 3 锁存电路 LAT(C) 的结点 NF 连接,将信号 VRFY3 供给晶体管 62h 的栅极。将信号 VREG 供给晶体管 62h 的电流通路。这些晶体管 62q、62h 根据第 3 锁存电路 LAT(C) 锁存的数据设定位线的电位。

[0292] 说明上述构成的动作。

[0293] (第 1 页、第 2 页同时程序)

[0294] 图 43 表示第 1 页、第 2 页同时程序的动作顺序,图 44、图 45 表示各部分的动作。图 46 表示流程图。

[0295] 第 1 页、第 2 页同时程序时,与图 19 同样,首先,数据输入指令“80h”之后,输入地址、数据。当从外部输入的数据是表示不进行写入的数据“1”时,图 42 的第 1 锁存电路 LAT(A) 的结点 NC 为高电平。当从外部输入的数据是表示进行写入的数据“0”时,结点 NC 为低电平。

[0296] 然后,如图 44 所示,将第 1 锁存电路 LAT(A) 锁存的数据移动到第 2 锁存电路 LAT(B)。因此,与上述倍速程序同样,输入指令“12h”。该指令也是较短的 $1.5\mu s$ 。这时,将第 1 锁存电路 LAT(A) 的内容传送到第 2 锁存电路 LAT(B)。此后,再次输入指令“80h”、地址、数据。这里的地址是前面输入的地址相邻页的地址(不同于 A9)。该数据被锁存在第 1 锁存电路 LAT(A)。然后,输入自动程序实行指令“10h”,开始自动程序。

[0297] 在检验存储单元的数据是否为状态“1”时,写入状态“2”、“3”的存储单元为 OK。将其强制为 NG。因此,使对应于写入状态“2”、“3”的存储单元的第 2 锁存电路 LAT(B) 为数据“1”。在检验存储单元的数据是否为状态“2”时,写入状态“3”的存储单元为 OK。因

此,强制其为 NG,对于写入状态“3”的存储单元,使第 3 锁存电路 LAT(C) 为数据“1”。

[0298] 也就是,首先被第 1 锁存电路 LAT(A)、第 2 锁存电路 LAT(B) 锁存的数据之一方或双方为表示写入的数据“0”时,使第 1 锁存电路 LAT(A) 为写入状态。

[0299] 为了进行这些操作,如图 45A 所示,调换第 2 锁存电路 LAT(B) 和第 3 锁存电路 LAT(C) 的数据。其结果,写入状态“3”,第 2 锁存电路 LAT(B) 为高电平,写入状态“2”、“3”,第 3 锁存电路 LAT(C) 为高电平(ST41)。

[0300] 然后,进行程序动作。该程序动作利用图 23 所示的顺序,与分别进行第 1 页、第 2 页的程序的情况完全相同(ST42)。

[0301] 图 45B、45C、45D 表示检验动作。

[0302] 在判别图 45B 所示存储单元的数据是否为状态“1”的检验中,写入状态“2”和状态“3”的存储单元为 OK。然而,通过上述操作,写入状态“2”和状态“3”时,第 3 锁存电路 LAT(C) 为高电平。因此,使强制位线为低电平作为 NG(ST43)。

[0303] 在判别图 45C 所示存储单元的数据是否为状态“2”的检验中,写入状态“3”的存储单元为 OK。然而,通过上述操作,写入状态“3”时,第 2 锁存电路 LAT(B) 为高电平。因此,使强制位线为低电平作为 NG(ST44)。

[0304] 在判别图 45D 所示存储单元的数据是否为状态“3”的检验中,为 OK 的仅是写入状态“3”的情况(ST45)。

[0305] 因此,当第 1 锁存电路 LAT(A) 为低电平时,不再进行写入动作,直到全部数据存储电路的第 1 锁存电路 LAT(A) 的数据为高电平之前,反复进行该程序动作和检验动作(ST48)。

[0306] 在将不良块替换为块冗余前的测试工序中,对被第 1 锁存电路 LAT(A) 锁存的低电平数据的数目,也就是检验失误的数目进行计数。当该计数值是规定值(本例中,列冗余是 4 个时为 4,列冗余是 8 个时为 8)以上时,再次反复进行程序检验,在规定值以下时,结束程序动作(ST46, ST47)。

[0307] (第 1 页、第 2 页倍速同时程序)

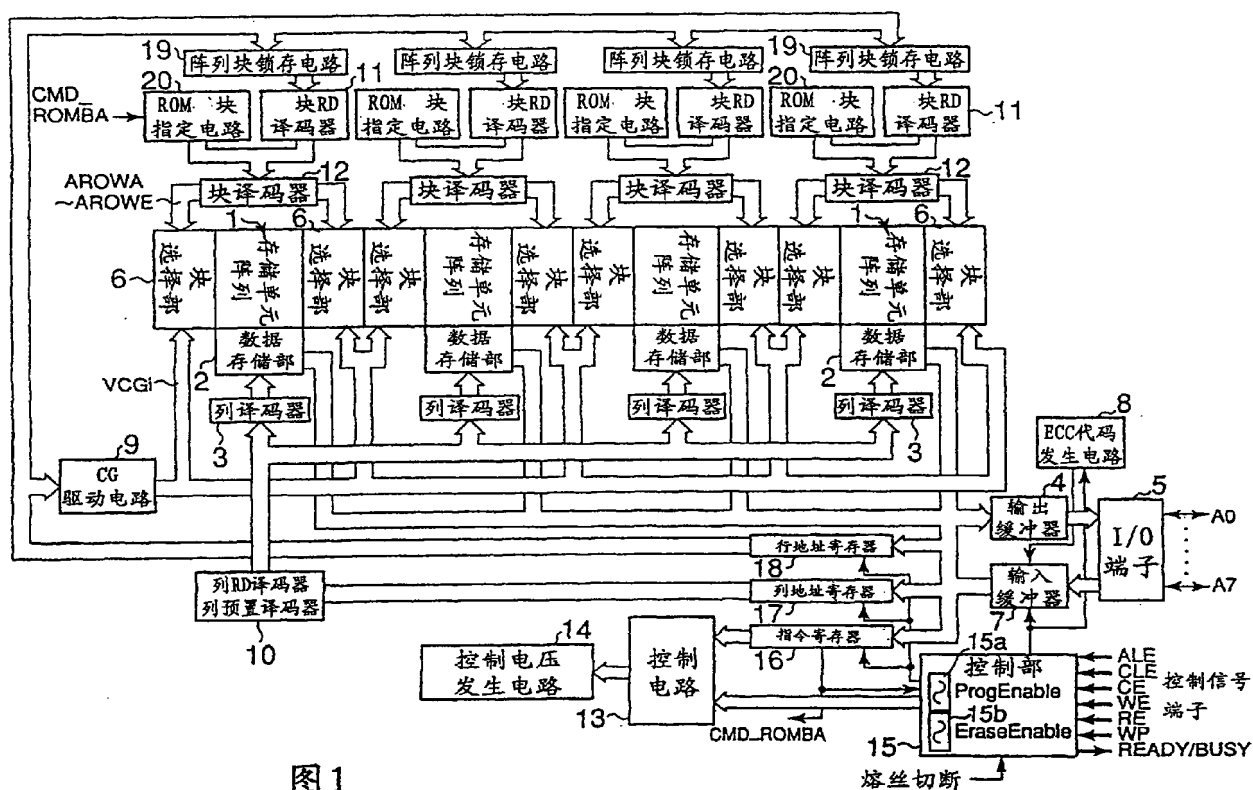
[0308] 图 47 表示第 1 页、第 2 页同时程序并倍速程序的动作。这时与上述同样,首先,输入指令“80h”、地址、数据。该数据锁存在第 1 锁存电路 LAT(A) 中。然后,输入指令“12h”,输出信号 BUSY。此后,将第 1 锁存电路 LAT(A) 的数据传送到第 2 锁存电路 LAT(B)。再重新输入指令“80h”、地址(前面输入的地址相邻页的地址)、数据、指令“11h”,输出信号 BUSY。改变阵列地址(A15、A16)进行 4 次该动作。最后,代替指令“11h”,输入自动程序实行指令“10h”,开始实际的程序。

[0309] 上述第 2 实施例中,第 1、第 2 页同时进行程序。因此,可缩短程序时间。

[0310] 并且,通过实行倍速程序,更加缩短了程序时间。

[0311] 第 1、第 2 实施例中,块选择电路 6a 具有熔丝 109,禁止写入电路 15a 和禁止擦除电路 15b 具有熔丝 151c、152c,但是并不限定为熔丝,例如也可以使用 EEPROM 单元等非易失存储器。关于其他熔丝也是一样的。

[0312] 对于熟悉本技术的人很容易发现其他的优点和变更。本发明具有多种表达形式,不限于于此的特定描述和表示的实例。因此,除非超出了由本发明权利要求和其等同物限定的本发明概念的精神和范围,各种变更都是可以实现的。



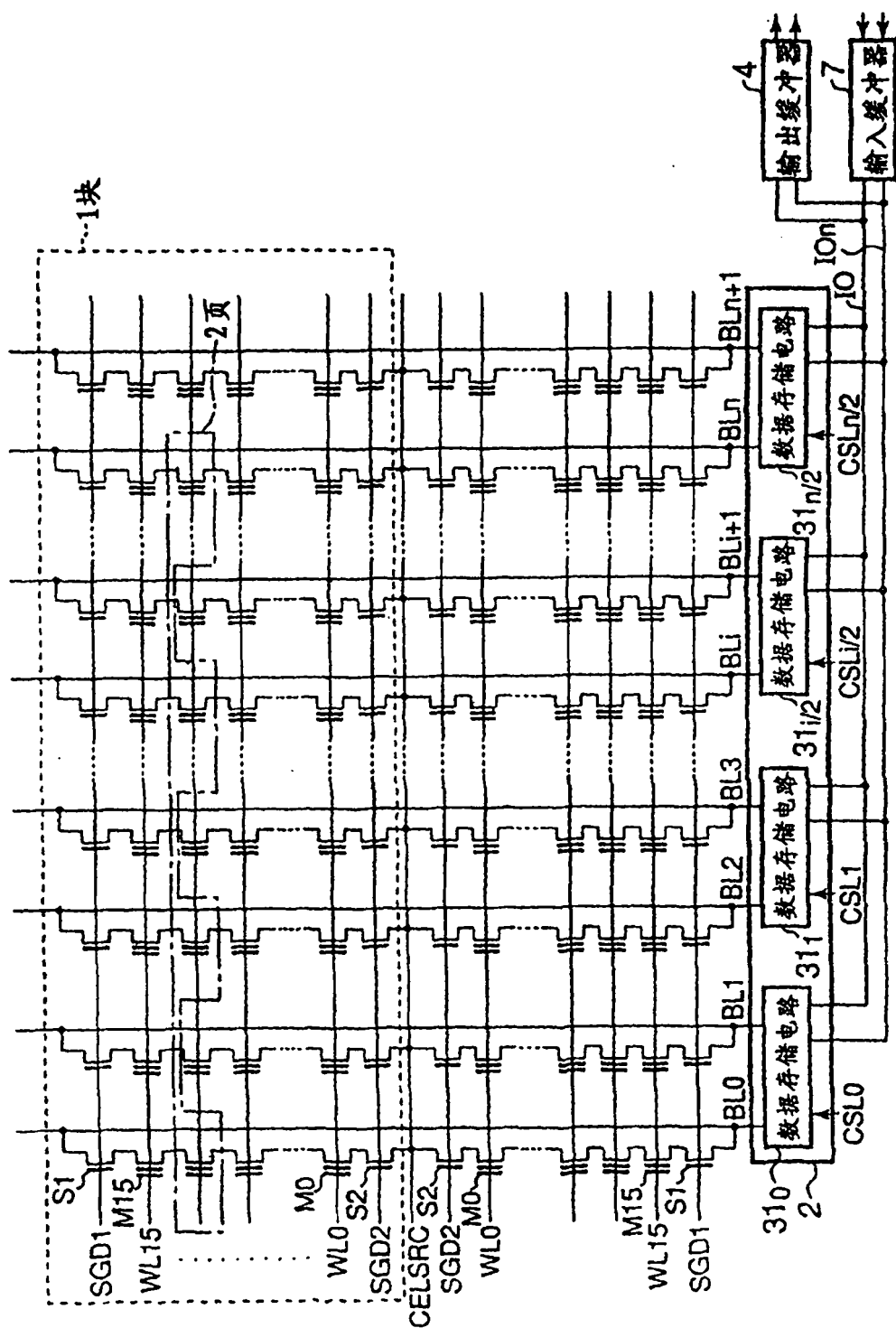


图 2

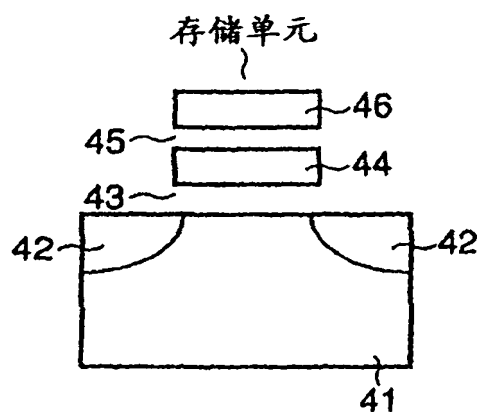


图 3A

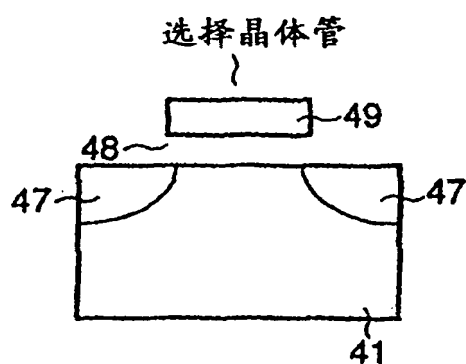


图 3B

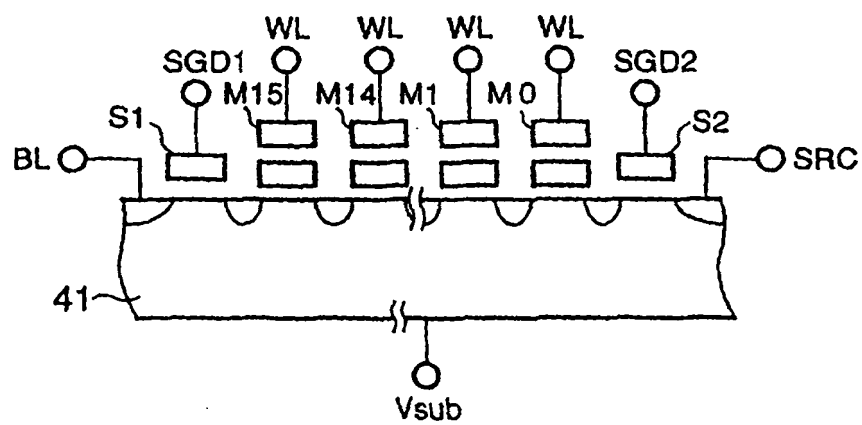


图 4

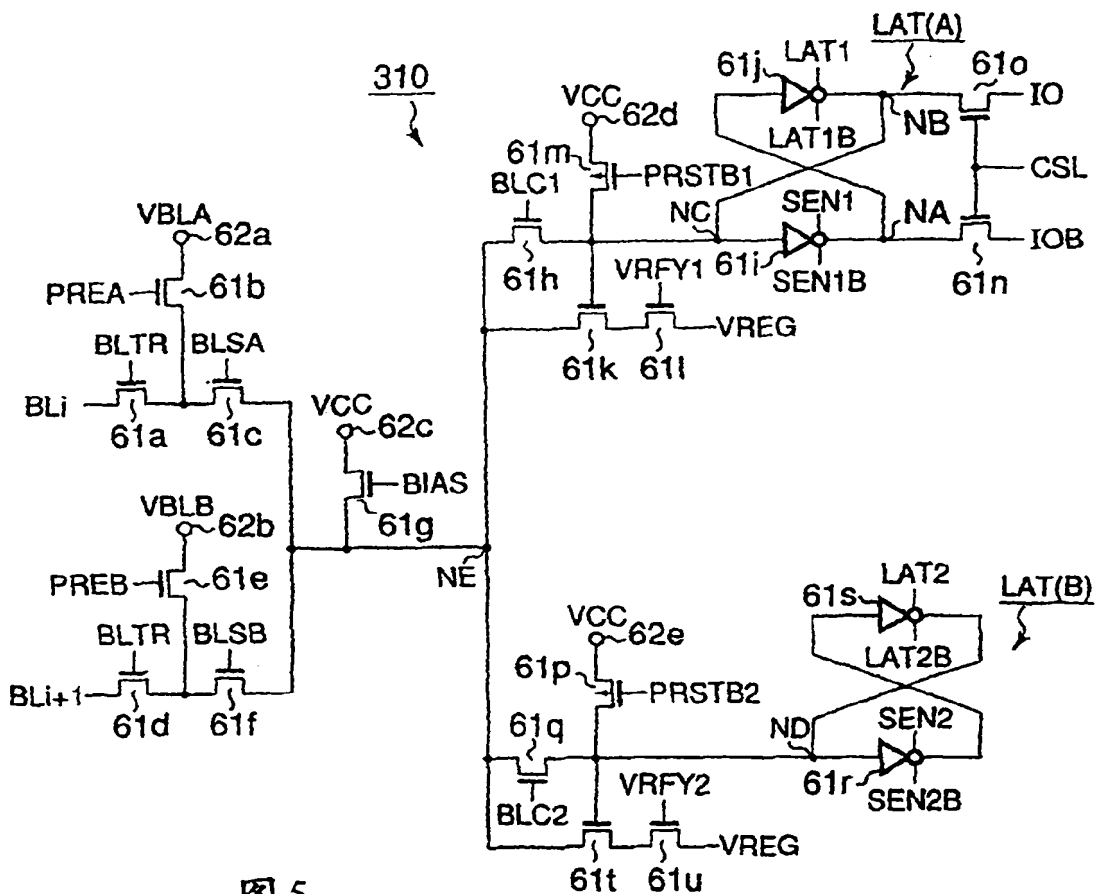


图 5

1G(4值)BLOCKSIZE 32KB MODE

IO	0	1	2	3	4	5	6	7	
第1循环	A0	A1	A2	A3	A4	A5	A6	A7	A8
									A8E
第2循环	A9	A10	A11	A12	A13	A14	A15	A16	
第3循环	ML Add.	BitLineAdd.	NAND Address					PhysicalBlockAdd.	
第4循环	A17	A18	A19	A20	A21	A22	A23	A24	
	A25	A26	A27	A28	A29				
	BlockAdd.		MultiChipAddress						

图 6A

512M(2值)BLOCKSIZE 16KB MODE

IO	0	1	2	3	4	5	6	7	
第1循环									
第2循环	BitLineAdd.	NAND Address					PhysicalBlockAdd.	Block Add.	
第3循环									
第4循环	BlockAdd.	MultiChipAddress							

图 6B

1G(4值)BLOCKSIZE 128KB MODE

IO	0	1	2	3	4	5	6	7	
第1循环									
第2循环	PhysicalBlockAdd.	ML Add.	BitLineAdd.	NAND Address					
第3循环									
第4循环	BlockAdd.	MultiChipAddress							

图 6C

512M(2值)BLOCKSIZE 64KB MODE

IO	0	1	2	3	4	5	6	7	
第1循环									
第2循环	PhysicalBlockAdd.	BitLineAdd.	NAND Address					Block Add.	
第3循环									
第4循环	BlockAdd.	MultiChipAddress							

图 6D

A0	L	H	L	~	H	
A1	L	L	H	~	H	
A2	L	L	L	~	H	
CA	0	1	2	~	7	
A3	L	H	L	~	H	
A4	L	L	H	~	H	
A5	L	L	L	~	H	
CB	0	1	2	~	7	
A6	L	H	L	~	H	—
A7	L	L	H	~	H	—
A8	L	L	L	~	H	—
A8E	L	L	L	~	H	H
CC	0	1	2	~	7	8

图 7A

	主体区域				ECC代码区域				ECC代码 或R/D				R/D区域					
	528列				17列				4列				4列					
CA	0	1	6	7	0	1	7	0										
CB	0	0	~	1	1	2	2	~	3	4								
CC	0	0		8	8	8	8		8	8								
CSS									4 5 6 7				0 1 2 3					
CSL	0	1	~	525	527	528	529	~	543	544								
A0	L	H		L	H	L	H		H	L	H	L	H	L				
A1	L	L		H	H	L	L		H	L	L	H	H	L				
A2	L	L		H	H	L	L		H	L	L	L	L	H				
A3	L	L		H	H	L	L		H	L	L	L	L	L				
A4	L	L	~	L	L	H	H	~	H	L	L	L	L	L				
A5	L	L		L	L	L	L		L	H	H	H	H	H				
A6	L	L		L	L	L	L		L	L	L	L	L	L				
A7	L	L		L	L	L	L		L	L	L	L	L	L				
A8	L	L		L	L	L	L		L	L	L	L	L	L				
A8E	L	L		H	H	H	H		H	H	H	H	H	H				

图 7B

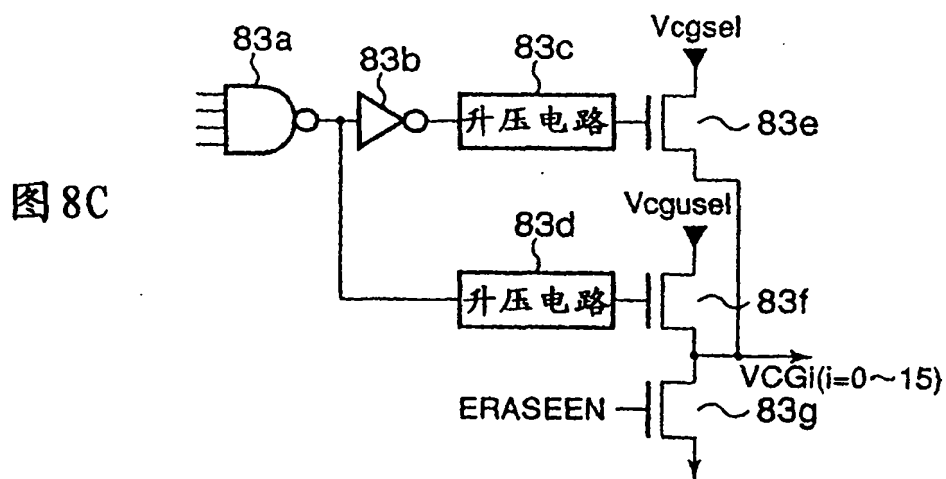
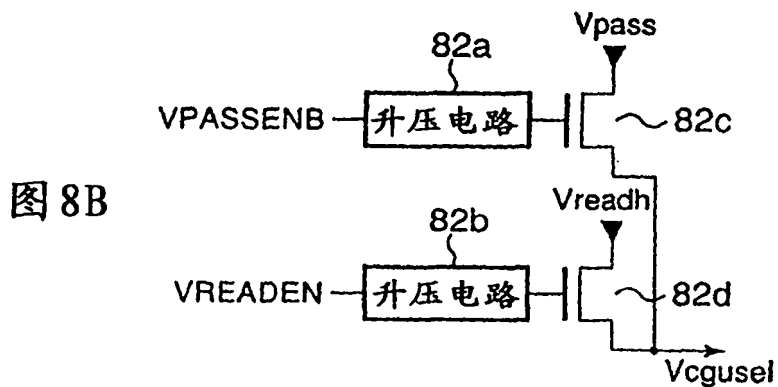
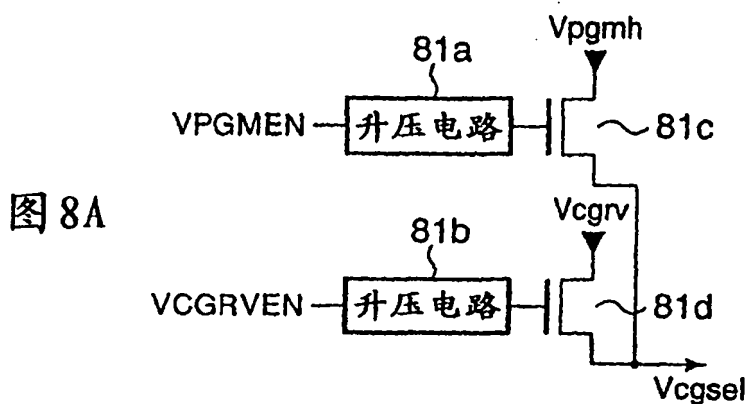


图 8D

A11	L	H	L	~	H
A12	L	L	H	~	H
A13	L	L	L	~	H
A14	L	L	L	~	H
CGi	0	1	2	~	15

PB1	0	1	2	3
A15	L	H	L	H
A16	L	L	H	H
PBLATPB	0	1	2	3

图 9A

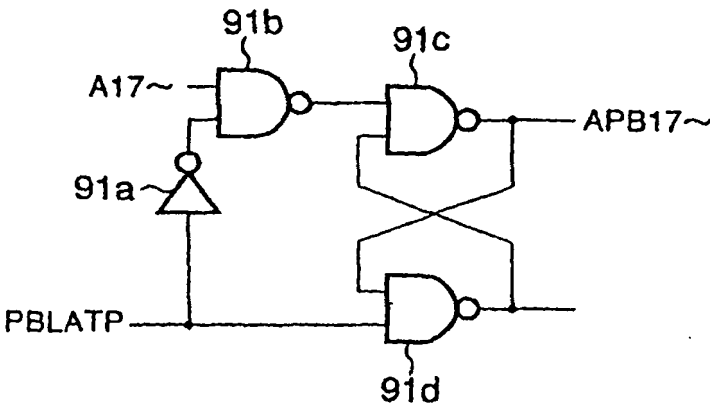


图 9B

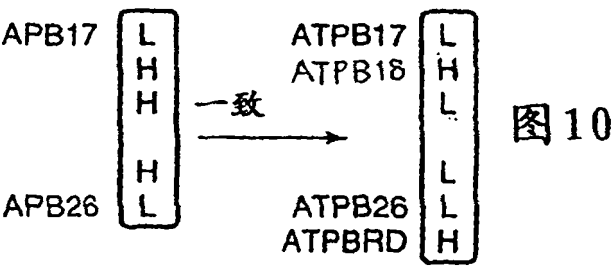


图 10

ATPB17	L	H	L	H
ATPB19	L	L	H	H
AROWA	0	1	2	3
ATPB18	L	H		
RDECPB	L	R		
ATPB20	L	H	L	H
ATPB21	L	L	H	H
AROWB	0	1	2	3
ATPB22	L	H	L	H
ATPB23	L	L	H	H
AROWC	0	1	2	3
ATPB24	L	H	L	H
ATPB25	L	L	H	H
AROWD	0	1	2	3
ATPB26	L	H	L	
ATPB27	L	L	H	
AROWE	0	1	2	

图 11

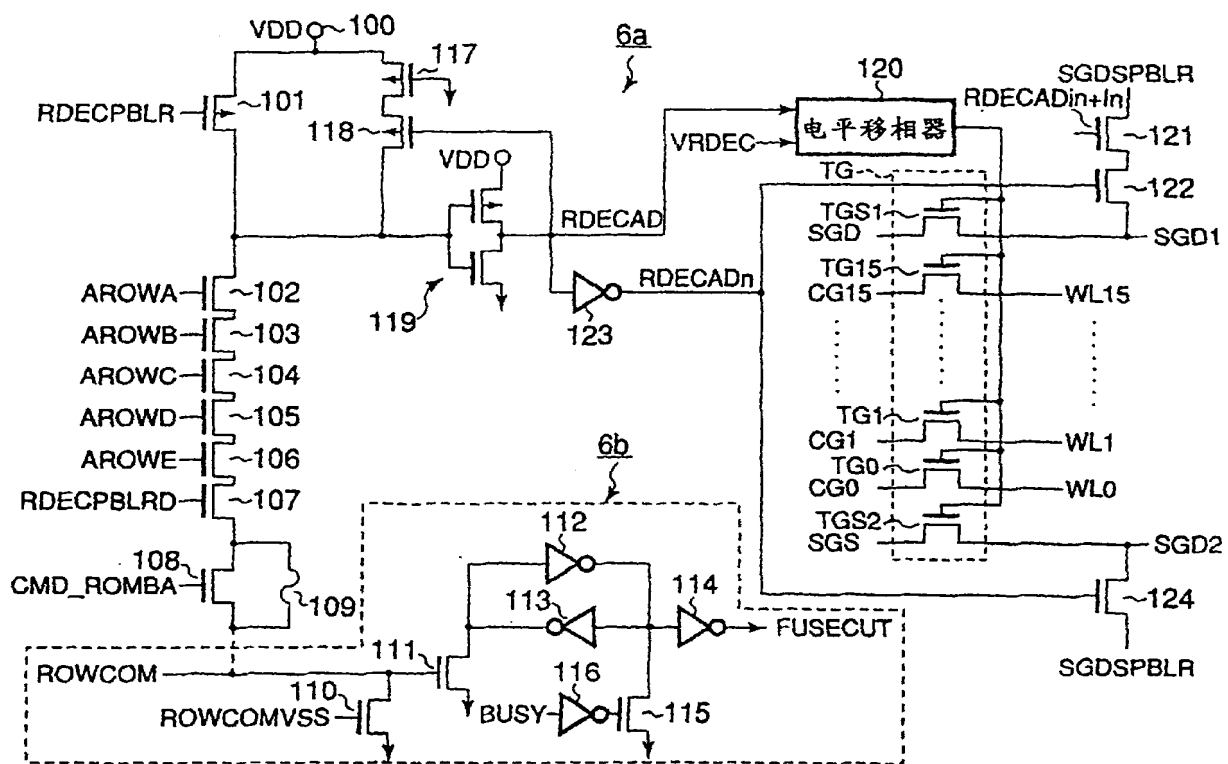


图 12

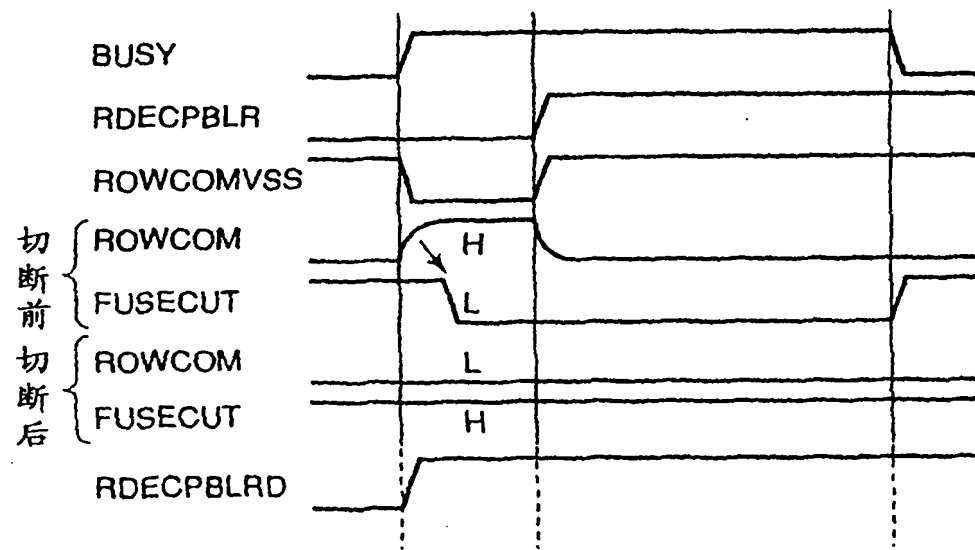


图13

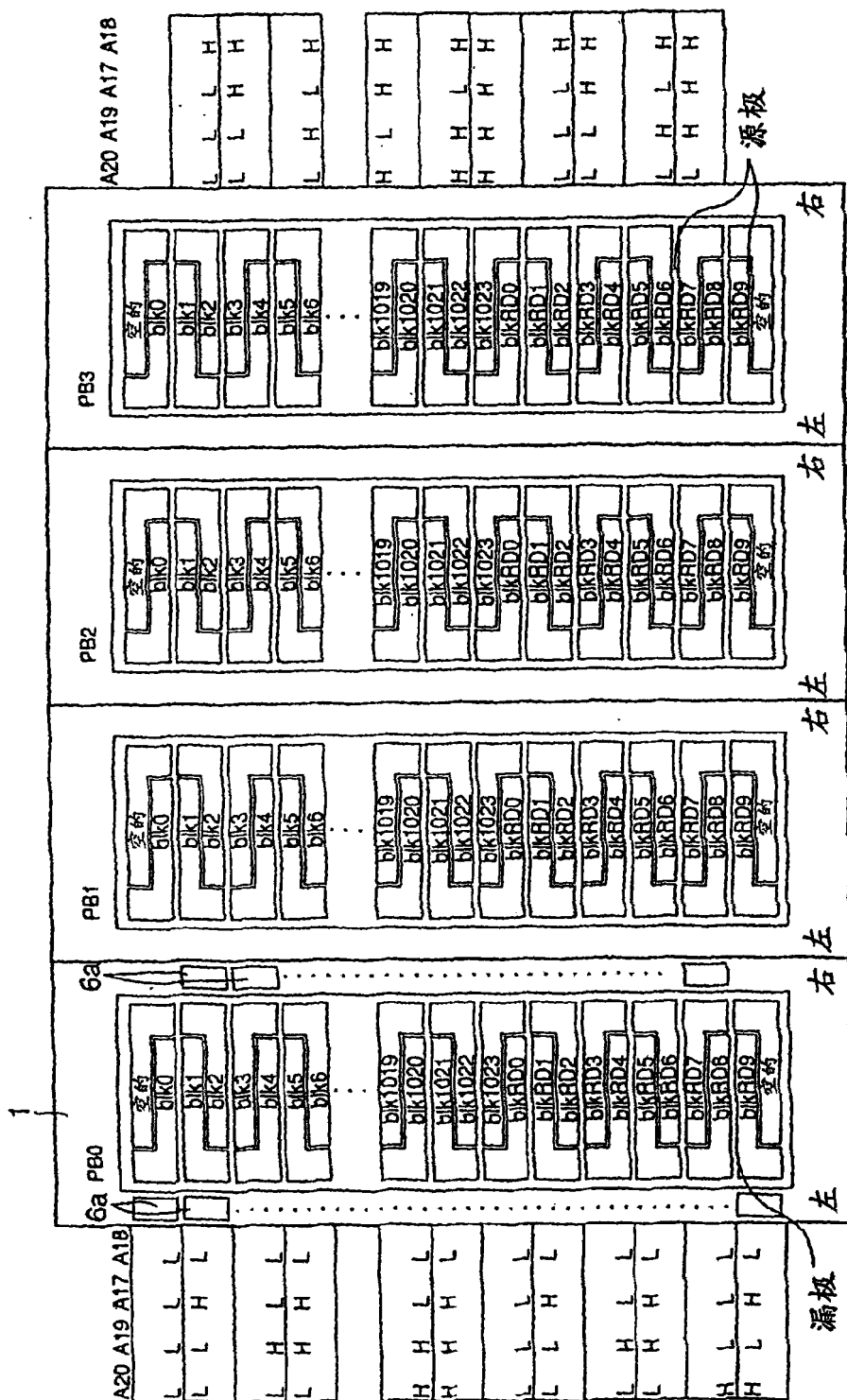


图 14

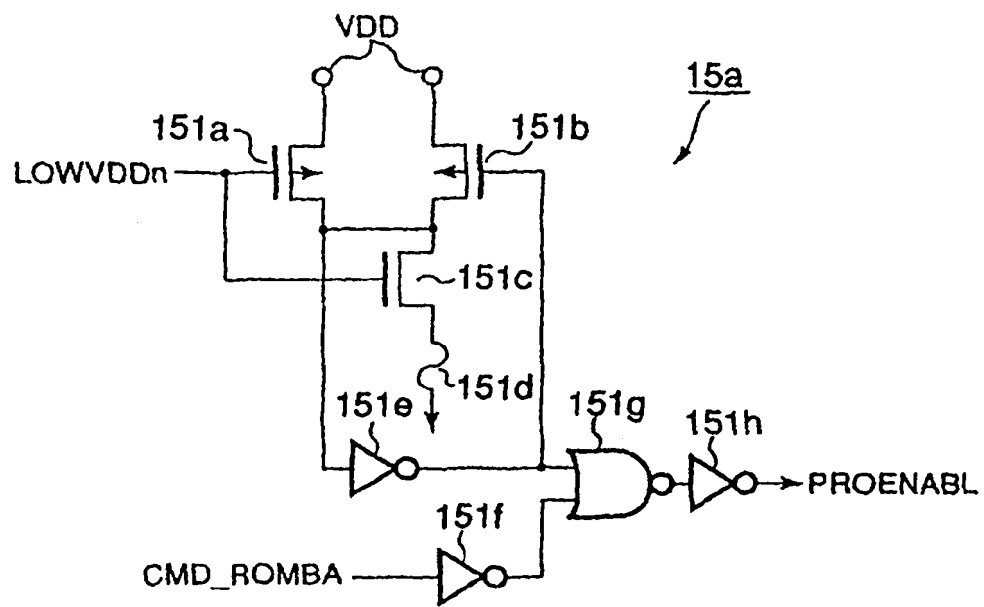


图 15A

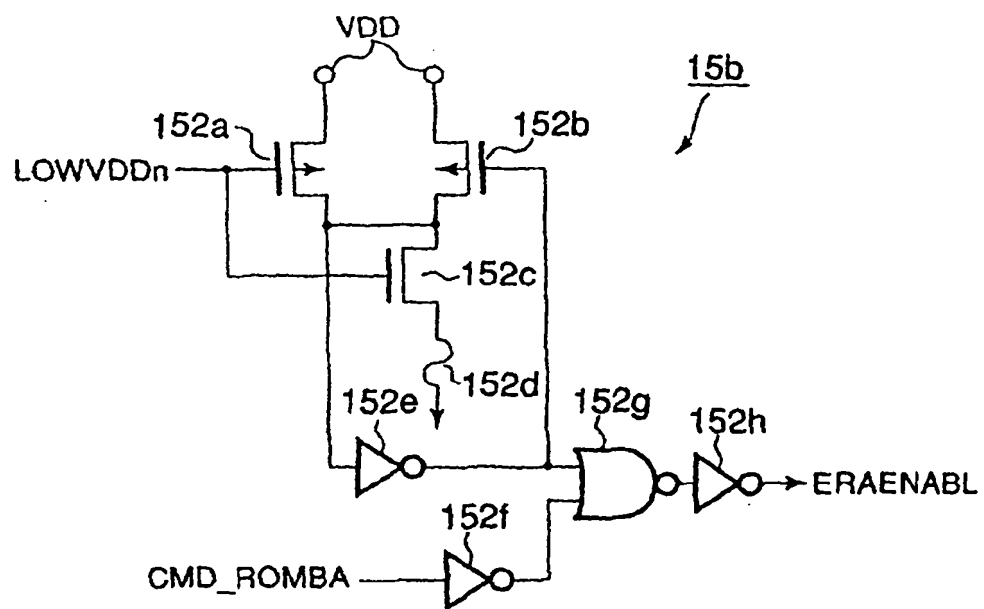


图 15B

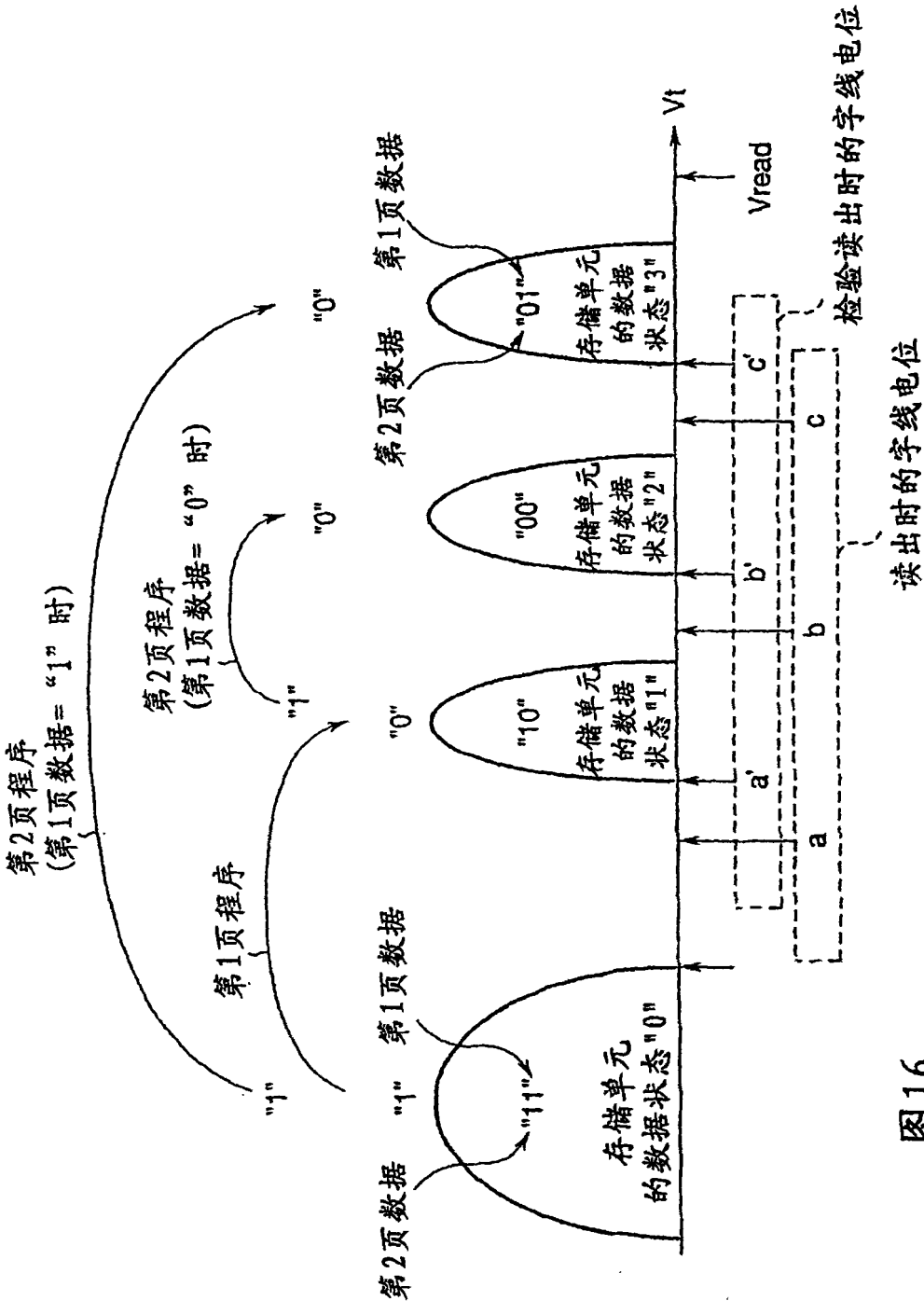


图16

图 17A

存储单元的数据	存储单元的阈值	写入和读出的数据	
		第1页	第2页
0	0V以下	1	1
1	0.3V~0.5V	0	1
2	0.8V~1.0V	0	0
3	1.3V~1.5V	1	0

存储单元的数据和存储单元的阈值

图 17B

	必要升压次数	
第1页写入	13次	(0→1) 13次
第2页写入	11次	(0→3) 11次 (1→2) 6次
合计	24次	

图 17C

	必要升压次数	
第1、2页同时写入时	20次	(0→1) 13次 (0→2) 17次 (0→3) 20次
合计	20次	

写入次数

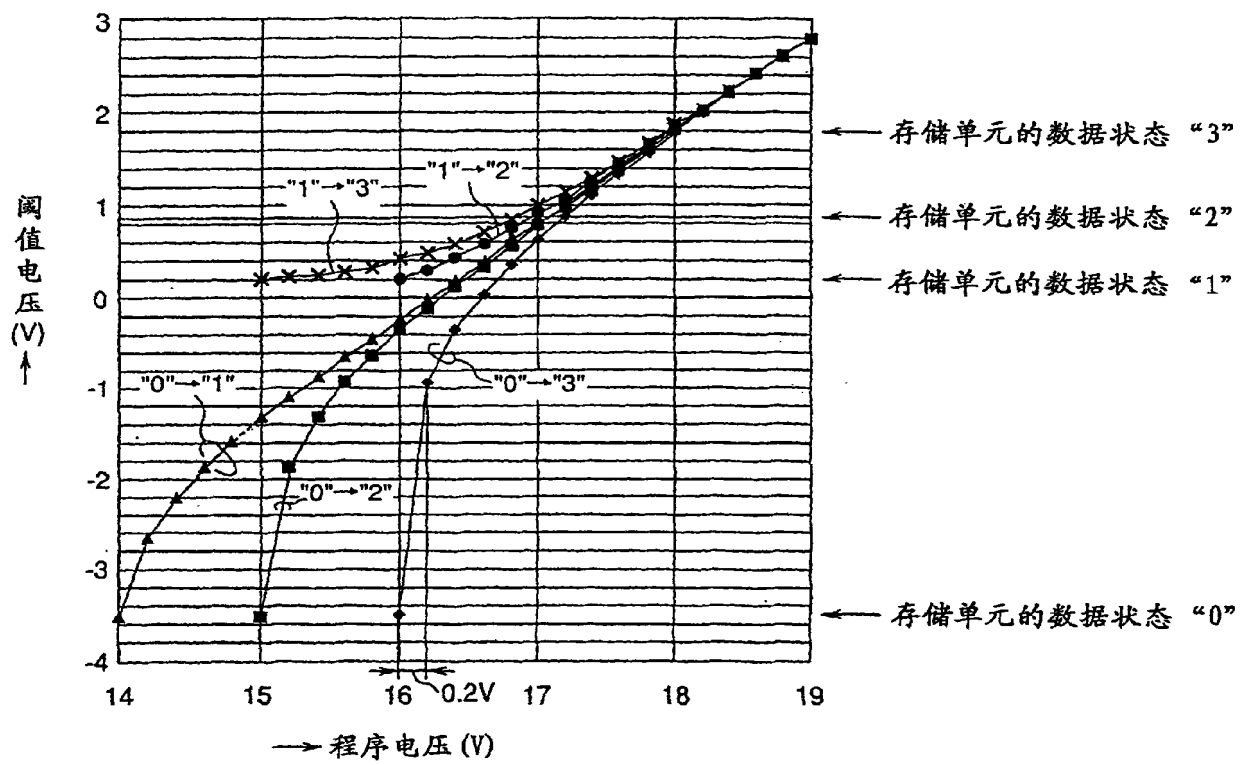


图 18

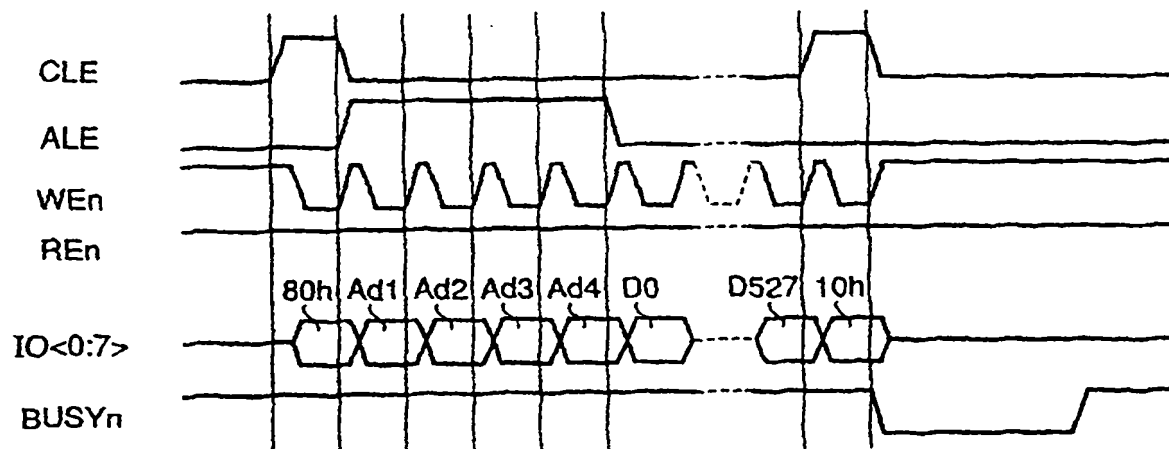


图 19

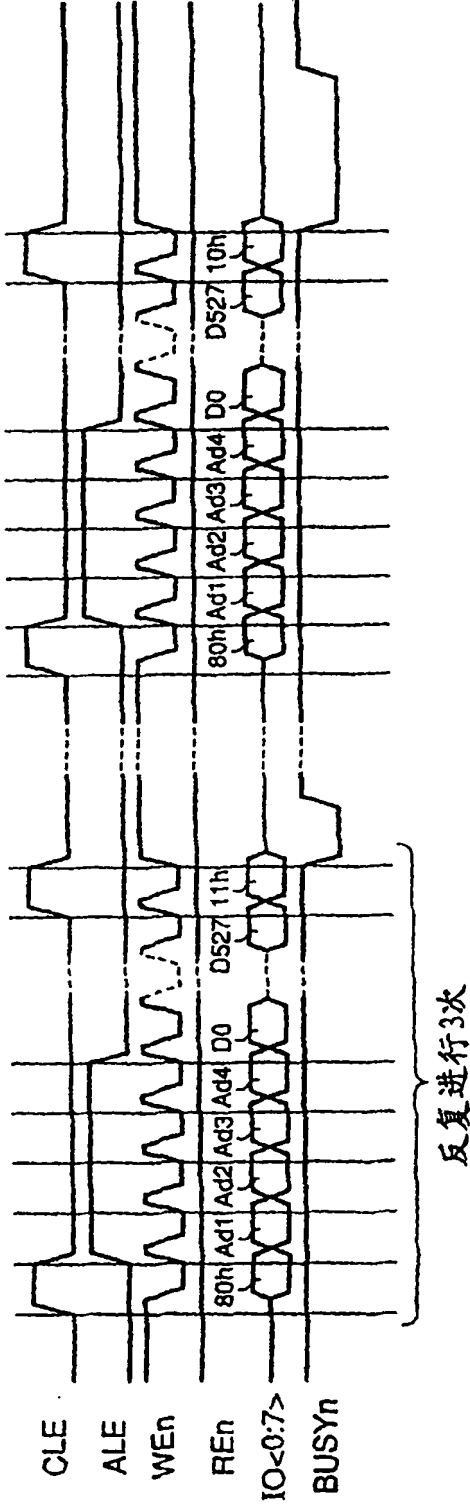


图 20

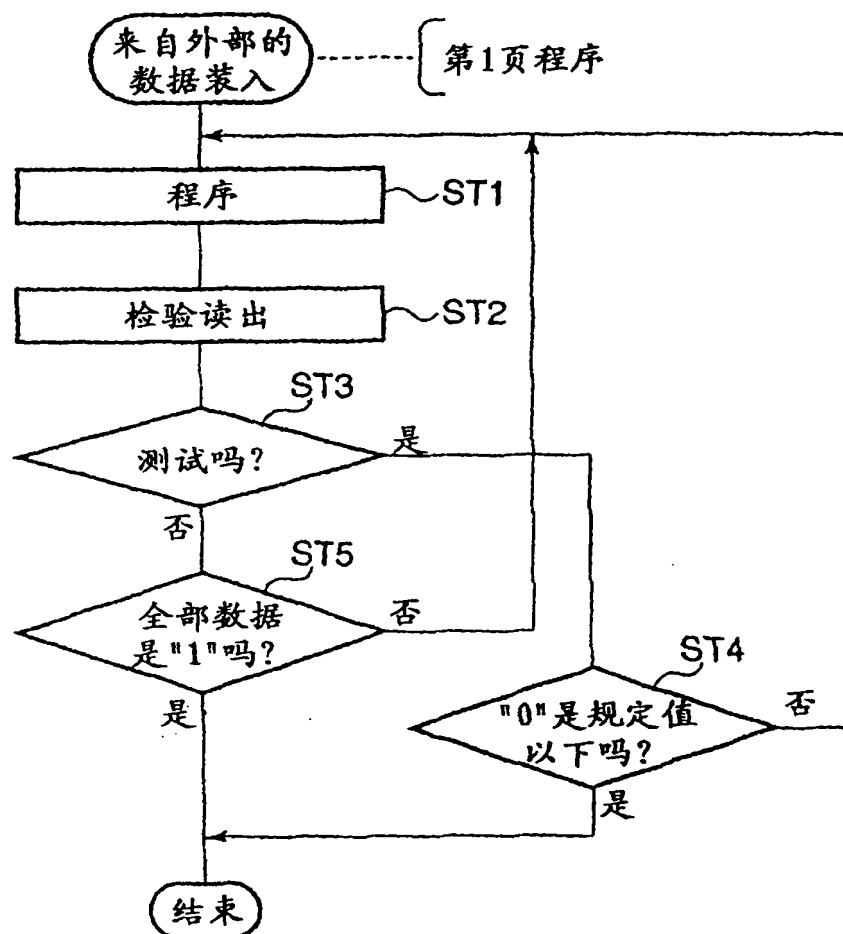


图21

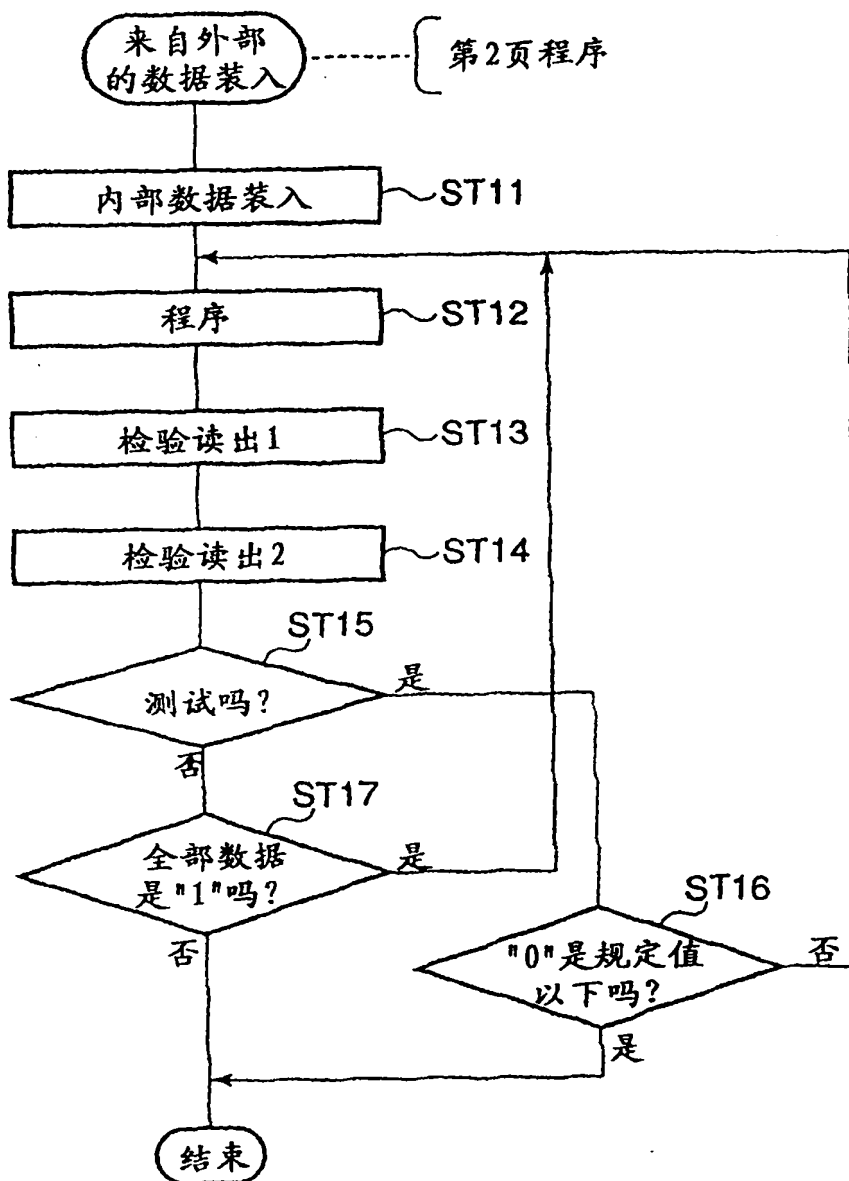


图22

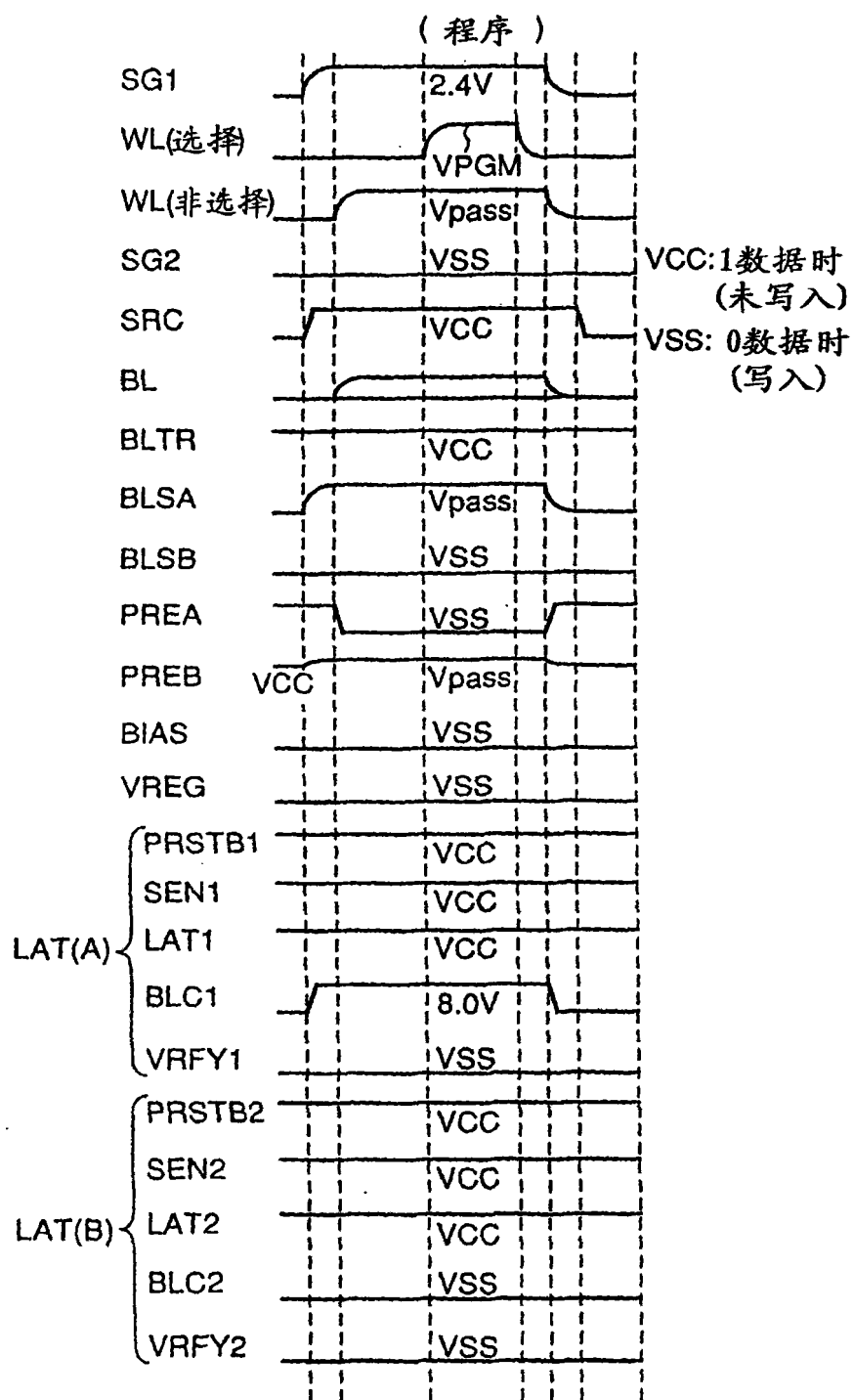


图 23

程序检验(第1页)

状态0	状态0→1		存储单元的数据	
禁止 A B 位	写 (OK) A B 位	写 (NG) A B 位		
H	L	L	数据装入 (在 A write→L, inhibit→H)	
H L	L H	L L	由 b' 读出	0→1
H H	L H	L L	A 是 H 时位线 H(VRFY1)	检验
H H	H H	L L	将位线电位锁存在 A	

(inhibit=非写入、A=LAT(A)、B=LAT(B))

图 24

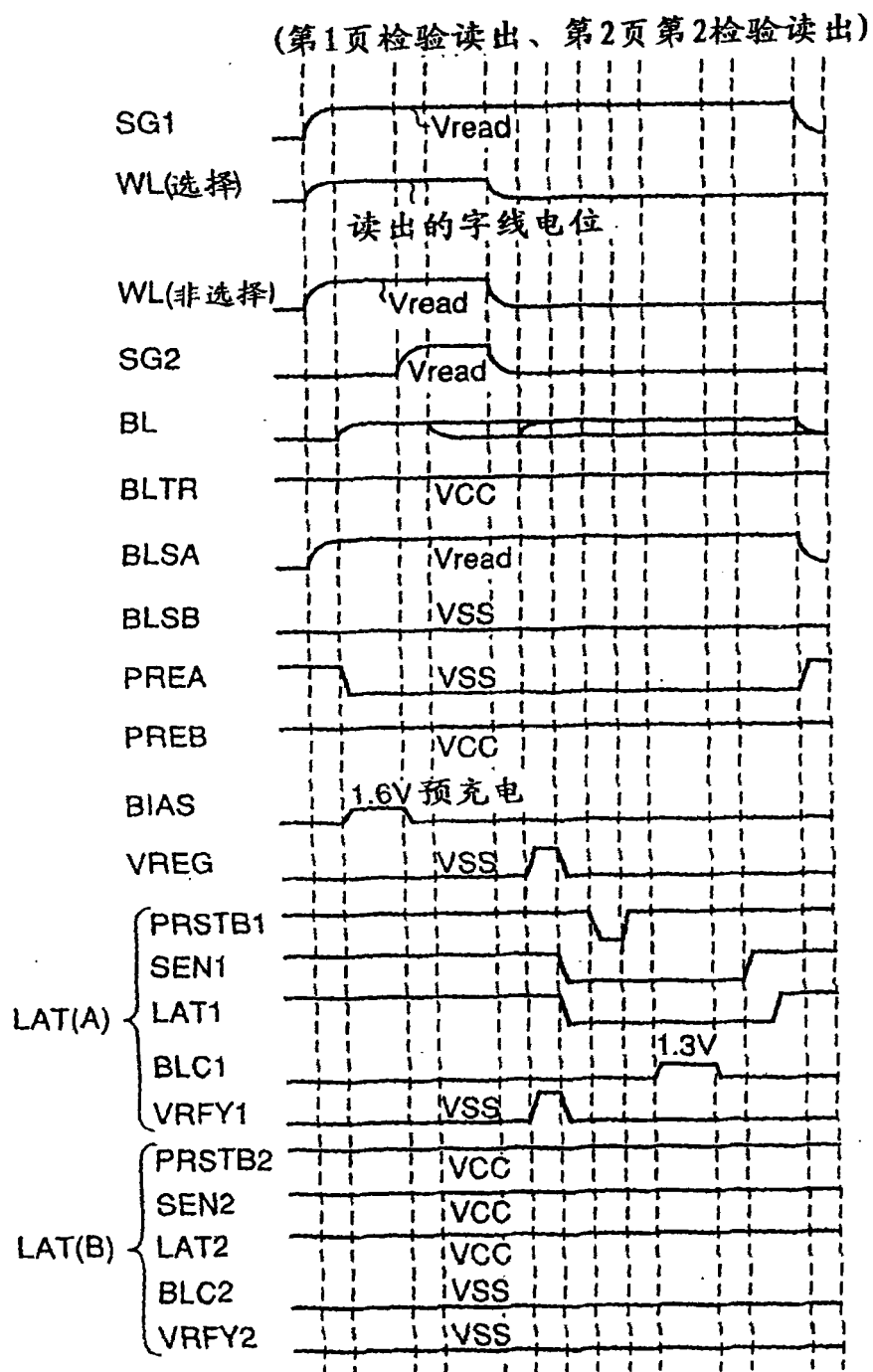


图 25

程序检验(第2页)

状态0		状态0→3		状态1	状态1→2	存储单元的数据	
inhibit A B bit	NSbit	Write(OK) A B bit	Write(NG) NSbit	inhibit A B bit	Write(OK) A B bit	Write(NG) A B bit	NSbit
H	H	L		H	L		
H	H	L	L	H	L		
H	L	L	L	H	L		
L	H	L	L	H	H		
L	L	L	L	H	H		
L	L	L	L	H	H		
L	L	L	L	H	L		
L	L	L	L	H	L		
L	L	L	L	H	L		

图 26A

HH	LH	HL	LL	由b' 读出 B是H时位线L (VRFY2) A是H时位线H (VRFY1) 将位线电位输入到A	1→2 检验
HHL	LHH	HLL	LLL		
HHL	LHL	HLL	LLL		
HHH	LHL	HLL	LLL		
HHH	LHL	HLL	LLL		

图 26B

HH	LH	LH	HL	LL	由c'读出 A是H时位线H (VRFYI) 将位线电位输入到A	0-3 检验
HHL	LHH	LHL	HLL	LLL		
HHH	LHH	LHL	HLH	LLL		
HHH	LHH	LHL	HLH	LLL		
HHH	LHH	LHL	HLH	LLL		

图 26C

(inhibit=非写入, NSbit=非选择位线 $A=LAT(A), B=LAT(B)$)

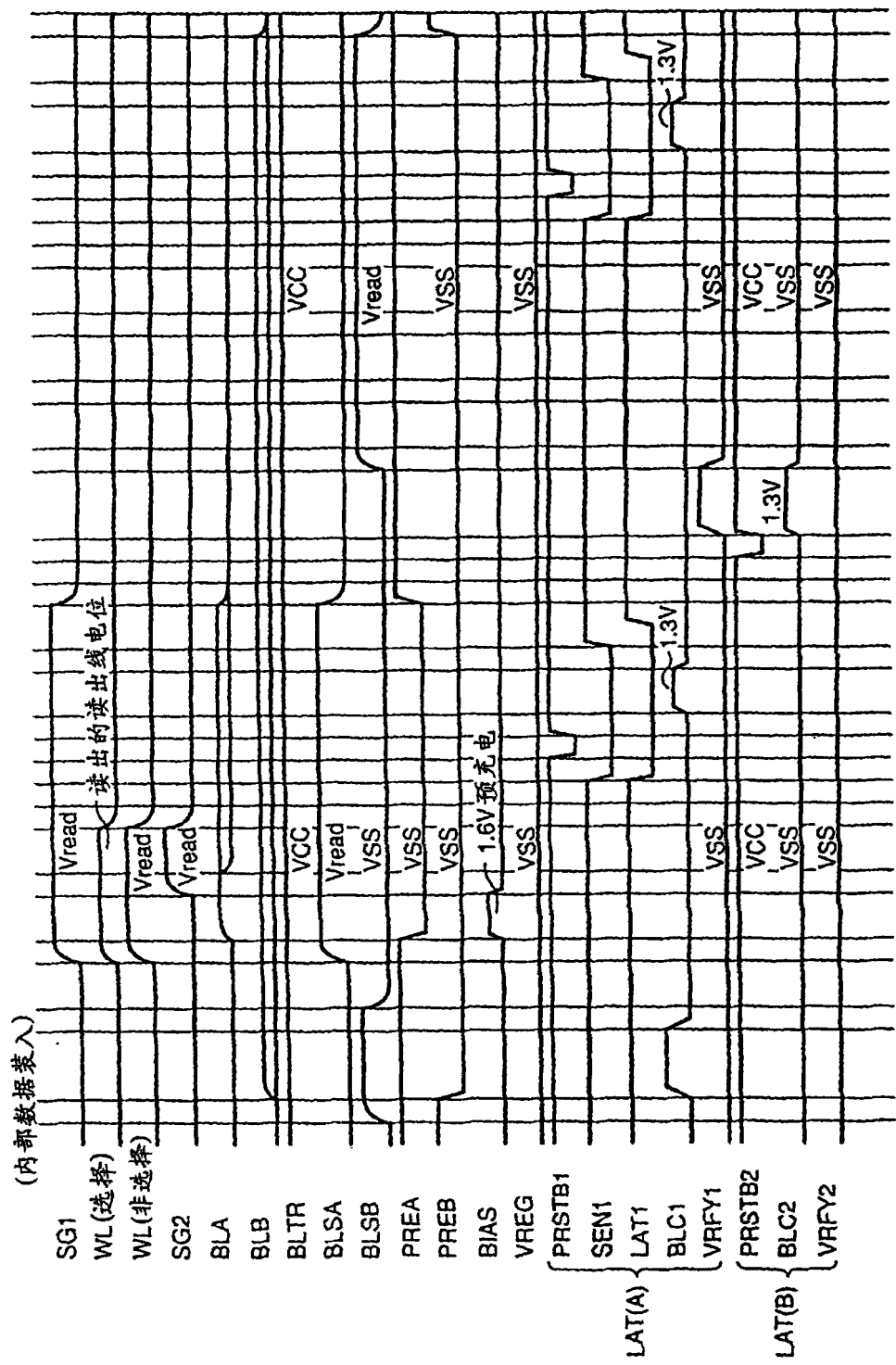


图 27

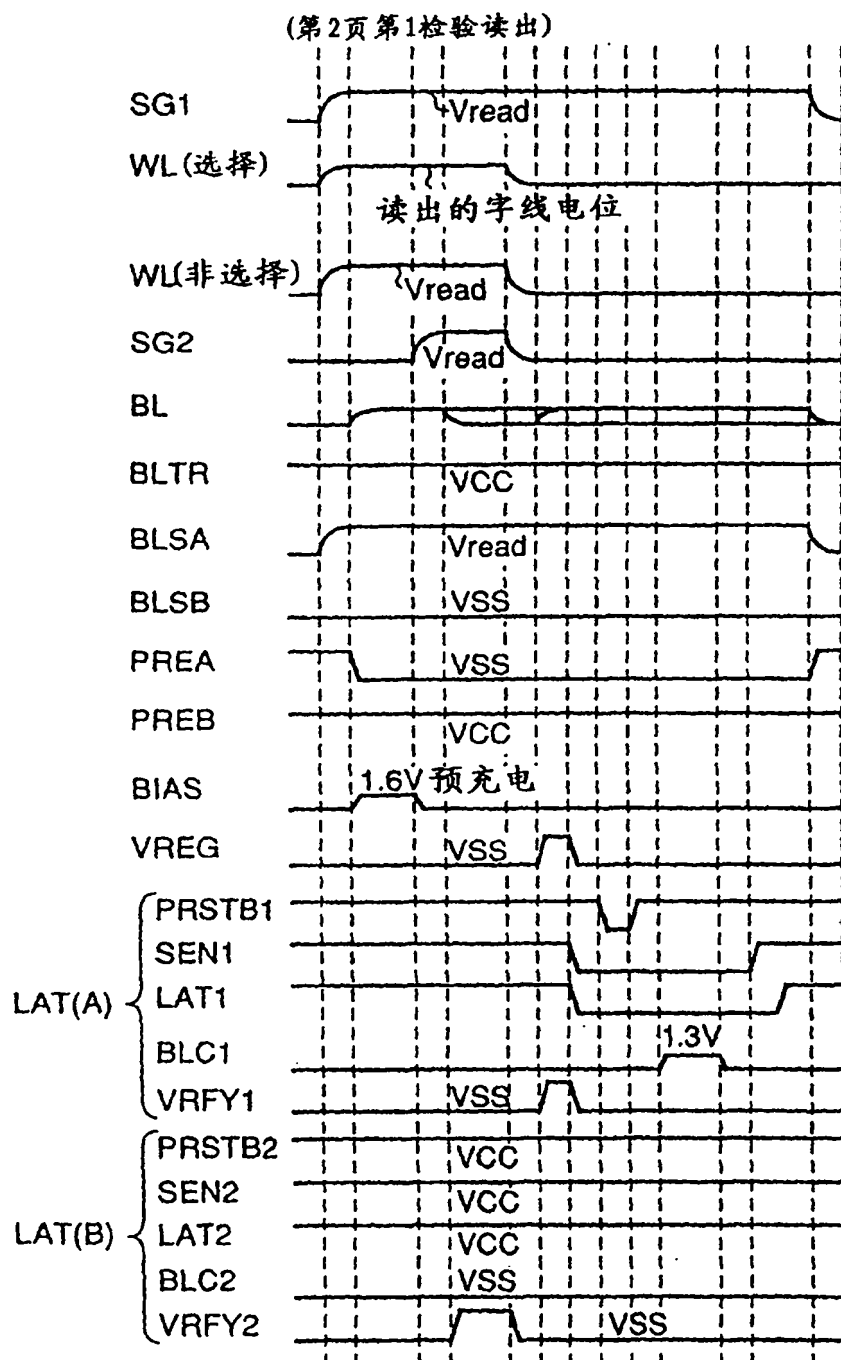


图 28

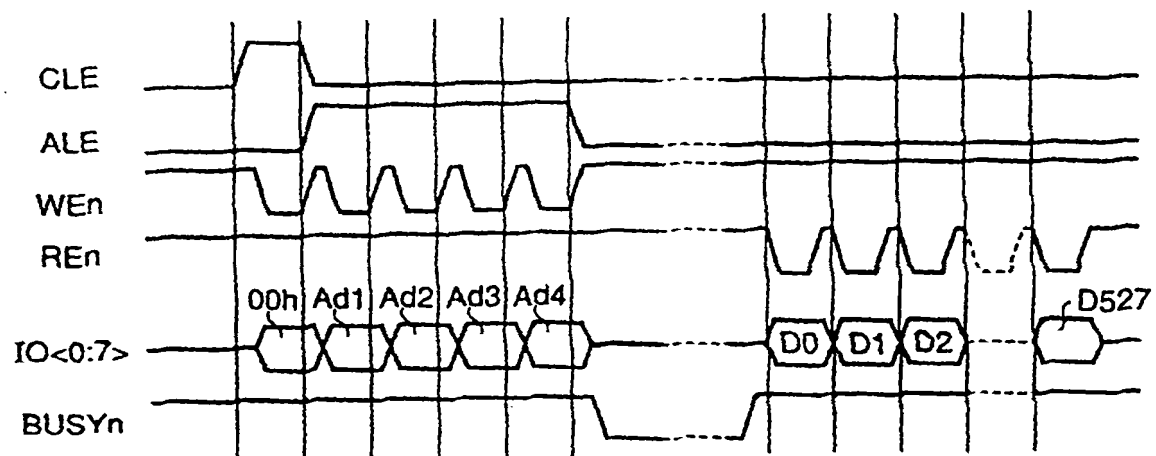


图 29

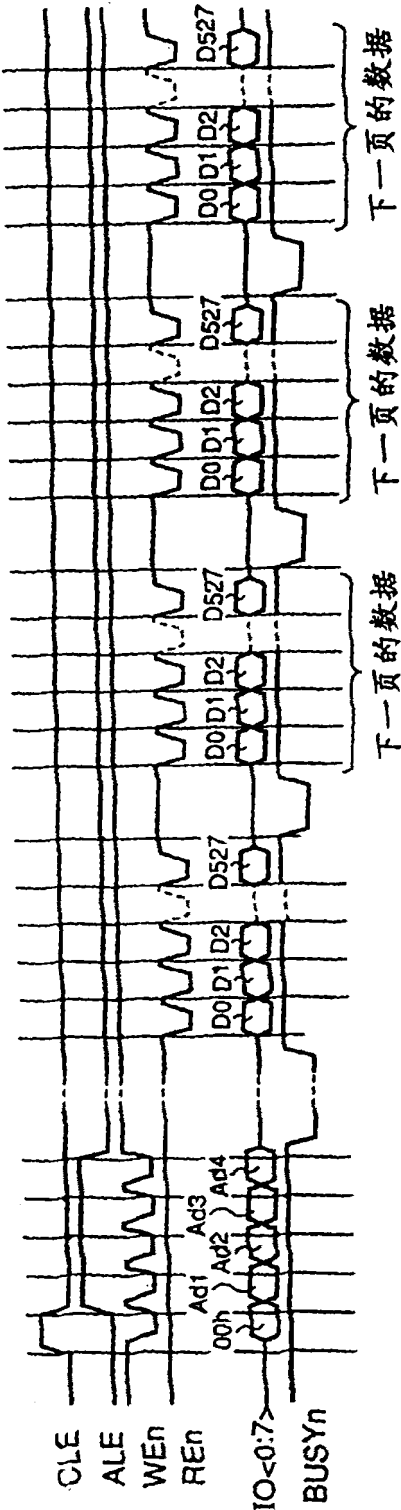


图 30

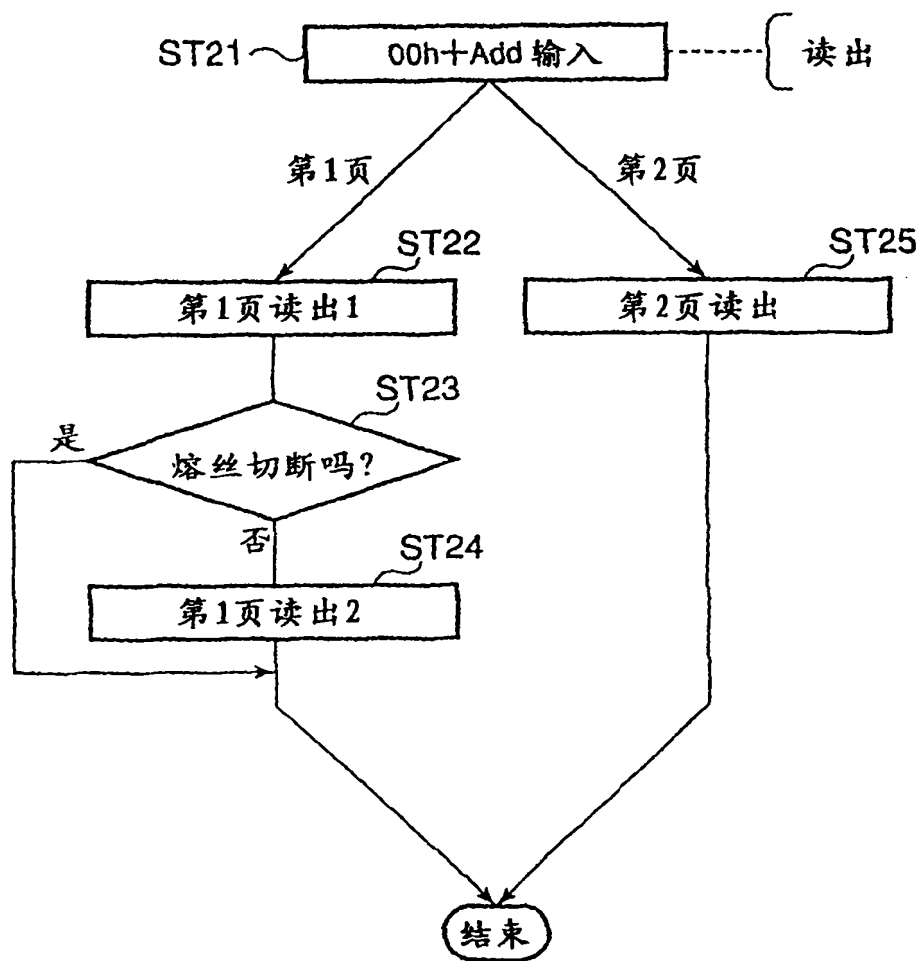


图 31

读出(第2页)

状态0,1	状态2,3		
A B 位	A B 位		
L	H	由b读出	第2页读出
L L	H H	将位线电位锁存在A	

(A=LAT(A)、B=LAT(B))

图 32

读出(第1页)

图 33A

状态0	状态1,2	状态3		
A B 位	A B 位	A B 位		
L	L	H	由c读出	第1读出
L L	L L	H H	将位线电位锁存在LAT(A)	

图 33B

L L	L H	H	由a读出	第2读出
L L	L H	H L	若LAT(A)为H位线L	
L L	H H	L L	将位线电位锁存在A	

(A=LAT(A)、B=LAT(B))

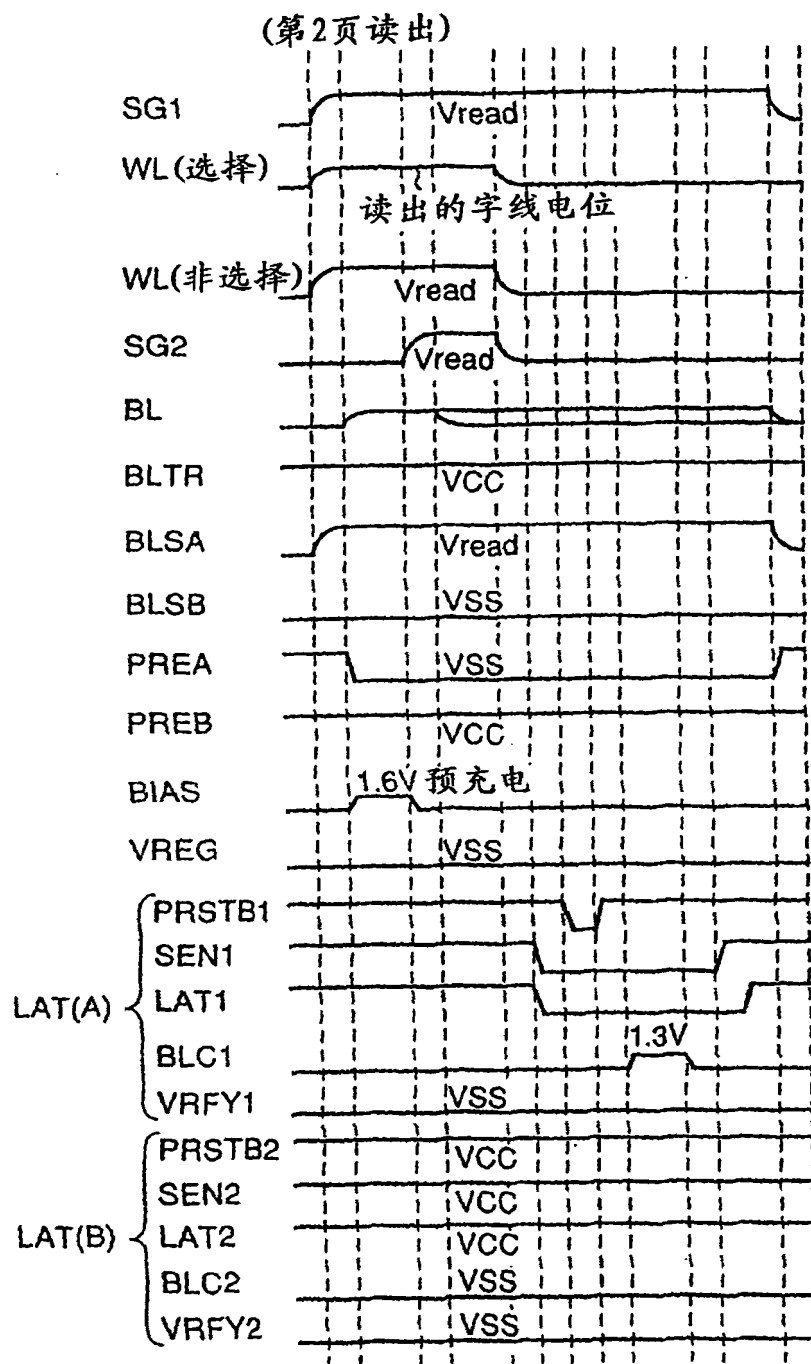


图 34

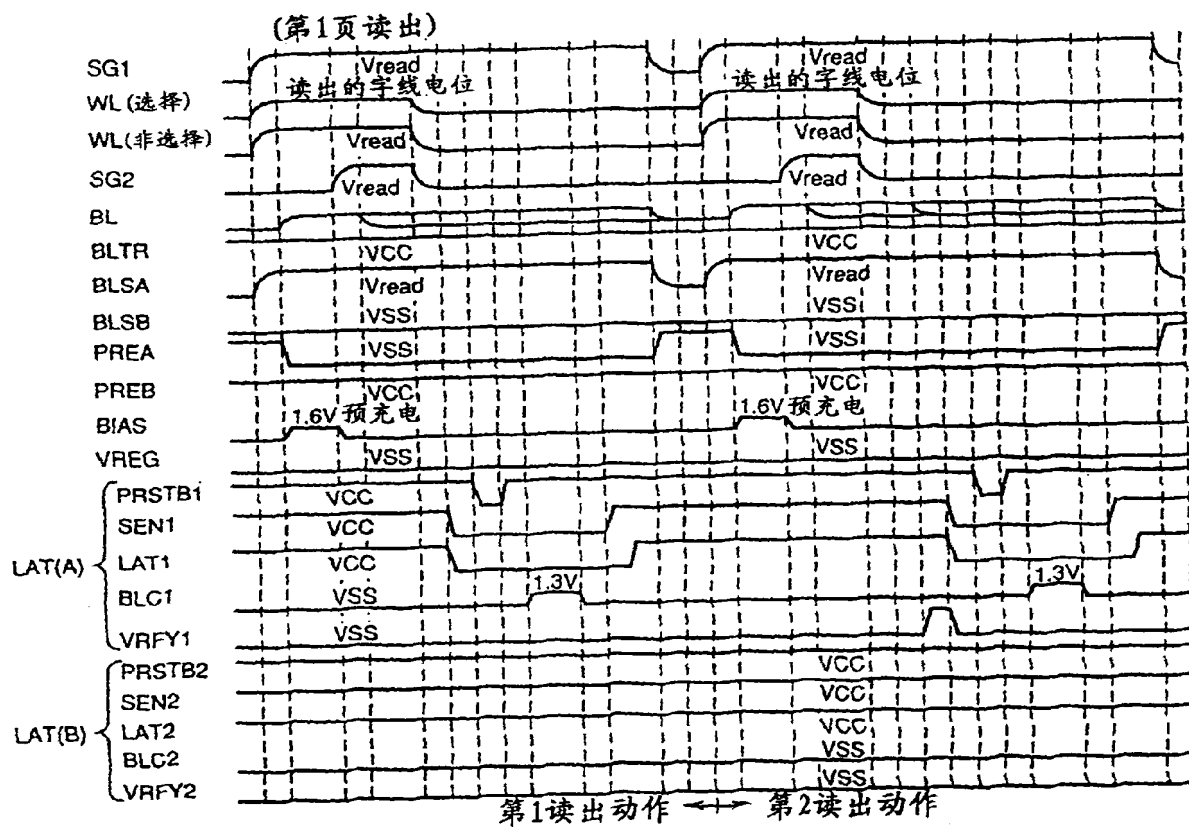


图 35

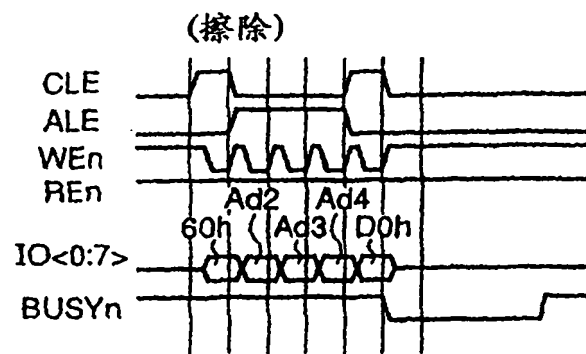


图 36

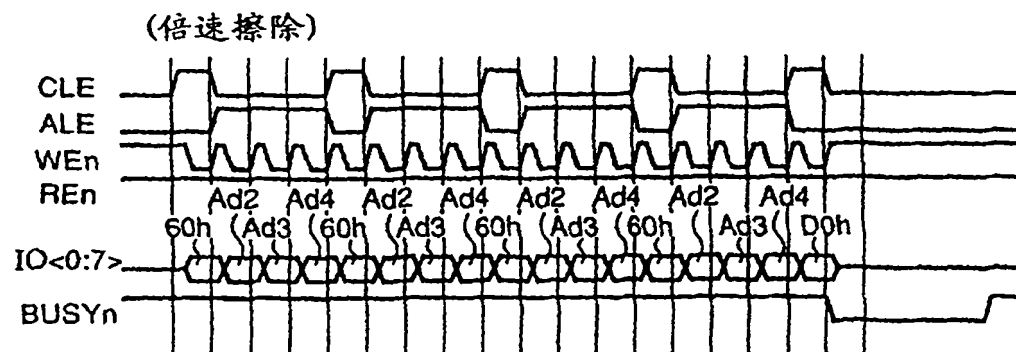


图 37

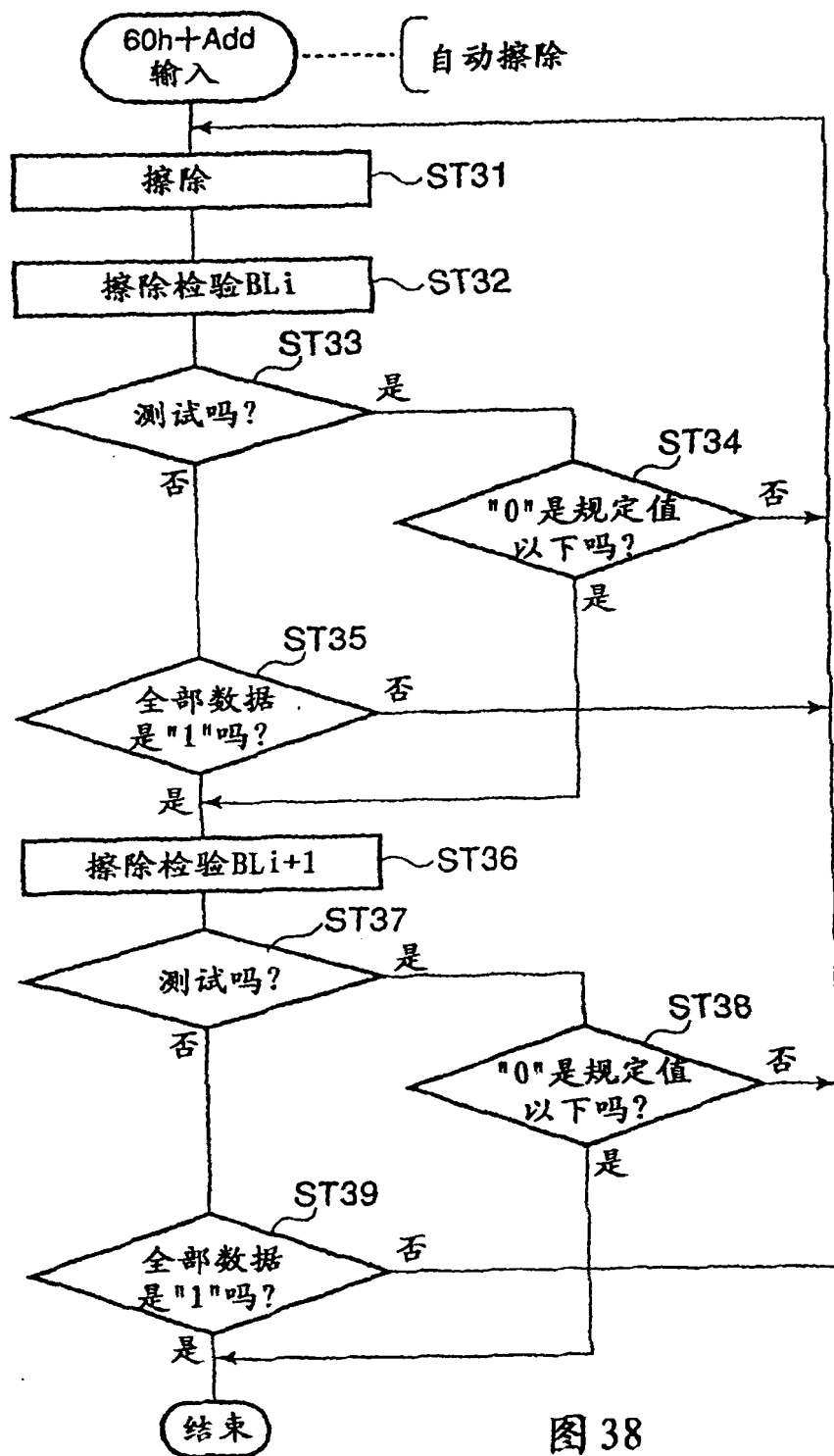


图 38

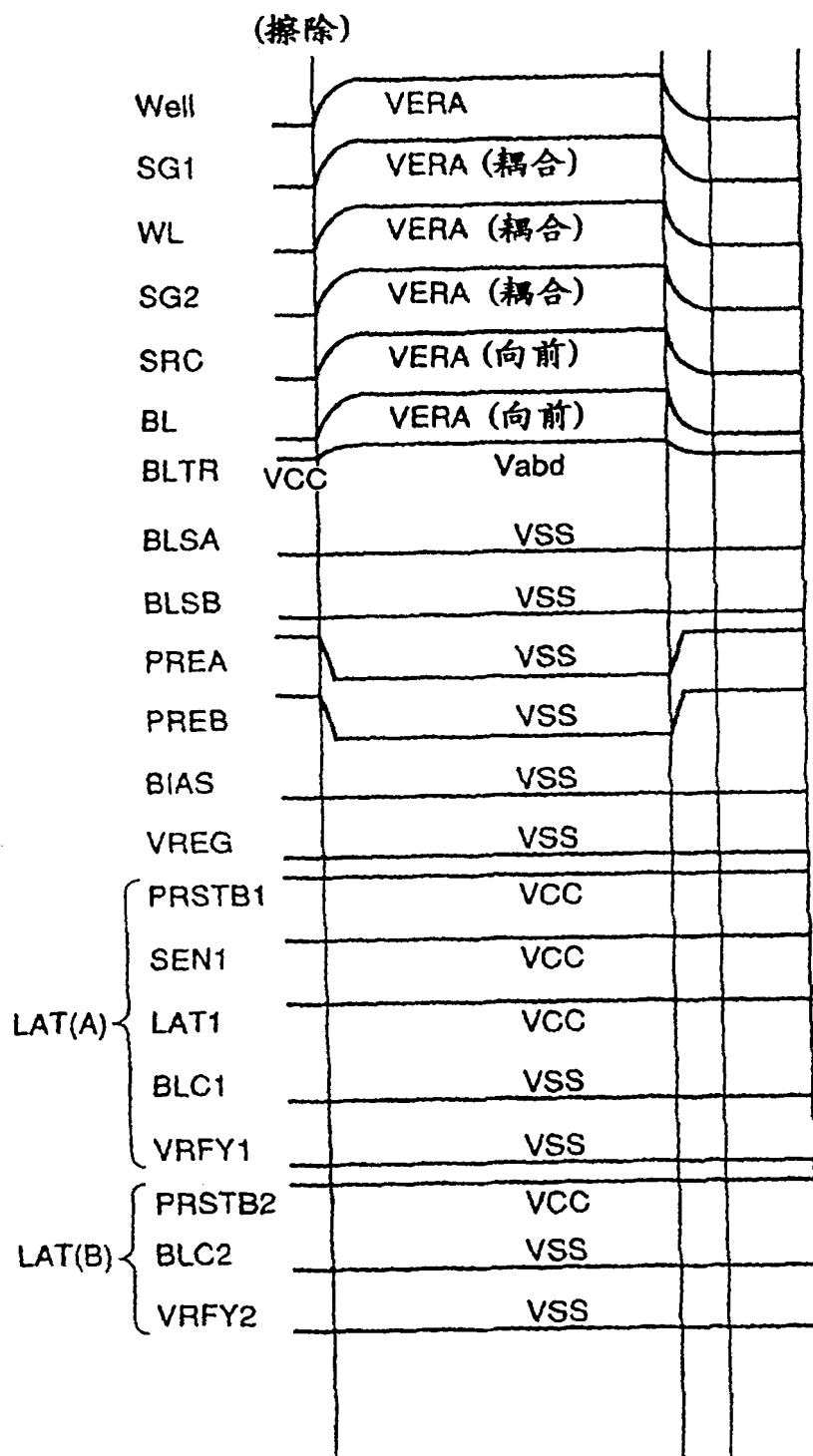


图 39

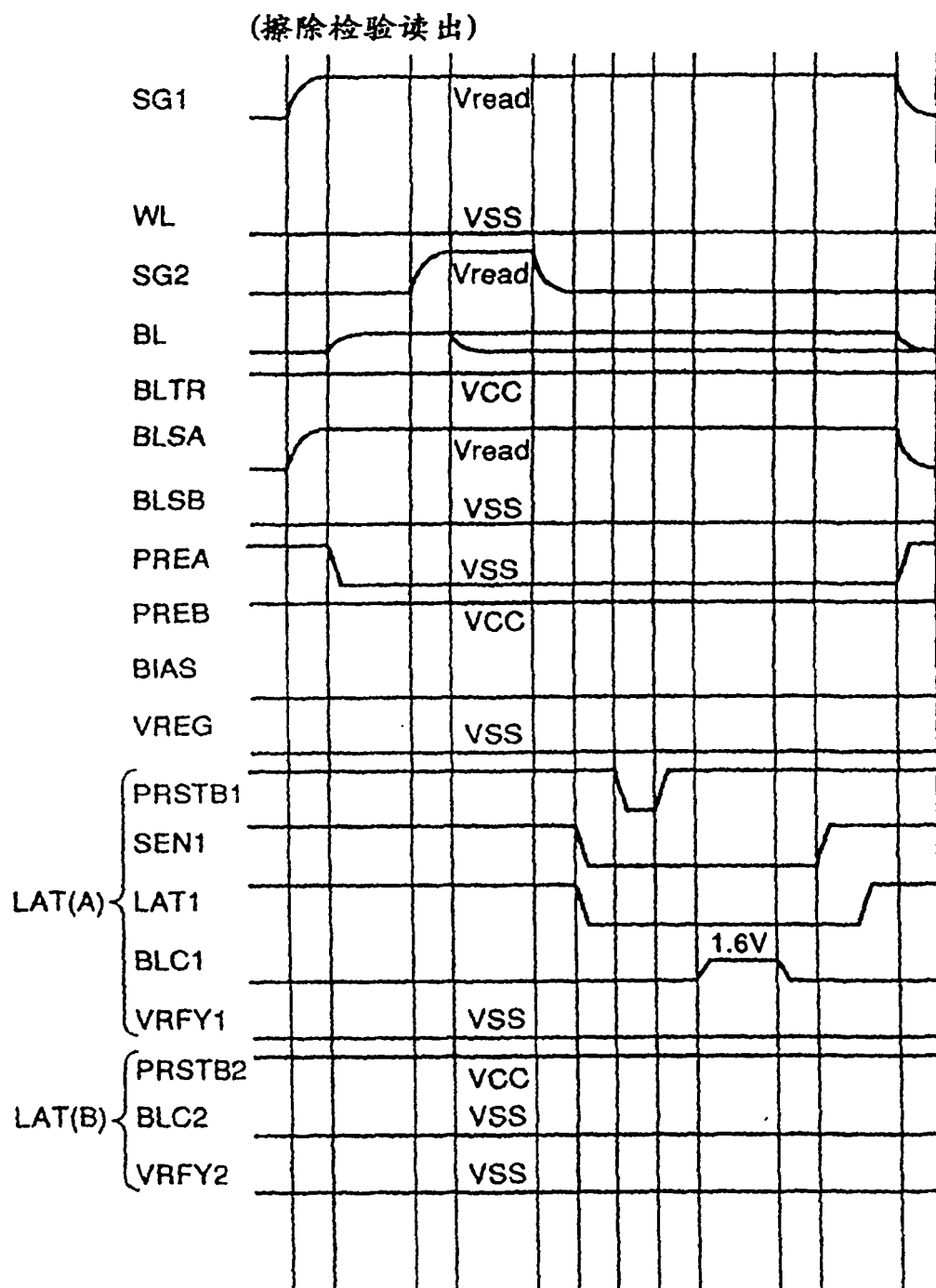


图 40

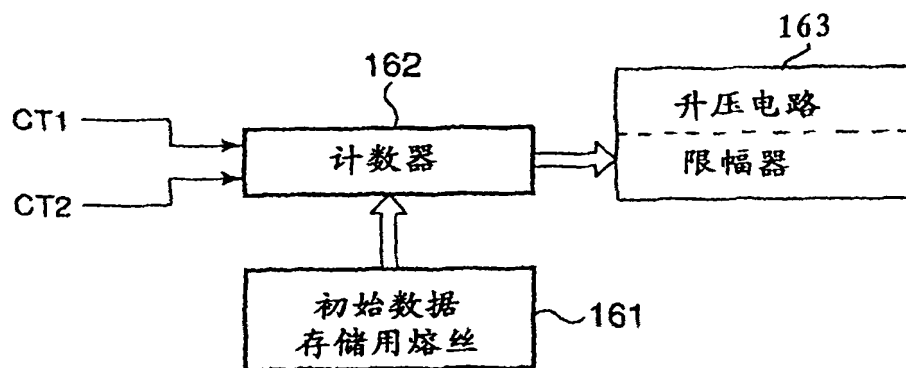
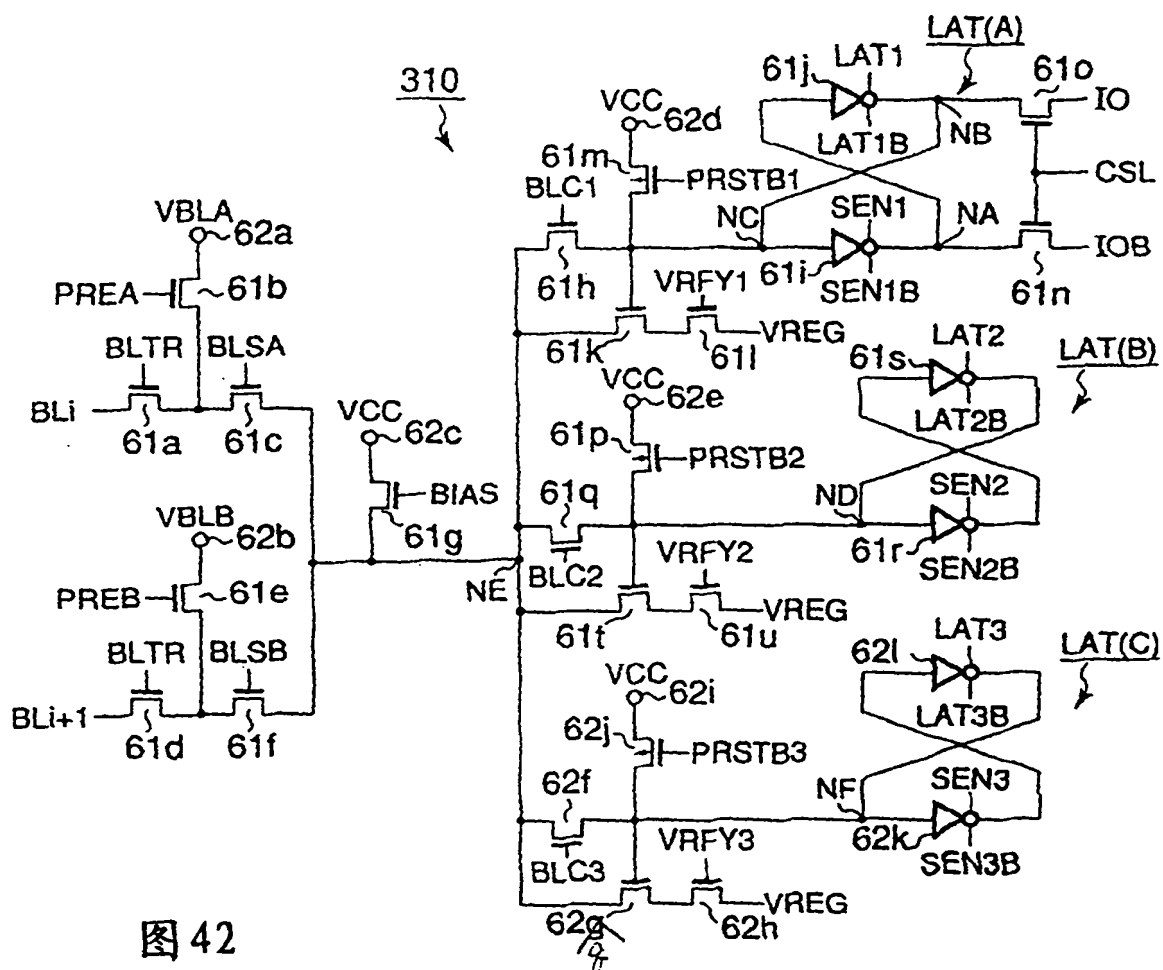


图 41



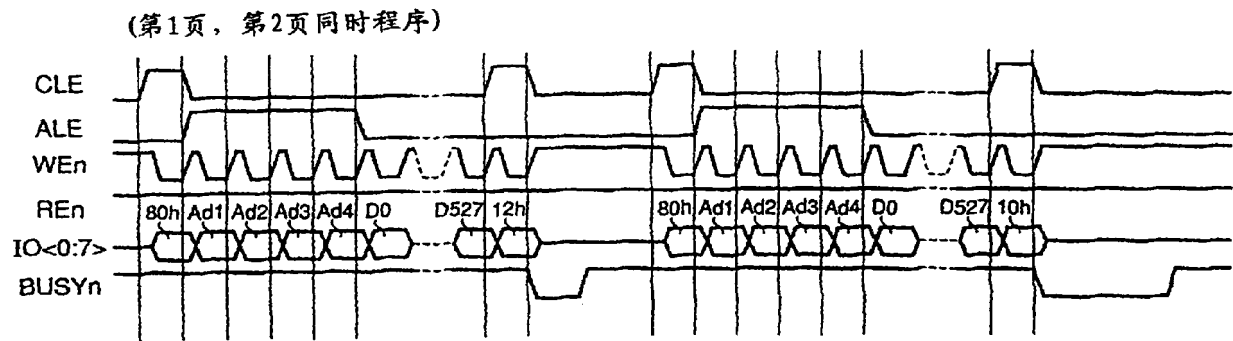


图 43

程序检验 (第1、第2页同时)

状态0		状态0→1		状态0→2		状态0→3		存储单元的数据
inhibit	A B C bit NSbit	Write(OK) A B C bit NSbit	Write(NG) A B C bit NSbit	Write(OK) A B C bit NSbit	Write(NG) A B C bit NSbit	Write(OK) A B C bit NSbit	Write(NG) A B C bit NSbit	
H		L		L		H		データ(A)にwrite→L、inhibit→H)
HH		LH		LH		HH		将B置位在H
HL		LH		LH		HL		A是H时B为H→L

(inbit=非写入、NSbit=非选择位、A=LAT(A)、B=LAT(B)、C=LAT(C))

图 44

程序检验(第1, 第2页同时)

[illegible]

0-1	检验	由a读出					
		C是H时位线L (VRFV2)	L H H L	L H H L	L L L L	L L L L	H L L L
		A是H时位线H (VRFV1)	L H H L	L H H L	L L L L	L L L L	H L L L
		将位线电位输入到A	L H H L	L H H L	L L L L	H L L L	H L L L

图 45B.

H L L L	L L L L	L J L H H	L J L H L	L H H L / H		由 b' 读出 B是H时位线L(VRFY2) A是H时位线H(VRFY1) 将位线电位输入到A	0-2 检验
H L L L	L L L L	L J L H H	L J L H L	L H H L			
H L L H	L L L L	L J L H H	L J L H L	L H H L			
H L L H	L L L L	L H L H H	L J L H L	L H H L			

图 45C

HLL	LLL	LLHL	LHH	LHL	由c'读出	0-3 检验
HLLH	LLL	LLHL	LHH	LHL	A是H时位线H (VRPVI)	
HLLL	LLL	LLHL	LHH	LHL	将位线电信号输入到A	

45D

(inhibit=非写入、NSbit=非选择位、A=LAT(A)、B=LAT(B)、C=LAT(C))

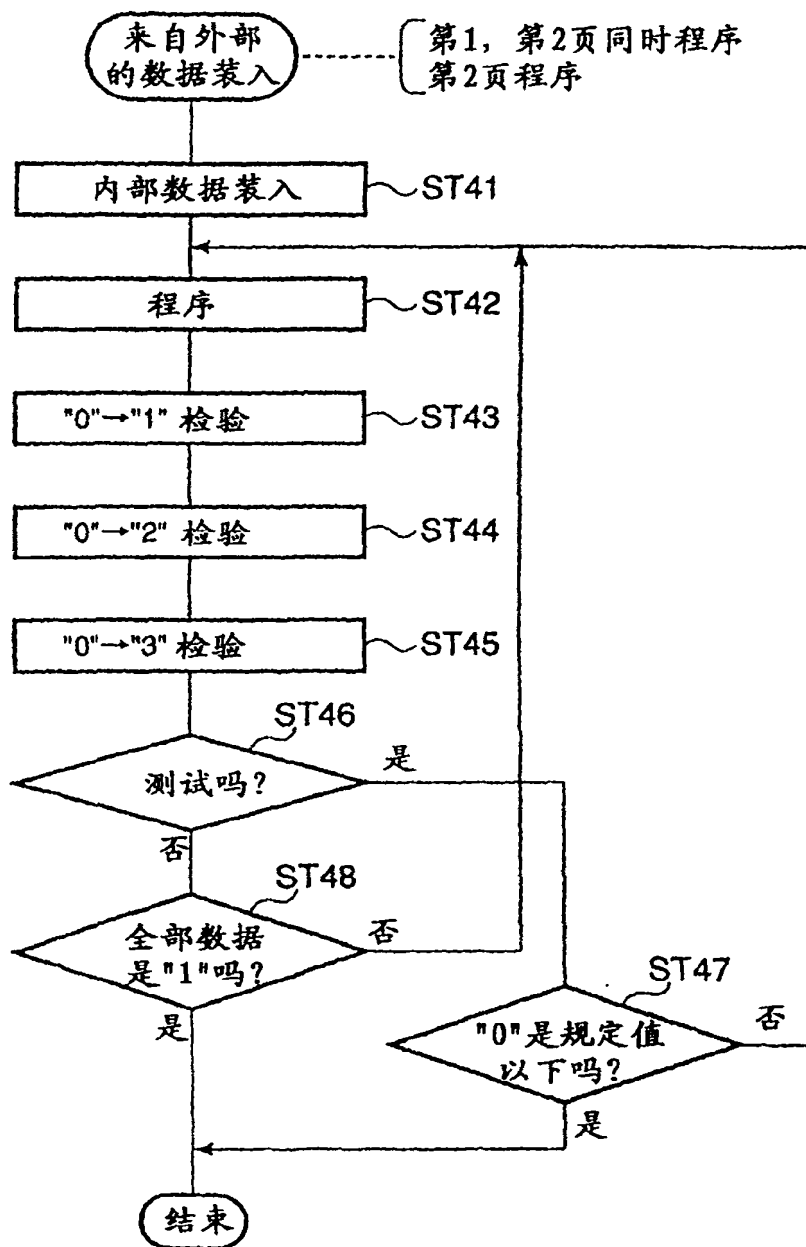


图 46

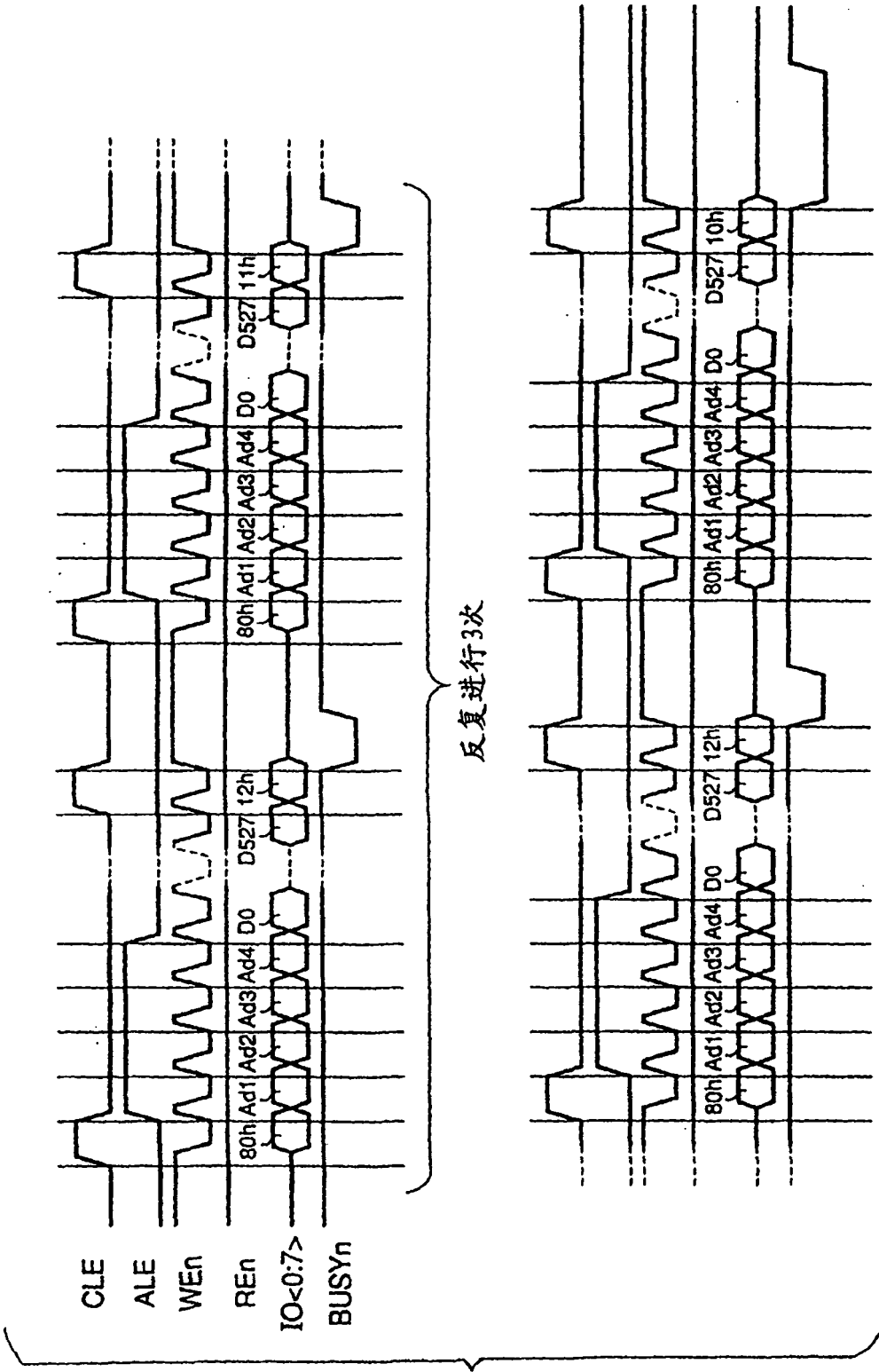


图 47