

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4327144号  
(P4327144)

(45) 発行日 平成21年9月9日(2009.9.9)

(24) 登録日 平成21年6月19日(2009.6.19)

(51) Int.Cl. F I  
H03L 7/093 (2006.01) H03L 7/08 E

請求項の数 4 (全 14 頁)

(21) 出願番号	特願2005-289043 (P2005-289043)	(73) 特許権者	308014341
(22) 出願日	平成17年9月30日(2005.9.30)		富士通マイクロエレクトロニクス株式会社
(65) 公開番号	特開2007-104132 (P2007-104132A)		東京都新宿区西新宿二丁目7番1号
(43) 公開日	平成19年4月19日(2007.4.19)	(74) 代理人	100074099
審査請求日	平成18年9月25日(2006.9.25)		弁理士 大菅 義之
		(72) 発明者	長谷川 確
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通ヴィエルエスアイ株式会社内
		審査官	上田 智志
		(56) 参考文献	特開2005-094427 (JP, A)
			)
			特開2005-184771 (JP, A)
			)
			最終頁に続く

(54) 【発明の名称】 PLL回路におけるアクティブフィルタ。

(57) 【特許請求の範囲】

【請求項1】

2つのチャージポンプ回路からの出力を受けるフィルタであって、  
前記2つのチャージポンプ回路のうち一方のチャージポンプ回路の出力とアースとの間に接続される第1の回路要素と、  
他方のチャージポンプ回路の出力とアースとの間に接続される第2の回路要素と、  
該第1の回路要素の両端の電圧と、第2の回路要素の両端の電圧とを加算する電圧加算器と、を備えるアクティブフィルタの後段に、  
前記電圧加算器の出力端子に一方の端子が接続される抵抗と、  
該抵抗の他方の端子とアースとの間に接続される容量とを備え、  
該容量の両端の電圧を出力電圧とするアディショナルフィルタを接続され、  
前記フィルタが、3つ以上のチャージポンプ回路のうちで、前記一方のチャージポンプ回路が出力する電流に対する出力電流の電流比が互いに異なる複数のチャージポンプ回路から選択されたチャージポンプ回路を前記他方のチャージポンプ回路として、前記一方のチャージポンプ回路および前記他方のチャージポンプ回路の2つのチャージポンプ回路からの出力を受けることを特徴とするアクティブフィルタ。

【請求項2】

請求項1記載のアクティブフィルタを備えることを特徴とするPLL回路。

【請求項3】

2つのチャージポンプ回路からの出力を受けるフィルタであって、

10

20

前記 2 つのチャージポンプ回路のうち一方のチャージポンプ回路の出力とアースとの間に接続される第 1 の回路要素と、

他方のチャージポンプ回路の出力とアースとの間に接続される第 2 の回路要素と、  
該第 1 の回路要素の両端の電圧と、第 2 の回路要素の両端の電圧とを加算する電圧加算器と、を備えるアクティブフィルタの後段に、

前記電圧加算器の出力端子に一方の端子が接続される抵抗と、

該抵抗の他方の端子とアースとの間に接続される容量とを備え、

該容量の両端の電圧を出力電圧とするアディショナルフィルタを接続され、

前記フィルタが PLL 回路内で用いられるとともに、

前記 2 つのチャージポンプ回路は、前記 PLL 回路内の位相比較器の位相比較結果であって前記第 1、第 2 の回路要素側に電流を流すことを示す第 1 位相比較結果が共通に入力された場合に、前記第 1 位相比較結果に対応した期間、それぞれ前記第 1、第 2 の回路要素側に電流を流すことを特徴とするアクティブフィルタ。

10

#### 【請求項 4】

請求項 1 または 3 記載のアクティブフィルタと他の回路とがワンチップ上に形成されていることを特徴とする半導体集積回路。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は PLL (フェーズ・ロックド・ループ) 回路において用いられるループフィルタとしてのローパスフィルタに関し、さらに詳しくはこのローパスフィルタを構成する静電容量の値を小さくすることによって PLL 回路を搭載するチップの微小化を実現するとともに、フィルタとしての特性の微調整を可能とするアクティブフィルタに関する。

20

#### 【背景技術】

#### 【0002】

PLL (フェーズ・ロックド・ループ、位相同期ループ) 回路は、例えばテレビ受信機の同期信号発生回路、FM 放送のステレオ復調回路などの各種の民生機器を始めとして、業務用の衛星通信機器や測定器などで、同期信号検出、あるいは信号復調などに広範囲に利用されている。

#### 【0003】

本発明は、PLL 回路の内部の位相比較器によるリファレンス信号と電圧制御発振器の出力信号との位相差の検出結果に応じたチャージポンプ回路からの電流に対応して、電圧制御発振器の入力電圧における高周波成分を除去するためのローパスフィルタに関するものである。

30

#### 【0004】

近年、携帯電話を始めとする通信端末機器の小型化に伴い、PLL 回路を搭載するモジュールの微小化の要求が強まっている。そのような微小化のためには、PLL 回路をチップ内に内蔵化する必要があるが、PLL 回路を構成するローパスフィルタの微小化は困難であるという問題点がある。このようなフィルタとして従来型のパッシブフィルタを用いると、比較的大きな値の静電容量や抵抗を必要とし、従来型のパッシブフィルタをチップ内にそのまま内蔵すると、チップの面積が大きくなってしまいう問題点がある。

40

#### 【0005】

図 10 は、従来型のパッシブフィルタの構成例である。パッシブフィルタ 100 は、チャージポンプ回路からの入力に対して、静電容量  $C_1$  102、および抵抗  $R_2$  103 と静電容量  $C_2$  104 との直列回路がアースとの間に並列に接続され、またチャージポンプからの入力とパッシブフィルタ 100 の出力端子との間に抵抗  $R_3$  105、パッシブフィルタ 100 の出力端子とアースとの間に静電容量  $C_3$  106 が接続された形式となっている。

#### 【0006】

このパッシブフィルタ 100 には、概念的に電流源 110、2 つのスイッチ 111、1

50

12、および電流源113によって構成されるチャージポンプ回路が接続されている。このチャージポンプ回路は、PLL回路内で、その前段にある位相比較器によるリファレンス信号と電圧制御発振器の出力信号との位相差に応じて、例えば基準信号の位相の方が進んでいる場合には、電流源110、スイッチ111によってパッシブフィルタ側に充電電流を流し（チャージ）、逆に基準信号の位相の方が遅れている場合には、スイッチ112と電流源113とによってパッシブフィルタ側からの放電電流を吸い出す（ポンプ）動作を実行することによって、パッシブフィルタ100の後段にある電圧制御発振器に対する入力電圧を制御するものである。

【0007】

図10のパッシブフィルタは、いわゆる3次のフィルタであり、PLL回路用のフィルタとしては好適なものであるが、このパッシブフィルタ100をそのままチップに内蔵化すると、特に静電容量の面積が大きくなり、チップのレイアウトが困難になるという問題点がある。またこのパッシブフィルタ100においては、各回路素子の値は一般に単一のアプリケーションに対して最適化され、フィルタの特性を調整することはできず、例えば周波数の異なる他のアプリケーションに利用することは困難であるという問題点もあった。

【0008】

このようなPLL回路に関する従来技術としての特許文献1では、位相比較器から出力される位相誤差信号に対する出力電流の線形性を保持するとともに、位相比較器との接続に特別な回路を必要とせず、リファレンスリークを低減することができるチャージポンプ回路が開示されている。

【0009】

次に特許文献2では、電源が供給されてから動作が安定状態になるまでの時間だけ、PLLがロック状態である時の平均的な電圧をPLLのVCO（電圧制御発振器）に供給することによって、PLLシンセサイザの起動時における突入電流を抑え、低消費電力を実現するPLLシンセサイザが開示されている。

【0010】

しかしながらこのような従来技術を用いても、従来型のパッシブ・ローパスフィルタでは、特に静電容量の値が大きいため、ローパスフィルタをチップに内蔵化することは困難であり、また従来型のパッシブフィルタが単一のアプリケーションのみにしか利用できないという問題点を解決することもできなかった。

【特許文献1】特開平11-68560号 「PLL周波数シンセサイザおよびチャージポンプ回路」

【特許文献2】特許第2919321号 「PLLシンセサイザ」

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明の課題は、上述の問題点に鑑み、PLL回路の内部のローパスフィルタを構成する回路素子、特に静電容量の値を小さくすることによってローパスフィルタをチップに内蔵化可能とするとともに、回路素子の値を変更することなく、フィルタの特性の微調整を可能にすることである。

【課題を解決するための手段】

【0012】

図1は、本発明のアクティブフィルタの原理構成ブロック図である。同図は位相比較器の後段側に、2つのチャージポンプ回路2、3を備えるPLL回路内のアクティブフィルタ1の原理構成ブロック図である。

【0013】

アクティブフィルタ1は、2つのチャージポンプ回路2、3のうち的一方、すなわち第1のチャージポンプ回路2の出力とアースとの間に接続される第1の回路要素4と、他方のチャージポンプ回路、すなわち第2のチャージポンプ回路3の出力とアースとの間に接

10

20

30

40

50

続される第2の回路要素5と、第1の回路要素4の両端の電圧と、第2の回路要素5の両端の電圧とを加算する電圧加算器6とを備える。

【0014】

ここで第1の回路要素4は、例えば静電容量と抵抗との並列回路であり、第2の回路要素5は1つの静電容量である。

発明の実施の形態においては、位相比較器の後段側に、3つ以上のチャージポンプ回路を備え、3つ以上のチャージポンプ回路のうちの2つを前述の第1のチャージポンプ回路と第2のチャージポンプ回路として用いることによって、2つのチャージポンプ回路の出力する電流の比を変化可能とするアクティブフィルタを実現することもできる。

【0015】

以上のように本発明によれば、PLL回路の内部のローパスフィルタ（ループフィルタ）として、電圧加算器を備えるアクティブフィルタが用いられる。またチャージポンプ回路を3つ以上備えておき、2つのチャージポンプ回路を選択して用いることによって、2つのチャージポンプ回路の出力する電流の比を変化可能とすることもできる。

【発明の効果】

【0016】

本発明によれば、PLL回路内のローパスフィルタとして電圧加算器を備えるアクティブフィルタを用いることによって、従来型のパッシブフィルタと比較してフィルタを構成する回路素子、特に静電容量の値を小さくすることが可能となり、フィルタのチップ内蔵化が容易となる。

【発明を実施するための最良の形態】

【0017】

図2は、本発明のアクティブフィルタが用いられるPLL回路の全体構成図である。同図において、PLL回路は基準信号（リファレンス信号）が入力される分周器10、PLL回路の出力信号を生成するための電圧制御発振器（VCO）15の出力が入力される分周器11、分周器10の出力としての周波数 $f_1$ の信号（以下、信号 $f_1$ と略称する）と分周器11の出力としての信号 $f_2$ とが入力され、信号 $f_1$ と $f_2$ との位相差を検出する位相比較器12、位相比較器12の位相比較結果に応じて、基本的にはローパスフィルタ（LPF）に対して充電電流を与えるチャージポンプ回路13、チャージポンプ回路13の出力のうちの高周波成分をカットするローパスフィルタ（ループフィルタ）14、ローパスフィルタ14の出力によって発振周波数が制御される電圧制御発振器（VCO）15によって構成されている。

【0018】

本発明のアダプティブフィルタは、図2のローパスフィルタ（LPF）14に相当する。位相比較器12は2つの信号 $f_1$ と $f_2$ との位相差を検出し、例えば信号 $f_1$ の位相が信号 $f_2$ の位相より進んでいる場合には、チャージポンプ回路13に対してLPF14に対する充電電流を流させるように制御する。また逆に信号 $f_1$ の位相が信号 $f_2$ の位相より遅れている場合には、チャージポンプ回路13がLPF14の内部に蓄えられている電荷をポンプする、すなわちディスチャージさせるように、チャージポンプ回路13を制御する。

【0019】

図3は、チャージポンプ回路13の構成例を示す。本実施形態においては、基本的に2つのチャージポンプ回路が用いられるが、その2つのチャージポンプ回路の構成は同様であり、例えばMOSトランジスタの面積などを変化させることによって、LPF14側へのチャージ電流、またはLPF14からのディスチャージ電流を変化させた2つのチャージポンプ回路が用いられる。

【0020】

図3において位相比較器12は、例えば基準信号の分周器10による分周後の信号 $f_1$ の位相が、VCO15の出力信号の分周器11による分周後の信号 $f_2$ の位相より進んでいる場合には、信号 $c$ としてP型MOSトランジスタ17をオンさせるための電圧“H

10

20

30

40

50

”をある時間だけ出力し、その結果P型トランジスタ17がオンすることによって、電源電圧VDD側からLPF14側にチャージ(充電)電流 $I_p$ が流れる。

【0021】

逆に信号 $f_1$ の位相が信号 $f_2$ の位相より遅れている場合には、位相比較器12はN型トランジスタ18をオンさせるために信号 $\phi$ をある時間だけ“L”とし、その結果N型トランジスタ18がオンし、LPF14側に蓄えられた電荷がディスチャージ(放電)電流としてLPF14からN型トランジスタ18を介してアース側に流れることになる。

【0022】

図4は、本実施形態におけるアクティブフィルタの構成例である。同図においてアクティブフィルタ19に対しては、アクティブフィルタ19側に対する充電電流として $I_p$ と $I_p$ との、それぞれ一定電流を流す2つのチャージポンプ回路が接続されている。ここで $I_1$ は2つのチャージポンプ回路の電流値の比を表すものであり、例えば $I_1$ は“1”より小さいものとする。

10

【0023】

充電電流 $I_p$ を流すチャージポンプ回路は、図3のP型トランジスタ17に相当する電流源20とスイッチ21、およびN型トランジスタ18に相当するスイッチ22と電流源23によって構成されている。また $I_2$ を流すチャージポンプ回路は同様にP型トランジスタ17に相当する電流源26とスイッチ27、N型トランジスタ18に相当するスイッチ28と電流源29とによって構成されている。

【0024】

アクティブフィルタ19は、充電電流 $I_p$ を流すチャージポンプ回路の出力とアースとの間に接続されている並列の抵抗 $R_2$ 24と静電容量 $C_2$ 25、充電電流 $I_p$ を流すチャージポンプ回路の出力とアースとの間に接続されている静電容量 $C_1$ 30、ボルテージアダー32、ボルテージアダー32の出力とアクティブフィルタ19の出力端子との間に接続されている抵抗 $R_3$ 33、およびアクティブフィルタ19の出力端子とアースとの間に接続されている静電容量 $C_3$ 34を備えている。そしてボルテージアダー32に対する2つの入力としては、2つのチャージポンプ回路の出力が接続される形式となっている。

20

【0025】

図4のアクティブフィルタ19を、従来例としての図10のパッシブフィルタと比較すると、ボルテージアダー32の後段側、すなわち抵抗 $R_3$ 33と静電容量 $C_3$ 34とによって構成されるフィルタ(アディショナルフィルタ)の部分の構成は同じであり、ボルテージアダー32までの構成が本実施形態に特有の構成である。このように2つのチャージポンプ回路の出力を利用したアクティブフィルタ19を用いることによって、後述するように図10で説明したパッシブフィルタの従来例と同一の特性を、より小さい値を持つ静電容量によって実現することが可能となる。

30

【0026】

また2つのチャージポンプ回路における充電電流の値の比を示す $I_1$ の値を変化させることによって、同一の回路定数を用いてもフィルタの特性を調整することが可能となり、プロセスのばらつきに対応し、また異なるアプリケーションにフィルタをフィッティングさせることも可能となる。

40

【0027】

この電流比 $I_1$ の値を変化させるためには、図5に示すように、位相比較器12の後段にあらかじめP-MOS51、52、N-MOS53、54から成る2つ以上の電流値の異なるチャージポンプ回路を備えておき、その内1つのチャージポンプ回路をスイッチ61、62、63、64から成る制御回路で選択するように、図4の電流 $I_2$ を流すチャージポンプ回路を変更すればよい。

【0028】

このような静電容量の値の低減や、フィルタの特性調整について説明するために、アクティブフィルタの伝達関数を計算し、例えば静電容量 $C_1$ の値が、2つのチャージポンプ回路の電流比 $I_1$ の設定によって変化可能であることについて説明する。

50

【 0 0 2 9 】

まず図4で上側のチャージポンプ回路からの電流を  $I_1$  ( $= I_p$ )、下側のチャージポンプ回路からの電流を  $I_2$  ( $= I_p$ ) とし、ボルテージアダー32への入力電圧  $V_1$ 、 $V_2$  を求め、その和としてボルテージアダー32の出力電圧  $V_C$  を求める。

【 0 0 3 0 】

【 数 1 】

$$V_1 = \frac{R_2}{1 + sC_2R_2} \cdot I_1$$

10

$$V_2 = \frac{1}{sC_1} \cdot I_2$$

$$V_C = V_1 + V_2 = \frac{\left[ 1 + \frac{R_2(C_1I_1 + C_2I_2)}{I_2} \cdot s \right] I_2}{sC_1(1 + sC_2R_2)}$$

20

【 0 0 3 1 】

これに  $I_2 = \alpha I_1$  を代入して

【 0 0 3 2 】

【 数 2 】

$$V_C = \frac{\alpha}{C_1} \cdot \frac{1 + \frac{R_2(C_1 + \alpha C_2)}{\alpha} \cdot s}{s(1 + sC_2R_2)} \cdot I_1$$

30

【 0 0 3 3 】

そこで  $I_1$  から  $V_C$  までの伝達関数は

【 0 0 3 4 】

40

【数3】

$$\frac{V_c}{I_1} = \frac{\alpha}{C_1} \cdot \frac{1 + \frac{R_2(C_1 + \alpha C_2)}{\alpha} \cdot s}{s(1 + sC_2R_2)}$$

10

【0035】

後段のアディショナルフィルタの伝達関数を乗算することにより、アクティブフィルタ全体の伝達関数  $F(s)$  は次式で与えられる。

【0036】

【数4】

$$\begin{aligned} F(s) &= \frac{V_c}{I_1} \cdot \frac{1}{1 + sC_3R_3} \\ &= \frac{\alpha}{C_1} \cdot \frac{1 + \frac{R_2(C_1 + \alpha C_2)}{\alpha} \cdot s}{s(1 + sC_2R_2)(1 + sC_3R_3)} \\ &= \frac{\alpha}{C_1} \cdot \frac{1 + sT_2}{s(1 + sT_1)(1 + sT_3)} \end{aligned}$$

20

$$\text{ここで } T_1 = C_2R_2, T_2 = \frac{R_2(C_1 + \alpha C_2)}{\alpha}, T_3 = C_3R_3$$

30

【0037】

この伝達関数  $F(s)$  と図10におけるパッシブフィルタの伝達関数とを比較する。前述のようにアディショナルフィルタの部分は同じであり、その前の部分 ( $C_1$  と  $R_2 - C_2$  直列回路との並列回路) の伝達関数は次式となる。

【0038】

【数5】

$$\frac{1}{C_1 + C_2} \cdot \frac{1 + sC_2R_2}{s \left( 1 + s \cdot \frac{R_2C_1C_2}{C_1 + C_2} \right)}$$

40

【0039】

50

そこで  
【0040】  
【数6】

$$T_1 = \frac{R_2 C_1 C_2}{C_1 + C_2}, T_2 = C_2 R_2$$

10

【0041】

とおくことにより、アディショナルフィルタを追加した時の伝達関数は、定数の値は異なるものの、 $F(s)$  と同一形式の関数となる。従って本発明のアクティブフィルタは、図10のパッシブフィルタと比較して、フィルタとして同様の性能、効果を持つものとなる。

【0042】

ここでアクティブフィルタの伝達関数  $F(s)$  と PLL 回路の全体のオープンループ伝達関数とを関連させて静電容量  $C_1$  の値を求めるために、図6のPLL回路の詳細構成を用いてPLL回路のオープンループ伝達関数  $G(s)$  を求めることにする。

20

【0043】

図6においては、周波数を位相角に変換した後に位相比較を行うために、2つの  $f/\omega$  変換器41、46が用いられ、リファレンス周波数  $f_r$  と、VCO45から出力される信号の周波数  $f_{vco}$  はそれぞれ位相角に変換され、必要に応じて分周された後に位相比較器42によって比較される。ここでこの変換に用いられる周波数  $f$  と位相角  $\theta$  の関係は次式によって与えられる。なお、図6ではPLLのロック状態において  $N_{f_r}$  の周波数の信号がVCO45から出力されるものとする。

【0044】

【数7】

30

$$\theta = \int \omega \cdot dt = 2\pi \int f \cdot dt = \frac{2\pi}{s} \cdot f$$

【0045】

図6におけるループフィルタ44は本発明のアクティブフィルタに相当し、その伝達関数はブロックの下の  $F(s)$  であり、チャージポンプ43の伝達関数は  $I_p / 2$  であり、VCO45の伝達関数は  $K_{vco}$  である。

40

【0046】

その結果、チャージポンプ43、ループフィルタ44、VCO45、 $f/\omega$  変換器46、および分周器48の各ブロックの伝達関数の積としてのオープンループ伝達関数  $G(s)$  は、次式によって与えられる。

【0047】

【数 8】

$$G(s) = \frac{K_{VCO} I_P}{sN} \cdot F(s)$$

【0048】

10

F(s) を代入して、G(s) は次式となる。

【0049】

【数 9】

$$G(s) = \frac{\alpha K_{VCO} I_P}{NC_1} \cdot \frac{1 + sT_2}{s^2(1 + sT_1)(1 + sT_3)}$$

20

【0050】

静電容量  $C_1$  の値は、オープンループ伝達関数  $G(s)$  のゲイン特性において、

【0051】

【数 10】

$$|G(j\omega)| = 1$$

30

【0052】

となるループ帯域角周波数  $\omega_p$  によって決定される。

図 7 は、このループ帯域角周波数  $\omega_p$  の説明図である。一般に PLL 回路のノイズ特性測定時には、スペクトラムアナライザなどによって図 7 内のスペクトラム波形が測定されるが、ループ帯域角周波数  $\omega_p$  はこのスペクトラム波形が急激に低下し始めるところで、

【0053】

40

$$|G(j\omega)|$$

【0054】

が “1”、すなわちゲインが 0 dB になる角周波数として決定される。

従って、静電容量  $C_1$  は、ループ帯域角周波数  $\omega_p$  を用いて次式によって与えられる。

【0055】

【数 1 1】

$$C_1 = \frac{\alpha I_p K v_{co}}{N \omega_p^2} \sqrt{\frac{(1 + \omega_p^2 T_2^2)}{(1 + \omega_p^2 T_1^2)(1 + \omega_p^2 T_3^2)}}$$

10

【0056】

ここで静電容量  $C_1$  30 の計算式においては、その分子に  $\alpha I_p K v_{co}$  が含まれており、この値を変化させることによって静電容量  $C_1$  の値を可変とすることができる。またボルテージアダー 32 の入力側の抵抗  $R_2$  24 と静電容量  $C_2$  25 の値は時定数  $T_1$  と  $T_2$  を用いることによって

$$R_2 = (T_2 - T_1) / C_1, \quad C_2 = T_1 / R_2$$

によって計算することができる。アディショナルフィルタを構成する抵抗  $R_3$  33 と静電容量  $C_3$  34 の値については、従来例の図 10 におけると同様に計算することができるが、これらの値は本発明と直接の関連はないため、その説明を省略する。

20

【0057】

図 8 は、フィルタの特性を一定に保った場合の、本発明のアクティブフィルタと、図 10 で説明した従来例のパッシブフィルタにおける定数の比較結果を示す。フィルタ内の静電容量の総和を示す総容量の値は、例えば  $0.1$  の値として “ $0.1$ ” を用いることによって、PCS (パーソナル・コミュニケーション・システム) 帯においても、GPS (グローバル・ポジショニング・システム) 帯においても、従来例の約  $1/5$  程度になることがわかる。また PCS 帯において、 $0.1$  の値を “ $0.1$ ” から “ $0.01$ ” に変化させることによって、静電容量  $C_1$  の値を  $1$  桁小さくすることができることがわかる。

【0058】

なお、図 8 内の  $ATT$  の値はアディショナルフィルタの効果を示すものであり、アディショナルフィルタを構成する  $R_3$  と  $C_3$  によって決定される時定数に対応してオープンループ伝達関数の漸近ゲイン特性が折れ曲がる周波数におけるゲインの値から、基準信号の周波数におけるゲインの値がどれだけ低下するかを示すアッテネートというパラメータであるが、このパラメータも本発明のアクティブフィルタの特性とは直接の関係がないため、その詳細な説明を省略する。

30

【0059】

図 9 は、本発明のアクティブフィルタにおいて回路定数の値を固定したまま、 $0.1$  の値を変化させた場合のアクティブフィルタの特性比較結果を示す。 $0.1$  を “ $0.01$ ” から “ $0.015$ ” に変化させることによって、フィルタの特性として重要なパラメータ、例えばオープンループ・バンド幅 (小さくするとノイズが減り、大きくするとロックアップが速くなる) を  $7.8$  から  $8.7$  kHz に、また位相余裕 (フェーズマージン) を  $45$  度から  $38$  度に変化させることができる。このようにフィルタを構成する回路素子の定数値を固定したまま、 $0.1$  の値をわずかに変化させることによって、フィルタの特性を微調整することが可能となり、プロセスのばらつきを補正したり、異なるアプリケーションに対してフィルタをフィッティングさせることも可能となる。

40

【図面の簡単な説明】

【0060】

【図 1】本発明のアクティブフィルタの原理構成図である。

【図 2】PLL 回路の全体構成図である。

【図 3】チャージポンプ回路の構成例である。

50

【図4】本実施形態におけるアクティブフィルタの構成図である。

【図5】チャージポンプ電流値切り替え方式の説明図である。

【図6】PLL回路のオープンループ伝達関数を求めるための構成例の説明図である。

【図7】ループ帯域角周波数を説明する図である。

【図8】本発明のアクティブフィルタと従来例のパスフィルタとの回路定数の比較結果である。

【図9】2つのチャージポンプ回路の電流比を変化させた場合のフィルタの特性比較結果である。

【図10】PLL回路のローパスフィルタの従来例の構成図である。

【符号の説明】

10

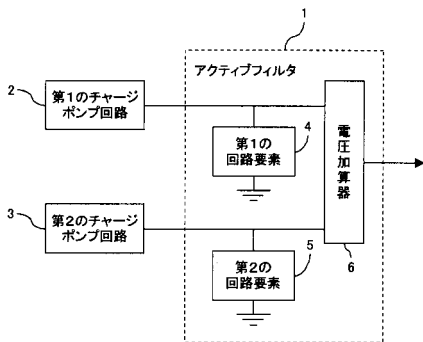
【0061】

- 1、19 アクティブフィルタ
- 2 第1のチャージポンプ回路
- 3 第2のチャージポンプ回路
- 4 第1の回路要素
- 5 第2の回路要素
- 6 電圧加算器
- 10、11 分周器
- 12 位相比較器
- 13 チャージポンプ回路
- 14 ローパスフィルタ(LPF)
- 15 電圧制御発振器(VCO)
- 17 P型MOSトランジスタ
- 18 N型MOSトランジスタ
- 32 ボルテージアダー

20

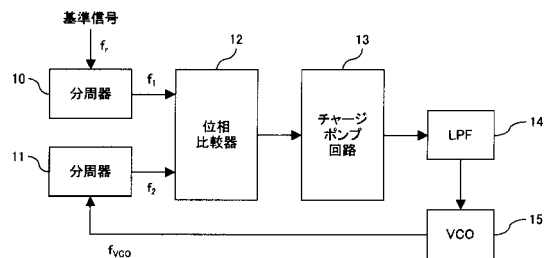
【図1】

本発明のアクティブフィルタの原理構成図



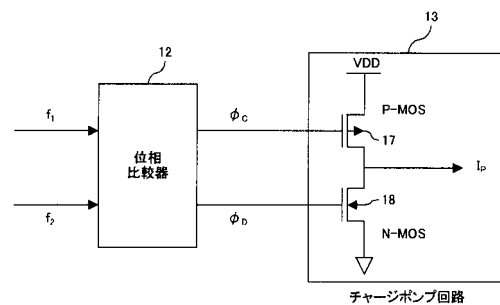
【図2】

PLL回路の全体構成図



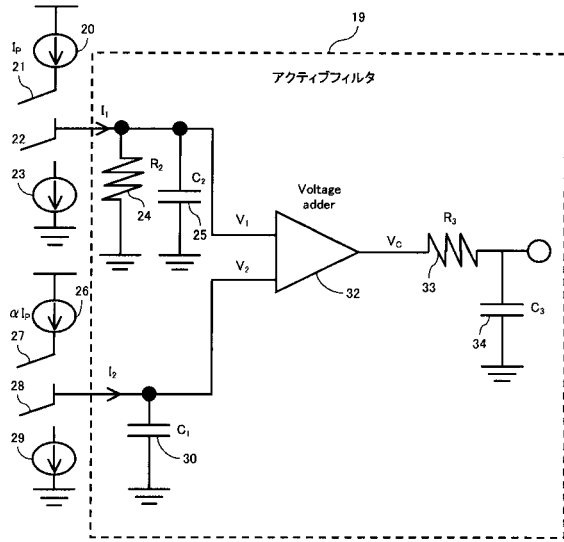
【図3】

チャージポンプ回路の構成例



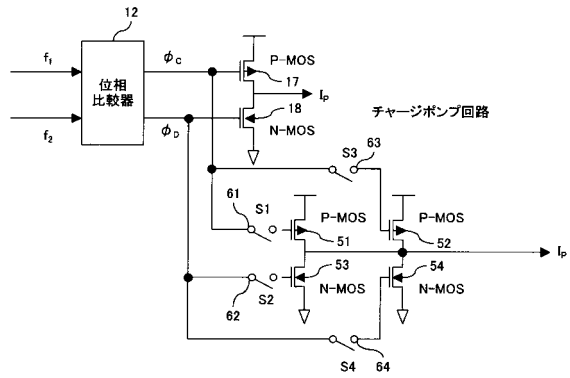
【図4】

本実施形態におけるアクティブフィルタの構成図



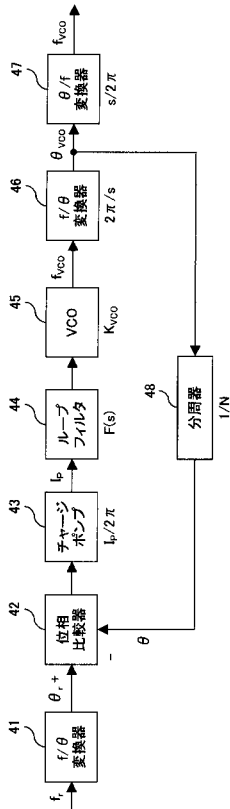
【図5】

チャージポンプ電流値切り替え方式の説明図



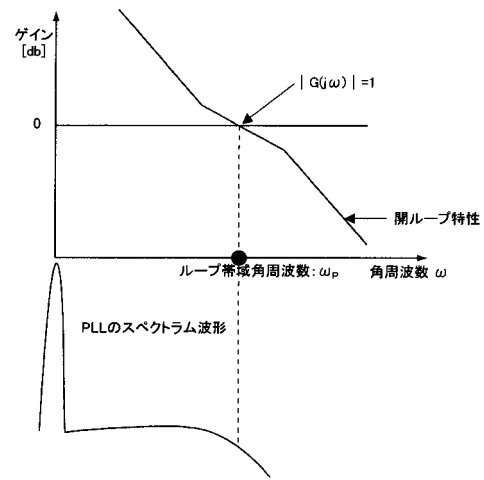
【図6】

PLL回路のオープンループ伝達関数を求めるための構成例の説明図



【図7】

ループ帯域角周波数を説明する図



【図8】

本発明のアクティブフィルタと従来例の  
パッシブフィルタとの回路定数の比較結果

	従来例		本発明		単位
	PCS		GPS		
	PCS	GPS	PCS	GPS	
VCO出力周波数	2140	2140	2140	1391.8	MHz
位相比較周波数	19800	19800	19800	19800	kHz
オープンループバンド幅	7.8	7.8	7.8	7.8	kHz
チャージポンプ	0.075	0.046	0.046	0.03	mA/2π
VCOゲイン	15	15	15	15	MHz/V
位相余裕	45	45	45	45	degree
ATT	10	10	10	10	dB
R3/R2	2	2	2	2	-
$\alpha$	-	0.1	0.01	0.1	-
N	108.08	108.08	108.08	70.29	-
$\omega_c$	48930.411	48998.826	48998.826	48998.826	radian
C1	1.80E-09	6.42E-10	6.42E-11	6.44E-10	F
R2	5.67E+03	6.36E+03	6.36E+03	6.34E+03	$\Omega$
C2	8.70E-09	1.33E-09	1.33E-09	1.33E-09	F
R3/R2	1.13E+04	1.27E+04	1.27E+04	1.27E+04	$\Omega$
C3	1.04E-12	9.29E-13	9.29E-13	9.32E-13	F
C1+C3	1.80E-09	6.43E-10	6.52E-11	6.45E-10	F
総容量	1.05E-08	1.97E-09	1.39E-09	1.98E-09	F

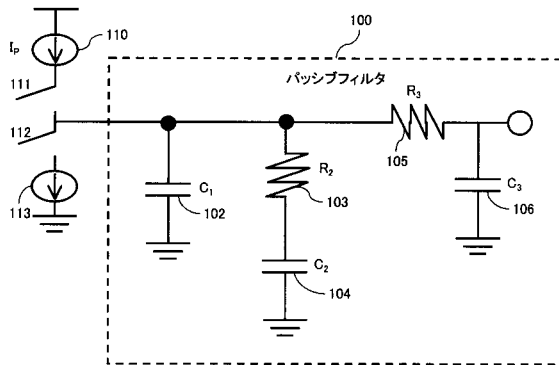
【図9】

2つのチャージポンプ回路の電流比を  
変化させた場合のフィルタの特性比較結果

計算値	デュアルチャージポンプ ローパスフィルタ		単位
	PCS		
	PCS	PCS	
VCO出力周波数	2140	2140	MHz
位相比較周波数	19800	19800	kHz
オープンループバンド幅	7.8	8.7	kHz
チャージポンプ	0.046	0.046	mA/2π
VCOゲイン	15	15	MHz/V
位相余裕	45	38	degree
ATT	10	10	dB
R3/R2	2	2	-
$\alpha$	0.01	0.015	-
N	108	108	-
$\omega_c$	48999	54381	radian
C1	6.422E-11	6.422E-11	F
R2	6359.4	6359.4	$\Omega$
C2	1.327E-09	1.327E-09	F
R3/R2	1.272E+04	1.272E+04	$\Omega$
C3	9.293E-13	9.293E-13	F
C1+C3	6.515E-11	6.515E-11	F
総容量	1.392E-09	1.392E-09	F

【図10】

PLL回路のローパスフィルタの従来例の構成図



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H03L 7/06 - 7/23