



(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 2000年09月13日 特願2000-278349 有 無

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

### 【發明之技術領域】

本發明乃有關於半導體裝置製造方法，特別是關於異外延成長後之光照射熱處理法。

### 【先前之技術】

半導體基板，特別是形成於矽半導體基板上之雙向積體電路其最小尺寸隨著持續地縮小，與之對應之下在實現電晶體之阻隔頻率( $f_T$ )、最大發信頻率( $f_{max}$ )、及傳遞延遲( $\tau_{pd}$ )上漸漸變得困難。這是因為與電晶體相關之寄生因子在最小尺寸縮小的同時增大之故。

雙向接合電晶體(BJT)之高性能化，特別是阻隔頻率 $f_T$ 的提昇上，因基極領域中之載體運行時間縮短以及減低寄生形成於電晶體中之pn接合面積降低而儘可能降低寄生容量而大幅度獲致改善。

這些寄生因子之最小化，可惜其具有危害共通發射極順電流增幅率( $h_{fe}$ )及集流發射極屈服電壓( $BV_{CEO}$ )之傾向。例如，隨著基極寬幅更窄化，基極摻雜必須增大以維持集流發射極屈服電壓( $BV_{CEO}$ )。此不僅會降低共通發射極順電流增幅率( $h_{fe}$ )，還會在此裝置的後續處理時縮短高溫曝曬時間。因此，實際之雙向接合電晶體基本上限制在約20~30 GHz之阻隔頻率( $f_T$ )上。

為了解決此問題，近年有人提出以異接合來形成發射極基極接合。如採取在發射極上接合寬度廣而在基極上接合寬度窄的結構時，因能以接合寬度差來抑制空穴從基極注入到發射極，故從發射極被注入到基極之電子注入效率可

## 五、發明說明 ( 2 )

相對提高。因此，產生出可確保雙向電晶體的電流增幅率之種種優點。

異接合之組合有使用了接合幅度廣之發射極方法與使用了接合幅度窄之基極方法。前者之方法有使用發射極為GaAs、SiC、矽等接合幅度廣的材料(參考1987 IEDM, Tech. Dig. pp 186-193)。後者為以在基極上MBE(分子線外延)及MOCVD(有機金屬化學氣相成長)等方法而使用Si-Ge混晶等之結合寬度窄的材料(參考1970年春季第35次應用物理相關聯合演講會29aZ12/I)。

特別是使用了GaAs等之III-V族化合物半導體之異雙向電晶體(HBT)最被人大力研究開發，但近年則使用可在廉價之矽基板上製作之IV-IV族化合物的SiGe系材料而集中焦點於HBT。

Si與Ge其電子親合力各為4.05 eV、4.0 eV，其值幾乎相同，而接合差各為1.1 eV、0.66 eV。此外，Si-Ge混晶據報具有Si或Ge之中間程度的接合差寬度(參考Band alignments of coherently strained  $Ge_x Si_{1-x}/Si$  heterostructures on  $\langle 011 \rangle Ge_y Si_{1-y}$  substrates Applied Physical Letters 48, 24 February 1986)。組合這些材料可在發射極上形成Si，在基極上形成Ge或Ge-Si混晶層，在集流器上形成Si等組成之矽異雙向電晶體。

此組成之電晶體上，因為在發射極之Si與基極之Si-Ge混晶層界面上形成pn接合，對空穴之能量障壁比對電子之能量障壁大，將pn接合擴散而流動之載體以電子為主。因此，使用了此異接合之雙向電晶體之發射極注入效率大幅提昇。

## 五、發明說明 ( 3 )

再者，抑制空穴從基極注入發射極，可排除蓄積於發射極中之空穴所產生之延遲，藉由發射極之低濃度化，減少發射極基極間接合容量等以形成高速雙向電晶體，是一極為有效之方式。

## 【發明所欲解決之課題】

然而，在前述之基極上的接合寬度窄的材料中例如以MBE及MOCVD、LP-CVD來形成Si-Ge混晶( $\text{Si}_{1-x}\text{Ge}_x$ )時，會因為Si與Si-Ge混晶上晶格數不同，Si-Ge混晶層與底層Si單結晶基板之晶格不整合而堆積某種程度以上膜厚的Si-Ge層時，會產生轉移及破裂等結晶缺陷的問題，因此，其問題為在Si基板上Si-Ge混晶層無法堆積得較厚。

如以上所述，要提高發射極注入效率，在發射極基極接合上其接合寬度變化須急遽。此發射極基極接合時發射極只要抑制空穴入即可，故基極之Ge或Si-Ge混晶層上之發射極電極的Si單結晶即使薄亦可(例如5~10 nm)。因此基極發射極間可有無缺陷之異外延成長。

但若將基極層變薄時會有基極電阻上升之交換關係，故需10~100 nm程度，Si-Ge混晶層需要更厚的膜厚。此外，為了使發射極使基極間有充分的接合差， $\text{Si}_{1-x}\text{Ge}_x$ 之組成需 $X=0.1$ 以上。因此，Si基板上必須堆積50 nm~300 nm之Si-Ge層。

例如，將 $\text{Si}_{1-x}\text{Ge}_x$ 之組成在 $X=0.5$ 左右之組成的膜於矽基板上形成10 nm時，有報告指出在 $\text{Si}_{1-x}\text{Ge}_x$ 上會產生轉移(參考SILICON MBE: FROM STRAINED-LAYER EPITAXY TO DEVICE

## 五、發明說明 ( 4 )

APPLICATION: Journal of Crystal Growth 70 (1984) 444-451)。此外若於50 nm以上Si基板上使 $X=0.5$ 以上之膜成長時，因晶格數不整合，故Si-Ge混晶層上會有不吻合轉移，在基極範圍會有結晶缺陷發生。

此結晶缺陷變為載體之再結合中心而使得發射極注入效率低下，形成發射極集流器間的穿透原因，故在獲得正常的電晶體特性時會形成很大的障礙。基極範圍中，現狀是，為了確保接合差而提高Ge濃度，以及確保某種程度之基極厚度而加厚單一的Si-Ge混晶層以同時滿足前述2個要件之技術尚未確立。

有一些報告指出了矽上的異外延成長層轉移將搬運予以去除掉，或抑制時的多種方式。其中著名者為減少缺陷之成長後熱退火。例如，可參考50 Appl. Phys. Lett. 31 (1987年)所記載之J.W.李及其他論文、50 Appl. Phys. Lett. 992 (1987年)所記載之柴及其他論文、以及49 Appl. Phys. Lett. 815 (1986年)所記載之N.張德及其他論文。

成長後的退火本身經證明其有減少矽基板上的異外延層內大範圍缺陷的效果。但是，發射極矽層之雜質導入一般均為將堆積在發射極矽層上的多晶矽膜產生的n型雜質擴散之，為了達到較淺的接合形成，使用鹵素燈之可急速加熱之燈退火裝置。

此時，Si層與Si-Ge混晶層之熱膨脹係數差會導致產生熱偏差，而產生為了緩和此偏差而錯位又增長的問題。特別是Si的輻射率(emissivity)如圖11所示，接合差的1.1 eV以上(1.4  $\mu\text{m}$

## 五、發明說明 ( 5 )

以下)之短波長的遷移吸收範圍與 $10\ \mu\text{m}$ 以上之長波長的晶格振動所產生的振動吸收範圍是存在的，其間的波長範圍稱之為窗口，存在著仰仗雜質及溫度的領域範圍。窗口以外的波長領域輻射率不太仰仗溫度及波長而為0.7(黑體為1.0)程度，但窗口領域明顯地依存於比 $600^\circ\text{C}$ 低的溫度而愈低溫紅外線愈穿透， $600^\circ\text{C}$ 以上特別是 $700^\circ\text{C}$ 以上時窗口以外的波長領域與輻射率幾乎一致。

Si-Ge混晶層上因為具有Si或Ge的中間接合差寬度而遷移吸收領域偏向長波長方，燈退火時其加熱時之溫度上升程度在Si層與Si-Ge混晶層上是不同的，故產生熱應力並促進錯位的增長。

本發明乃鑒於上述各點，而提供一種半導體裝置的製造方法，特別是退火技術，其能形成缺陷少而良率高的異接合電晶體等之異接合裝置。

### 【解決課題之手段】

有關本發明之半導體裝置的製造方法為，在對底層半導體上具有與該底層半導體種類相異之半導體層的基體以光照射進行熱處理時，以開始溫度及到達最高溫度之間的中間溫度來暫時保持基體的溫度。

以開始溫度及到達最高溫度之間的中間溫度來暫時保持基體的溫度，可以在中間溫度時，底層半導體與其上之異種半導體層的溫度一致，使得之後的溫度上升時之熱應力被抑制。

有關本發明之半導體裝置的製造方法為，在對底層半導

## 五、發明說明 ( 6 )

體上具有與該底層半導體種類相異之半導體層的基體以光照射進行熱處理時，較開始溫度與到達最高溫度之間的中間溫度以至該到達最高溫度前的溫度上升速度，將中間溫度以前之溫度上升速度設定為較小。

較中間溫度與到達最高溫度之間的溫度上升速度，將中間溫度以前的溫度上升速度設定為較小，而在中間溫度時，底層半導體與其上之異種半導體層的溫度暫時一致，使得之後的溫度上升時之熱應力被抑制。

### 【發明之實施型態】

本發明有關之半導體裝置製造方法為，對底層半導體上具有與該底層半導體種類相異之半導體層的基體以光照射進行熱處理時，以開始溫度及到達最高溫度之間的中間溫度來暫時保持基體的溫度。

保持基體溫度之中間溫度乃在異種半導體層間不產生光吸收偏差的溫度。保持基體溫度之中間溫度可設在 $600^{\circ}\text{C}\sim 800^{\circ}\text{C}$ 、 $700^{\circ}\text{C}\sim 800^{\circ}\text{C}$ 。若為超過 $800^{\circ}\text{C}$ 的高溫時則無法忽略異種半導體層間的溫度差，其熱應力變大而難以降低錯位之傳遞。

本發明有關之半導體裝置製造方法為，對底層半導體上具有與該底層半導體種類相異之半導體層的基體以光照射進行熱處理時，較開始溫度與到達最高溫度之間的中間溫度以至到達溫度為止的溫度上升速度，將該中間溫度以前之溫度上升速度設定為較小。

中間溫度乃上述異種半導體層間不產生光吸收偏差的溫度。

## 五、發明說明( 7 )

此中間溫度乃設在 $600^{\circ}\text{C} \sim 800^{\circ}\text{C}$ 、 $700^{\circ}\text{C} \sim 800^{\circ}\text{C}$ ，中間溫度以前之溫度上升速度可設定在 $20^{\circ}\text{C}/\text{sec}$ 以下。

參考圖面來說明本發明之實施型態例。

圖1為使用了本實施型態之減壓CVD裝置概略組成圖。

此減壓CVD裝置1具有使半導體層氣相成長之基板2，例如配置半導體晶圓之石英室(所謂反應室)3、將石英室3內加熱到所需溫度之光照射加熱手段，本例中為具有多個紅外線燈(例如鹵素燈)4之加熱手段5、搬運基板2到石英室3之搬運單元6。

石英室3中，可由馬達7來旋轉，表面配置了感受器8來將SiC膜做CVD包覆。反應氣體透過氣體供應系統9而供給於室3內，透過排氣系統10而排氣。氣體供應系統9中設置了未圖示之內部純化器。搬運單元6具有排氣系統13之所謂清洗室12，在清洗室12基板運入方與基板運出方之石英室3連結部設置了閘閥11。

圖2為使用本實施型態之光照射加熱裝置，亦即燈退火裝置之概略組成圖。

此燈退火裝置21中，除了配置需在外圍器22內熱處理之基體201，例如由插入使異外延層成長之半導體基體(晶圓)的石英玻璃所構成之管體(所謂加熱爐)23之外，還配置了將此石英玻璃管體23上下夾住之光照射用多個紅外線燈(例如鹵素燈)24所組成之加熱手段25。石英玻璃管體23對紅外線有高穿透性。上下紅外線燈24乃與外圍器22之如鍍金之內壁面對而設置之。

## 五、發明說明 ( 8 )

石英玻璃管體23之基體201插入方在基體201之插入、取出之際開閉，再者裝設門26，其乃於石英玻璃管體23密閉時將石英玻璃管體23內保持密閉而裝設樹脂製迫緊(O型環)27者。外圍器22具有由水冷結構29、氣體導入口30導入之例如N<sub>2</sub>氣或空氣空冷結構。

石英玻璃管體23內配置了支撐基體201之石英製托架31。基體201乃以突出於石英製托架31石英製2個針銷32及接觸式熱電偶33之前端部分來水平支撐。熱電偶33之測溫部(合金部)周圍被具有優越熱傳導性之SiC包覆。由此，提高基體201之熱傳導，再者極力抑制光直接吸收之表面積縮小，而提高熱應答性而做成熟容量小的結構。此外，測溫部(合金部)周圍以外的線體被紅外線穿透性佳之石英所包覆，在測溫部以外的包覆材料中其具有極力抑制光直接吸收之結構。將由此接觸式熱電偶33而測量之基體溫度以紅外線燈24輸出時所回饋之關閉回線來控制基體溫度。

熱處理時，所須知大氣氣體由石英玻璃管體23一端之氣體導入口36供給之，由另一端之氣體排出口37排出。34為測定紅外線燈24溫度之高溫計，35為配置於石英玻璃管體23之護圈。

本實施型態基板上使用了半導體晶圓例如Si晶圓，以圖1之減壓CVD裝置1在Si晶圓2的一主面上使異外延成長，亦即在與Si異種之半導體層，例如Si-Ge混晶層15，再於此Si-Ge混晶層15上使Si層16異外延成長(參考圖4)。亦即，將清洗過之Si晶圓2運入已做N<sub>2</sub>清洗之清洗室12內，在清洗室12排氣後打

## 五、發明說明( 9 )

開閘閥11而在石英室3內的接受器8上搬運Si晶圓2。在石英室3內透過氣體供應系統9而將Si-Ge混晶供給至異外延成長所必須之反應氣體，在Si晶圓2異外延成長較厚之Si-Ge混晶層15。其次，將Si供給到異外延成長所必須之反應氣體，在Si-Ge混晶層15上將Si層16做異外延成長。

此Si晶圓2上成長了異外延成長層，亦即Si-Ge混晶層15及Si層16之圖4所示之半導體基體(半導體晶圓)201上，因晶格數不整合而在Si-Ge混晶層15上產生錯位(結晶缺陷)。Si層16形成較薄時可有較無缺陷之異外延成長。

接著，對此半導體基體201使用圖2之燈退火裝置21來進行異外延成長後之加熱處理，降低異外延層15之錯位。

然後，本實施型態中，對此半導體基體201做燈退火時，特別是溫度程序如圖3，例如圖3A所示，在比到達最高溫度 $T_4$ 低之溫度，亦即開始溫度 $T_1$ 與到達最高溫度 $T_4$ 之間所須之中間溫度 $T_3$ 時設置程序步驟，將半導體基體201從開始溫度 $T_1$ 以特定之溫度上升速度加熱到中間溫度 $T_3$ 為止後，以此中間溫度 $T_3$ 暫時將半導體基體201的溫度保持特定時間，之後再以特定之溫度上升速度加熱至到達最高溫度 $T_4$ 為止。此中間溫度 $T_3$ 可設為如前述之圖11所示之窗口範圍上其紅外線吸收與窗口之外的波長範圍幾乎相同的溫度。在矽晶圓上使異外延成長層成長時，可將以上中間溫度 $T_3$ 設為 $600^{\circ}\text{C} \sim 800^{\circ}\text{C}$ 、 $700^{\circ}\text{C} \sim 800^{\circ}\text{C}$ 。

保持中間溫度 $T_3$ 的時間可設定在Si-Ge混晶層溫度安定在中間溫度 $T_3$ 的時間以上，所謂其超過部分開始收斂的時間以

## 五、發明說明 ( 10 )

上。

如基於圖3A之溫度程序進行燈退火時，因能在到達中間溫度 $T_3$ 的階段使半導體基體溫度暫時只保持在特定時間，故以此保持時間來等待比Si-Ge溫度上升慢的Si溫度上升。亦即，Si與Si-Ge光吸收率相同之中間溫度 $T_3$ 時，Si基板2、Si層16與Si-Ge混晶層15之溫度相同，之後一樣地溫度上升，而可抑制到達最高溫度 $T_4$ 前之溫度上升之際的熱應力。因此，可抑制熱應力產生之晶格變形，降低Si-Ge混晶層15之錯位傳遞。

本實施型態中，可基於圖3B之溫度程序進行燈退火。

亦即，較以上中間溫度 $T_3$ 到達最高溫度 $T_4$ 為止的溫度上升速度，可將從開始溫度 $T_1$ 到中間溫度 $T_3$ 為止的溫度上升速度設為較小，將半導體基體201從開始溫度 $T_1$ 慢慢加溫到中間溫度 $T_3$ ，之後以一般的溫度上升速度加熱至到達最高溫度 $T_4$ 為止。從開始溫度 $T_1$ 到中間溫度 $T_3$ 為止的溫度上升速度設在 $20^\circ\text{C}/\text{sec}$ 以下較佳。

此外，本實施型態中，也可基於圖3C所示之溫度程序進行燈退火。

亦即，由從開始溫度 $T_1$ 到比以上中間溫度(亦即第二中間溫度) $T_3$ 低溫之第一中間溫度 $T_2$ 為止的溫度上升速度、較上述中間溫度(第二中間溫度) $T_3$ 以至到達最高溫度 $T_4$ 為止的溫度上升速度，可將第一中間溫度 $T_2$ 到上述中間溫度(亦即第二中間溫度) $T_3$ 為止之溫度上升速度設為較小。然後，以一般的溫度上升速度將半導體基體201從開始溫度 $T_1$ 加熱到第一中間溫度 $T_2$ ，從第一中間溫度 $T_2$ 到第二中間溫度 $T_3$ 乃徐徐

## 五、發明說明 ( 11 )

加熱昇溫，之後以一般的溫度上升速度加熱至到達最高溫度 $T_4$ 為止。此第一中間溫度 $T_2$ 到第二中間溫度 $T_3$ 為止的溫度上升速度設定在 $20^\circ\text{C}/\text{sec}$ 以下較佳。

基於圖3B及圖3C之溫度程序進行燈退火時，如同圖3A所說明者，在到達中間溫度 $T_3$ 階段時Si基板2、Si層16與Si-Ge混晶層15之溫度相同，之後可抑制到達最高溫度 $T_4$ 前之溫度上升之際的熱應力，降低Si-Ge混晶層15之錯位傳遞。

接者，說明具體實例。

圖5表示減壓CVD裝置1之氣體導入及溫度程序之一例。

本例中，使用半導體晶圓例如Si(100)CZp型晶圓作為基板2。如圖6所示，將此半導體晶圓以例如HF洗淨 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 、溶液以及 $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 溶液清洗後，在半導體晶圓主面上將熱氧化膜以特定膜厚例如200 nm成長。之後，在熱氧化膜上形成所需之光阻圖案，以HF處理來除去光阻開口部之熱氧化膜來製作具很多熱氧化膜之開口尺寸為例如 $105\ \mu\text{m} \times 105\ \mu\text{m}$ 之正方形圖案的樣本晶圓2(參考圖6A)。

對此樣本晶圓2，以例如HF洗淨、 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 溶液以及 $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 溶液清洗，再於樣本晶圓搬運至減壓CVD裝置1之前進行HF(0.5%)清洗與純水清洗並乾燥之。乾燥時使用旋轉乾燥器。

然後，將樣本晶圓2搬運至圖2之減壓CVD裝置1。晶圓2之搬運開始時送到 $\text{N}_2$ 洗淨過之洗淨室12內，之後再打開進行洗淨室12排氣後之閘閥11，搬運晶圓2到石英室(反應室)3內之接受器8上。石英室3內被排氣到所需之真空度例如80 Torr。

## 五、發明說明 ( 12 )

晶圓2乃以紅外線燈4來加熱。

晶圓2搬運至石英室3內後，為除去在純水清洗及大氣中之搬運時形成之自然氧化膜，而以1000°C程度來進行H<sub>2</sub>烘烤。載體氣體(H<sub>2</sub>)供給20 slm。其次，所需之溫度設定在例如685°C程度或700°C程度，將SiH<sub>4</sub>氣體以所需之流量例如50 sccm，以特定之膜厚例如15 nm程度來成長Si層42以作為緩衝層(參考圖6B)。之後控制SiH<sub>4</sub>、B<sub>2</sub>H<sub>6</sub>、GeH<sub>4</sub>的氣體流量使硼的最高濃度變為 $1 \times 10^{19}$  atoms/cm<sup>2</sup>，Ge濃度變為15%，例如供給20 sccm的SiH<sub>4</sub>，1~8 sccm的B<sub>2</sub>H<sub>6</sub>，30~50 sccm的GeH<sub>4</sub>，溫度設在例如610°C或650°C，將Si-Ge層43成長至所需膜厚例如100 nm程度(參考圖6C)。之後，將原本形成發射器之Si層(上蓋層)44堆積到如80 nm程度。此時，溫度設在例如640°C或670°C，供給100 sccm的SiH<sub>4</sub>，0.9 sccm的B<sub>2</sub>H<sub>6</sub>。如此可獲得如圖6D所示之樣本基體201。

圖7為使上蓋層44/Si-Ge層43/緩衝層41成長之樣本基體201的SIMS的硼(B)與鍺(Ge)濃度資料。

此外，異外延成長時錯位產生密度強烈依存於上蓋層44/Si-Ge層43/緩衝層42之成長溫度。

接著，為了確認使用了燈退火之退火處理程序所產生之錯位傳遞不同，而使用圖2所示之燈退火裝置21來施以加熱處理。本例中，以圖8及圖9所示之2種程序來進行樣本基體201(參考圖6D)之退火處理。供給2 slm的N<sub>2</sub>氣於石英玻璃管體23內。評估水準如表1所示。

圖9之燈退火處理程序乃供給例如2 slm N<sub>2</sub>氣於石英玻璃管

## 五、發明說明 ( 13 )

體 23 內成為  $N_2$  氣氛，將熱處理開始溫度  $T_1$  設在  $200^\circ C$  程度，將樣本基體 201 運入石英玻璃管體 23 內在經過特定時間後以溫度上升速度  $50^\circ C / sec$  從溫度  $T_1$  昇溫至到達最高溫度  $T_4$  之  $1000^\circ C$  程度為止而保持 10 sec 程度，之後，以溫度下降速度  $50^\circ C / sec$  降溫到  $T_5$ ， $500^\circ C$  程度，以必要時間保持溫度  $T_5$  而結束熱處理後，運出樣本基體 201。此程序在開始溫度  $T_1$  至到達最高溫度  $T_4$  之間為無階段性退火之程序。

圖 8 之燈退火處理程序乃將石英玻璃管體 23 內之大氣例如供給 2 slm 程度之  $N_2$  氣成為氣氛，將熱處理開始溫度  $T_1$  設在  $200^\circ C$  程度，將樣本基體 201 運入石英玻璃管體 23 內在經過特定時間後自溫度  $T_1$  以溫度上升速度  $50^\circ C / sec$  昇溫到中間溫度  $T_3$ ， $750^\circ C$  程度而保持 10 sec 程度，之後以溫度上升速度  $50^\circ C / sec$  從中間溫度  $T_3$  昇溫到  $T_4$ ， $1000^\circ C$  程度而保持 10 sec，其後以溫度下降速度  $50^\circ C / sec$  降溫到  $T_5$ ， $500^\circ C$  程度，特定時間保持溫度  $T_5$  而結束熱處理後，運出樣本基體 201。此程序在開始溫度  $T_1$  至到達最高溫度  $T_4$  之間為有階段性退火之程序。

【表 1】

評估水準

水準	異外延成長 條件	燈退火條件	模式尺寸 ( $\mu m$ )
1	緩衝層 $700^\circ C$ SiGe層 $650^\circ C$ 上蓋層 $670^\circ C$	$1000^\circ C$ 10 sec	$105 \times 105$
2	緩衝層 $700^\circ C$ SiGe層 $650^\circ C$ 上蓋層 $670^\circ C$	無	$105 \times 105$

## 五、發明說明 ( 14 )

3	緩衝層	700°C	750°C 10 sec/ 1000°C 10 sec	105×105
	SiGe層	650°C		
	上蓋層	670°C		

對表1之樣本基體201，以氫氟酸：硝酸(61%濃度)：醋酸：水=1：15：3：1之混合液的蝕刻法來將結晶缺陷選擇性蝕刻以顯微鏡觀察，而在樣本基體之縱向與橫向中之計1300處的105  $\mu\text{m}$ ×105  $\mu\text{m}$ 的正方形模式內將有錯位之模式個數各自計算之，調查出成長溫度時之錯位產生以及其後之退火處理時的錯位傳遞。

將評估結果整理如表2及圖10。此處所示之良率(Yield)為在所觀察之1300處的正方形模式中，未發生錯位之正方形模式比例(未發生錯位之模式數×100/1300)。

【表2】

評估結果

水準	異外延成長條件		燈退火條件	模式尺寸 ( $\mu\text{m}$ )	良率(Yield) (%)
1	緩衝層	700°C	1000°C 10 sec	105×105	6.1
	SiGe層	650°C			
	上蓋層	670°C			
2	緩衝層	700°C	無	105×106	78.8
	SiGe層	650°C			
	上蓋層	670°C			
3	緩衝層	700°C	750°C 10 sec/ 1000°C 10 sec	105×105	52.1
	SiGe層	650°C			
	上蓋層	670°C			

由表2及圖10之結果，可看到因異外延成長後之燈退火處理程序所產生之錯位產生量差距。例如圖8之設置了750°C程度、10 sec程度之步驟時之程序時，不太依存於異外延層之

## 五、發明說明 ( 15 )

成長溫度，而僅少許增加錯位，但在無階段性之圖9的程序時產生顯著之錯位增加。

此外表2未表示出，異外延層之成長溫度低者其成長後之錯位較少。

如此在燈退火熱處理時在到達750°C程度時之階段，可由暫時保持基體201溫度在所需時間(例如10 sec)來抑制錯位產生量。此乃因在比600°C低溫時，Si-Ge層與Si層之光吸收有差距，故溫度上升速度在Si-Ge層與Si層上不同，而產生熱膨脹係數差導致的熱應力。

因此，不設置階段步驟而將晶圓一口氣加熱到1000°C程度時，有因熱應力而產生之晶格變形緩和，產生顯著的錯位。相對於此，在750°C以上之溫度範圍時，因Si-Ge層與Si層同樣吸收光，故可以750°C程度之溫度保持晶圓，以一時之溫度相同而抑制其後之溫度上升時之熱應力。

實際上乃在保持600°C~800°C之溫度下來評估，但如為此溫度範圍時其錯位之產生與750°C時相同。再者，將中間溫度之600°C~800°C之溫度上升速度設在20°C/sec以下(相當於圖3B及圖3C之程序)時亦可得到相同效果。

上例中，本發明雖適用於矽基板上IV-IV族化合物之SiGe系及將其上之Si異外延成長後的半導體基板燈退火處理上，但其他之在矽基板上形成IV-IV族化合物之SiGe系異外延層的半導體基體燈退火處理，再者例如使用了GaAs等III-V族化合物半導體之異外延成長(包含在半絕緣性化合物半導體基板上使異外延成長時)等之在各種異外延成長後的半導體基板

## 五、發明說明 ( 16 )

燈退火處理上亦適用。

### 【發明之效果】

根據本發明，對在底層半導體上異種之半導體層，所謂有異外延成長層之基體的光照射熱處理時，抑制熱應力產生之晶格變形緩和，可抑制傳遞異外延層之錯位。

因此，可在缺陷很少而高良率下製造異外延接合電晶體等之異接合裝置。

### 【圖式之簡要說明】

圖1係使用本實施型態之減壓CVD裝置的一概略組成圖。

圖2係使用本實施型態之燈退火裝置的一概略組成圖。

圖3A係溫度程序，表示有關本實施型態之燈退火處理第一例。B係溫度程序，表示有關本實施型態之燈退火處理第二例。C係溫度程序，表示有關本實施型態之燈退火處理第三例。

圖4係一剖面圖，說明本實施型態中使用半導體基體之例。

圖5係本實施型態中使用之減壓CVD裝置的溫度程序及氣體程序。

圖6A~D係具有關於本實施型態之異外延層的樣本基體製造工程圖。

圖7係關於本實施型態之樣本基體的硼(B)與鍺(Ge)的濃度分布圖。

圖8係溫度程序，表示有關本實施型態之燈退火處理具體例。

## 五、發明說明 ( 17 )

圖9係溫度程序，表示有關比較例之燈退火處理具體例。

圖10係有關於本實施型態之評估結果圖表。

圖11係表示Si輻射率(emissivity)之波長依存性關係的圖表。

## 【元件符號之說明】

1... 減壓CVD裝置、2... 半導體晶圓、3... 石英室、21... 燈退火裝置、23... 石英玻璃管體、24... 紅外線燈、25... 加熱手段、201... 半導體基體。

裝

訂

線

## 四、中文發明摘要(發明之名稱：半導體裝置之製造方法)

本發明係在異外延成長後之燈退火處理時，降低異外延層之錯位。

於對底層半導體上對具有與該底層半導體種類相異之半導體層的基體作光照射熱處理時，以開始溫度 $T_1$ 與到達最高溫度 $T_4$ 之間的中間溫度 $T_3$ 來暫時保持上述基體之溫度，或較開始溫度 $T_1$ 與到達最高溫度 $T_4$ 之間的中間溫度 $T_3$ 以至該到達最高溫度 $T_4$ 為止的溫度上升速度，將中間溫度 $T_3$ 之前的溫度上升速度設定為較小。

## 日文發明摘要(發明之名稱：半導体装置の製造方法)

ヘテロエピタキシャル成長後のランプアニール処理において、ヘテロエピタキシャル層の転位の低減を図る。

下地半導体上に該下地半導体とは異種の半導体層を有する基体に対する光照射による熱処理に際し、開始温度 $T_1$ と到達最高温度 $T_4$ との間の中間温度 $T_3$ で一旦上記基体の温度を保持する、又は開始温度 $T_1$ と到達最高温度 $T_4$ との間の中間温度 $T_3$ から該到達最高温度 $T_4$ までの温度上昇速度より、中間温度 $T_3$ 以前の温度上昇速度を小さく設定する。

## 六、申請專利範圍

1. 一種半導體裝置之製造方法，其特徵為對於底層半導體上具有與該底層半導體種類相異之半導體層的基體作光照射以熱處理時，  
以開始溫度與到達最高溫度之間的中間溫度來暫時保持上述基體之溫度。
2. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中前述中間溫度係在異種半導體層間的光吸收上並不產生差異之溫度。
3. 如申請專利範圍第1項所記載之半導體裝置之製造方法，其中係將保持前述基體溫度之中間溫度設定在 $600^{\circ}\text{C}\sim 800^{\circ}\text{C}$ 。
4. 一種半導體裝置之製造方法，其特徵為對於底層半導體上具有與該底層半導體種類相異之半導體層的基體作光照射以熱處理時，  
較開始溫度與到達最高溫度之間的中間溫度以至前述到達最高溫度為止的溫度上升速度，將中間溫度之前的溫度上升速度設定為較小。
5. 如申請專利範圍第4項所記載之半導體裝置之製造方法，其中前述中間溫度係在異種半導體層間的光吸收上並不產生差異之溫度。
6. 如申請專利範圍第4項所記載之半導體裝置之製造方法，其中係將前述中間溫度設在 $600^{\circ}\text{C}\sim 800^{\circ}\text{C}$ ，將前述中間溫度以前之溫度上升速度設定在 $20^{\circ}\text{C}/\text{sec}$ 以下。

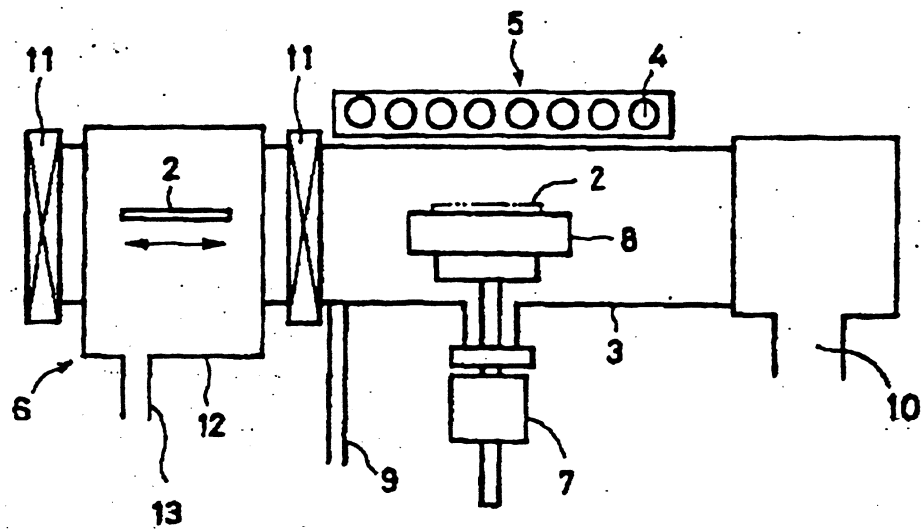


圖 1

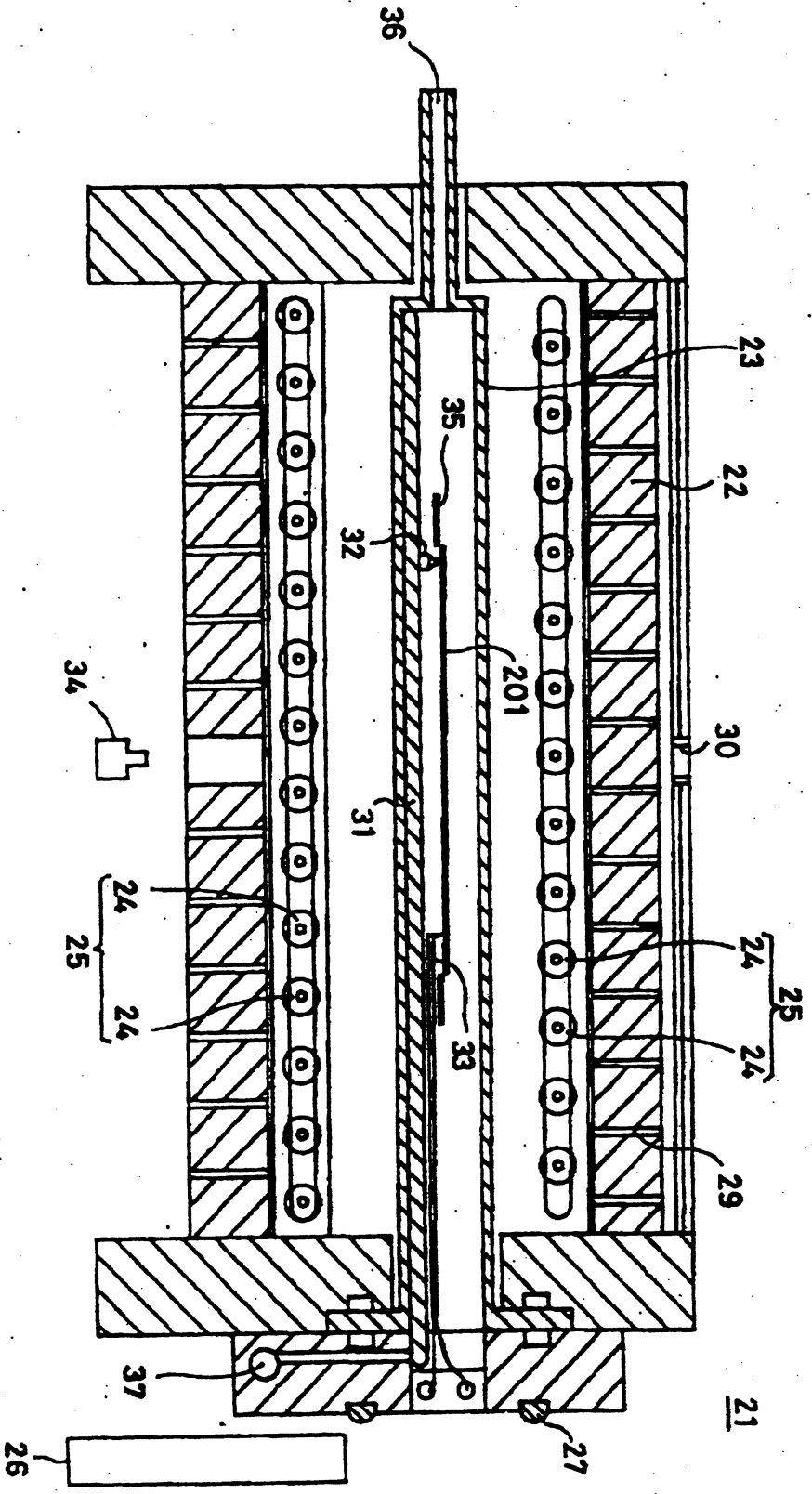


圖 2

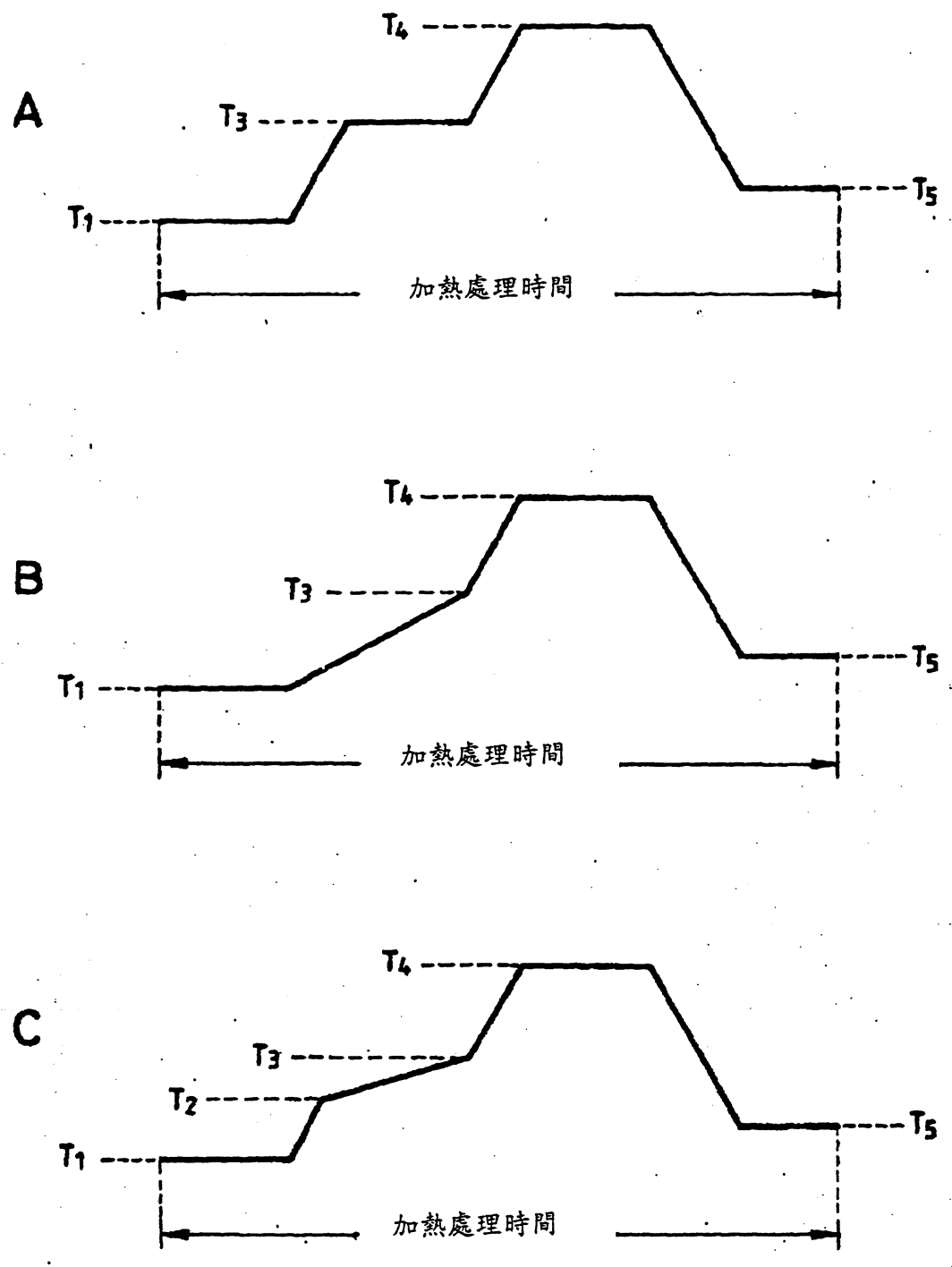


圖 3

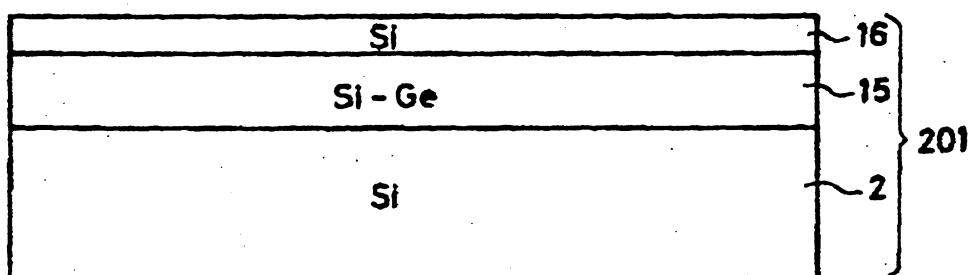


圖 4

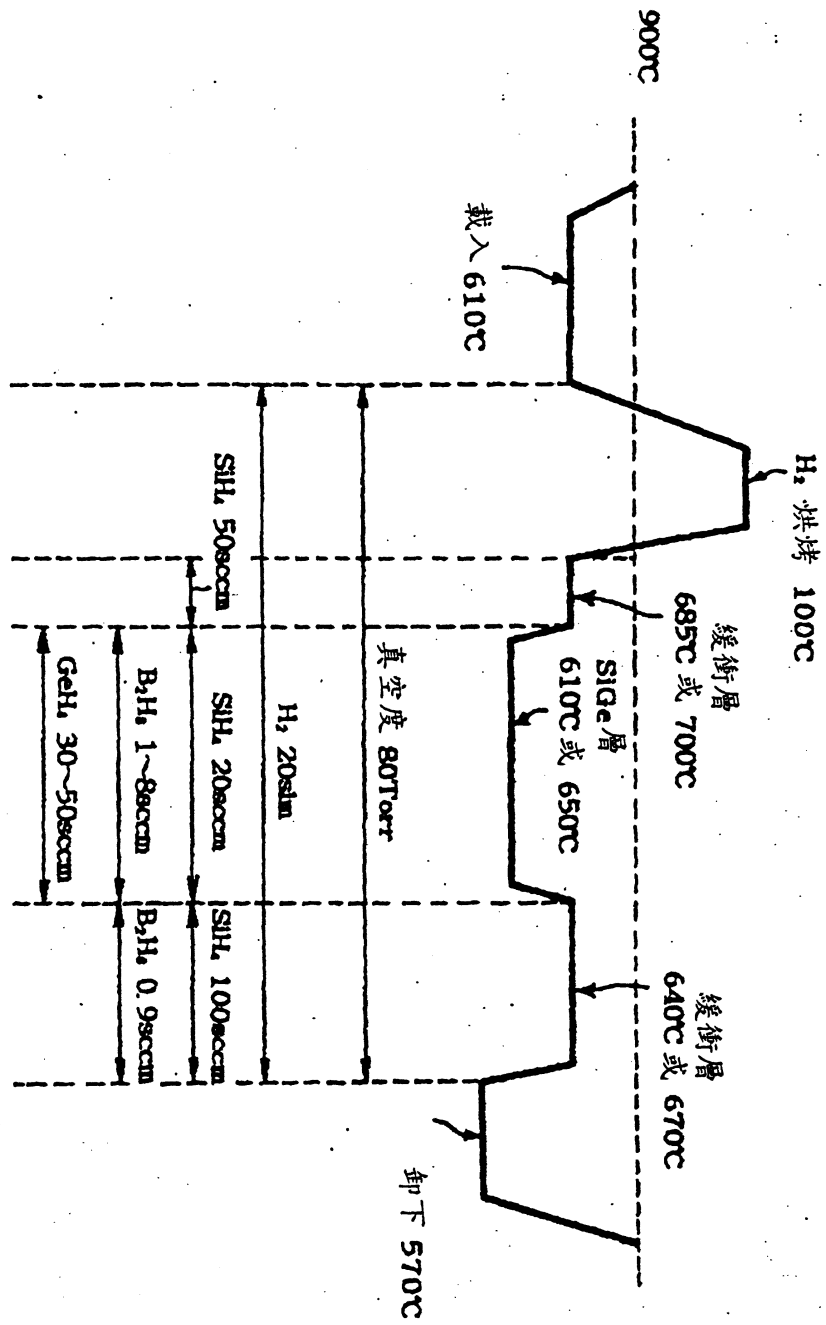
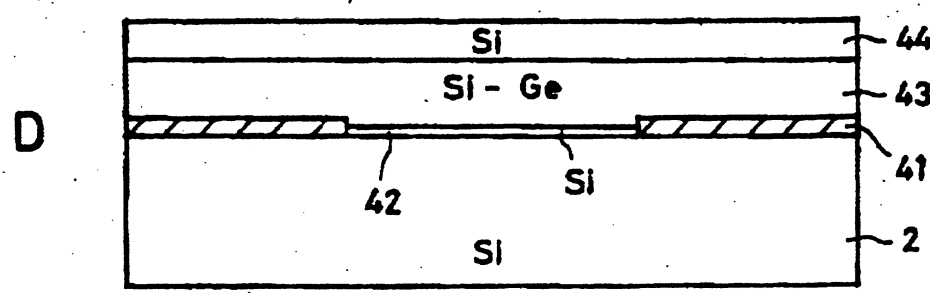
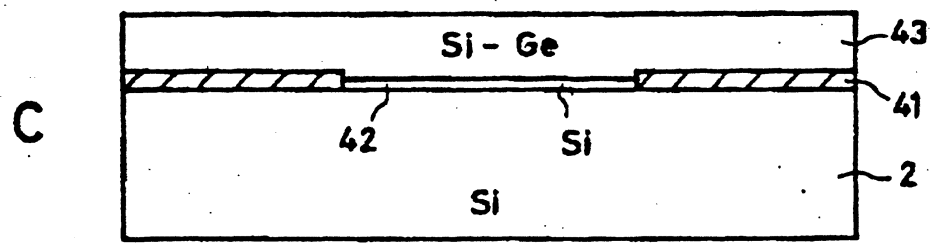
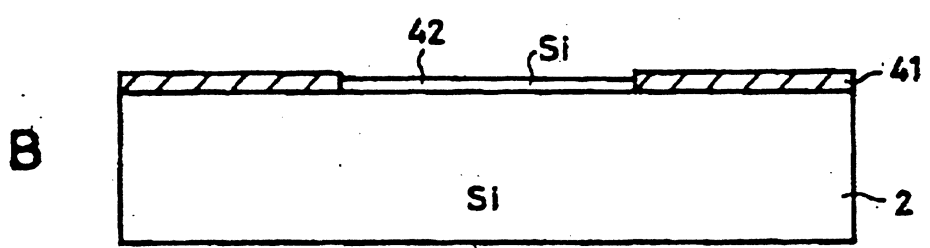
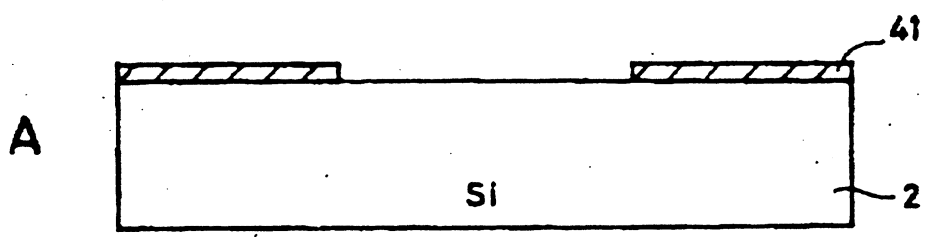


圖 5



201

圖 6

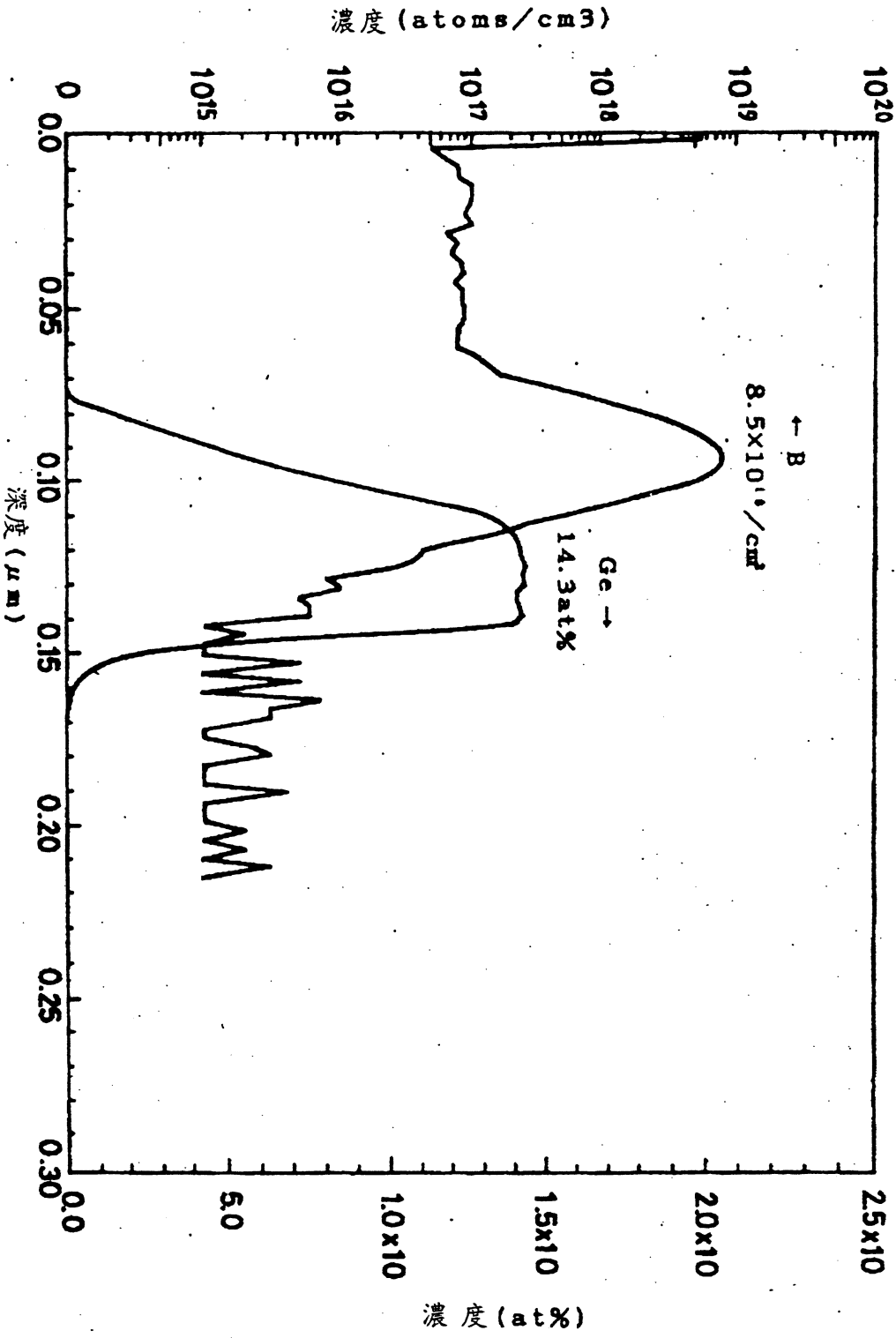


圖 7

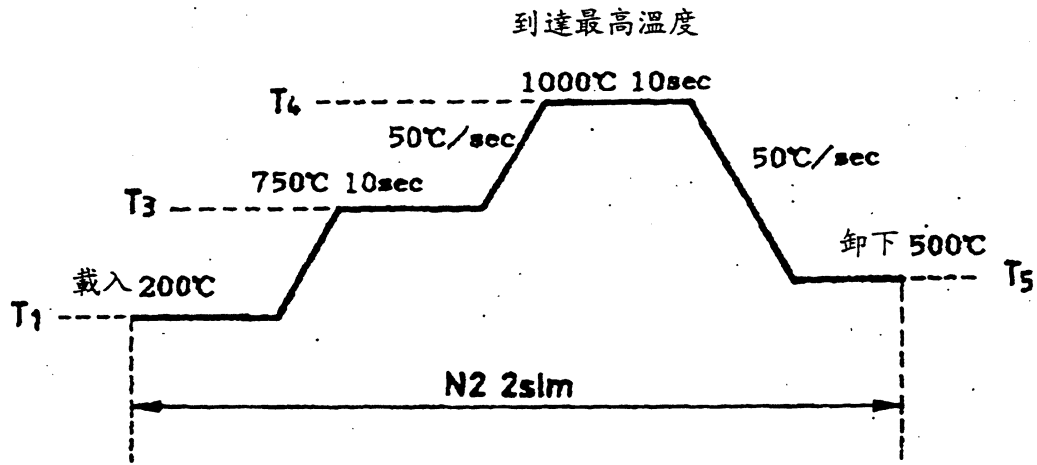


圖 8

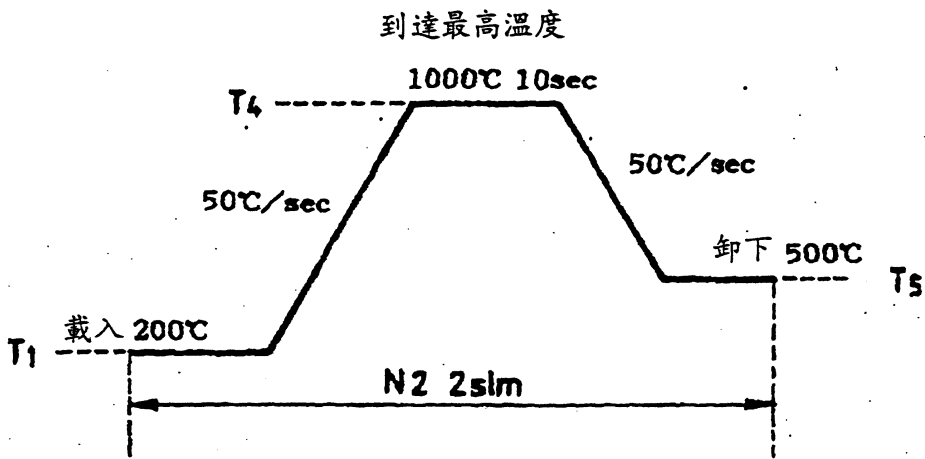


圖 9

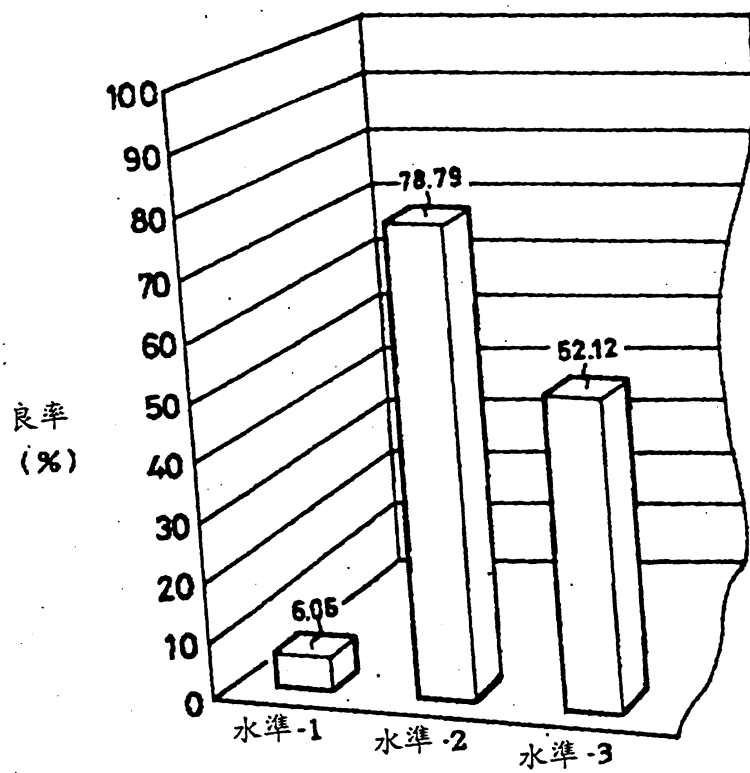


圖 10

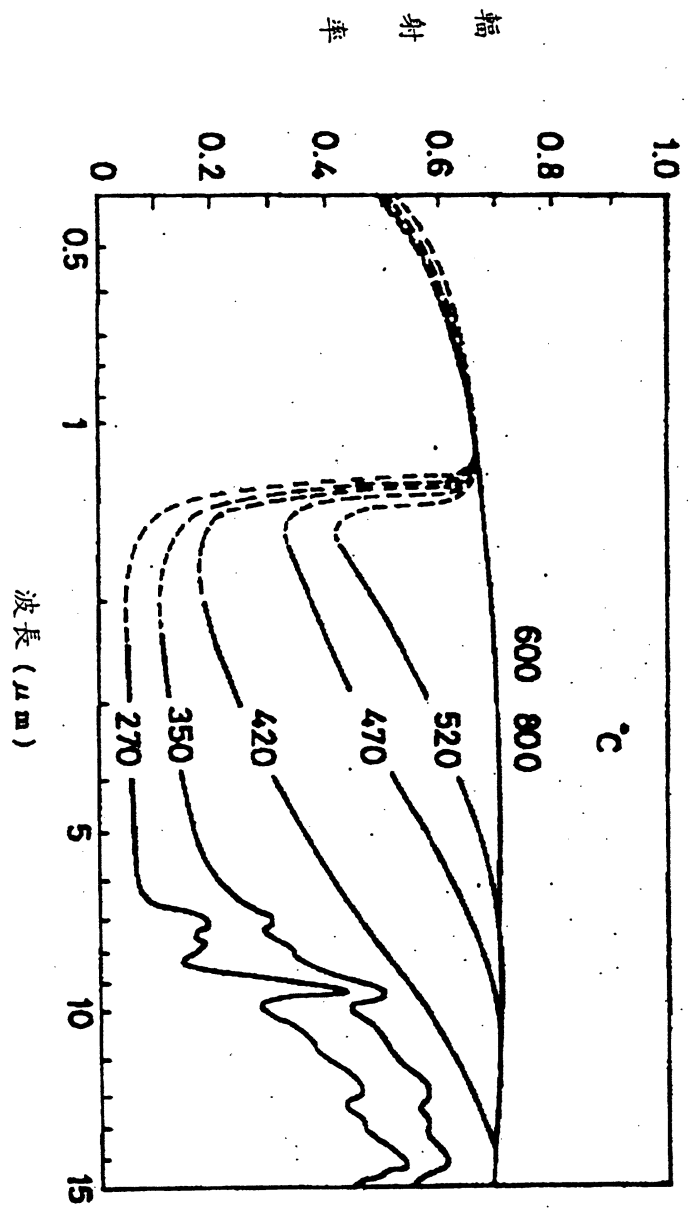


圖 11