

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-270787

(P2008-270787A)

(43) 公開日 平成20年11月6日(2008.11.6)

(51) Int.Cl.

H01L 25/00
B81B 7/02(2006.01)
(2006.01)

F 1

H01L 25/00
B81B 7/02

A

テーマコード(参考)

3C081

審査請求 未請求 請求項の数 12 O L (全 36 頁)

(21) 出願番号 特願2008-78647 (P2008-78647)
 (22) 出願日 平成20年3月25日 (2008.3.25)
 (31) 優先権主張番号 特願2007-79190 (P2007-79190)
 (32) 優先日 平成19年3月26日 (2007.3.26)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 大力 浩二
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 泉 小波
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 F ターム(参考) 3C081 BA22 BA30 BA31 BA33 CA05
 CA32 CA33 DA02 DA03 DA04
 DA06 DA10 DA11

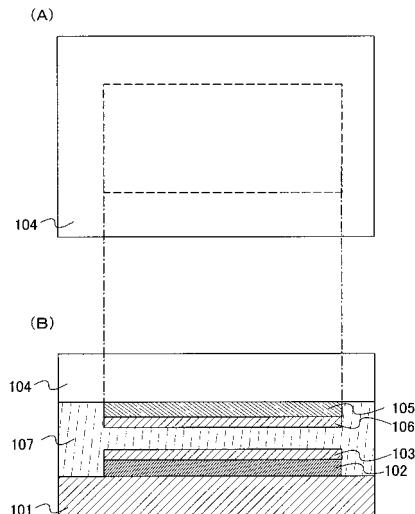
(54) 【発明の名称】半導体装置

(57) 【要約】

【課題】異なる基板上に形成されたデバイス間で無線通信を行い、配線の接続不良を低減した半導体装置を提供する。

【解決手段】第1の基板上に、第1のアンテナを有する第1のデバイスを設け、第2の基板上に、第1のアンテナと通信可能な第2のアンテナを有する第2のデバイスを設け、第1の基板と第2の基板を接合して半導体装置を作製する。第1の基板と第2の基板は、接着層を介した接合、陽極接合、又は表面活性化接合により接合される。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

第1のアンテナに接続された第1の素子群が設けられた第1の基板と、
第2のアンテナに接続された第2の素子群が設けられた第2の基板と、を有し、
前記第1のアンテナは前記第2のアンテナと無線通信を行い、
前記第1の基板と前記第2の基板とは接合されていることを特徴とする半導体装置。

【請求項 2】

第1のアンテナに接続された第1の素子群が設けられた第1の基板と、
第2のアンテナに接続された第2の素子群が設けられた第2の基板と、を有し、
前記第1のアンテナは前記第2のアンテナと無線通信を行い、
前記第1の基板と前記第2の基板とは、前記第1の基板又は前記第2の基板の一部又は
全面に設けられた接着層を介して接合されていることを特徴とする半導体装置。 10

【請求項 3】

第1のアンテナに接続された第1の素子群が設けられた第1の基板と、
第2のアンテナに接続された第2の素子群が設けられた第2の基板と、を有し、
前記第1のアンテナは前記第2のアンテナと無線通信を行い、
前記第1の基板と前記第2の基板とは、前記第1の基板又は前記第2の基板上の素子群
が形成されていない面に設けられた第3の基板を介して接合されていることを特徴とする
半導体装置。 20

【請求項 4】

請求項3において、
前記第1の基板と前記第3の基板、又は前記第2の基板と前記第3の基板は、陽極接合
又は表面活性化接合により接合されていることを特徴とする半導体装置。

【請求項 5】

第1のアンテナに接続された第1の素子群が設けられた第1の基板と、
第1の領域及び第2の領域を有し、且つ該第2の領域に第2の素子群が設けられた第2
の基板と、を有し、
前記第1のアンテナは前記第2のアンテナと無線通信を行い、
前記第1の領域は前記第1の基板と接合され、
前記第2の領域は底面に平面を有する凹部であることを特徴とする半導体装置。 30

【請求項 6】

請求項5において、
前記第1の基板と前記第2の基板は、陽極接合又は表面活性化接合により接合されてい
ることを特徴とする半導体装置。

【請求項 7】

請求項1乃至請求項6のいずれか一において、
前記第1の基板と前記第2の基板は、前記第1の素子群が設けられた面と、前記第2の
素子群が設けられた面が対向していることを特徴とする半導体装置。

【請求項 8】

請求項1乃至請求項6のいずれか一において、
前記第1の基板と前記第2の基板は、前記第1の素子群が設けられた面と、前記第2の
素子群が設けられた面の反対側の面が対向していることを特徴とする半導体装置。 40

【請求項 9】

請求項1乃至請求項6のいずれか一において、
前記第1の基板と前記第2の基板は、前記第1の素子群が設けられた面の反対側の面と
、前記第2の素子群が設けられた面の反対側の面が対向していることを特徴とする半導体
装置。

【請求項 10】

請求項1乃至請求項9のいずれか一において、
前記第1の素子群又は前記第2の素子群には、薄膜トランジスタ又は電界効果型トラン
50

ジスタを有することを特徴とする半導体装置。

【請求項 1 1】

請求項 1 乃至 請求項 1 0 のいずれか一において、

前記第 1 の素子群又は前記第 2 の素子群には、トランステューサ又はマイクロアクチュエータを有することを特徴とする半導体装置。

【請求項 1 2】

請求項 1 乃至 請求項 1 1 のいずれか一において、

前記第 1 の基板及び前記第 2 の基板は、単結晶シリコン基板、シリコン化合物基板、化合物半導体基板、S O I 基板、無アルカリガラス基板、ソーダガラス基板、石英基板、プラスチック基板又は金属基板であることを特徴とする半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置に関する。

【背景技術】

【0 0 0 2】

近年、異なる基板を用いて作製された複数の半導体素子を有する素子群を積層し、又は同一のパッケージに内蔵することによって、半導体装置の高集積化を図る技術開発が進められている。このような半導体装置は、積層させる工程又は同一のパッケージに実装する工程において、既に形成されている素子が熱又は薬品等により損傷を受けないよう考慮しなければならない。MEMS 構造体の作製では、素子群を積層させる工程又は実装する工程における、熱又は薬品等による変形又は変質等は歩留まり低下の原因として、大きな問題となっている。なお、ここで、素子群とは、マイクロマシニング技術によって作製される微小電気機械素子 (Micro Electro Mechanical System)。以下、MEMS 構造体という。) 等を含むものとする。

20

【0 0 0 3】

また、マイクロマシニング技術によって作製されるMEMS 構造体と、従来の L S I 作製技術によって作製されてMEMS 構造体の周辺に配置される半導体集積回路では、歩留まり低下の原因が異なる。そのため、これらのMEMS 構造体と半導体集積回路とを有するマイクロマシンでは、半導体集積回路とMEMS 構造体を同一基板上に設けるオンチップ型であっても、半導体集積回路とMEMS 構造体を別の基板上に設けて同一パッケージに内蔵するオンパッケージ型であっても、これらの歩留まりはMEMS 構造体の歩留まりと半導体集積回路の歩留まりの積となり、生産性を高めることが難しい。

30

【0 0 0 4】

現在、MEMS 構造体と半導体集積回路は異なる工程によって作製され、オンパッケージ型で実装されることが多い。異なる基板上に作製された素子群を電気的に接続するにはワイヤボンディングを用いて、接続後に樹脂封止することが一般的である。

【0 0 0 5】

MEMS 構造体と半導体集積回路を異なる工程によって作製し、基板を接合させて実装する場合には、封止される空間を密封しつつ電気的な接続を行うための端子を出すことが難しい(例えば、特許文献 1 を参照)。更には、MEMS 構造体と半導体集積回路を配線により接続させると、断線により歩留まりが低下するという問題があった。

40

【0 0 0 6】

一方、半導体集積回路に他の素子群(アンテナ、センサ等)を実装する場合、実装部分のインピーダンス変動が信頼性上最も大きな問題となっている。最悪の場合にはインピーダンスはオープンとなる。

【特許文献 1】特許第 3 8 0 8 0 9 2 号

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 7】

50

本発明は、異なる基板上に設けられた複数の素子群を1つのパッケージ内に実装する場合に、該複数の素子群間の良好な接続を実現することを課題とする。

【課題を解決するための手段】

【0008】

本発明の半導体装置は第1の素子群が設けられた第1の基板と、第2の素子群が設けられた第2の基板と、を有し、第1の素子群は第1のアンテナを有し、第2の素子群は第1のアンテナと通信する第2のアンテナを有し、第1の基板と第2の基板とは接合されている。第1の基板と第2の基板は、基板の一部又は全面に設けられた接着層を介して接合されても良いし、陽極接合又は表面活性化接合を用いて接合されても良い。また、第1の基板と第2の基板の一方に底面が平面状である凹部が設けられ、該底面に素子群が配置されていることが好ましい。

10

【0009】

または、第1の基板と第2の基板の間に第3の基板（中間基板）を有してもよい。この場合、第1の基板と第3の基板（中間基板）を接合し、第2の基板と第3の基板（中間基板）を接合する。基板間の接合は、陽極接合又は表面活性化接合を用いればよい。

【0010】

第1の素子群及び第2の素子群は、薄膜トランジスタ又は電界効果型トランジスタを有する半導体集積回路であってもよいし、トランステューサ又はマイクロアクチュエータを有してもよい。

20

【0011】

また、第1の基板及び第2の基板としては、単結晶シリコン基板、シリコン化合物基板、化合物半導体基板、SOI基板、無アルカリガラス基板、ソーダガラス基板、石英基板、プラスチック基板又は金属基板を用いることができる。

【0012】

また、第1の素子群が設けられた第1の基板と第2の素子群が設けられた第2の基板とは、素子群が設けられた面が対向してもよいし、対向していないなくてもよい。

【0013】

なお、本明細書中において、トランステューサとは、センサ又はジェネレータのように、熱エネルギー、光エネルギー、運動エネルギー又は電磁気エネルギー等を電気エネルギーに変換する素子、または、電気エネルギーを熱エネルギー等、他のエネルギーへ変換する素子等をいう。更には、マイクロアクチュエータのように、熱エネルギー、光エネルギー、電気エネルギーを運動エネルギーに変換する素子をも含むものとする。トランステューサの例として、フォトセンサ（フォトIC）、熱電変換素子、及び可動構造を有する加速度トランステューサ等が挙げられる。このような素子として、例えば、歪み抵抗素子、発光素子等が挙げられる。また、マイクロアクチュエータの例として、MEMSミラー、バイメタル、感光材料、熱収縮材料、熱可塑材料、MEMSヒータ、スピーカ、GLVデバイス、MEMSスイッチ、マイクロモーター及びマイクロ流体デバイス等が挙げられる。

30

【0014】

また、センサとしては、フォトセンサ（フォトIC）、可動するMEMS構造体、発光ダイオード、光発電素子、熱電素子、歪み抵抗素子及び電波センサ等から選択された一又は複数を有してもよい。なお、本明細書中においてトランステューサは、太陽電池又は熱発電、風力発電等のジェネレータをも含む。

40

【0015】

また、マイクロアクチュエータは、MEMSミラー、バイメタル、感光材料、熱収縮材料、熱可塑材料、MEMSヒータ、スピーカ、GLVデバイス、MEMSスイッチ、マイクロモーター及びマイクロ流体デバイス等から選択された一又は複数を有してもよい。

【0016】

さらには、本明細書中において、トランステューサには、第1の基板上に設けられた電

50

子回路と作製工程が異なる素子を含んでいてもよい。作製工程が異なる素子とは、例えば、半導体集積回路が有する半導体素子が耐えられない高温処理や化学的な処理を施して作製される素子、又は異なる基板を用いて作製される素子等のことである。例えば、トランジスタとして太陽電池を作製する場合には、ソーダガラス基板を第2の基板として用いることができる。従って、本明細書中においては、トランジスタとして、第1の基板上に設けられる電子回路とは異なるプロセスを経て形成された素子、又は第1の基板とは異なる基板を用いて形成された素子を含むものとする。

【0017】

なお、半導体素子とは、薄膜トランジスタ、電界効果型トランジスタをはじめとして、半導体層を有する様々な素子を含むものとする。

10

【発明の効果】

【0018】

本発明を用いることで、異なる基板上に設けられた複数の素子群の間を配線等により接続することなく、該複数の素子群間で通信する半導体装置を提供することができる。

【0019】

更には、異なる素子群の間で配線等による接続箇所をなくし、または少なくすることで、配線の接続箇所に生じる不良に起因した歩留まりの低下を防止することができ、半導体装置の歩留まり及び信頼性が向上する。

【0020】

また、本発明を用いることで、一の基板上に形成された電子回路が有する半導体素子と、他の電子回路が有する半導体素子とは、機能等に応じて異なる構造にすることができる。

20

【0021】

更には、複数の異なる基板を用いることで、MEMS構造体と電子回路とを同一基板上に形成する場合とは異なり、一方の素子群の作製工程に依存することなく他方の素子群の作製工程を適切に設定することができる。

【発明を実施するための最良の形態】

【0022】

本発明の実施の形態および実施例について、図面を用いて以下に説明する。ただし、本発明は以下の説明に限定されない。本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態および実施例の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

30

【0023】

(実施の形態1)

本発明に係る半導体装置の一例について、図1乃至図3を参照して説明する。図1は、本実施の形態に係る半導体装置の一形態についての概念図を示す。図1(A)は上面図を、図1(B)は断面図を示す。

40

【0024】

第1の基板101上には、第1の素子群102及び第1のアンテナ103が設けられている。第1のアンテナ103は、第1の素子群102に物理的に且つ電気的に接続されている。第2の基板104上には、第2の素子群105及び第2のアンテナ106が設けられている。第2のアンテナ106は、第2の素子群105に物理的に且つ電気的に接続されている。

【0025】

なお、本実施の形態において、便宜上、第1の基板上に設けられた半導体素子を有する電子回路を第1の素子群といい、第2の基板上に設けられた半導体素子を有する電子回路又はトランジスタ等を第2の素子群という。第2の素子群は、トランジスタと半導体素子を有する電子回路の双方を有していても良い。

50

【0026】

第1の基板101と第2の基板104の間には接着層107が設けられ、該接着層107を介して第1の基板101と第2の基板104が接合されている。接着層107は第1の基板101及び第2の基板104の表面又は裏面の一方に設けられている。

【0027】

第1のアンテナ103と第2のアンテナ106は無線通信可能であり、第1の素子群102と第2の素子群105は無線通信を行うことができる。更には、第1の素子群102と第2の素子群105は無線通信を行うために必要な送受信機能を有する。従って、第1の素子群102と第2の素子群105は、配線等を用いて物理的に接続することなく、通信を行うことができる。

10

【0028】

なお、第1のアンテナ103と第2のアンテナ106は、対向して設けられていることが好ましい。

【0029】

図2には第1の素子群102及び第2の素子群105が有する、無線通信機能を実現するための無線通信部のブロック図を示す。ここでは、第1の素子群102が有する第1の無線通信部220について説明するが、第2の素子群105が有する第2の無線通信部234についても同様である。

【0030】

図2に示す第2の無線通信部234は、第2のアンテナ106を介して第1の素子群102に信号を送信する。送信された信号は第1の素子群102と接続された第1のアンテナ103を介して、第1の無線通信部220に受信される。

20

【0031】

第1の無線通信部220は、第1のアンテナ103と、電源回路224と、復調回路226と、変調回路228と、記憶回路230と、制御回路232と、を有する。ただし、第1の無線通信部220は上記の構成に限定されず、クロック発生回路又は中央処理演算装置(Central Processing Unit。以下、CPUという。)等を有していてもよい。また、記憶回路230は特に必要のない場合には設けなくても良い。更には、第1の素子群102が信号の送信のみを行い、信号の受信を行わない場合には、第1の無線通信部220には復調回路を設けなくても良い。同様に、第1の素子群102が信号の受信のみを行い、信号の送信を行わない場合には、第1の無線通信部220には変調回路を設けなくても良い。これは、第2の無線通信部についても同様である。

30

【0032】

なお、ここでクロック発生回路とは、アンテナに発生した交流の誘導電圧に基づいて、制御回路及び記憶回路等の動作に必要な周波数のクロック信号を生成し、各回路に供給する回路をいう。クロック発生回路には、発振回路を用いても良いし、分周回路を用いても良い。

【0033】

第1のアンテナ103は、整流回路を含んでいることが好ましく、第2の無線通信部234から第2のアンテナ106を介して発信される電磁波を受信し、交流の誘導電圧を発生する。この誘導電圧は第1の無線通信部220の電源電力となるほか、第2の無線通信部234から送信されるデータを含んでいる。

40

【0034】

なお、本発明に用いることのできるアンテナの形状については特に限定されない。信号の伝送方式としては、電磁結合方式、電磁誘導方式又は電波方式等を用いることができる。伝送方式は、実施者が使用用途を考慮して適宜選択すればよく、伝送方式に伴って最適な長さと形状を有するアンテナを設ければよい。本発明では信号の伝送方式として、通信周波数13.56MHzである、電磁誘導方式を用いることが好ましい。

【0035】

伝送方式として電磁結合方式又は電磁誘導方式(例えば、13.56MHz帯)を適用

50

する場合には、電界密度の変化による電磁誘導を利用するため、アンテナとして機能する導電膜を輪状（例えば、ループアンテナ）又はらせん状（例えば、スパイラルアンテナ）に形成する。

【0036】

伝送方式として電波方式の一種であるマイクロ波方式（例えば、UHF帯（860～960MHz帯）若しくは2.45GHz帯等）又はアクティブRFIDタグ等で使用されている300MHz帯若しくは433MHz帯等を適用する場合には、信号の伝送に用いる電波の波長を考慮してアンテナとして機能する導電膜の長さや形状を適宜設定すればよい。アンテナとして機能する導電膜は、例えば、線状（例えば、ダイポールアンテナ）、輪状（例えばループアンテナ）、平坦な形状（例えば、パッチアンテナ、スロットアンテナ、及びスリットアンテナ）で形成することができる。また、アンテナとして機能する導電膜の形状は線状に限定されず、電磁波の波長を考慮して曲線状や蛇行形状又はこれらを組み合わせた形状で設けてもよい。10

【0037】

ここで、第1のアンテナ103及び第2のアンテナ106に設けるアンテナの形状の一例を図3に示す。例えば図3(A)に示すように、信号処理回路が設けられたチップ250の周りに一面のアンテナ251を配した構造としてもよい。また、図3(B)に示すように、信号処理回路が設けられたチップ252の周りに、細いアンテナ253をチップ252の周囲を回るように配した構造としてもよい。また、図3(C)に示すように、信号処理回路が設けられたチップ254に対して、高周波数の電磁波を受信できる形状のアンテナ255を配した構造としてもよい。また、図3(D)に示すように、信号処理回路が設けられたチップ256に対して、180度無指向性（どの方向からでも同じく受信可能）の形状のアンテナ257を配した構造としてもよい。また、図3(E)に示すように、信号処理回路が設けられたチップ258に対して、棒状に長く伸ばした形状のアンテナ259を配した構造としてもよい。第1のアンテナ103及び第2のアンテナ106はこれらのアンテナを組み合わせて用いてもよい。20

【0038】

または、第1のアンテナ103及び第2のアンテナ106として、図22(A)乃至(C)に示すアンテナを用いても良い。図22(A)はパッチアンテナの六面図の一部を示す。アンテナが設けられたシート261Cは誘電体であり、シート261Cの表面にはアンテナ261Aが設けられ、シート261Cの裏面には反射膜261Bが設けられている。アンテナ261A及び反射膜261Bは導電膜により形成されている。なお、図22(A-1)は背面図であり、(A-2)は底面図であり、(A-3)は正面図であり、底面図、右側面図、及び左側面図は省略している。チップ260は反射膜261Bから絶縁されており、反射膜261Bとシート261Cに設けられた貫通孔を介してアンテナ261Aと電気的に接続されている。貫通孔の形成方法には特に限定はないが、例えばマシンニングセンターによる切削加工法、サンドブラスト法、フォトリソグラフィー法、レーザ直描法又は超音波加工法等を用いることができる。30

【0039】

図22(B)はループアンテナの一例を示す。2つの輪を連結した形状である、アンテナ263の中央にチップ262を配すればよい。40

【0040】

図22(C)はスロットアンテナを示す。アンテナ265Aは、スロット265Bを有し、スロット265Bの一部と重なるようにチップ264を配すればよい。また、スロット265Bの位置は特に限定されない。

【0041】

なお、本発明で用いることのできるアンテナの形状は図3及び図22に示したものに限定されない。本発明を実現することができれば、あらゆるアンテナを用いることができ、図示していないが、例えば電場共鳴型アンテナ又は地場共鳴型アンテナであってもよい。

【0042】

また、図3及び図22において、信号処理回路が設けられたチップとアンテナとの接続方法については特に限定されず、チップとアンテナとの間で信号を送受信できる構成であればよい。図3(A)を例に挙げると、アンテナ251と信号処理回路が設けられたチップ250をワイヤボンディング接続やバンプ接続により接続する、あるいはチップの一部を電極にしてアンテナ251に貼り付けてもよい。この方式では異方性導電性フィルム(Anisotropic Conductive Film。以下、ACFという。)を用いて、チップ250をアンテナ251に貼り付けることができる。また、アンテナの長さは、受信する信号の周波数によって異なる。例えば周波数が2.45GHzの場合には、半波長ダイポールアンテナを設ける場合であればアンテナの長さは約60mm(1/2波長)、モノポールアンテナを設ける場合であれば約30mm(1/4波長)とすればよい。

10

【0043】

電源回路224は、第1のアンテナ103に発生した誘導電圧をダイオード等により整流し、容量を用いて安定化させることで、基準電位(基準ラインの電位)と一定の電位差を有する安定な電位を生成できるよう調整する。

【0044】

制御回路232は、復調された信号に基づき、命令の解析、記憶回路230の制御、及び外部に送信するデータを変調回路228に出力する等の動作を行う。制御回路232は、メモリ制御信号の生成回路のほか、必要に応じて復号化回路や情報判定回路等を含むとよい。また、第1の素子群の主要部又は記憶回路230から抽出され、第1の無線通信部220から第2の無線通信部234へ送信されるデータの一部又は全部を符号化された信号に変換する回路を有していても良い。記憶回路230は、特に必要のない場合には設けなくてもよい。

20

【0045】

変調回路228は、制御回路232から送信される信号に基づき、第1のアンテナ103に負荷変調を伝える。

【0046】

復調回路226は、第1のアンテナ103に発生した誘導電圧に含まれるデータを復調する。

30

【0047】

なお、第2の無線通信部234から発信される電磁波は、規定の周波数の搬送波が副搬送波により変調されたものである。副搬送波に含まれる信号は、第2の無線通信部234から第1の無線通信部220に送信される2値化されたデジタル信号である。搬送波の変調方式には、位相を変化させるPSK(Phase Shift Keying)変調方式、振幅を変化させるASK(Amplitude Shift Keying)変調方式、及び周波数を変化させるFSK(Frequency Shift Keying)変調方式等があり、本実施の形態ではどの方式を用いても良い。

【0048】

また、第1の素子群102及び第2の素子群105は、電力を蓄えるバッテリと、電磁波から電力を生成してバッテリに送る充電回路と、を有していてもよい。この場合、充電回路は、少なくとも整流回路、電流・電圧制御回路、及び充電制御回路を有する。そして、バッテリに蓄えられた電力を利用することで、第2の素子群105を駆動させることができる。なお、バッテリを有する場合には電源回路を設けなくともよいし、または、電源回路とバッテリとを併用してもよい。

40

【0049】

ここで、第1の基板101と第2の基板104を接合する方法について説明する。例えば、第2の素子群105が半導体素子を有する電子回路又はフォトトランスデューサ等の固定された素子群である場合には、第1の基板101及び第2の基板104の全面に設けた接着層107を介して接合することができる(図1を参照。)。このように、第1の基板101上の全面に設けられた接着層107を介して第2の基板104を接合することに

50

よって、物理的な外力に対して強固な半導体装置を作製することができ、半導体装置にとって最も過酷な工程であるダイシングに耐えうる素子群を作製することができる。

【0050】

なお、図1では第1のアンテナ103と第2のアンテナ106が対向して二の基板が接合されているが、本発明はこれに限定されるものではない。用途によっては、アンテナを対向させずに接合してもよい。

【0051】

本発明により、半導体装置が異なる素子群を有する場合に、それらの素子群の配線等を物理的に接続することなく、素子群間の信号の送受信を可能にすることができます。そのため、異なる素子群間を配線等により接続する必要がなくなる。配線等による接続が不要となることで、配線の接続箇所に生じる不良を防止することができ、半導体装置の歩留まり及び信頼性が向上する。

10

【0052】

また、本発明を用いることで、一の基板上に設けられた素子群の半導体素子と、他の基板上に設けられた素子群の半導体素子とは、機能等に応じて異なる構造にすることができる。

【0053】

更には、複数の異なる基板を用いることで、MEMS構造体と電子回路を同一基板上に形成する場合とは異なり、一方の素子群の作製工程に依存することなく他方の素子群の作製工程を適切に設定することができる。

20

【0054】

(実施の形態2)

本発明の実施の形態の一例について、図4を参照して説明する。図4は、本実施の形態に係る半導体装置の一形態についての概念の断面図を示す。なお、素子群及びアンテナ等の構成については、実施の形態1と同様である。

【0055】

図4(A)に示す半導体装置は、接着層107を介して、第1の基板101の表面と第2の基板104の裏面が接合されている。図4(B)に示す半導体装置は、接着層107を介して、第1の基板101の裏面と第2の基板104の裏面が接合されている。

30

【0056】

なお、ここで基板の表面とは、素子群が設けられた面をいい、基板の裏面とは、素子群が設けられていない面をいう。

【0057】

図4(A)に示す構造の半導体装置では、第2の基板104上に設けられた第2の素子群105は外側の空間に曝されている。従って、第2の素子群105が可動部を有するセンサ等の素子群である場合には、スムーズに動かすことができる。または、第2の素子群105が外側の空間に含まれる物質を検知するセンサ等である場合には、図4(A)に示す構造とすることで、センサとしての感度を向上させることができる。この場合に、第2のアンテナ106は第2の基板104と第2の素子群105との間に設けられていてよい。

40

【0058】

または、半導体装置を図4(B)に示す構造としてもよい。図4(B)に示す構造の半導体装置では、第2の素子群105のみならず、第1の素子群102も外側の空間に曝されている。第1の素子群102又は第2の素子群105が、可動部を有する素子群である場合には、スムーズに動かすことができる。または、第1の素子群102又は第2の素子群105が外側の空間に含まれる物質を検知するセンサ等である場合には、図4(B)に示す構造とすることが好ましい。

【0059】

本実施の形態の半導体装置は、実施の形態1の半導体装置が有する効果に加え、基板上に設けられた素子群が可動部を有する場合には、動作をスムーズにすることができる。更

50

には、素子群が外側の空間に含まれる物質を検知するセンサ等である場合にも、素子群の機能を妨げることなく動作させることができる。

【0060】

(実施の形態3)

本発明の実施の形態の一例について、図5乃至図7を参照して説明する。図5は、本実施の形態に係る半導体装置の一形態を示す。なお、素子群及びアンテナ等の構成については実施の形態1と同様である。

【0061】

図5には、本実施の形態に係る半導体装置を示し、図5(A)は上面図であり、図5(B)は断面図である。図5に示す半導体装置は、接着層207を介して、第1の基板201の表面と第2の基板204の表面が接合されている。図1に示す半導体装置とは異なり、接着層207は基板上の全面に設けられるのではなく、接着層207は基板上的一部のみ設けられている。具体的には、第1の基板201上の第1の素子群202、及び第2の基板204上の第2の素子群205と重ならない領域に接着層207が設けられている。

10

【0062】

図5に示すように、第1の基板の表面と第2の基板の表面を接合するに際して、第1の素子群202及び第2の素子群205と接着層207が重ならないように設け、接着層207の厚さを第1の素子群202及び第2の素子群205の最も厚い部分よりも大きくすることで、第1の素子群202上及び第2の素子群205上に空間を確保することができる。

20

【0063】

なお、ここで基板の表面とは、素子群が設けられた面をいい、基板の裏面とは、素子群が設けられていない面をいう。

【0064】

または、図6に示すように、第1の基板201と第2の基板204の間に穴を有する網目状とした第3の基板(中間基板208)を設けて、第1の基板201と第2の基板204を接合してもよい。第1の基板201と第2の基板204の間に中間基板208を設けることで、第1の基板201と第2の基板204の間の空間を確保することができる。また、第1の基板201と中間基板208の間、及び第2の基板204と中間基板208の間に接着層を設けずに接合すると、第1の基板201と第2の基板204の間の空間を一定の高さとすることができますため、好ましい。このように接着層を設けることなく基板を接合する方法として、例えば、陽極接合及び表面活性化接合が挙げられる。

30

【0065】

ここで、陽極接合とは、例えば、単結晶シリコン基板とアルカリ金属イオンを含むガラス基板との平滑面を当接させ、アルカリ金属イオンの熱拡散が生じる温度でガラス基板と単結晶シリコン基板との間に直流電圧を印加し、ガラス基板と単結晶シリコン基板との間に静電引力を発生させ、単結晶シリコン基板とガラス基板の界面で化学結合を生じさせ、両者を接合する方法をいう。

40

【0066】

具体的には、加熱ステージでガラス基板及び単結晶シリコン基板を加熱してガラス基板中の可動イオンを移動しやすくさせ、単結晶シリコン基板の電位を正、ガラス基板の電位を負又は接地電位となるように直流電圧を印加して界面で化学結合を生じさせ、両者を固着させる。このとき、単結晶シリコン基板と、ガラス基板の熱膨張係数が概略一致している必要がある。また、接合表面の算術平均粗さは0.2μm以下に抑制しておくことが好ましい。

【0067】

また、ガラス基板の電位が負又は接地電位となるように電圧を印加すると、ガラス基板内を移動したアルカリ金属イオンがガラス基板の表面に集まってガラス基板が変形し、又は不透明になる。そのため、陽極接合では、中間基板と電極の間にダミー基板となるガラ

50

ス基板を設けるとよい。ただし、これに限定されず、ガラス基板と中間基板が接した状態で陽極接合を行ってもよい。

【0068】

また、図6に示すように、第1の基板201及び第2の基板204がガラス基板であり、それらの間に接合用金属層として中間基板208を設ける場合には、アルカリ金属イオンを含むガラスからなる第1の基板201と接合用金属層である中間基板208、又は接合用金属層である中間基板208と第2の基板204の平滑面を当接させる。そして、アルカリ金属イオンの熱拡散が生じる温度で、第1の基板201及び第2の基板204と中間基板208との間に直流電圧を印加する。そして、第1の基板201及び第2の基板204と中間基板208との間に静電引力を発生させ、第1の基板201と中間基板208との界面、及び第2の基板204と中間基板208との界面で化学結合を生じさせ、両者を固着させる。

10

【0069】

具体的には、中間基板208の電位を正、第1の基板201及び第2の基板204の電位を負又は接地電位となるように直流電圧を印加し、界面で化学結合を生じさせ、両者を固着させる。このとき、第1の基板201及び第2の基板204の熱膨張係数が概略一致している必要がある。また、上述したように、陽極接合では、電極とガラス基板との間にダミー基板を設けることが好ましい。更に、第1の基板201と中間基板208、及び中間基板208と第2の基板204の接合表面の算術平均粗さは0.2μm以下としておくことが好ましい。

20

【0070】

以上説明したように、陽極接合を用いることで基板同士の接合が強固になるため、半導体装置の外部と内部を遮断する効果が格段に向上的する。

【0071】

本発明には、陽極接合のみならず、表面活性化接合を用いてもよい。表面活性化接合について以下に説明する。

【0072】

一般に、基板同士を接合させる際には、接合される第1の基板と第2の基板は接合前に洗浄等を行う。しかし、大気中では、酸素による酸化膜や吸着した水及び有機物分子（汚染物）に基板表面が覆われる。例えば、単結晶シリコン基板は洗浄処理をした直後でも、シリコンの酸化膜、表面の水酸基、又は吸着した水分子等に覆われている。表面活性化接合は、接合の妨げになる表面の汚染層を除去し、接合する基板表面に存在する原子の結合手を直接結合させることで、強固な接合を可能にする。

30

【0073】

まず、表面層の除去には、アルゴン等の不活性ガスのイオンビームやプラズマ等によるスパッタエッチングを用いる。スパッタエッチングを行うと、基板の表面は周囲の気体分子とも反応しやすくなるため、この工程は高真空のチャンバー内にて行う。スパッタエッチング後の基板表面は化学的に活性な状態になっているため、基板を当接することで、陽極接合よりも低温で強固な接合を行うことができる。表面活性化接合によれば、常温での接合も可能である。

40

【0074】

ここで、イオンビームとしては、電気的に中性のアルゴンの高速原子ビームを用いることができる。そして、接合用チャンバーにて、基板表面にビーム照射処理及び活性化処理を行い、基板同士を当接させる。単結晶シリコン基板又は金属基板の場合には、大気中の接合は困難である。また、ガラス基板同士を接合する場合には、プラズマエッチングで汚染された表面の除去を行い、高周波プラズマラジカル処理で表面活性化を行うことで、大気中で接合することも可能である。また、加熱や加圧を用いることで、表面の粗さが大きい場合であっても、接合が可能となる。ここで、粗さとは、算術平均粗さのことをいう。

【0075】

50

上記のような表面活性化接合を用いることで、様々な基板を低温（好適には常温）で接合することが可能である。陽極接合では接合する基板の熱膨張係数が概ね等しくなければならぬが、表面活性化接合では熱膨張係数が異なる基板を接合することも可能である。従って、表面活性化接合を用いることにより、熱膨張係数の異なる基板を接合することができる。

【0076】

なお、本実施の形態にて説明した半導体装置は図5に示した構造に限定されず、図7(A)に示すように第2の素子群205のみを密閉空間の外側に配置しても良い。または、図7(B)に示すように第1の素子群202及び第2の素子群205の双方を密閉空間の外側に配置しても良い。図7に示すように素子群を配置することで、可動部を有する素子群では動きをスムーズにすることができる。また、素子群が外側の空間に含まれる物質を検知するセンサ等である場合にも、素子群の機能を妨げることなく動作させることができる。また、図7(A)及び(B)に示す構成でも表面活性化接合ができ、低温での接合が可能である。

10

【0077】

以上説明したように、陽極接合又は表面活性化接合を用いることによって、MEMS素子群のように密閉封止が必要な半導体装置を作製することも可能である。

【0078】

本実施の形態の半導体装置は、半導体装置の内部と外部を遮断して完全な密閉状態にすることが可能なため、実施の形態1及び実施の形態2の半導体装置が有する効果に加え、例えば大気又は水に曝すことで劣化する素子群等を用いることができる。

20

【0079】

更には、第1の基板と第2の基板の間に、接着層ではなく中間基板を用いて接合することで、第1の基板と第2の基板との距離を正確に制御することができる。

【0080】

(実施の形態4)

本発明の実施の形態の一例について、図8及び図9を参照して説明する。本発明の半導体装置では、基板の一方に底面が平面状に形成された凹部を有し、該凹部に素子群を配置する。図8は、本実施の形態に係る半導体装置の一形態を示す。なお、素子群及びアンテナ等の構成については実施の形態1と同様である。

30

【0081】

図8には、本実施の形態に係る半導体装置を示し、図8(A)は上面図であり、図8(B)は断面図である。図8に示す半導体装置は接着層又は中間基板を介すことなく、第1の基板301と第2の基板304が接合されている。第1の基板301と第2の基板304は、実施の形態3にて説明した陽極接合又は表面活性化接合を用いて接合すればよい。第1の基板301は、第2の基板304と接合される第1の領域311と、底面が平面状の凹部である第2の領域312と、を有する。第1の素子群302と第2の素子群305は、第1の基板301が有する第2の領域312に配置される。第1の基板301と第2の基板304は接合されている。

40

【0082】

なお、ここで基板の表面とは、素子群が設けられた面をいい、基板の裏面とは、素子群が設けられていない面をいう。

【0083】

また、本実施の形態の半導体装置は図8に示す構造に限定されない。図8に示す半導体装置は、第1の素子群が設けられた第1の基板の面(表面)と、第2の素子群が設けられた第2の基板の面(表面)が対向して接合されているが、図9(A)に示す半導体装置は、第1の素子群が設けられた第1の基板の面(表面)と、第2の素子群が設けられた第2の基板の面とは反対側の面(裏面)が対向して接合されている。図9(B)に示す半導体装置は、第1の素子群が設けられた第1の基板の面とは反対側の面(裏面)と、第2の素子群が設けられた第2の基板の面とは反対側の面(裏面)が対向して接合されている。

50

【0084】

なお、本実施の形態では第1の基板に底面が平面状の凹部を設けた構造としたが、第2の基板に凹部を設けても良い。第1の基板又は第2の基板に凹部を設けるには、マシニングセンターによる切削加工法、サンドブラスト法、フォトリソグラフィー法又はレーザ直描法を用いればよい。凹部の深さは、凹部に配置される素子群の厚さにより決定すればよい。

【0085】

本実施の形態の半導体装置は、他の実施の形態の半導体装置が有する効果に加えて、半導体装置の内部と外部を実施の形態3よりもさらに強く密閉することができるという利点を有する。そのため、大気又は水に曝すことで劣化の激しい素子群の実装が可能になる。

10

【0086】

(実施の形態5)

本発明の実施の形態の一例について、図10を参照して説明する。図10には本実施の形態に係る半導体装置を示し、図10(A)は上面図、図10(B)は断面図である。なお、素子群及びアンテナの構成等については実施の形態1と同様である。

【0087】

図10に示す半導体装置は、第1の基板401上に第1のアンテナ403を有する第1の素子群402が設けられ、第2の基板404上に第2のアンテナ406を有する第2の素子群405が設けられ、第1の基板401の表面と第2の基板404の表面は第1の基板401上の全面に設けられた接着層407を介して接合されている。第3の基板408上には第3の素子群409が設けられ、第2の基板404と接合された第1の基板401が接合されている。第1の素子群402に接続された外部電極410と、第3の素子群409に接続された外部電極411は配線412を介して接続されている。外部電極410と外部電極411の接続はワイヤボンディング等により行う。

20

【0088】

また、本実施の形態における第3の基板上に設けられた第3の素子群と、第1の基板上に設けられた第1の素子群の接続方法はこれに限定されず、図11のように接続されていても良い。

【0089】

図11に示す半導体装置は、第1の基板501上に第1のアンテナ503を有する第1の素子群502が設けられ、第2の基板504上に第2のアンテナ506を有する第2の素子群505が設けられ、第1の基板501の表面と第2の基板504の表面は第1の基板501上の全面に設けられた接着層507を介して接合されている。図11(A)は上面図を、図11(B)は断面図を示す。第3の基板508上には第3の素子群509が設けられ、第2の基板504と接合された第1の基板501が接合されている。第1の基板501には貫通孔が設けられており、第1の素子群502と第3の素子群509は該貫通孔に設けられた電極510を介して接続されている。貫通孔は第2の基板に設けられていてもよく、第1の基板又は第2の基板に貫通孔を設けるには、マシニングセンターによる切削加工法、サンドブラスト法、フォトリソグラフィー法、レーザ直描法、及び超音波加工法のいずれかを用いればよい。また、第3の基板508上に第3の素子群509に接続された外部電極を設け、この外部電極と電極510を接続させてもよい。

30

40

【0090】

なお、貫通孔を設けなくとも、第1の素子群502及び第2の素子群505の一方が外側の空間に曝されるように配置されているときには電極510がこれらに直接接続される構成としてもよい。

【0091】

または、図12に示すように第3の素子群が、第1の素子群又は第2の素子群と無線通信を行う構成としてもよい。図12に示す半導体装置は、第1の基板601上に第1のアンテナ603を有する第1の素子群602が設けられ、第2の基板604上に第2のアンテナ606を有する第2の素子群605が設けられ、第1の基板601の表面と第2の基

50

板 604 の表面は第 1 の基板 601 上の全面に設けられた接着層 607 を介して接合されている。第 3 の基板 608 上には第 3 のアンテナ 610 を有する第 3 の素子群 609 が設けられ、第 2 の基板 604 と接合された第 1 の基板 601 が接合されている。図 12 に示す構造とすることで、図 10 及び図 11 とは異なり、配線の接続箇所に生じる不良が生じないため、半導体装置の歩留まり及び信頼性が飛躍的に向上する。

【0092】

なお、図 12 に示すような構造の場合には、第 1 の素子群と第 2 の素子群が行う無線通信と、第 1 の素子群又は第 2 の素子群と第 3 の素子群が行う無線通信が混信しないように注意する。混信を防止するには、例えば、無線通信の方法を変更すればよい。具体的には、第 1 の素子群に接続される第 1 のアンテナと、第 2 の素子群に接続される第 2 のアンテナは、磁気的に結合（磁界結合）するように対向して設けられることで無線通信を行い、第 1 の素子群と第 3 の素子群が電磁波を介して無線通信を行う形態とするとよい。

10

【0093】

なお、本実施の形態では第 1 の基板と第 2 の基板は各々の表面の全面に設けられた接着層を介して接続されているが、本実施の形態はこれに限定されず、一部に設けられた接着層を介して接続されても良いし、中間基板を介して接続されても良い。または、一方の基板に底面が平面状の凹部を設け、該底面が平面状の凹部に素子群が配置される構造としても良い。また、図 10 乃至図 12 に示す形態では第 1 の基板と第 2 の基板は各々の表面が接合されているが、第 1 の基板の表面と第 2 の基板の裏面を接合してもよいし、第 1 の基板の裏面と第 2 の基板の表面とを接合してもよいし、第 1 の基板の裏面と第 2 の基板の裏面とを接合してもよい。接合は接着層を介して行っても良いし、陽極接合又は表面活性化接合等を用いて行っても良い。

20

【0094】

また、第 3 の基板と第 1 の基板の接合は接着層を介して行っても良いし、陽極接合又は表面活性化接合等を用いて行っても良い。または、第 3 の基板と第 2 の基板を接合しても良い。

【0095】

なお、第 3 の基板と、第 1 の基板又は第 2 の基板との接合には、接着剤や半田等を用いてもよい。

30

【0096】

以上説明したように、本発明を用いることで、一の半導体装置に三以上の素子群を搭載することもできる。

【0097】

なお、本実施の形態は、実施の形態 1 乃至 4 の構成と部分的に置換することが可能なため、実施の形態 1 乃至 4 の半導体装置が有する効果等は本実施の形態の半導体装置等も有することになる。

【0098】

(実施の形態 6)

本実施の形態では、実施の形態 1 乃至 5 にて、第 1 乃至第 3 の基板上に設けられる第 1 乃至第 3 の素子群として用いる、トランステューサの具体例について図 13 を参照して説明する。

40

【0099】

図 13 (A) 及び (B) はトランステューサの一例として、マイクロマシニング技術を用いて作製される M E M S 構造体を示す。

【0100】

図 13 (A) に示す M E M S 構造体は、基板（図示しない）上に第 1 の導電層 700 及び構造層 701 が設けられ、第 1 の導電層 700 と構造層 701 の間に空間部分 702 が設けられている。空間部分 702 は、第 1 の導電層 700 上に犠牲層と構造層 701 とを設け、その後犠牲層のみをエッチングによって除去することで形成することができる。

【0101】

50

このように形成されるMEMS構造体は、基板上に設けられた第1の導電層700、空間部分702、及び第1の導電層700と対向する第2の導電層703を有する。第1の導電層700及び第2の導電層703は、一方が基板に固定されて動かない電極(固定電極という。)であり、他方が空間部分702内で動くことができる電極(可動電極という。)である。

【0102】

ここで、固定電極及び可動電極とは、その電極が基板等に固定されているか、又は機械的に動くことができるかを表現するために、便宜上命名したものである。従って、電極の電位により命名されたものではないことを注記しておく。

【0103】

また、MEMS構造体は図13(B)に示すように櫛歯形状を有し、基板表面と平行な方向に可動する構造としてもよい。この場合、MEMS構造体は、基板に固定された櫛歯形状の側面、すなわち基板と垂直な面に設けられた固定電極(第1の導電層705)と、固定電極の櫛歯と空間を挟んで噛み合わさるように形成された構造層706と、を有する。更に構造層706は、第1の導電層705と相対する面に可動電極(第2の導電層707)を有する。

【0104】

図13(B)に示すMEMS構造体は、一部分が基板上に形成された層と繋がることで基板に固定されており、所定の方向(例えば櫛歯方向)に可動する。例えば、図13(B)に示すMEMS構造体の場合には、第1の導電層705と第2の導電層707の間、及び基板と構造層との間に空間を有して基板から切り離されており、更には、構造層は櫛歯を有さない方向の2点(図13中に示す部分708A及び部分708B)で基板の一部に固定され、櫛歯方向(図内左右方向)に動くことができる。

【0105】

図13(A)及び(B)を参照して説明したように、マイクロマシニング技術によって様々な形状のMEMS構造体を形成することが可能である。そして、図13(A)に示すMEMS構造体は、基板と平行な面に固定電極(第1の導電層705)及び可動電極(第2の導電層707)が形成され、固定電極と可動電極の間に挟まれた空間を有する。一方、図13(B)に示すMEMS構造体は、基板と垂直な方向に固定電極及び可動電極が設けられ、固定電極と可動電極の間に挟まれた部分、及び基板と構造層との間に挟まれた部分に空間を有する。このように、異なる形状のMEMS構造体を設けることで、構造層の可動方向を変えることができ、異なる目的(例えば、異なる方向、異なる物理量のトランスデューサ)に使用することができる。

【0106】

上記のように形成されたMEMS構造体は、固定電極と可動電極の間に電圧を印加し、静電引力によって可動電極を固定電極側へ引きつけることで、可動電極(又は構造層)が動作するアクチュエータとして機能させることができる。また、構造層701が外力(圧力や加速度)を受けて空間部分702内を動作することで、二の電極間の静電容量が変化するため、上記のMEMS構造体はその容量変化を検知するトランスデューサとして機能することができる。

【0107】

なお、ここで説明したMEMS構造体は一例であり、用途等に応じた形状を、当該形状に適合する工程で形成し、様々な駆動方法により所定の機能を備えたMEMS構造体を作製することができる。例えば、図13(A)に示したMEMS構造体は、基板上面からの力を受けて構造層が変位することを検出するトランスデューサとして使用することができる、また、二の電極間の静電容量を変化させる可変容量として使用することも可能である。このように、同じMEMS構造体であっても動作を異ならせることで異なる機能の構造体とすることが可能である。

【0108】

このようなMEMS構造体は、一般的にシリコンウェハ上に作製される電界効果トラン

ジスタと同時に作製することが困難である。そのため、MEMS構造体は電界効果トランジスタとは異なる基板上に作製されるとよい。また、第2のアンテナも別途作製して接続させることが好ましい。

【0109】

ここで、第1のアンテナが放射する電磁波の強度を一定とすると、MEMS構造体の可動電極が動いた場合に、図13(A)のMEMS構造体のインピーダンスが変化する。MEMS構造体の第2の導電層が第2のアンテナに接続されている場合には、第2のアンテナに流れる電流の大きさが変化する。従って、第2のアンテナは電流値に比例した強度の電磁波を出力する。

【0110】

このように、第1のアンテナが放射する電磁波の強度を一定とし、第2のアンテナから放射される電磁波の電力の変化を検知することで、MEMS構造体の動作を第1の素子群が受信することができる。

【0111】

また、トランスデューサとして、フォトトランスデューサ(フォトIC、フォトダイオード、光電変換素子とも呼ばれる。)を用いる場合について説明する。

【0112】

一般に、光や電磁波を検知する用途に用いられる光電変換素子は数多く知られており、可視光領域に感度を持つものは特に可視光トランスデューサと呼ばれ、人間の生活環境に応じて照度調整やオン/オフ制御などが必要な機器類に数多く用いられている。このような光電変換素子は、光が照射されることにより電子及び正孔が生じ、電流が発生する。そして、その電流が半導体素子に入力されることにより光を検知したことが伝えられる。

【0113】

本実施の形態のフォトトランスデューサは、少なくとも光電変換素子及び電流增幅回路によって構成される。本実施の形態のフォトトランスデューサは、基板上に電流增幅回路を形成する半導体素子及び光電変換素子が設けられ、この上に半導体素子と光電変換素子を接続する配線が設けられている。このように、金属配線を光電変換素子上に設ける場合は、フォトトランスデューサをガラス基板上に形成し、ガラス面方向から光を検知する構成が一般的である。

【0114】

このように、フォトトランスデューサは、ガラス基板上に形成されていても良い。そこで、図8(B)に示される光電変換装置(光電変換素子および電流增幅回路)、電源回路、変調回路及び第2のアンテナを第2の基板上に作製する。そして、第1の基板と接合することにより、本発明の半導体装置を作製することができる。ここで、第1の基板としてはシリコンウエハを用い、第1の素子群を電界効果トランジスタ等で作製することによって、光電変換素子の感度を高めることができる。

【0115】

このように、本発明はトランスデューサの検出素子と、検出した信号を処理する回路を別々に設けたとき、それらが無線で通信を行う構成を有して接合されることにより、検出素子と信号を処理する回路とを接続する配線工程が不要になる。

【0116】

本実施の形態は他の実施の形態と自由に組み合わせることができる。

【実施例1】

【0117】

実施の形態1乃至実施の形態6にて説明した本発明の素子群は、トランジスタを有する。トランジスタとしては、例えば薄膜トランジスタを用いることができる。本実施例では、ガラス基板上にシリコンを成膜して形成する薄膜トランジスタの作製方法の一例について、図14を参照して説明する。また、半導体装置の用途に応じて、ガラス基板上に形成した半導体素子を剥離して、可撓性を有する基板上に貼り付けることも可能である。この作製工程については、図15を参照して説明する。

10

20

30

40

50

【0118】

まず、ガラス基板801上に剥離層802を形成する。基板はガラス基板以外にも、石英基板、シリコン基板、金属基板等を用いることができるが、ここではガラス基板を用いる。剥離層802は、金属又はシリコン等の元素や化合物を基板の全面又は一部に形成する。なお、半導体素子を剥離して可撓性を有する基板に貼り付ける工程を行わない場合には、剥離層802を形成しなくてよい。

【0119】

次に、剥離層802を覆うように、絶縁層803を形成する。絶縁層803は、シリコン酸化物やシリコン窒化物等をCVD法又はスパッタリング法等により形成すればよい。次に、絶縁層803上に半導体層804となる半導体膜を形成し、約500度の加熱処理により半導体膜中に残留している水素を除去する。なお、半導体膜の形成は例えばシランガスを用いてCVD法により行えばよい。そして、半導体膜を結晶化する。半導体膜の結晶化は、例えばレーザ結晶化法又は金属触媒を用いた熱結晶化法等により行う。そして、結晶化した半導体膜を所望の形状にパターニングすることで、半導体層804を形成する。次に、半導体膜を覆うようにゲート絶縁層805を形成する。ゲート絶縁層805は、絶縁層803と同様に、シリコン酸化物やシリコン窒化物等で形成すればよい。

10

【0120】

次に、ゲート電極層806を形成する。ゲート電極層806は、導電性を持つ元素や化合物で導電層を形成し、所望の形状にパターニングする。図14(A)はゲート電極層を積層して形成した場合を示す。

20

【0121】

次に、半導体層804に不純物元素を添加してN型不純物領域807及びP型不純物領域808を形成する。不純物領域は、フォトリソグラフィー法によりレジストマスクを形成し、リン(P)、ヒ素(As)又はボロン(B)等の不純物元素を添加することで形成する(図14(A)を参照)。

【0122】

次に、シリコン窒化物等により絶縁膜を形成し、当該絶縁膜を基板に対して垂直に異方性エッチングすることで、ゲート電極層806の側面に接するサイドウォールとして絶縁層809を形成する(図14(B)を参照)。

30

【0123】

次に、N型不純物領域を有する半導体層804に不純物を更に添加し、絶縁層809の下に位置する第1のN型不純物領域810と、第1のN型不純物領域810よりも不純物濃度が高い第2のN型不純物領域811と、を形成する。以上のようにして、N型トランジスタ812及びP型トランジスタ813が形成される。

【0124】

続いて、N型トランジスタ812及びP型トランジスタ813を覆って絶縁層814を形成する。絶縁層814は、絶縁性を有する無機化合物や、有機化合物等により形成する。図14(C)は、絶縁層814を積層して形成した例を示す。その後、第2のN型不純物領域811と、P型不純物領域808と、を露出させるコンタクトホールを形成する。そして、該コンタクトホールを介して接続され、且つ所望のパターンとなるように導電層815を形成する。導電層815は、導電性を有する金属元素や化合物等で形成すればよい。

40

【0125】

次に、導電層815を覆うように絶縁層816を形成する。絶縁層816は、絶縁性を有する無機化合物又は有機化合物等で形成すればよい。絶縁層816は、例えば、SOG(Spin On Glass)法、液滴吐出法、スパッタリング法又はCVD法等を用いて、無機材料又は有機材料により、単層で又は積層して形成する。また、絶縁層816は、好ましくは0.75μm~3μmの厚さで形成する。

【0126】

なお、以上説明した半導体素子を形成する各々の層(絶縁層、又は導電層等)は、特に

50

記載がなくとも単一材料を単層で形成してもよいし、又は複数の材料を積層して形成してもよい。

【0127】

また、上記の半導体素子が有する半導体層は、非晶質半導体、微結晶半導体、多結晶半導体又は有機半導体等を用いて形成することができる。

【0128】

例えば、良好な特性の半導体素子を得るためにには、200度以上600度以下の温度（好適には350度以上500度以下の温度）で結晶化した結晶質半導体層（低温ポリシリコン層）、又は600度以上の温度で結晶化した結晶質半導体層（高温ポリシリコン層）を用いることができる。さらに良好な特性の半導体素子を得るためにには、金属元素を触媒として結晶化した半導体層や、レーザ照射法により結晶化した半導体層を用いるとよい。また、プラズマCVD法により、SiH₄/F₂ガス又はSiH₄/H₂ガス等を用いて形成した半導体層や、前記半導体層にレーザ照射を行ったものを用いるとよい。

10

【0129】

また、素子群に設けられた薄膜トランジスタが有する結晶質半導体層は、結晶粒界がキャリアの流れる方向（チャネル長方向）と平行に延びるように設けられていることが好ましい。このような結晶質半導体層は、連続発振レーザ、又は10MHz以上好ましくは60MHz以上100MHz以下で動作するパルスレーザにより形成することができる。

【0130】

さらに、半導体層804の厚さは、10nm以上200nm以下、好ましくは50nm以上150nm以下とするよい。また、半導体層804中の、特にチャネル形成領域には、 1×10^{19} atoms/cm³以上 1×10^{22} atoms/cm³以下の濃度、好ましくは 1×10^{19} atoms/cm³以上 5×10^{20} atoms/cm³以下の濃度で、水素又はハロゲン元素を添加することにより、欠陥が少なく、クラックが生じにくい半導体層を得ることができる。

20

【0131】

上記のように作製した薄膜トランジスタは、サブスレッショルド値が0.35V/dc以下、好ましくは0.09V/dc以上0.25V/dc以下となる。

【0132】

また、本実施例では、基板上に半導体層、ゲート絶縁層及びゲート電極層を順に積層させた薄膜トランジスタ（トップゲート型薄膜トランジスタ）を示したが、これに限定されない。ゲート電極層、ゲート絶縁層、及び半導体層をこの順に積層させた薄膜トランジスタ（ボトムゲート型薄膜トランジスタ）であってもよい。更には、本実施例のN型トランジスタは、第1のN型不純物領域及び第2のN型不純物領域を有するが、これに限定されず、N型不純物領域の不純物濃度は一様であっても良い。

30

【0133】

また、本発明の素子群の作製に際して、上記の工程で作製された半導体素子の形成されている層は、複数の膜が積層された構造であってもよい。このように半導体素子を多層構造で形成する場合には、層間での寄生容量を低減するために、層間絶縁膜の材料に低誘電率材料（low-k材料）を用いるとよい。このようなlow-k材料として、例えば、エポキシ樹脂やアクリル樹脂等の樹脂材料、シロキサン系ポリマー等の重合によってできた化合物材料等が挙げられる。多層配線構造の隣接する配線間の寄生容量を低減すると、小面積化、動作の高速化及び低消費電力化を実現することができる。

40

【0134】

また、アルカリ金属による汚染を防ぐための保護層を設けることで、半導体素子の信頼性が向上する。この保護層は、窒化アルミニウム又は窒化珪素膜等の無機材料により、回路内の半導体素子を覆って、又は回路全体を覆って形成するとよい。

【0135】

また、本発明の半導体装置はアンテナを有する。アンテナは半導体素子と同一工程で形成することも可能であり、本実施例では、アンテナを半導体素子と同一の工程で形成する

50

場合について説明する。

【0136】

まず、上記のように形成した半導体素子の絶縁層816の所望の箇所をエッチングし、導電層815を露出させるコンタクトホールを形成する。

【0137】

次に、導電層815に接し、アンテナとして機能する導電層817を形成する(図14(C)を参照)。導電層817は、プラズマCVD法、スパッタリング法、印刷法又は液滴吐出法等を用いて、所望のパターンに形成された導電性材料により形成する。

【0138】

好ましくは、導電層817は、アルミニウム(A1)、チタン(Ti)、銀(Ag)、銅(Cu)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料により、単層で又は積層して形成する。ここでは、導電層817はスクリーン印刷法により銀を含むペーストを用いて形成し、その後、50~350度の加熱処理を行って形成する。スパッタリング法によりアルミニウム層を形成し、当該アルミニウム層を所望のパターンに加工することで形成してもよい。アルミニウム層をパターン加工する場合には、ウエットエッチング法を用いるとよく、ウエットエッチング加工後は200~300度の加熱処理を行うとよい。

【0139】

また、アンテナを別の基板に形成し、後で半導体素子と貼り合わせて接続することも可能である。例えば、半導体素子を基板によって上下から挟む工程において、一方の基板にアンテナ832を形成しておき、これを半導体素子と電気的に接続されるように貼り合わせることができる(図16(C)を参照)。この場合、図14(C)の導電層817は、アンテナではなく、アンテナ832と接続するための配線として形成される。

【0140】

ここで、アンテナ832と導電層817を接続するためには、導電層817と接続されるバンプを形成することが好ましい。更には、半導体素子とバンプの間には接着層を設け、該接着層は異方性導電接着剤により設けられることが好ましい。

【0141】

異方性導電膜及び異方性導電接着剤は、厚さ方向(貼り合わせた時の垂直方向)にのみ導電性を有する材料であり、粒径数nm~数μmの導電性粒子が分散された接着性の有機樹脂で構成されている。有機樹脂としては、エポキシ樹脂又はフェノール樹脂等が挙げられる。また、導電性粒子は、金、銀、銅、パラジウム若しくは白金から選ばれた一又は複数の元素で形成される。また、これらの元素が積層された、多層構造を有する粒子でも良い。更には、樹脂で形成された粒子の表面に、金、銀、銅、パラジウム若しくは白金から選ばれた一又は複数の金属で形成される薄膜がコーティングされた導電性粒子を用いてよい。

【0142】

次に、上記のように設けた半導体素子をガラス基板801から剥離し、フィルム等の可撓性を有する基板へ張り付ける工程について、図15を参照して説明する。以上のようにアンテナまで形成した半導体素子をガラス基板801から剥離し、可撓性を有する基板に張り付ける場合には、半導体素子の厚さは5μm以下、好ましくは、1μm以上3μm以下であることが望ましい。また、素子群を構成する半導体素子の面積は25mm²以下、好ましくは9mm²以上16mm²以下とする。

【0143】

まず、図15(A)に示すように剥離層802が露出するよう開口部820を形成し、開口部820にエッチング剤を導入し、剥離層802を部分的に除去する。

【0144】

次に、ガラス基板801の上面方向から第1の可撓性基板822を接着し、剥離層802を起点として半導体素子821をガラス基板801から剥離することで、半導体素子821を第1の可撓性基板822側へ移しとる(図15(B)を参照)。

10

20

30

40

50

【0145】

ここで、第1の可撓性基板822としては、柔軟性を有する絶縁層と、接着層と、を積層した基板を用いることができる。この接着層は、加熱処理により接着力が低下する熱可塑性樹脂であり、例えば、加熱によって軟化する材料、加熱により膨張するマイクロカプセル若しくは発泡剤を混入した材料、熱硬化性樹脂に熱溶融性や熱分解性を付与した材料、水の侵入による界面強度劣化又はそれに伴って吸水性樹脂が膨張する材料を用いて形成される。本明細書において、柔軟性を有する絶縁層と、接着層と、を有する第1の可撓性基板822は熱剥離型の支持基板とも記載される。

【0146】

また、熱剥離型の支持基板に代えて、加熱処理によって接着力が低下するフィルムからなる熱剥離フィルムや、UV(紫外線)照射を行うことによって接着力が低下するUV(紫外線)剥離フィルム等を用いてもよい。UV剥離フィルムは、絶縁層と、UV(紫外線)照射を行うことによって粘着力が弱くなる接着層と、を積層して形成したフィルムである。

10

【0147】

次に、半導体素子821がガラス基板801と接していた側に第2の可撓性基板823を接着し、第1の可撓性基板822を剥離する(図15(C)を参照)。また、第1の可撓性基板822を剥離することで半導体素子がむき出しになるので、それを保護するため可撓性を有する保護基板を貼り付けてもよい。

【0148】

20

第1の可撓性基板822及び第2の可撓性基板823としては、プラスティックフィルム又は紙等を用いることができる。完成された半導体装置が、外部からの影響を受けないように、半導体素子を上下から挟む2枚の可撓性基板は概略同一の厚さとし、半導体素子が概略中心に存在することが望ましい。

【0149】

ここで、曲面を有する可撓性基板に半導体素子821を貼り付ける場合や、上記のようにして作製された半導体装置を曲げて使用する場合には、半導体素子のキャリアの流れる方向(チャネル長方向)と曲線の方向とを同一にすると、半導体素子への影響を小さくすることができる。

【0150】

30

また、本実施例においては開口部820から剥離層802をエッチングした後に、半導体素子821を第1の可撓性基板822へ移しとする方法を挙げたが、本発明はこれに限定されない。例えば、剥離層802をエッチング工程のみで除去した後、半導体素子821をほかの基板へ移しかえる方法を用いても良い。または、開口部820を設けず、第1の可撓性基板822を貼り付けて半導体素子821をガラス基板801から剥離する方法、更には、ガラス基板801を裏面から研磨する方法を用いても良い。これらの方法を適宜組み合わせてもよい。

【0151】

40

ガラス基板を裏面から研磨する方法を除けば、半導体素子821を他の基板へ移しかえる工程を用いるため、半導体素子821を作製するためのガラス基板801の再利用が可能となる。

【0152】

このようにして、本発明の半導体装置内の素子群を構成する各回路が有する薄膜トランジスタを作製することができる。

【0153】

なお、本実施例は実施の形態1乃至実施の形態6と自由に組み合わせることができる。

【実施例2】

【0154】

本実施例では、実施の形態1乃至実施の形態6にて示した半導体装置が有する素子群の作製方法の一例であって、実施例1とは異なる作製方法について説明する。本実施例では

50

、基板としてSOI (Silicon On Insulator。以下、SOIといふ) 基板を用いて、SOI基板上に薄膜トランジスタを形成する。

【0155】

まず、SOI基板を準備する。ここでは、支持基板上に下地絶縁膜が形成され、下地絶縁膜上に半導体膜が形成されたものを用いる。SOI基板としては、公知のSOI基板を用いればよく、その作製方法や構造は特に限定されない。SOI基板として、代表的にはSIMOX基板や貼り合わせ基板が挙げられる。また、貼り合わせ基板の例として、ELTRAN(登録商標)、UNIBOND(登録商標)、スマートカット(登録商標)等が挙げられる。

【0156】

SIMOX基板は、単結晶シリコン基板に酸素イオンを注入し、1300以上で熱処理して埋め込み酸化膜(BOX; Buried Oxide)層を形成することにより、表面に薄膜シリコン層を形成し、SOI構造を得ることができる。この薄膜シリコン層は、埋め込み酸化膜層により、単結晶シリコン基板と絶縁分離されている。また、埋め込み酸化膜層形成後に、さらに熱酸化するITOx(Internal Thermal Oxidation)と呼ばれる技術を用いることもできる。

【0157】

貼り合わせ基板は、酸化膜層を介して2枚の単結晶シリコン基板(第1単結晶シリコン基板、第2単結晶シリコン基板とする。)を貼り合わせ、一方の単結晶シリコン基板を貼り合わせ面の裏面から薄膜化することにより、表面に薄膜シリコン層を形成し、SOI構造を得ることができる。酸化膜層は、一方の基板(ここでは第1単結晶シリコン基板)を熱酸化して形成することができる。また、2枚の単結晶シリコン基板は、接着剤を用いることなく、直接貼り合わせることができる。例えば、第1単結晶シリコン基板を熱処理して酸化膜層を形成した後、第2単結晶シリコン基板と重ね合わせ、800以上、好ましくは1100程度で熱処理することにより、貼り合わせ面で化学的に結合させることで2枚の基板を貼り合わせることができる。その後、第2単結晶シリコン基板を貼り合わせ面の裏面から研磨することで、所望の厚さの薄膜シリコン層を形成することができる。なお、貼り合わせ後に第2単結晶シリコン基板を研磨せずに、第2単結晶シリコン基板の所定の深さの領域に水素イオンを注入して微小ボイドを形成し、この微小ボイドを熱処理によって成長させて基板を劈開する、スマートカット(登録商標)法(Smart-Cut(登録商標)法)と呼ばれる技術を用いることもできる。また、第2単結晶シリコン基板を研磨後、小型のプラズマエッティング装置で局所的に制御しながら基板をエッティングして薄膜化するPACE(Plasma Assisted Chemical Etching)と呼ばれる技術を用いることもできる。

【0158】

本実施の形態で示すSOI基板において、支持基板は単結晶シリコン基板であり、下地絶縁膜は埋め込み酸化膜層又は酸化膜層であり、半導体層は表面に形成される薄膜シリコン層である。

【0159】

半導体層である薄膜シリコン層は、単結晶シリコン層である。半導体層の膜厚は、SOI基板の作製時に研磨量及びイオン注入の深さ等の条件を制御することによって、適宜選択することができる。例えば、膜厚40nm以上200nm以下の半導体層を形成することができる。本実施の形態では、薄膜シリコン層は、膜厚10nm以上150nm以下の範囲、好ましくは10nm以上100nm以下となるように形成する。

【0160】

次に、半導体層を選択的にエッティングして、島状のシリコン層を形成する。このとき、島状のシリコン層は端部が垂直形状となるように形成してもよいし、端部がテーパ形状となるように形成してもよい。島状のシリコン層の端部の形状は、エッティング条件等を変化させることにより調整することができる。好ましくは、島状のシリコン層の端部をテーパ角が45°以上95°未満、より好ましくはテーパ角が60°以上95°未満となるよう

10

20

30

40

50

に形成するとよい。島状のシリコン層の端部を垂直に近い形状とすることで寄生チャネルを低減することができる。

【0161】

また、島状のシリコン層は端部に絶縁層を有するように形成するとよい。該絶縁層は、CVD法又はスパッタリング法を用いて、酸化シリコン系材料、窒化シリコン系材料又はSiOF、SiOC、 DLC若しくはポーラスシリカ等の材料を用いて形成する。該絶縁層の前駆体となる絶縁膜が半導体層を覆うように形成され、垂直方向を主体とした異方性エッチングを行うことにより選択的にエッチングされて形成される。形成に際してのエッチング方法は、垂直方向を主体とした異方性エッチングを行えるものであれば特に限定されない。例えば、反応性イオンエッチング(RIE : Reactive Ion Etching)を利用することができる。また、反応性イオンエッチングは、プラズマ発生法により、平行平板方式、マグнетロン方式、2周波方式、ECR方式、ヘリコン方式、ICP方式等に分類される。このとき用いるエッチングガスとしては、絶縁層と、基板及びシリコン層との間でエッチング選択比がとれるものを選択すればよい。絶縁膜を選択的にエッチングする際には、例えば、CHF₃、CF₄、C₄F₈、C₂F₆、NF₃等のフッ素系のガスを用いることができる。その他、He、Ar若しくはXe等の不活性ガス、又はO₂ガス、H₂ガスを適宜加えてよい。

10

【0162】

その後、実施例1と同様、ゲート絶縁層を形成し、以下の工程は実施例1と同様に行えよ。

20

【0163】

本実施例にて説明したようにSOI基板を用いることで、高速な動作が可能で、諸特性に優れた素子群を作製することができる。

【実施例3】

【0164】

実施の形態1乃至実施の形態6で説明した、本発明の素子群が有するトランジスタとしては電界効果型トランジスタを用いてもよい。本実施例では、電界効果型トランジスタを用いて本発明の素子群を形成する工程について、図17を参照して説明する。

【0165】

図17は本発明に適用することのできる電界効果型トランジスタの一部の断面図である。基板900上に素子分離領域901a～901eが形成され、素子分離領域901a～901eの各々の間に電界効果型トランジスタ902が形成される。

30

【0166】

電界効果型トランジスタ902は、基板900上に形成されるゲート絶縁層903と、ゲート絶縁層903上に形成されるゲート電極層904と、ソース領域及びドレイン領域905aと、ソース領域及びドレイン領域905bと、ゲート電極層904の側部に設けられたサイドウォール907a及びサイドウォール907bと、ゲート電極層904並びにサイドウォール907a及びサイドウォール907b上に形成される層間絶縁層908と、LDD領域906aと、LDD領域906bと、ソース領域及びドレイン領域905aに接続されるソース配線及びドレイン配線909aと、ソース領域及びドレイン領域905bに接続されるソース配線及びドレイン配線909bと、を有する。

40

【0167】

基板900は、単結晶シリコン基板又は化合物半導体基板であり、代表的には、n型若しくはp型の単結晶シリコン基板、GaAs基板、InP基板、GaN基板、SiC基板、サファイヤ基板又はZnSe基板等である。本実施例では、基板900として、n型の単結晶シリコン基板を用いる。

【0168】

素子分離領域901a～901eは、公知の選択酸化法(LOCOS(Local Oxidation of Silicon)法又はSTI(Shallow Trench Isolation)法)等を用いて形成することができる。ここでは、素子分離領

50

域 901a ~ 901e は、トレンチ分離法を用いて酸化珪素層により形成される。

【 0169 】

ゲート絶縁層 903 は、単結晶シリコン基板を熱酸化又は高密度プラズマにより酸化することで形成される。ゲート電極層 904 は、100 nm 以上 300 nm 以下の多結晶シリコン層や、多結晶シリコン層上にタングステンシリサイド層、モリブデンシリサイド層又はコバルトシリサイド層等のシリサイド層を設けた積層構造とすることができる。更には、多結晶シリコン層上に窒化タングステン層及びタングステン層を積層して形成しても良い。

【 0170 】

ソース領域及びドレイン領域 905a、並びにソース領域及びドレイン領域 905b としては、p ウェル領域にリンが添加された n 型高濃度不純物領域や n ウェル領域にボロン (B) が添加された p 型高濃度不純物領域を用いることができる。また、LDD 領域 906a 及び LDD 領域 906b としては、p ウェル領域にリンが添加された n 型低濃度不純物領域や n ウェル領域にボロン (B) が添加された p 型低濃度不純物領域を用いることができる。ここでは、n 型単結晶シリコン基板を用いているため、ボロン (B) を基板に添加して p 型高濃度不純物領域からなるソース領域及びドレイン領域、並びに p 型低濃度不純物領域からなる LDD 領域が形成される。

【 0171 】

なお、ソース領域及びドレイン領域 905a、並びにソース領域及びドレイン領域 905b に、マンガンシリサイド、タングステンシリサイド、チタンシリサイド、コバルトシリサイド、又はニッケルシリサイド等のシリサイドを有していても良い。シリサイドをソース領域及びドレイン領域の表面に有することで、ソース配線及びドレイン配線とソース領域及びドレイン領域とのコンタクト抵抗を低下させることができる。

【 0172 】

サイドウォール 907a 及びサイドウォール 907b は、基板上に CVD 法を用いて酸化シリコンにより絶縁層を形成し、該絶縁層を RIE (Reactive Ion Etching : 反応性イオンエッティング) 法により異方性エッティングすることで形成される。

【 0173 】

層間絶縁層 908 は、酸化シリコン及び酸化窒化シリコン等の無機絶縁材料、又はアクリル樹脂及びポリイミド樹脂等の有機絶縁材料により形成する。スピン塗布やロールコートなどの塗布法を用いる場合には、有機溶媒中に溶かされた絶縁膜材料を塗布し、熱処理を行うことにより絶縁層を形成する。ここでは、層間絶縁層 908 は酸化シリコンを用いて形成する。

【 0174 】

ソース配線及びドレイン配線 909a、並びにソース配線及びドレイン配線 909b は、チタンとアルミニウムの積層構造、又はモリブデンとアルミニウムの積層構造等、アルミニウムのような低抵抗材料をチタン又はモリブデン等の高融点金属材料により挟んで形成することが好ましい。

【 0175 】

また、層間絶縁層 908、ソース配線及びドレイン配線 909a、並びにソース配線及びドレイン配線 909b 上に層間絶縁層 911 が形成される。層間絶縁層 911 は層間絶縁層 908 と同様に形成される。また、層間絶縁層 911 上には、電界効果型トランジスタ 902 に接続される導電層 913 を有する。

【 0176 】

また、導電層 913 の一部及び層間絶縁層 911 を覆って絶縁層 914 が形成されてもよい。層間絶縁層 911 は、保護層として機能し、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素又は DLC (ダイヤモンドライクカーボン) 等で形成されることが好ましい。

【 0177 】

10

20

30

40

50

また、本発明の素子群はアンテナに接続される。実施例1と同様に、アンテナを電界効果トランジスタ上に形成することも可能である。例えば、上記の導電層913をアンテナとして機能する導電層として用いることができる。または、導電層913上に層間絶縁層911と同様に絶縁層を形成し、この絶縁層上にアンテナとして機能する導電層を形成してもよい。

【0178】

または、実施例1にて説明したように、アンテナを別の基板に作製し、後で貼り合わせることも可能である。これも実施例1で図16(C)を参照して説明したように、別基板に形成したアンテナ832と半導体素子とを電気的に接続するようにすればよい。この場合、図17の導電層913は、アンテナと半導体素子を接続するための配線としてもよい。

10

【0179】

このようにして、本発明の半導体装置が有する素子群を作製することができる。

【0180】

なお、本実例は実施の形態1乃至実施の形態6、及び他の実施例と自由に組み合わせることができる。

【実施例4】

【0181】

本実施例では、実施の形態1乃至実施の形態6にて示した半導体装置が有する素子群の一部の形成方法の一例について、図18を参照して説明する。本実施例では、実施の形態6で説明した、MEMS構造体の作製方法について簡単に説明する。

20

【0182】

まず、図18(A)に示すように、MEMS構造体の空間を形成するために犠牲層1001を形成する。この犠牲層1001は後に除去されるものである。次に、図18(B)に示すように、犠牲層1001上に構造層1002を形成する。構造層1002は犠牲層1001上に形成されることで、形状が立体的なものとなる。そして、図18(C)に示すように、犠牲層1001をエッティングにより除去する事で、構造層1002の下に空間1003が形成され、構造層1002が有する空間上の一部分(ここでは犠牲層の上の部分)が可動部分となる。

【0183】

なお、本実施例では、基板上に構造層1002及び空間1003を有する単純な構造体の例を示しているが、図13(A)及び(B)に示したように、基板上に下地となる膜や下部電極を形成してもよいし、犠牲層や構造層を積層させてもよい。

30

【0184】

なお、本実施例は、実施の形態1乃至実施の形態6、及び他の実施例と自由に組み合わせることができる。すなわち、本実施例にて説明したMEMS構造体は、図17の絶縁層914の上に設ける等によりトランスデューサとすることができます、実施の形態1の素子群として用いることができる。

【実施例5】

【0185】

本実施例では、実施の形態1乃至実施の形態6にて示した半導体装置が有する素子群の作製方法について、図面を参照して説明する。本実施例では、素子群としてフォトトランスデューサを用いた場合の作製方法の一例について簡単に説明する。

40

【0186】

まず、基板1100上に、下地絶縁層1101及び導電層1102を形成する(図19(A)を参照)。導電層1102として、本実施例では窒化タンタル及びタングステンをそれぞれ膜厚30nm及び370nmとして形成した積層膜を用いる。

【0187】

また、導電層1102として、上記以外にもチタン、タングステン、タンタル、モリブデン、ネオジム、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、

50

オスミウム、イリジウム、白金、アルミニウム、金、銀、及び銅から選ばれた元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タンゲスタン、窒化タンタル又は窒化モリブデンからなる単層膜を用いることができる。

【0188】

なお、下地絶縁層1101を基板1100上に形成せず、導電層1102を直接基板1100上に形成してもよい。

【0189】

次に、導電層1102が所望のパターンとなるようにエッチングし、ゲート電極層1103、ゲート電極層1104、配線1105、配線1106及び端子電極1107を形成する(図19(B)を参照)。

10

【0190】

次いで、ゲート電極層1103及びゲート電極層1104、配線1105、配線1106及び端子電極1107を覆うゲート絶縁層1108を形成する。本実施例では、シリコンを主成分として含む絶縁膜、例えば窒素を含む酸化シリコン膜(組成比Si=32%、O=59%、N=7%、H=2%)を、プラズマCVD法により約115nmの厚さで形成することで、ゲート絶縁層1108を形成する。

20

【0191】

次に、ゲート絶縁層1108上に島状半導体領域1109及び島状半導体領域1110を形成する。島状半導体領域は、非晶質半導体膜又は結晶質半導体膜のどちらを用いて形成しても良い。結晶質半導体膜の結晶化方法も特に限定されず、熱結晶化法、レーザ結晶化法等を用いることができる。ここでは、一例として、結晶化を促進する元素を半導体膜に添加する方法について説明する。まず、スパッタ法にてゲッタリングサイトとなるアルゴン元素を含む非晶質シリコン膜を10nm以上400nm以下の厚さで形成する。アルゴン元素を含む非晶質シリコン膜は、シリコンターゲットを用いてアルゴンを含む雰囲気下で形成される。その後、650℃に加熱された炉にアルゴン元素を含む非晶質シリコン膜が形成された基板を入れて熱処理を行い、触媒元素を除去(ゲッタリング)することで、結晶構造を有する半導体膜中の触媒元素の濃度が低減される。炉に代えてランプアニール装置を用いてもよい。次に、バリア層をエッチングストップとして、ゲッタリングサイトであるアルゴン元素を含む非晶質シリコン膜を選択的に除去し、バリア層を希フッ酸で選択的に除去する。なお、ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすいため、酸化膜からなるバリア層をゲッタリング後に除去することが望ましい。なお、触媒元素を用いて半導体膜の結晶化を行わない場合には、上述したバリア層の形成、ゲッタリングサイトの形成、ゲッタリングのための熱処理、ゲッタリングサイトの除去、及びバリア層の除去等の工程は不要である。そして、得られた結晶構造を有する半導体膜(例えば、結晶性シリコン膜)の表面にオゾン水で薄い酸化膜を形成した後、第1のフォトマスクを用いてレジストマスクを形成し、所望の形状にエッチング処理し、島状に分離された島状半導体領域を形成する。

30

【0192】

島状半導体領域を形成した後、レジストマスクを除去する。次いで、必要があれば薄膜トランジスタのしきい値を制御するために微量の不純物元素(ボロン又はリン)を添加する。ここでは、ジボラン(B₂H₆)を質量分離しないでプラズマ励起したイオンドープ法を用いる。

40

【0193】

上記のように、島状半導体領域1109及び島状半導体領域1110を形成した後に、薄膜トランジスタ1119のソース領域及びドレイン領域1112、薄膜トランジスタ1120のソース領域及びドレイン領域1113となる領域以外を覆ってレジストマスク1111を形成し、一導電型を付与する不純物の導入を行う(図19(D)を参照)。一導電型の不純物として、nチャネル型薄膜トランジスタを形成する場合には、リン又はヒ素を用い、pチャネル型薄膜トランジスタを形成する場合には、ボロンを用いればよい。本

50

実施例では、n型の導電型を付与する不純物元素であるリンを島状半導体領域1109及び島状半導体領域1110に導入し、薄膜トランジスタ1119のソース領域及びドレイン領域1112、これらの領域の間にチャネル形成領域、薄膜トランジスタ1120のソース領域及びドレイン領域1113、これらの領域の間にチャネル形成領域を形成する。なお、必要があればチャネル形成領域に薄膜トランジスタのしきい値を制御するために微量の不純物元素（ボロン又はリン）を添加しても良い。

【0194】

次いで、レジストマスク1111を除去し、絶縁膜1114及び絶縁膜1115を形成する（図19（E）を参照）。ここで、絶縁膜1114及び絶縁膜1115は、酸化シリコンや窒化シリコン等又は有機樹脂等を、CVD法又はスピンドルコート法等により形成すれば良い。

10

【0195】

次に、絶縁膜1114及び絶縁膜1115にコンタクトホールを形成し、導電膜を形成し、該導電膜を選択的にエッチングすることで、配線1117と、接続電極1118と、端子電極1125と、薄膜トランジスタ1119のソース電極及びドレイン電極1127と、薄膜トランジスタ1120のソース電極及びドレイン電極1128と、を形成し、レジストマスクを除去する。なお、本実施例の導電膜は、膜厚100nmのチタン膜と、膜厚350nmのシリコンを微量に含むアルミニウム膜と、膜厚100nmのチタン膜と、を積層して形成した三層構造とする。

20

【0196】

また、図20では、配線1117は保護電極1116を、接続電極1118は保護電極1122を、端子電極1125は保護電極1126を、薄膜トランジスタ1119のソース電極及びドレイン電極1127は保護電極1123を、薄膜トランジスタ1120のソース電極及びドレイン電極1128は保護電極1124を有しているが、必要のない場合には特に設けなくとも良い。

【0197】

以上説明したように、ボトムゲート型の薄膜トランジスタ1119及び薄膜トランジスタ1120を作製することができる（図20（A）を参照）。

【0198】

次に、絶縁膜1115上に、p型半導体層1129p、i型半導体層1129i、及びn型半導体層1129nを有する光電変換層1129を形成する（図20（B）を参照）。光電変換層が有する半導体層は、代表的にはアモルファスシリコンを用いて形成される。

30

【0199】

p型半導体層1129pは、13族の不純物元素（例えばボロン）を含んだアモルファスシリコン膜を、プラズマCVD法により形成しても良いし、アモルファスシリコン膜を形成後、13族の不純物元素を導入してもよい。

【0200】

i型半導体層1129iは、例えばプラズマCVD法によりアモルファスシリコン膜を形成すればよい。また、n型半導体層1129nは、15族の不純物元素（例えばリン）を含んだアモルファスシリコン膜を用いて形成しても良いし、アモルファスシリコン膜を形成後、15族の不純物元素を添加してもよい。

40

【0201】

以上のように、p型半導体層1129pを形成した後、i型半導体層1129i及びn型半導体層1129nを順に形成する。このようにして、p型半導体層1129p、i型半導体層1129i、及びn型半導体層1129nを有する光電変換層1129が形成される。

【0202】

また、p型半導体層1129p、i型半導体層1129i及びn型半導体層1129nはセミアモルファス半導体膜であってもよい。なお、セミアモルファス半導体膜とは、非

50

晶質半導体と結晶構造を有する半導体（単結晶、多結晶を含む）膜の中間的な構造を有する膜である。

【0203】

次いで、封止層1130、端子1131及び端子1132を形成する（図20（C）を参照）。端子1131はn型半導体層1129nに接続されており、端子1132は端子1131と同一の工程で形成される。

【0204】

さらに、電極1135及び電極1136を有する基板1137を、ハンダ1133及びハンダ1134で実装する。なお、基板1137上の電極1135は、ハンダ1134で端子1131に接続されて実装されている。同様に、基板1137上の電極1136は、ハンダ1133で端子1132に接続されて実装されている（図21を参照）。

10

【0205】

図21に示す素子群において、光電変換層1129に入射する光は、主に基板1100側から入射することが好ましい。しかし、これに限定されるものではない。

【0206】

なお、本実施例では一例としてボトムゲート型薄膜トランジスタを用いているが、本発明はこれに限定されるものではなく、トップゲート型薄膜トランジスタを用いても良い。

【0207】

なお、本実施例は実施の形態1乃至実施の形態6、及び他の実施例と自由に組み合わせることができる。本実施例にて説明したMEMS構造体は、図17の絶縁層914の上に設ける等によりトランスデューサとすることができ、実施の形態1の素子群として用いることができる。

20

【0208】

以上、実施例1乃至実施例5にて説明した素子群をアンテナに接続させ、これらの素子群が設けられた基板を、例えば、接着層を介して接合させることで、本発明の半導体装置を作製することができる。

【図面の簡単な説明】

【0209】

【図1】本発明の半導体装置を説明する図。

30

【図2】本発明の半導体装置を説明する図。

【図3】本発明の半導体装置が有するアンテナを説明する図。

【図4】本発明の半導体装置を説明する図。

【図5】本発明の半導体装置を説明する図。

【図6】本発明の半導体装置を説明する図。

【図7】本発明の半導体装置を説明する図。

【図8】本発明の半導体装置を説明する図。

【図9】本発明の半導体装置を説明する図。

【図10】本発明の半導体装置を説明する図。

【図11】本発明の半導体装置を説明する図。

【図12】本発明の半導体装置を説明する図。

40

【図13】本発明の半導体装置が有する素子群の一例を説明する図。

【図14】本発明の半導体装置の作製方法を説明する図。

【図15】本発明の半導体装置の作製方法を説明する図。

【図16】本発明の半導体装置の作製方法を説明する図。

【図17】本発明の半導体装置の作製方法を説明する図。

【図18】本発明の半導体装置の作製方法を説明する図。

【図19】本発明の半導体装置の作製方法を説明する図。

【図20】本発明の半導体装置の作製方法を説明する図。

【図21】本発明の半導体装置の作製方法を説明する図。

【図22】本発明の半導体装置を説明する図。

50

【符号の説明】

【0 2 1 0】

1 0 1	第 1 の 基板	
1 0 2	第 1 の 素子群	
1 0 3	第 1 の アンテナ	
1 0 4	第 2 の 基板	
1 0 5	第 2 の 素子群	
1 0 6	第 2 の アンテナ	
1 0 7	接着層	
2 0 1	第 1 の 基板	10
2 0 2	第 1 の 素子群	
2 0 4	第 2 の 基板	
2 0 5	第 2 の 素子群	
2 0 7	接着層	
2 0 8	中間基板	
2 2 0	第 1 の 無線通信部	
2 2 4	電源回路	
2 2 6	復調回路	
2 2 8	変調回路	
2 3 0	記憶回路	20
2 3 2	制御回路	
2 3 4	第 2 の 無線通信部	
2 5 0	チップ	
2 5 1	アンテナ	
2 5 2	チップ	
2 5 3	アンテナ	
2 5 4	チップ	
2 5 5	アンテナ	
2 5 6	チップ	
2 5 7	アンテナ	30
2 5 8	チップ	
2 5 9	アンテナ	
2 6 0	チップ	
2 6 1 A	アンテナ	
2 6 1 B	反射膜	
2 6 1 C	シート	
2 6 2	チップ	
2 6 3	アンテナ	
2 6 4	チップ	
2 6 5 A	アンテナ	40
2 6 5 B	スロット	
3 0 1	第 1 の 基板	
3 0 2	第 1 の 素子群	
3 0 4	第 2 の 基板	
3 0 5	第 2 の 素子群	
3 1 1	第 1 の 領域	
3 1 2	第 2 の 領域	
4 0 1	第 1 の 基板	
4 0 2	第 1 の 素子群	
4 0 3	第 1 の アンテナ	50

4 0 4	第 2 の 基板	
4 0 5	第 2 の 素子群	
4 0 6	第 2 の アンテナ	
4 0 7	接着層	
4 0 8	第 3 の 基板	
4 0 9	第 3 の 素子群	
4 1 0	外部電極	
4 1 1	外部電極	
4 1 2	配線	
4 1 7	導電層	10
5 0 1	第 1 の 基板	
5 0 2	第 1 の 素子群	
5 0 3	第 1 の アンテナ	
5 0 4	第 2 の 基板	
5 0 5	第 2 の 素子群	
5 0 6	第 2 の アンテナ	
5 0 7	接着層	
5 0 8	第 3 の 基板	
5 0 9	第 3 の 素子群	
5 1 0	電極	20
6 0 1	第 1 の 基板	
6 0 2	第 1 の 素子群	
6 0 3	第 1 の アンテナ	
6 0 4	第 2 の 基板	
6 0 5	第 2 の 素子群	
6 0 6	第 2 の アンテナ	
6 0 7	接着層	
6 0 8	第 3 の 基板	
6 0 9	第 3 の 素子群	
6 1 0	第 3 の アンテナ	30
7 0 0	第 1 の 導電層	
7 0 1	構造層	
7 0 2	空間部分	
7 0 3	第 2 の 導電層	
7 0 5	第 1 の 導電層	
7 0 6	構造層	
7 0 7	第 2 の 導電層	
7 0 8 A	部分	
7 0 8 B	部分	
8 0 1	ガラス基板	40
8 0 2	剥離層	
8 0 3	絶縁層	
8 0 4	半導体層	
8 0 5	ゲート絶縁層	
8 0 6	ゲート電極層	
8 0 7	N型不純物領域	
8 0 8	P型不純物領域	
8 0 9	絶縁層	
8 1 0	第 1 の N型不純物領域	
8 1 1	第 2 の N型不純物領域	50

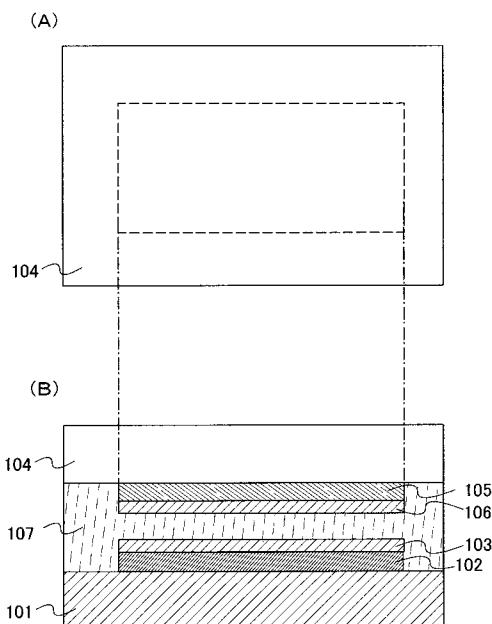
8 1 2	N型トランジスタ	
8 1 3	P型トランジスタ	
8 1 4	絶縁層	
8 1 5	導電層	
8 1 6	絶縁層	
8 1 7	導電層	
8 2 0	開口部	
8 2 1	半導体素子	
8 2 2	可撓性基板	10
8 2 3	可撓性基板	
8 3 0	可撓性基板	
8 3 1	可撓性基板	
8 3 2	アンテナ	
9 0 0	基板	
9 0 1 a	素子分離領域	
9 0 2	電界効果型トランジスタ	
9 0 3	ゲート絶縁層	
9 0 4	ゲート電極層	
9 0 5 a	ドレイン領域	20
9 0 5 b	ドレイン領域	
9 0 6 a	LDD領域	
9 0 6 b	LDD領域	
9 0 7 a	サイドウォール	
9 0 7 b	サイドウォール	
9 0 8	層間絶縁層	
9 0 9 a	ドレイン配線	
9 0 9 b	ドレイン配線	
9 1 1	層間絶縁層	
9 1 3	導電層	
9 1 4	絶縁層	30
1 0 0 1	犠牲層	
1 0 0 2	構造層	
1 0 0 3	空間	
1 1 0 0	基板	
1 1 0 1	下地絶縁層	
1 1 0 2	導電層	
1 1 0 3	ゲート電極層	
1 1 0 4	ゲート電極層	
1 1 0 5	配線	
1 1 0 6	配線	40
1 1 0 7	端子電極	
1 1 0 8	ゲート絶縁層	
1 1 0 9	島状半導体領域	
1 1 1 0	島状半導体領域	
1 1 1 1	レジストマスク	
1 1 1 2	ドレイン領域	
1 1 1 3	ドレイン領域	
1 1 1 4	絶縁膜	
1 1 1 5	絶縁膜	
1 1 1 6	保護電極	50

1 1 1 7	配線
1 1 1 8	接続電極
1 1 1 9	薄膜トランジスタ
1 1 2 0	薄膜トランジスタ
1 1 2 2	保護電極
1 1 2 3	保護電極
1 1 2 4	保護電極
1 1 2 5	端子電極
1 1 2 6	保護電極
1 1 2 7	ドレイン電極
1 1 2 8	ドレイン電極
1 1 2 9	光電変換層
1 1 2 9 i	i型半導体層
1 1 2 9 n	n型半導体層
1 1 2 9 p	p型半導体層
1 1 3 0	封止層
1 1 3 1	端子
1 1 3 2	端子
1 1 3 3	ハンダ
1 1 3 4	ハンダ
1 1 3 5	電極
1 1 3 6	電極
1 1 3 7	基板

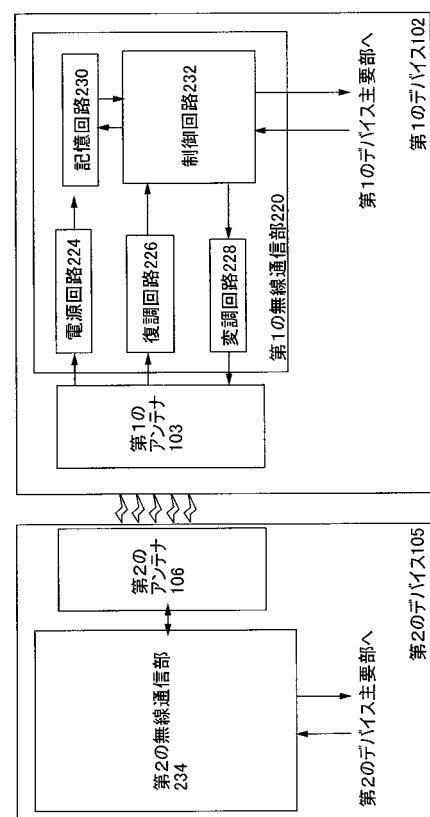
10

20

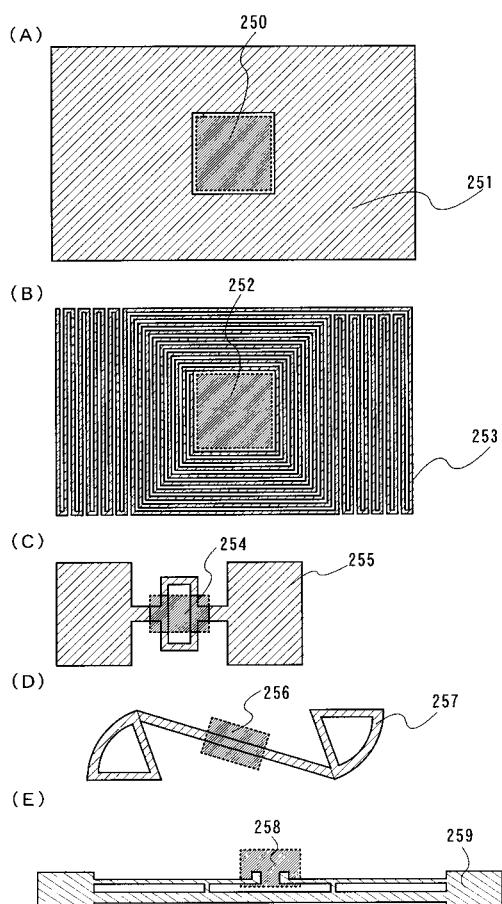
【図1】



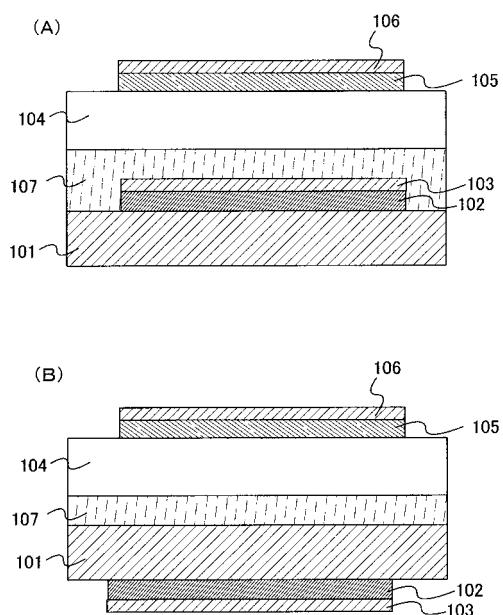
【図2】



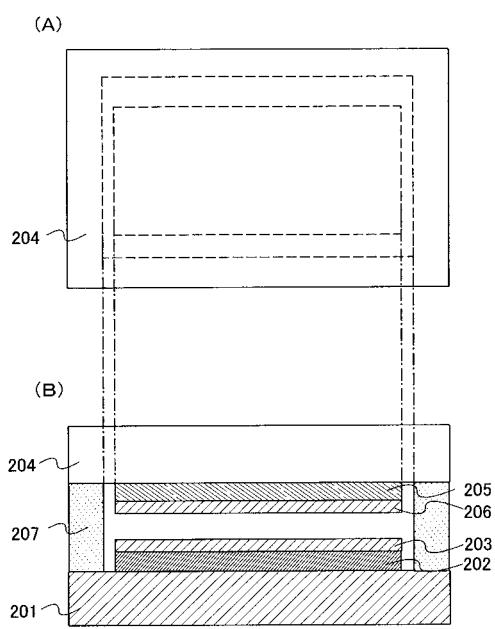
【図3】



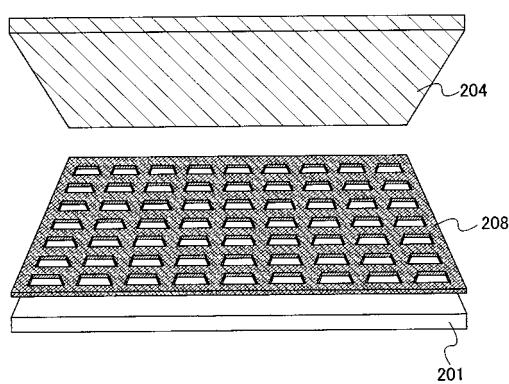
【図4】



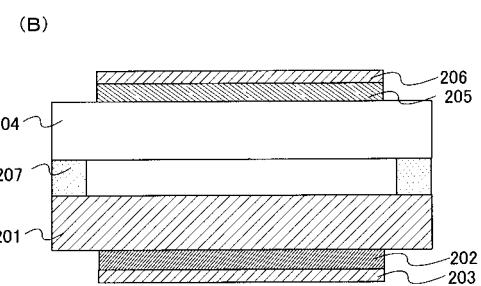
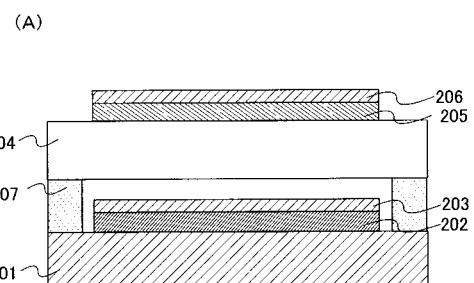
【図5】



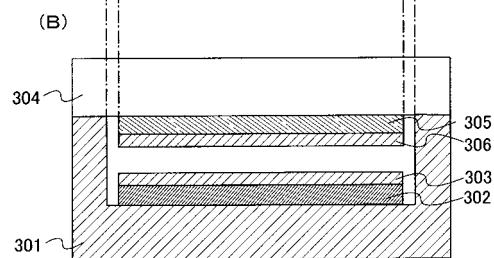
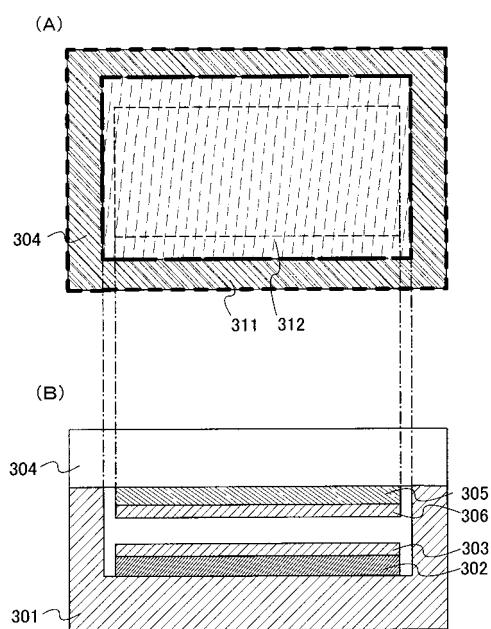
【図6】



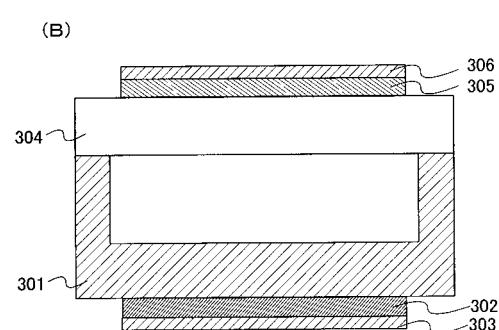
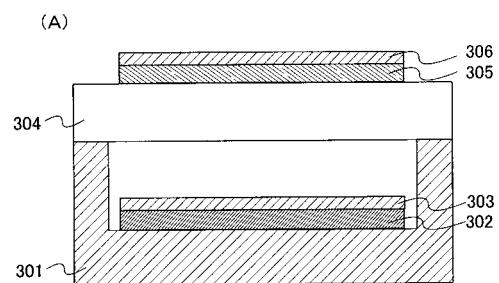
【図7】



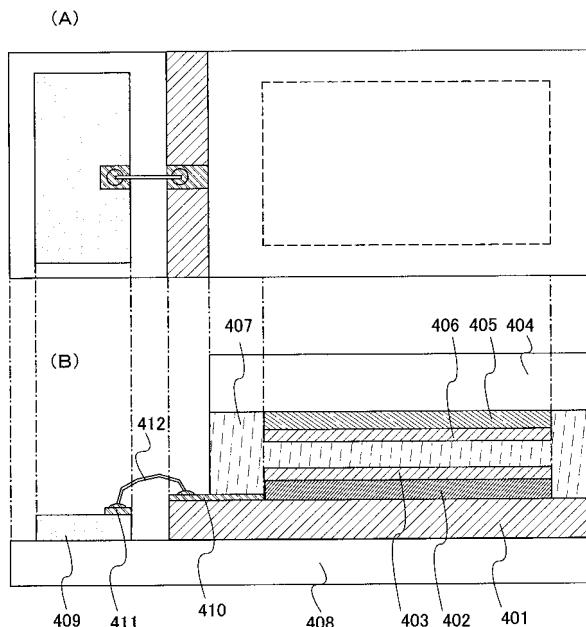
【図8】



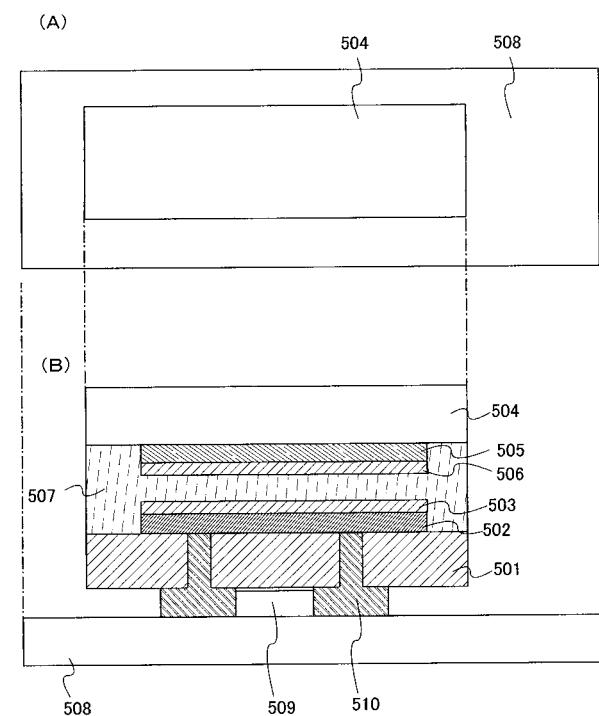
【図9】



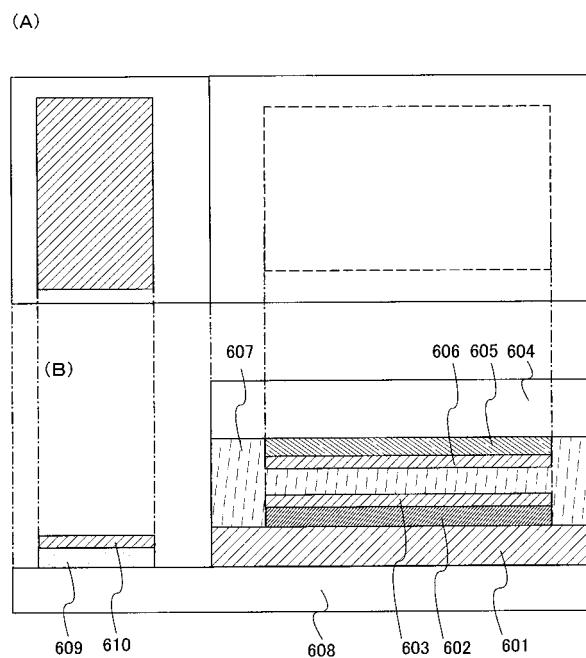
【図10】



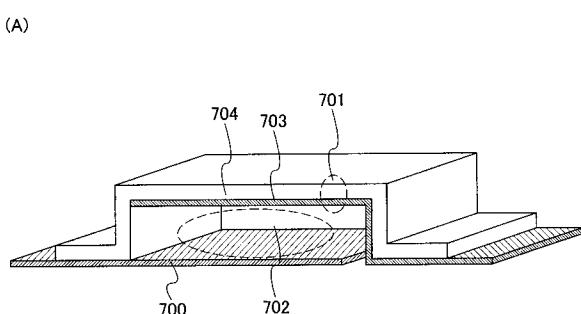
【図 1 1】



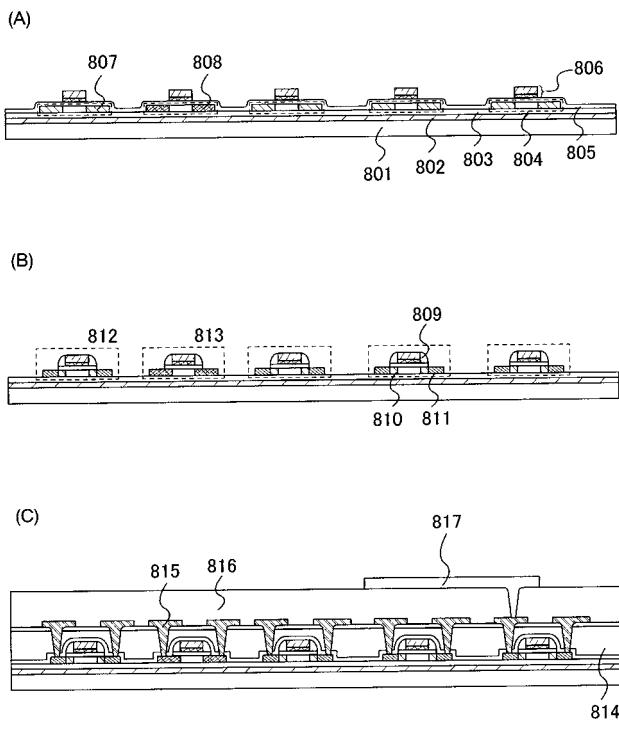
【図 1 2】



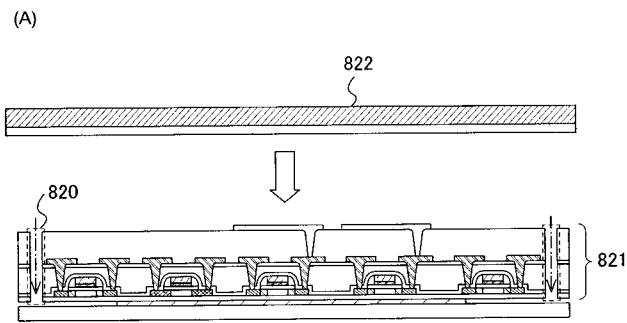
【図 1 3】



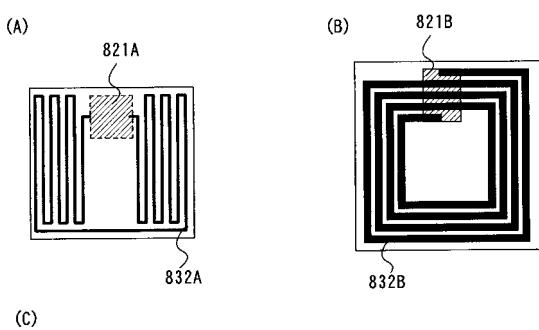
【図 1 4】



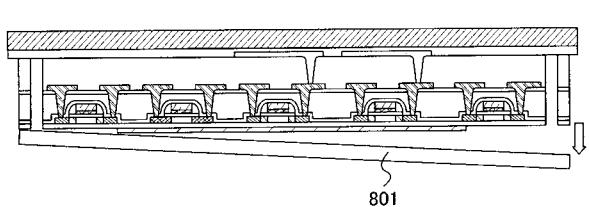
【図15】



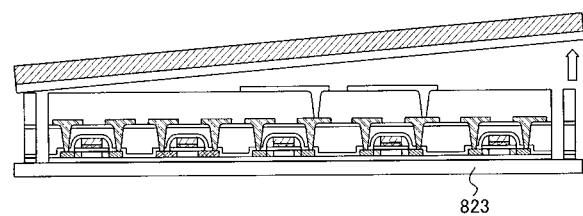
【図16】



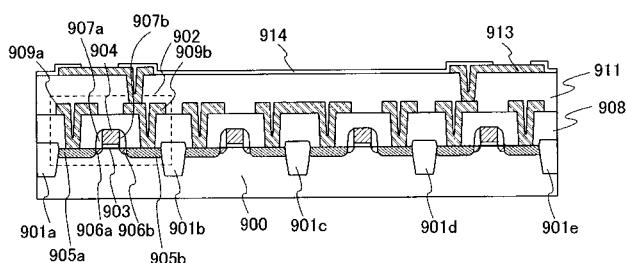
(B)



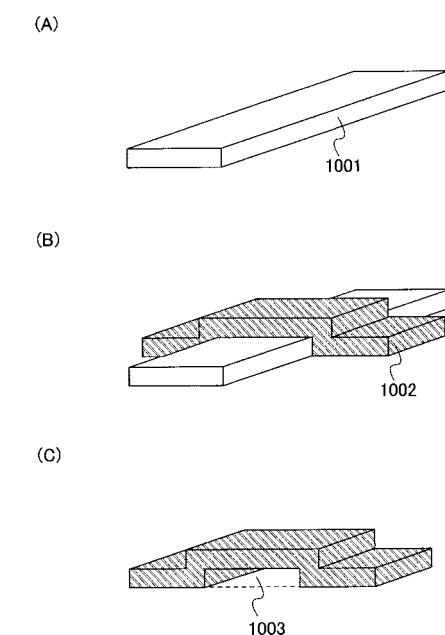
(C)



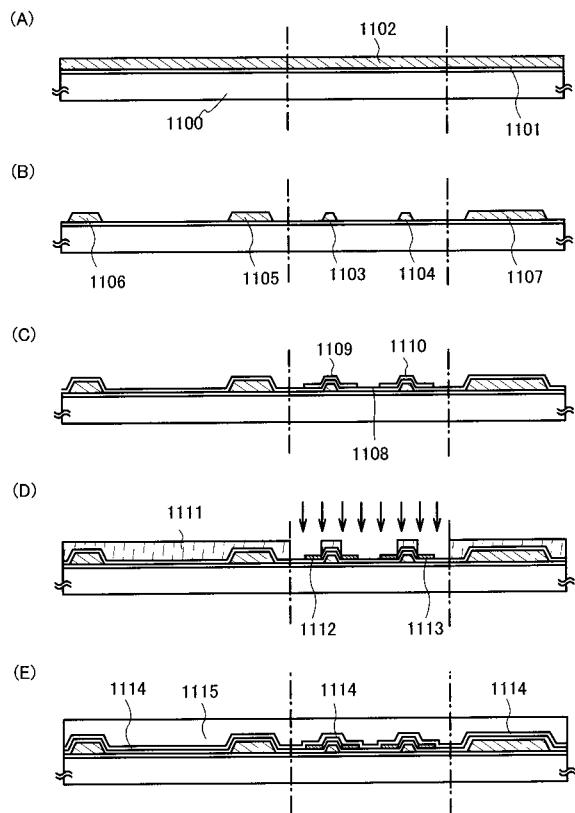
【図17】



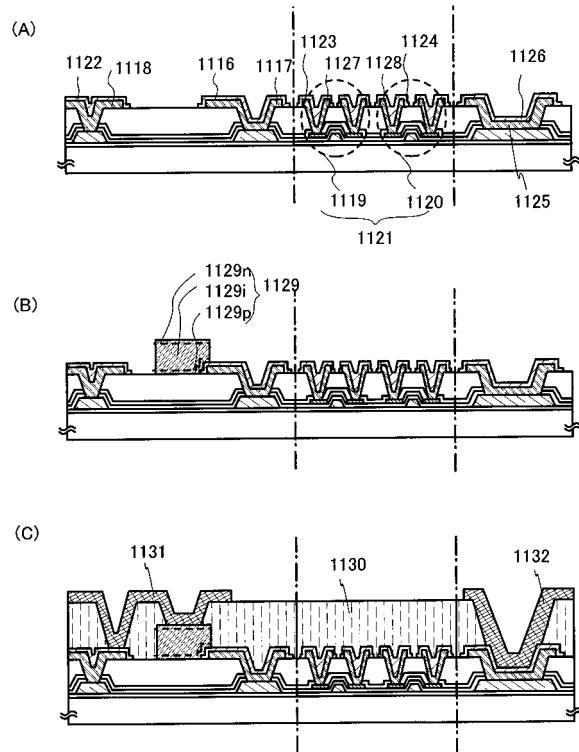
【図18】



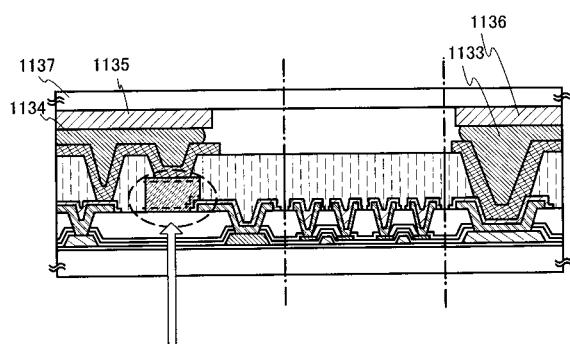
【図19】



【図20】



【図21】



【図22】

