



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I600013 B

(45)公告日：中華民國 106 (2017) 年 09 月 21 日

(21)申請案號：104134087

(22)申請日：中華民國 104 (2015) 年 10 月 16 日

(51)Int. Cl. : G11C13/00 (2006.01)

H01L45/00 (2006.01)

(30)優先權：2014/10/16 美國

14/515,998

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國(72)發明人：威爾斯 大衛 H WELLS, DAVID H. (US) ; 卡登 克里斯多夫 D CARDON,
CHRISTOPHER D. (US) ; 歐諾 肯納 ONAL, CANER (US)

(74)代理人：陳長文

(56)參考文獻：

US 8642985B2

US 8716780B2

US 2012/0195121A1

US 2013/0207068A1

US 2014/0254242A1

審查人員：蔡明宏

申請專利範圍項數：22 項 圖式數：5 共 24 頁

(54)名稱

用於記憶體胞元應用之選擇裝置

SELECT DEVICE FOR MEMORY CELL APPLICATIONS

(57)摘要

本發明包含選擇裝置及使用用於記憶體胞元應用之選擇裝置之方法。一實例性選擇裝置包含：一第一電極，其具有一特定幾何結構；一半導體材料，其形成於該第一電極上；及一第二電極，其具有該特定幾何結構並形成於該半導體材料上，其中該選擇裝置經組態以回應於施加至該選擇裝置之信號而在電阻狀態之間快動。

The present disclosure includes select devices and methods of using select device for memory cell applications. An example select device includes a first electrode having a particular geometry, a semiconductor material formed on the first electrode and a second electrode having the particular geometry with formed on the semiconductor material, wherein the select device is configured to snap between resistive states in response to signals that are applied to the select device.

指定代表圖：

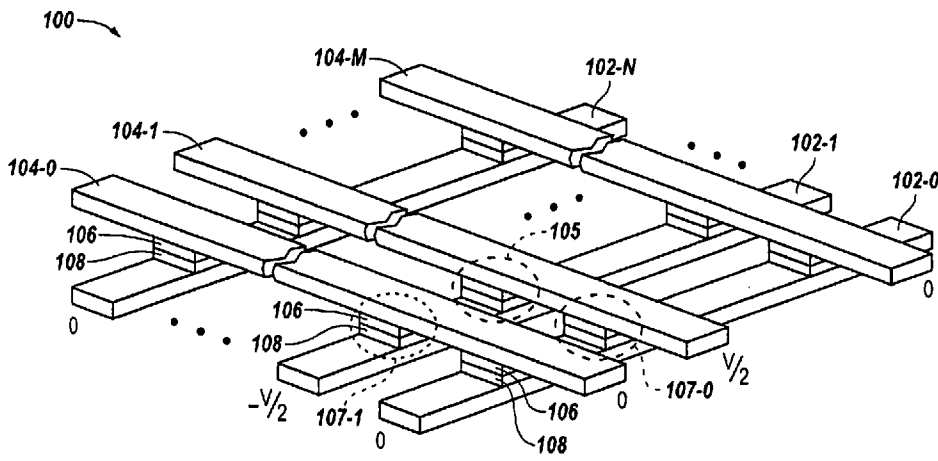


圖 1

- 符號簡單說明：
- 100 . . . 記憶體胞元陣列/陣列
 - 102-0 . . . 存取線/字線
 - 102-1 . . . 存取線/字線/選定字線
 - 102-N . . . 存取線/字線
 - 104-0 . . . 位元線/資料/感測線
 - 104-1 . . . 位元線/選定位元線/資料/感測線
 - 104-M . . . 位元線/資料/感測線
 - 105 . . . 記憶體胞元/選定記憶體胞元
 - 106 . . . 儲存元件
 - 107-0 . . . 未選定記憶體胞元/半選定記憶體胞元
 - 107-1 . . . 未選定記憶體胞元/半選定記憶體胞元
 - 108 . . . 選擇裝置
 - V/2 . . . 半選擇電壓
 - V/2 . . . 負半選擇電壓

發明摘要

公告本

※ 申請案號：104134087

※ 申請日：104/10/16

※IPC 分類：G11C 13/00 (2006.01)
H01L 45/00 (2006.01)

【發明名稱】

用於記憶體胞元應用之選擇裝置

SELECT DEVICE FOR MEMORY CELL APPLICATIONS

【中文】

本發明包含選擇裝置及使用用於記憶體胞元應用之選擇裝置之方法。一實例性選擇裝置包含：一第一電極，其具有一特定幾何結構；一半導體材料，其形成於該第一電極上；及一第二電極，其具有該特定幾何結構並形成於該半導體材料上，其中該選擇裝置經組態以回應於施加至該選擇裝置之信號而在電阻狀態之間快動。

【英文】

The present disclosure includes select devices and methods of using select device for memory cell applications. An example select device includes a first electrode having a particular geometry, a semiconductor material formed on the first electrode and a second electrode having the particular geometry with formed on the semiconductor material, wherein the select device is configured to snap between resistive states in response to signals that are applied to the select device.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100	記憶體胞元陣列/陣列
102-0	存取線/字線
102-1	存取線/字線/選定字線
102-N	存取線/字線
104-0	位元線/資料/感測線
104-1	位元線/選定位元線/資料/感測線
104-M	位元線/資料/感測線
105	記憶體胞元/選定記憶體胞元
106	儲存元件
107-0	未選定記憶體胞元/半選定記憶體胞元
107-1	未選定記憶體胞元/半選定記憶體胞元
108	選擇裝置
V/2	半選擇電壓
-V/2	負半選擇電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於記憶體胞元應用之選擇裝置

SELECT DEVICE FOR MEMORY CELL APPLICATIONS

【技術領域】

本發明一般而言係關於半導體記憶體裝置及方法，且更特定而言係關於用於記憶體胞元應用之選擇裝置。

【先前技術】

記憶體裝置通常經提供為電腦或其他電子裝置中之內部半導體積體電路。存在諸多不同類型之記憶體，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)、電阻式記憶體及快閃記憶體，以及其他。電阻式記憶體之類型包含可程式化導體記憶體及電阻式隨機存取記憶體(RRAM)，以及其他。

記憶體裝置用作用於需要高記憶體密度、高可靠性及在無電力之情況下之資料保留之一寬廣範圍之電子應用的非揮發性記憶體。非揮發性記憶體可用於(舉例而言)個人電腦、可攜式記憶條、固態磁碟機(SSD)、數位相機、蜂巢式電話、諸如MP3播放器之可攜式音樂播放器、電影播放器及其他電子裝置。

RRAM裝置包含基於一儲存元件之電阻位準而儲存資料之電阻式記憶體胞元。可(諸如)藉由將能量源(諸如，正電壓或負電壓)施加至胞元達一特定持續時間而將該等胞元程式化至(例如)對應於一特定電阻位準之一期望狀態。可將某些RRAM胞元程式化至多個狀態，使得該等RRAM胞元可表示(例如，儲存)兩個或兩個以上位元之資料。

舉例而言，可藉由回應於一所施加之詢問電壓而感測穿過選定電阻式記憶體胞元之電流來判定(例如，讀取)一電阻式記憶體胞元之程式化狀態。基於記憶體胞元之電阻位準而變化的所感測之電流可指示電阻式記憶體胞元之程式化狀態。

在各種例項中，電阻式記憶體胞元陣列可易出讀取干擾問題。舉例而言，作為一讀取操作之一部分，電流可自一選定存取線(例如，字線)穿過一選定記憶體胞元流動至一資料/感測線(例如，位元線)。然而，在各種陣列架構(諸如，交叉點架構)中，電流亦流動至與選定位元線交叉之未選定字線中。電流至未選定字線中之傳導可(例如)由於降低輸出阻抗以及其他缺點而減小區分資料狀態之能力。

【圖式簡單說明】

圖1係根據本發明之一或多項實施例之一電阻式記憶體胞元陣列之一部分之一方塊圖。

圖2A圖解說明根據本發明之一或多項實施例之一選擇裝置之一剖面圖。

圖2B圖解說明根據本發明之一或多項實施例之圖2A中所圖解說明之選擇裝置之一俯視圖。

圖3A-1圖解說明根據本發明之一或多項實施例之一選擇裝置之一剖面圖。

圖3B-1圖解說明根據本發明之一或多項實施例之圖3A-1中所圖解說明之選擇裝置之一俯視圖。

圖3A-2圖解說明根據本發明之一或多項實施例之一選擇裝置之一剖面圖。

圖3B-2圖解說明根據本發明之一或多項實施例之圖3A-2中所圖解說明之選擇裝置之一俯視圖。

圖4A圖解說明根據本發明之一或多項實施例之一選擇裝置之一

剖面圖。

圖4B圖解說明根據本發明之一或多項實施例之圖4A中所圖解說明之選擇裝置之一俯視圖。

圖5係根據本發明之一或多項實施例之圖解說明一選擇裝置之電壓與電流關係之一曲線圖。

【實施方式】

本發明包含選擇裝置及使用用於記憶體胞元應用之選擇裝置之方法。一實例性選擇裝置包含：一第一電極，其具有一特定幾何結構；一半導體材料，其形成於該第一電極上；及一第二電極，其具有該特定幾何結構並形成於該半導體材料上，其中該選擇裝置經組態以回應於施加至該選擇裝置之信號而在電阻狀態之間快動。

根據本發明之實施例可包含一選擇裝置，該選擇裝置回應於正施加至該選擇裝置且然後自該選擇裝置移除之信號高於一臨限電壓而在一第一電阻狀態與一第二電阻狀態之間快動。作為一實例，當選擇裝置回應於施加至該選擇裝置之信號大於臨限電壓而處於第一電阻狀態中時，本發明之實施例可支援大於 1 MA/cm^2 之電流密度。舉例而言，本發明之實施例可包含諸如提供用於記憶體應用(諸如，電阻式記憶體應用)之一雙向選擇裝置之益處。作為一實例，當形成記憶體陣列(諸如，RRAM陣列)時，可在足夠低之溫度下形成根據本發明之一或多個選擇裝置以支援後段製程處理(BEOL)。各種實施例提供具有與一部分選擇讀取方法(諸如，一半選擇讀取方法或第三選擇讀取方法)相關聯之一高接通電流對關斷電流比率(I_{on}/I_{off})之選擇裝置。亦即，與記憶體陣列相關聯之一接通電壓(V_{on})下之 I_{on}/I_{off} 比一對應半選擇電壓($V_{on}/2$)或第三選擇電壓($V_{on}/3$)下之 I_{on}/I_{off} 大得多。作為一實例，在某些實施例中， V_{on} 下之 I_{on}/I_{off} 可比 $V_{on}/2$ 下之 I_{on}/I_{off} 大至少 1×10^4 倍。各種實施例包含一選擇裝置之隨著一選擇裝置之面積

按比例縮放之洩漏電流。

在本發明之以下詳細說明中，參考形成本發明之一部分且其中以圖解說明方式展示可如何實踐本發明之一或多項實施例之附圖。充分詳細地闡述此等實施例以使得熟習此項技術者能夠實踐本發明之實施例，且應理解，可利用其他實施例且可在不背離本發明之範疇之情況下做出程序、電及/或結構改變。如本文中所使用，特定而言關於圖式中之元件符號之指定符「M」及「N」指示可包含如此指定之若干個特定特徵。如本文中所使用，「若干個」某一特定事物可係指此等事物中之一或多者(例如，若干個記憶體裝置可係指一或多個記憶體裝置)。

本文中之圖遵循其中第一個數字或前幾個數字對應於圖式之圖編號且其餘數字識別圖式中的一元件或組件之一編號慣例。不同圖之間的類似元件或組件可藉由使用類似數字來識別。舉例而言，在圖2A中208可參考元件「08」，且在圖3A中一類似元件可稱為308。如將瞭解，可添加、更換及/或消除本文中之各種實施例中所展示之元件以便提供本發明之若干個額外實施例。

圖1係根據本發明之一或多項實施例之一記憶體胞元陣列100之一部分之一方塊圖。陣列100係一雙端子交叉點陣列，該雙端子交叉點陣列具有定位於若干個存取線102-0、102-1、...、102-N (在本文中可稱為字線)與若干個資料/感測線104-0、104-1、...、104-M (在本文中可稱為位元線)之相交點處之記憶體胞元。如所圖解說明，字線102-0、102-1、...、102-N彼此平行且正交於實質上彼此平行之位元線104-0、104-1、...、104-M；然而，實施例並不如此受限制。

根據本文中所闡述之一或多項實施例，每一記憶體胞元可包含與一選擇裝置108 (例如，一存取裝置)串聯耦合之一儲存元件106 (例如，一電阻式記憶體元件)。舉例而言，儲存元件106可包含可具有一

可變電阻之一可程式化部分。舉例而言，儲存元件106可包含一或多個電阻可變材料，諸如包含兩個或兩個以上金屬(例如，過渡金屬、鹼土金屬及/或稀土金屬)之一過渡金屬氧化物材料或一鈣鈦礦。與一記憶體胞元之儲存元件106相關聯之電阻可變材料之其他實例可包含硫屬化物、二元金屬氧化物、巨磁阻材料及/或各種基於聚合物之電阻可變材料，以及其他。如此，記憶體胞元可係RRAM胞元、PCRAM胞元及/或導電橋接記憶體胞元，以及各種其他類型之電阻式記憶體胞元。

在一或多項實施例中，對應於每一記憶體胞元之選擇裝置108包含一第一電極、一半導體材料及一第二電極。選擇裝置之第一電極、半導體材料及第二電極可經組態以使得當將一信號施加至選擇裝置108時該等選擇裝置在一第一電阻狀態與一第二電阻狀態之間快動。舉例而言，當將大於一臨限電壓之一信號施加至選擇裝置108時，選擇裝置108可自一第一電阻狀態快動至一第二電阻狀態。因此，當將大於臨限電壓之一信號施加至選擇裝置108時，該選擇裝置快動至第二電阻狀態且與程式化及/或讀取一記憶體胞元相關聯之一電流可穿過該選擇裝置傳遞至儲存元件106。一旦自選擇裝置108移除該信號，選擇裝置108便快動回至第一電阻狀態。在若干項實施例中，當將一信號施加至選擇裝置108且自選擇裝置108移除該信號時，選擇裝置108可重複地在電阻狀態之間快動。

在若干項實施例中，選擇裝置108可經組態以使得該選擇裝置之一第一電阻狀態不允許與程式化及/或讀取一記憶體胞元相關聯之電流穿過選擇裝置108傳遞至一記憶體胞元之儲存元件106。而且，選擇裝置108可經組態以使得該選擇裝置之一第二電阻狀態允許與程式化及/或讀取一記憶體胞元相關聯之電流穿過選擇裝置108傳遞至一記憶體胞元之儲存元件106。在若干項實施例中，選擇裝置108可經組態以

使得當選擇裝置108處於與大於一臨限電壓之一信號相關聯之一電阻狀態中時一記憶體胞元之一儲存元件106可經歷大於 1 MA/cm^2 之一電流密度。

在若干項實施例中，當基於選擇裝置108之大小及構成選擇裝置108之材料而將一信號施加至選擇裝置108時，選擇裝置108可經組態以在電阻狀態之間快動。舉例而言，其中電阻狀態之間的快動發生之臨限電壓可基於選擇裝置108之大小及構成選擇裝置108之材料而組態。在若干項實施例中，選擇裝置108可包含以具有小於大約30奈米之一直徑之一圓形幾何結構組態之一第一電極及一第二電極。舉例而言，選擇裝置108可在兩個電極之間包含一半導體材料且該半導體材料及該兩個電極可摻雜有一光學吸收體(諸如碳)。而且，一絕緣材料可形成於該兩個電極及該半導體材料之側壁上。絕緣材料可控制半導體材料中之熱損耗，使得選擇裝置可具有期望之電阻性質。舉例而言，用碳來摻雜電極及/或半導體材料及/或在電極及半導體材料之側壁上提供一絕緣材料可為選擇裝置108提供熱性質以達到其中當將一電壓(諸如一程式化及/或讀取信號)施加至該選擇裝置時該選擇裝置在電阻狀態之間快動之一溫度。舉例而言，選擇裝置108之各種熱、電及結構性質可經組態以使得儲存元件106及選擇裝置108可與控制電路一起操作。在若干項實施例中，選擇裝置108可經組態以在大約0.1 V至10 V之間操作且以小於大約 $1\text{ }\mu\text{A}$ 之一電流在電阻狀態之間快動。舉例而言，當將具有大約1 nA至100 nA之一對應電流的0.5 V至5 V之一信號施加至選擇裝置108時，選擇裝置108達到大於 600°C 之一溫度。在若干項實施例中，當施加一半選擇電壓或一第三選擇電壓時，選擇裝置108之洩漏電流(舉例而言)可小於大約 $1\text{ }\mu\text{A}$ 。舉例而言，當將一半選擇電壓施加至選擇裝置108時，該選擇裝置之洩漏電流可小於大約10 nA。

作為一實例，可根據一半選擇方法(例如，一半選擇偏壓方案)來操作陣列100。一半選擇方法可包含：將一半選擇電壓($V/2$)施加至一選定位元線(例如，耦合至一選定記憶體胞元之一位元線)且將一負一半選擇電壓($-V/2$)施加至一選定字線(例如，耦合至選定記憶體胞元之一字線)，同時以一參考電位(例如，一接地電位)偏壓未選定字線。在圖1中所圖解說明之實例中，記憶體胞元105係一選定記憶體胞元。亦即，選定記憶體胞元105耦合至以 $V/2$ 偏壓之一選定位元線104-1及以 $-V/2$ 偏壓之一選定字線102-1。如此，跨越選定記憶體胞元105而施加全選擇電壓(V)。耦合至選定位元線104-1及選定字線102-1之未選定記憶體胞元(例如，未選定記憶體胞元107-0及107-1)經歷 $\pm V/2$ 之一一半選擇電壓且可稱為「半選定」胞元。在此實例中，不偏壓耦合至未選定位元線及/或字線之未選定記憶體胞元(例如，該等未選定記憶體胞元經歷0 V之一接地電位)。舉例而言，選擇電壓(V)可係一寫入電壓或一讀取電壓。

對於選擇裝置而言，提供儘可能大之一半選擇比率(HSR)可係有益的。HSR可係指流動穿過一選定記憶體胞元(例如，105)之電流對流動穿過一半選定記憶體胞元(例如，107-0及107-1)之電流的比率。舉例而言，如下文中所進一步闡述，根據一或多項實施例之選擇裝置可提供 $10^4:1$ 至 $10^5:1$ 或更大之一半選擇比率。HSR越大，由半選定記憶體胞元(例如，107-0及107-1)中之電流流動所致之功率耗散越低，且在讀取及/或寫入操作期間之信雜比(S/N)越大，其可減小對半選定記憶體胞元之讀取及/或寫入干擾之可能性。半選擇方法經提供為一項實例且實施例並不限於一特定程式化及/或讀取方法。

本發明之實施例並不限於與程式化或讀取一記憶體胞元相關聯之一半選擇方法。舉例而言，可根據其他偏壓方案(諸如，一個三分之一選擇方法)來操作陣列100。作為一實例，一個三分之一選擇方法

可包含：將一全選擇電壓(V)施加至一選定位元線且將一接地電位施加至一選定字線，同時以V/3偏壓未選定位元線且以(2V)/3偏壓未選定字線，使得未選定字線與位元線之間的電壓係大約 $\pm V/3$ 。

在各種實施例中，對應於陣列100之記憶體胞元之選擇裝置108可係「雙極的」，此乃因該等選擇裝置在足夠高之電壓偏壓狀況下准許雙向電流流動(例如，在前向方向及反向方向兩者上)，但在較低電壓狀況下阻擋電流流動。

圖2A圖解說明根據本發明之一或多項實施例之一選擇裝置208之一剖面圖。在圖2A中，選擇裝置208包含電極210及一半導體材料212。在若干項實施例中，舉例而言，電極210可包含諸如氮化鈦矽(TiSiN)、氮化鉭(TaN)及/或碳之材料。在若干項實施例中，電極210可包含摻雜有碳之一金屬。而且，電極210可包含若干個部分，諸如由一金屬之部分、一電阻器之部分及/或一半導體之部分形成之一疊層。電極210可包含可包含矽(Si)、矽鍺(SiGe)、鍺(Ge)、碳化矽(SiC)、氮化鋁(AlN)、碳及/或類鑽碳(DLC)之一半導體之部分，以及其他半導體。電極210中所包含之半導體之部分可摻雜有一金屬。舉例而言，該等半導體可摻雜有摻雜劑金屬之大約 $1E14^3$ 個原子。電極210中所包含之一半導體部分可係大約5 nm至50 nm厚。

在若干項實施例中，電極可包含與半導體材料212介接之材料之若干個部分。該若干材料可包含介接且可充當一熱邊界電阻之材料之組合，該熱邊界電阻可限制穿過電極210至半導體材料212之熱耗散。材料之部分可由介接在一起之材料之若干個部分形成，該等材料包含鎢/碳(W/C)、矽化鎢/碳(WSi_x/C)、氮化鎢/碳(WN/C)、鈦/碳(Ti/C)、鎢/碳化矽(W/SiC)、鎢/經摻雜多晶半導體、矽化鎢/經摻雜多晶半導體及/或氮化鎢/經摻雜多晶半導體，以及其他材料組合。舉例而言，多晶半導體可係摻雜有砷(As)、硼(B)、磷(P)、鈦(Ti)、鋁(Al)、銻

(Sb)、錫(Sn)、銦(In)及/或鉍(Bi)之矽(Si)、矽鍺(SiGe)、鍺(Ge)、碳化矽(SiC)及/或氮化鋁(AlN)，以及其他材料。而且，碳(C)或矽化鎢(WSi_x)之一部分可形成於電極210與半導體材料212之間。碳(C)或矽化鎢(WSi_x)之該部分可係大約1 nm至30 nm厚且可幫助防止電極210與半導體材料212之間的金屬電子遷移。

在若干項實施例中，半導體材料212可包含非晶矽。而且，非晶矽可摻雜有碳以增加半導體材料212之熱電容。半導體材料212可經組態以使得在將介於0.5 V與5 V之間的一信號施加至選擇裝置208時電阻狀態回應於半導體材料212加熱至大於600°C之一溫度而改變。

圖2B圖解說明根據本發明之一或多項實施例之圖2A中所圖解說明之選擇裝置208之一俯視圖。如圖2B中所圖解說明，選擇裝置208可具有一圓形幾何結構。選擇裝置之電極210可具有大約100奈米或更小之一直徑。半導體材料212 (圖2B中未展示)可具有與電極相同之圓形幾何結構。在若干項實施例中，選擇裝置208及電極210可具有大於10之一縱橫比。具有此等縱橫比之選擇裝置及電極210可增加選擇裝置之熱電阻且減小選擇裝置中之熱沈效應。在若干項實施例中，半導體材料212可具有與電極210不同之一幾何結構及/或大小。舉例而言，半導體材料212可具有小於電極210之直徑之一直徑。在若干項實施例中，電極210及/或半導體材料212可具有一準正方形幾何結構，以及其他幾何結構。在若干項實施例中，一真空可形成於毗鄰選擇裝置之間。毗鄰選擇裝置之間的一真空可提供熱絕緣，其可用以在加熱及/或冷卻毗鄰選擇裝置時減小一特定選擇裝置上之熱效應。

圖3A-1圖解說明根據本發明之一或多項實施例之一選擇裝置308之一剖面圖。在圖3A-1中，選擇裝置308包含加熱器314、電極310及一半導體材料312。在若干項實施例中，加熱器314可與電極310接觸。加熱器314可由可增加選擇裝置308之熱電容之金屬及/或碳以及

其他材料形成。在若干項實施例中，舉例而言，電極310可包含諸如氮化鈦矽(TiSiN)、氮化鉭(TaN)及/或碳之材料。在若干項實施例中，電極310可包含摻雜有碳之一金屬。而且，電極310可包含由一金屬之部分及一電阻器之部分形成之一疊層。在若干項實施例中，半導體材料312可包含非晶矽。而且，非晶矽可摻雜有碳以增加半導體材料312之熱電容。

圖3B-1圖解說明根據本發明之一或多項實施例之圖3A-1中所圖解說明之選擇裝置308之一俯視圖。如圖3B-1中所圖解說明，選擇裝置308可具有一圓形幾何結構。選擇裝置308之加熱器314及電極310(圖3B-1中未展示)可具有大約30奈米或更小之一直徑。半導體材料312(圖3B-1中未展示)可具有與電極相同之圓形幾何結構。在若干項實施例中，半導體材料312可具有與電極310及/或加熱器314不同之一幾何結構及/或大小。舉例而言，半導體材料312可具有小於電極310及/或加熱器314之直徑之一直徑。在若干項實施例中，電極310、加熱器314及/或半導體材料312可具有一準正方形幾何結構，以及其他幾何結構。

圖3A-2圖解說明根據本發明之一或多項實施例之一選擇裝置308之一剖面圖。在圖3A-2中，選擇裝置308包含電極310、加熱器314及一半導體材料312。在若干項實施例中，電極310可與加熱器314接觸。在若干項實施例中，舉例而言，電極310可包含諸如氮化鈦矽(TiSiN)、氮化鉭(TaN)及/或碳之材料。在若干項實施例中，電極310可包含摻雜有碳之一金屬。而且，電極310可包含由一金屬及之部分及一電阻器之部分形成之一疊層。加熱器314可由可增加選擇裝置308之熱電容之金屬及/或碳以及其他材料形成。在若干項實施例中，半導體材料312可包含非晶矽。而且，非晶矽可摻雜有碳以增加半導體材料312之熱電容。

圖3B-2圖解說明根據本發明之一或多項實施例之圖3A-2中所圖解說明之選擇裝置308之一俯視圖。如圖3B-2中所圖解說明，選擇裝置308可具有一圓形幾何結構。選擇裝置308之電極310及加熱器314(圖3B-2中未展示)可具有大約30奈米或更小之一直徑。半導體材料312(圖3B-2中未展示)可具有與電極相同之圓形幾何結構。在若干項實施例中，半導體材料312可具有與電極310及/或加熱器314不同之一幾何結構及/或大小。舉例而言，半導體材料312可具有小於電極310及/或加熱器314之直徑之一直徑。在若干項實施例中，電極310、加熱器314及/或半導體材料312可具有一準正方形幾何結構，以及其他幾何結構。

圖4A圖解說明根據本發明之一或多項實施例之一選擇裝置408之一剖面圖。在圖4A中，選擇裝置408包含電極410、一半導體材料412及一絕緣材料416。在若干項實施例中，舉例而言，電極410可包含諸如氮化鈦矽(TiSiN)、氮化鉭(TaN)及/或碳之材料。在若干項實施例中，電極410可包含摻雜有碳之一金屬。而且，電極410可包含由一金屬之部分及一電阻器之部分形成之一疊層。

在若干項實施例中，半導體材料412可包含非晶矽。而且，非晶矽可摻雜有碳以增加半導體材料412之熱電容。絕緣材料416可形成於電極410及半導體材料412之側壁上。舉例而言，絕緣材料416可包含二氧化矽(SiO₂)、氮化矽(SiN)、氮化硼(BN)、氧化鋁(Al₂O₃)、氧化鈺(HfO₂)、摻雜有小於50%之氧化鈮(Y₂O₃)之氧化鈺(HfO₂)、氧化鋇(ZrO₂)、摻雜有介於4%與8%之間的氧化鈮(Y₂O₃)之氧化鋇(ZrO₂)、氧化鈮(Y₂O₃)、氧化鈦(TiO₂)、氧化鈮穩定氧化鋇(YSZ)及/或焦綠石相氧化物，以及其他絕緣材料。絕緣材料416可提供熱絕緣以允許半導體材料加熱至其中該半導體材料之一電阻狀態快動至一不同電阻狀態之一溫度。在若干項實施例中，可形成絕緣材料以使得在絕緣材料與

半導體材料及電極材料之側壁之間存在一真空。絕緣材料與半導體材料及電極材料之側壁之間的真空可提供熱絕緣以促進加熱及/或冷卻該半導體材料。

圖4B圖解說明根據本發明之一或多項實施例之圖4A中所圖解說明之選擇裝置408之一俯視圖。如圖4B中所圖解說明，選擇裝置408可具有一圓形幾何結構。選擇裝置408之絕緣材料416及電極410可具有大約30奈米或更小之一經組合直徑。半導體材料412 (圖4B中未展示)可具有與電極相同之圓形幾何結構。在若干項實施例中，半導體材料412可具有與絕緣材料416及電極410不同之一幾何結構及/或大小。舉例而言，半導體材料412可具有小於絕緣材料416及電極410之直徑之一直徑。在若干項實施例中，電極410、絕緣材料416及/或半導體材料412可具有一準正方形幾何結構，以及其他幾何結構。

圖5係圖解說明根據本發明之一或多項實施例之一選擇裝置之電壓與電流密度之關係之一曲線圖(例如，一JV曲線圖)。在圖5中，JV曲線圖520包含線522，線522圖解說明當將一信號(諸如一程式化信號及/或一讀取信號)施加至一選擇裝置(諸如，與圖1至圖4相關聯地闡述之選擇裝置108、208、308、408)時該選擇裝置上之電流密度之關係。

在一或多項實施例中，當一信號(例如，一第一信號)具有自大約0 V斜變至大約3.2 V之一電壓時，一旦該信號達到在曲線圖520上係大約3.2 V之一臨限電壓，選擇裝置上之電流密度便開始顯著地增加。舉例而言，當信號自大約0 V斜變至3.5 V時，選擇裝置上之電流密度在自大約 $1\text{E}1\text{ A/cm}^2$ 至 $1\text{E}5\text{ A/cm}^2$ 之範圍內，而當信號自大約3.2 V斜變至3.5 V時，選擇裝置上之電流密度在自大約 $1\text{E}5\text{ A/cm}^2$ 至 $2\text{E}7\text{ A/cm}^2$ 之範圍內。對應於在自0 V至3.2 V之範圍內之電壓之電流可在自大約 $1\text{E}-10\text{ V}$ 至大約 $1\text{E}-4\text{ V}$ 之範圍內。選擇裝置上之電流密度之增

加係由由於信號加熱具有本文中所闡述之材料及幾何結構之選擇裝置所致之該選擇裝置之電阻之一下降而導致。本文中所闡述之選擇裝置可耐受重複加熱至大於 600°C 之溫度而不斷裂。舉例而言，施加自 0 V 斜變至 3.5 V 之一信號致使選擇裝置加熱。當選擇裝置由於施加至該選擇裝置之信號之電壓增加而達到一臨限溫度(T_T)時，該選擇裝置在電阻狀態之間快動且選擇裝置之電阻降低若干個數量級。圖5圖解說明經組態以達到一臨限溫度之一選擇裝置，其中該選擇裝置在電阻狀態之間快動，當將大於或等於大約 3.2 V 之一信號施加至該選擇裝置時，該臨限溫度大於 600°C 。一旦選擇裝置在電阻狀態之間快動且該選擇裝置之電阻降低，信號便以足以程式化及/或讀取記憶體胞元之一電流量值自該選擇裝置傳遞至一記憶體胞元之一儲存元件。

在圖5中，曲線圖520包含線524，線524圖解說明當自一選擇裝置(諸如，與圖1至圖4相關聯地闡述之選擇裝置108、208、308、408)移除一信號(此一程式化信號及/或一讀取信號)時該選擇裝置上之電流密度之關係。

在一或多項實施例中，曲線圖520上之線524圖解說明當自選擇裝置移除具有大約 3.5 V 之一電壓之一信號(例如，一第一信號)時導致該選擇裝置上之電壓降低。當選擇裝置上之電壓降低時，該選擇裝置之溫度降低，此致使該選擇裝置之電阻增加且亦致使該選擇裝置上之電流密度降低。在圖5中，當自選擇裝置移除信號時，隨著該信號之電壓自大約 3.5 V 降低至 2 V ，該選擇裝置上之電流密度自大約 $2\text{E}7\text{ A/cm}^2$ 降低至 $1\text{E}4\text{ A/cm}^2$ 。而隨著該信號之電壓自大約 2 V 降低至 0 V ，該選擇裝置上之電流密度自大約 $1\text{E}4\text{ A/cm}^2$ 降低至 $1\text{E}1\text{ A/cm}^2$ 。在該選擇裝置上之電壓係大約 2 V 時開始的選擇裝置上之電流密度之降低可與該選擇裝置冷卻至低於一臨限溫度之溫度對應，其中該選擇裝置在電阻狀態之間快動。舉例而言，當該選擇裝置冷卻至低於臨限溫度

時，選擇裝置之電阻可自一第二電阻狀態快動至一第一電阻狀態，其中該第一電阻狀態比該第二電阻狀態高若干個數量級。在若干項實施例中，在自該選擇裝置移除一信號之後小於15 ns，選擇裝置可在電阻狀態之間快動。一旦選擇裝置在電阻狀態之間快動且選擇裝置之電阻增加，該選擇裝置便處於一電阻狀態中，其中施加至該選擇裝置的小於一臨限電壓之信號(例如，一第二信號)不以足以程式化及/或讀取記憶體胞元之一電流量值自該選擇裝置傳遞至一記憶體胞元之一儲存元件。

本發明包含選擇裝置及使用用於記憶體胞元應用之選擇裝置之方法。一實例性選擇裝置包含：一第一電極，其具有一特定幾何結構；一半導體材料，其形成於該第一電極上；及一第二電極，其具有該特定幾何結構並形成於該半導體材料上，其中該選擇裝置經組態以回應於施加至該選擇裝置之信號而在電阻狀態之間快動。

儘管本文中已圖解說明及闡述了具體實施例，但熟習此項技術者將瞭解，旨在達成相同結果之一配置可替代所展示之具體實施例。本發明意欲涵蓋本發明之各種實施例之更改或變化形式。應理解，已以一說明性方式而非一限定性方式做出以上說明。在審閱以上說明之後，熟習此項技術者將明瞭以上實施例之組合及本文中未具體闡述之其他實施例。本發明之各種實施例之範疇包含其中使用以上結構及方法之其他應用。因此，本發明各種實施例之範疇應參考隨附申請專利範圍連同此等申請專利範圍所授予之等效內容之全部範圍來判定。

在前述實施方式中，出於簡化本發明之目的，將各種特徵一起聚集於一單個實施例中。本發明之此方法不應解釋為反映本發明之所揭示之實施例必須使用比明確陳述於每一請求項中更多之特徵之一意圖。而是，如以下申請專利範圍反映：發明性標的物在於少於一單個所揭示之實施例之所有特徵。因此，特此將以下申請專利範圍併入至

實施方式中，其中每一請求項獨立地作為一單獨實施例。

【符號說明】

100	記憶體胞元陣列/陣列
102-0	存取線/字線
102-1	存取線/字線/選定字線
102-N	存取線/字線
104-0	位元線/資料/感測線
104-1	位元線/選定位元線/資料/感測線
104-M	位元線/資料/感測線
105	記憶體胞元/選定記憶體胞元
106	儲存元件
107-0	未選定記憶體胞元/半選定記憶體胞元
107-1	未選定記憶體胞元/半選定記憶體胞元
108	選擇裝置
208	選擇裝置
210	電極
212	半導體材料
308	選擇裝置
310	電極
312	半導體材料
314	加熱器
408	選擇裝置
410	電極
412	半導體材料
416	絕緣材料
520	JV曲線圖/曲線圖

$V/2$

半選擇電壓

$-V/2$

負半選擇電壓

申請專利範圍

1. 一種記憶體胞元，其包括：
 - 一選擇裝置，其包含：
 - 一第一電極，其具有一特定幾何結構；
 - 一半導體材料，其形成於該第一電極上，其中以碳摻雜該半導體材料；及
 - 一第二電極，其具有該特定幾何結構並形成於該半導體材料上，其中該選擇裝置經組態以回應於施加至該選擇裝置之信號而在電阻狀態之間快動。
2. 如請求項1之記憶體胞元，其中該選擇裝置包含隨著該選擇裝置之面積按比例縮放之一洩漏電流。
3. 如請求項1之記憶體胞元，其中該半導體材料之一寬度小於大約20奈米。
4. 如請求項1之記憶體胞元，其中該第一電極之一縱橫比大於10。
5. 如請求項1之記憶體胞元，其中一絕緣材料形成於該第一電極之一側壁、該第二電極之一側壁及該半導體材料之一側壁上。
6. 如請求項1之記憶體胞元，其中該第一電極及該第二電極包含光學吸收體。
7. 一種記憶體胞元，其包括：
 - 一選擇裝置，其包含：
 - 一第一電極，其具有一特定幾何結構；
 - 一半導體材料，其形成於該第一電極上；
 - 一第二電極，其具有該特定幾何結構、形成於該半導體材料上；及
 - 一絕緣體材料，其中形成該絕緣體材料而使該絕緣體材料

與該第一電極之一側壁、該半導體材料之一側壁及該第二電極之一側壁之間存在一真空。

8. 如請求項7之記憶體胞元，其中該半導體材料、該第一電極及該第二電極摻雜有碳。
9. 如請求項7之記憶體胞元，其中第一電極及該第二電極由一金屬/電阻器疊層形成。
10. 如請求項7之記憶體胞元，其中該絕緣體材料具有大於10之一介電常數。
11. 如請求項7之記憶體胞元，其中該特定幾何結構係具有小於20奈米之一直徑之一圓形幾何結構。
12. 如請求項7之記憶體胞元，其中電阻式儲存元件之一半選擇比率(HSR)大於 10^4 。
13. 如請求項7之記憶體胞元，其中該選擇裝置支援穿過其之雙向電流流動。
14. 一種操作一記憶體胞元之方法，該方法包括：

在一第一時間段期間將一第一信號提供至電阻式記憶體胞元之一選擇裝置，其中該選擇裝置回應於該信號大於一臨限電壓而自一第一電阻狀態快動至一第二電阻狀態，且其中該選擇裝置包含具有一特定幾何結構之一第一電極、以碳摻雜之一半導體材料及具有該特定幾何結構之一第二電極；及

在一第二時間段期間將一第二信號提供至該電阻式記憶體胞元之該選擇裝置，其中該選擇裝置回應於該信號小於該臨限電壓而保持處於該第一電阻狀態中。

15. 如請求項14之方法，其中該方法包含：回應於該選擇裝置自該第一電阻狀態快動至該第二電阻狀態而將一第一電流密度提供至該記憶體胞元之一電阻式儲存元件；及回應於該選擇裝置保

持處於該第一電阻狀態中而將一第二電流密度提供至該記憶體胞元之該電阻式儲存元件。

16. 如請求項15之方法，其中該第一電流密度大於 1 MA/cm^2 且該第二電流密度小於或等於 1 MA/cm^2 。
17. 如請求項14之方法，其中該方法包含：在一第三時間段期間自該選擇裝置移除該第一信號；及該選擇裝置回應於移除該第一信號而自該第二電阻狀態快動至該第一電阻狀態。
18. 如請求項17之方法，其中該第三時間段小於8奈秒(ns)。
19. 一種形成一電阻式記憶體胞元陣列之一電阻式記憶體胞元之方法，該方法包括：
 - 形成一選擇裝置，其中形成該選擇裝置包含：
 - 形成一第一加熱器，其與具有一特定幾何結構之一第一電極接觸；
 - 形成一半導體材料，其與該第一加熱器接觸；
 - 形成一第二加熱器，其與該半導體材料及具有該特定幾何結構之一第二電極接觸；及
 - 形成一絕緣體材料，其與該第一電極、該半導體材料及該第二電極之側壁接觸；及
 - 形成與該選擇裝置串聯之一電阻式儲存元件。
20. 如請求項19之方法，其中形成該選擇裝置係一後段製程(BEOL)程序。
21. 如請求項19之方法，其中該特定幾何結構之一寬度係基於與該記憶體胞元相關聯之一操作電壓。
22. 如請求項19之方法，其包含在不大於大約 450°C 之一溫度下形成該選擇裝置。

圖式

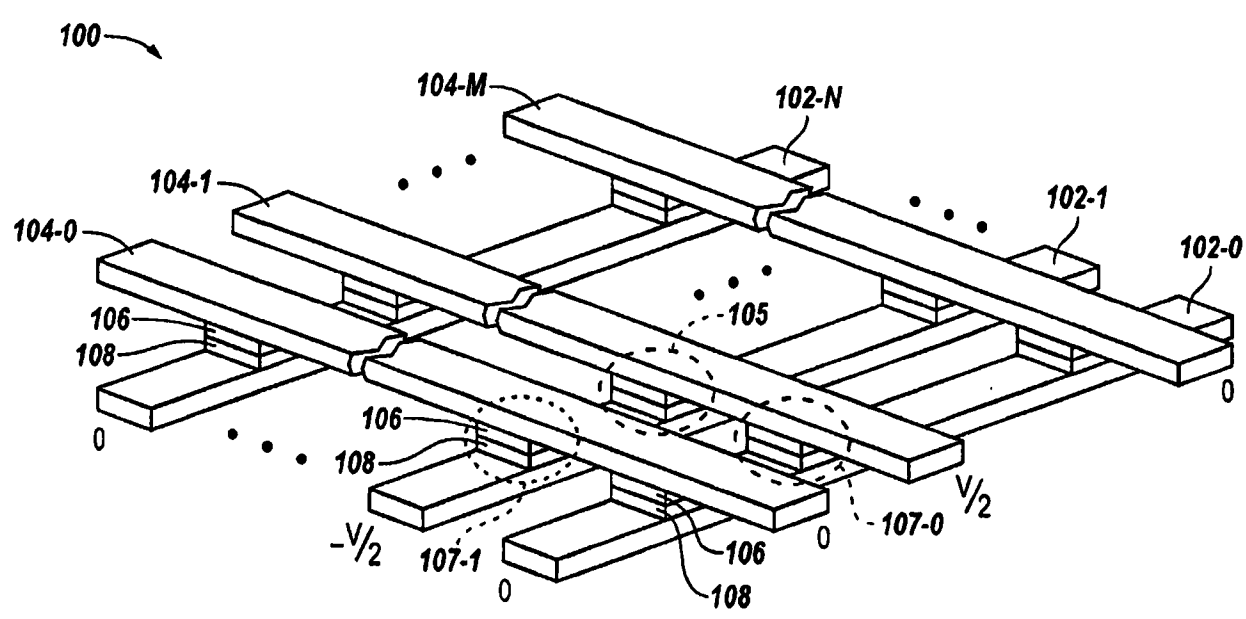
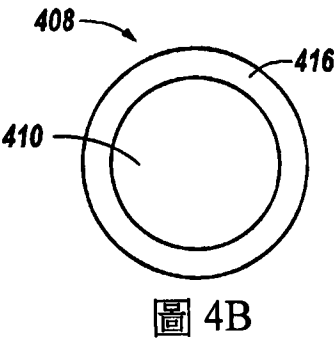
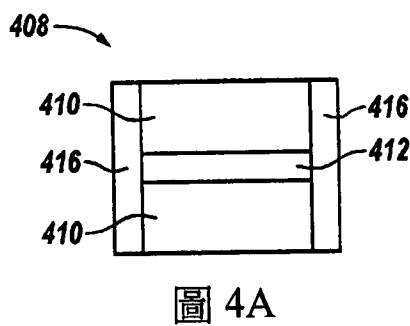
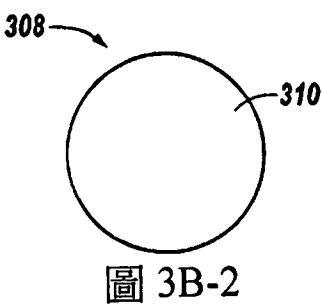
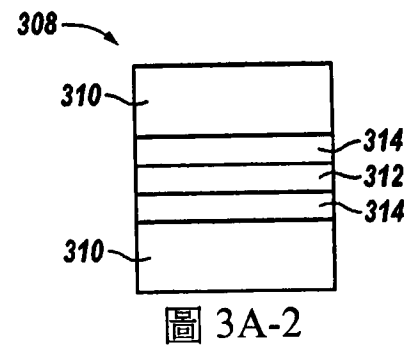
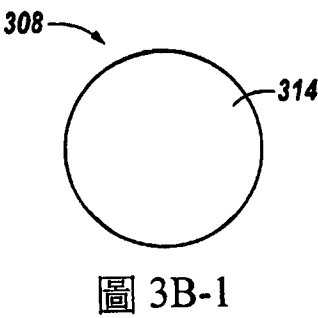
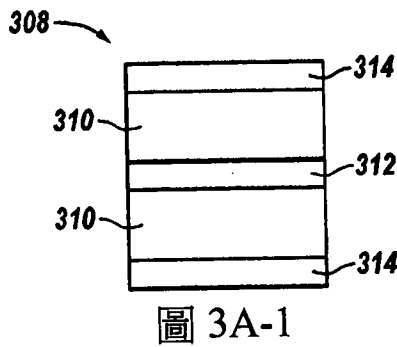
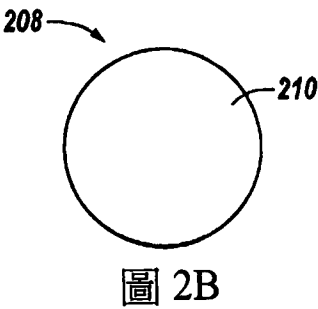
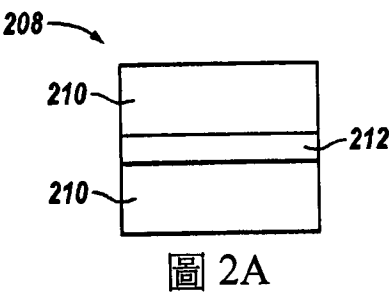


圖 1



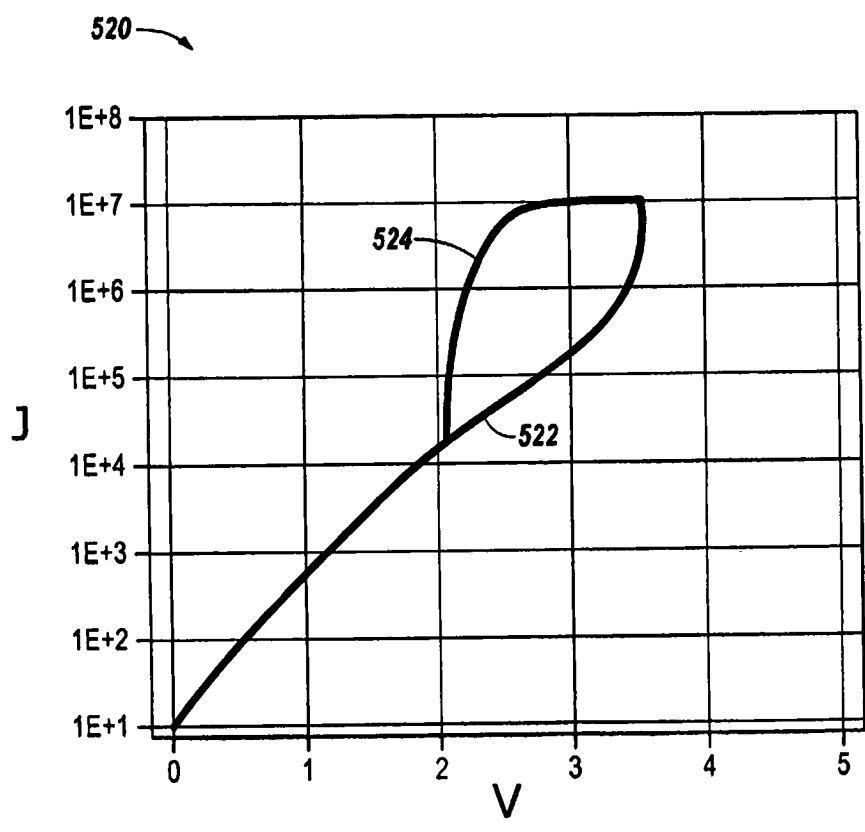


圖 5