



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I474093 B

(45)公告日：中華民國 104 (2015) 年 02 月 21 日

(21)申請案號：101130310

(22)申請日：中華民國 101 (2012) 年 08 月 21 日

(51)Int. Cl. : G02F1/1368 (2006.01)

H01L29/768 (2006.01)

(30)優先權：2011/08/31 日本

2011-190006

(71)申請人：日本顯示器東股份有限公司 (日本) JAPAN DISPLAY EAST INC. (JP)
日本

(72)發明人：野田剛史 NODA, TAKESHI (JP)；河村哲史 KAWAMURA, TETSUFUMI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201001507A

US 6855954B1

US 2009/0101895A1

審查人員：陳甫奕

申請專利範圍項數：10 項 圖式數：8 共 25 頁

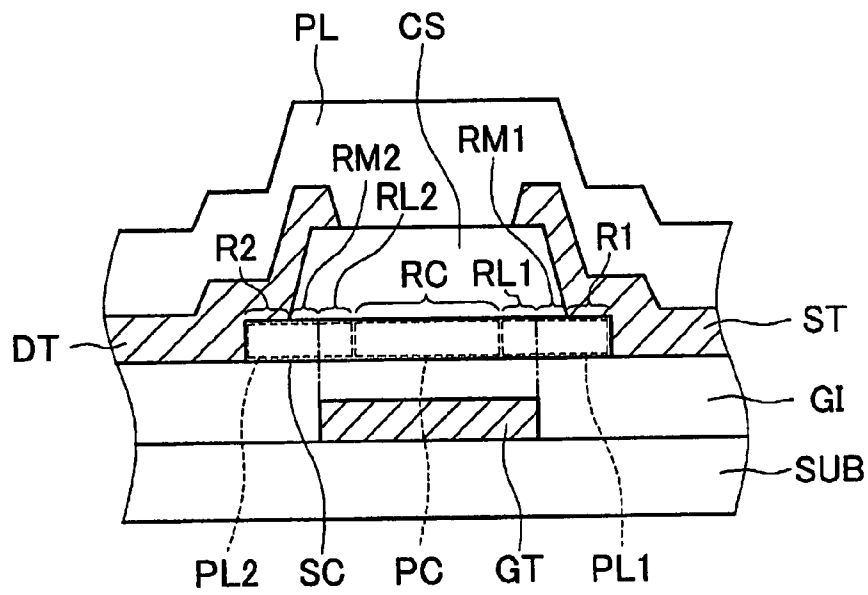
(54)名稱

顯示裝置及顯示裝置的製造方法

DISPLAY DEVICE AND MANUFACTURING PROCESS OF DISPLAY DEVICE

(57)摘要

本發明之顯示裝置包含薄膜電晶體。薄膜電晶體包含：閘極電極；閘極絕緣層，其覆蓋閘極電極且包含絕緣物質；氧化物半導體膜，其接觸於上述閘極絕緣層之上表面；源極電極及汲極電極，其存在於上述氧化物半導體膜之上表面且分別接觸於相互離開之第 1 區域與第 2 區域；及通道保護膜，其接觸於上述第 1 區域與上述第 2 區域之間的第 3 區域，且包含上述絕緣物質。平面地觀察，重疊於上述閘極電極的上述氧化物半導體膜之上表面之區域包含於第 3 區域中且較小，上述氧化物半導體膜中之除重疊於上述閘極電極之部分的一部分以外之部分較重疊於上述閘極電極之部分之上述一部分電阻低。



CS · · · 通道保護膜

DT . . . 汲極電極

GI . . . 閘極絕緣層

GT . . . 閘極電極

PC . . . 通道部

PL · · · 鈍化膜

PL1 . . . 低電阻部

PL2 . . . 低電阻部

R1 . . . 源極電極接觸區域

R2 . . . 汲極電極接觸區域

RC · · · 通道上部區域

RL1 . . . 閘極上連
絡區域

RL2 . . . 開極上連
絡區域

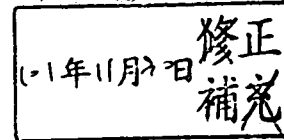
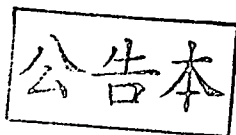
RM1 . . . 開極外連
絡區域

RM2・・・開極外連
絡區域

SC · · · 氧化物半導體膜

ST . . . 源極電極

SUB · · · 玻璃基板



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101130310

※ 申請日：101.8.21

※IPC 分類：G02F1/1368 (2006.01)

H01L29/768 (2006.01)

一、發明名稱：(中文/英文)

顯示裝置及顯示裝置的製造方法

DISPLAY DEVICE AND MANUFACTURING PROCESS OF DISPLAY
DEVICE

二、中文發明摘要：

本發明之顯示裝置包含薄膜電晶體。薄膜電晶體包含：
閘極電極；閘極絕緣層，其覆蓋閘極電極且包含絕緣物質；
氧化物半導體膜，其接觸於上述閘極絕緣層之上表面；
源極電極及汲極電極，其存在於上述氧化物半導體膜之上表面
且分別接觸於相互離開之第1區域與第2區域；及通道保護膜，
其接觸於上述第1區域與上述第2區域之間的第3區域，且包含
上述絕緣物質。平面地觀察，重疊於上述閘極電極的上述氧化物
半導體膜之上表面之區域包含於第3區域中且較小，上述氧化物
半導體膜中之除重疊於上述閘極電極之部分的一部分以外之部分
較重疊於上述閘極電極之部分之上述一部分電阻低。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

CS	通道保護膜
DT	汲極電極
GI	閘極絕緣層
GT	閘極電極
PC	通道部
PL	鈍化膜
PL1	低電阻部
PL2	低電阻部
R1	源極電極接觸區域
R2	汲極電極接觸區域
RC	通道上部區域
RL1	閘極上連絡區域
RL2	閘極上連絡區域
RM1	閘極外連絡區域
RM2	閘極外連絡區域
SC	氧化物半導體膜
ST	源極電極
SUB	玻璃基板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種顯示裝置及顯示裝置之製造方法。

【先前技術】

近年，將使用有氧化物半導體之薄膜電晶體用於包含配置成矩陣狀之像素電路的顯示裝置中之方法的開發盛行。其目的在於使其顯示裝置之特性提高。於日本專利特開2009-272427號公報中揭示了使用有氧化物半導體的通道蝕刻終止層構造之薄膜電晶體。

【發明內容】

由於氧化物半導體根據接觸之物質而特性易產生變化，故而不按照設計發揮功能之情況。例如，氧化物半導體由於氫而產生還原，閾值電壓改變。因此，難以將包含大量氫之材料用於與氧化物半導體接觸之部位。為了使利用有氧化物半導體之薄膜電晶體之性能穩定，較佳為於與氧化物半導體接觸之複數個絕緣體中利用配合性最好之絕緣物質。發明者等人根據上述之理由藉由相同之絕緣物質形成閘極電極與存在於其上方之氧化物半導體膜之間的閘極絕緣膜、及存在於氧化物半導體膜之上的通道蝕刻終止層，但如此一來可知薄膜電晶體之耐壓降低，或產生經由閘極電極之電流的洩漏。其原因在於：於對通道蝕刻終止層進行蝕刻時，經由存在於氧化物半導體中之貫通孔而閘極絕緣膜亦被蝕刻而產生針孔。

本發明係鑒於上述課題而完成者，其目的在於提供一種

使用有一面防止構成薄膜電晶體之氧化物半導體之特性的變化，一面亦使耐壓特性提高之薄膜電晶體的顯示裝置及其顯示裝置之製造方法。

若對在本申請案中所揭示之發明中之具有代表性者的概要簡單地進行說明，則如下所述。

(1) 一種顯示裝置，其特徵在於：其係具有絕緣基板、及形成於上述絕緣基板之上之薄膜電晶體的顯示裝置，上述薄膜電晶體包含：導電層，其設置有閘極電極；閘極絕緣層，其設置於上述導電層之上，且包含絕緣物質；氧化物半導體膜，其接觸於上述閘極絕緣層之上表面並且設置於上述閘極電極之上方；源極電極，其與存在於上述氧化物半導體膜之上表面的第1區域接觸；汲極電極，其存在於上述氧化物半導體膜之上表面且與和上述第1區域離開之第2區域接觸；及通道保護膜，其接觸於上述氧化物半導體之上表面之上述第1區域與上述第2區域之間的第3區域，且包含上述絕緣物質；且平面地觀察，重疊於上述閘極電極的上述氧化物半導體膜之部分係重疊於上述通道保護膜的上述氧化物半導體膜之部分的一部分，上述氧化物半導體膜中之除重疊於上述閘極電極之部分的一部分以外的部分之電阻，較重疊於上述閘極電極之部分之上述一部分之電阻低。

(2) 如(1)之顯示裝置，其中上述絕緣物質係矽氧化物。

(3) 如(1)或(2)之顯示裝置，其中上述氧化物半導體膜係於平面地觀察時在重疊於上述閘極電極之部分與重疊於

上述第1區域之部分之間具有重疊於上述第3區域之部分，上述氧化物半導體膜係於平面地觀察時在重疊於上述閘極電極之部分與重疊於上述第2區域之部分之間具有重疊於上述第3區域之部分。

(4) 如(1)至(3)中任一項之顯示裝置，其中上述第3區域與上述第1區域及上述第2區域接觸。

(5) 如(1)至(4)中任一項之顯示裝置，其中上述半導體膜中之除重疊於上述閘極電極之部分的一部分以外的部分之氧含量較重疊於上述閘極電極之部分之上述一部分之氧含量低。

(6) 一種顯示裝置之製造方法，其特徵在於包含：在絕緣基板上形成設置有閘極電極的導電層之步驟；於上述導電層之上形成包含絕緣物質之閘極絕緣層之步驟；於上述閘極絕緣層之上形成氧化物半導體層之步驟；去除上述氧化物半導體層中之除與上述閘極電極平面地重疊之部分的一部分以外之部分的氧之脫氧步驟；以殘留存在於上述閘極電極之上方的上述氧化物半導體膜之方式對上述氧化物半導體層進行蝕刻之步驟；形成包含上述絕緣物質的通道保護層之步驟；以平面地觀察，包含上述氧化物半導體膜之上表面中之與上述閘極電極重疊之區域且殘留接觸於較該區域大之區域的通道保護膜之方式對上述通道保護層進行蝕刻之步驟；以及電極形成步驟，其形成：源極電極，其接觸於上述氧化物半導體膜之上表面中與接觸於上述通道保護膜之區域不同的第1區域；及汲極電極，其接觸於

與接觸於上述通道保護膜之區域及上述第1區域不同的第2區域；且上述電極形成步驟係以於上述第1區域與上述第2區域之間存在接觸於上述通道保護膜之區域的方式形成上述源極電極及上述汲極電極。

根據本發明，可提供一種使用有一面防止構成薄膜電晶體之氧化物半導體之變質，一面亦使耐壓特性提高之薄膜電晶體的顯示裝置。

【實施方式】

以下，根據圖式對本發明之實施形態進行說明。對出現之構成要素中之具有相同功能者附上相同之符號，省略其說明。再者，於以下進行說明之實施形態係將本發明應用於IPS(In-Plane-Switching，共平面切換)方式之液晶顯示裝置中之情形之例。

本實施形態之顯示裝置係液晶顯示裝置，其包含如下構件而構成：陣列基板；濾光片基板，其與該陣列基板相對向，且設置有彩色濾光片；液晶材料，其封入於兩個基板所夾持之區域中；以及驅動器IC(Integrated Circuit，積體電路)，其安裝於陣列基板。陣列基板及濾光片基板均為對玻璃基板等絕緣基板進行加工而成者。

圖1係表示本發明之實施形態之顯示裝置之等效電路的電路圖。圖1所示之等效電路相當於上述之陣列基板中之顯示區域的一部分。於陣列基板中，多條閘極信號線GL於橫方向排列並延伸，又，多條影像信號線DL於縱方向排列並延伸。而且，藉由該等閘極信號線GL及影像信號

線DL，將顯示區域分割為矩陣狀之區塊，其各區塊相當於一個像素電路。又，相應於各閘極信號線GL，共用信號線CL於橫方向延伸。

於藉由閘極信號線GL及影像信號線DL而劃分之像素電路之一角中，形成有使用氧化物半導體之薄膜電晶體TFT (Thin Film Transistor)，其閘極電極GT係連接於閘極信號線GL，汲極電極DT係連接於影像信號線DL。又，於各像素電路中像素電極PX及共用電極CT係成對形成，像素電極PX係連接於薄膜電晶體TFT之源極電極ST，共用電極CT係連接於共用信號線CL。

圖2係表示1個像素電路之構成之一例的平面圖。如圖2所示般，對應於閘極信號線GL與影像信號線DL交叉之部位存在薄膜電晶體TFT。薄膜電晶體TFT具有氧化物半導體膜SC、通道保護膜CS(亦稱為通道蝕刻終止層)、閘極電極GT、源極電極ST、以及汲極電極DT。該薄膜電晶體TFT具有通道蝕刻終止層構造。

於上述之像素電路中，藉由經由共用信號線CL對各像素之共用電極CT施加共用電壓，且對閘極信號線GL施加閘極電壓，而選擇像素電路之列。又，於其選擇之時序，對各影像信號線DL供給影像信號，藉此對各像素電路中所含之像素電極PX施加影像信號之電壓。藉此，於像素電極PX與共用電極CT之間產生與影像信號之電壓相對應之強度的橫電場，根據該橫電場之強度而決定液晶分子之定向。

對薄膜電晶體TFT之詳細情況進行說明。氧化物半導體膜SC包含氧化物半導體。所謂氧化物半導體係指包含In、Ga、Zn、Sn中之至少1種元素之非晶質或者晶質氧化物半導體。作為氧化物半導體之例，有In-Ga-Zn氧化物、In-Ga氧化物、In-Zn氧化物、In-Sn氧化物、Zn-Ga氧化物、Zn氧化物等。氧化物半導體膜SC之厚度較理想為5 nm至200 nm，但亦可偏離其範圍。汲極電極DT係自影像信號線DL沿圖2之右方向延伸，包含下表面接觸於氧化物半導體膜SC之部分、及存在於該部分之更右側且於通道保護膜CS之上延伸之部分。於通道保護膜CS之上延伸之部分的前端與氧化物半導體膜SC、通道保護膜CS及閘極電極GT平面地重疊。又，源極電極ST係自與汲極電極DT之前端分離之位置、即與氧化物半導體膜SC、通道保護膜CS及閘極電極GT平面地重疊之位置向右方向延伸，於中途向上方向彎曲並連接於像素電極PX。源極電極ST包含在通道保護膜CS之上延伸之部分、及存在於其右側且下表面接觸於氧化物半導體膜SC之部分。源極電極ST之該前端包含在通道保護膜CS之上延伸之部分。

氧化物半導體膜SC之平面形狀為矩形，於左右方向觀察，中央部之上表面係由通道保護膜CS覆蓋。又，閘極電極GT係以平面地重疊於如下之部分之方式於圖中上下方向延伸：即氧化物半導體膜SC平面地重疊於通道保護膜CS之部分中的自左端及右端離開有特定間隔的部分，且閘極電極GT之下端連接於閘極信號線GL。

圖3係像素電路中所含之薄膜電晶體TFT之剖面圖。本圖係表示圖2之III-III切割線上之剖面。於玻璃基板SUB之上，設置有包含連接於玻璃基板SUB之閘極電極GT的導電層。於其導電層之上設置有閘極絕緣層GI。閘極絕緣層GI包含矽氧化膜作為絕緣物質。氧化物半導體膜SC係接觸於閘極絕緣層GI之上表面，且設置於閘極電極GT之上方。通道保護膜CS包含氧化物半導體膜SC之上表面中之重疊於閘極電極GT之區域且接觸於較其區域更大之區域。通道保護膜CS係與閘極絕緣層GI同樣地包含矽氧化膜作為絕緣物質。存在於氧化物半導體膜SC之上表面中之與通道保護膜CS接觸之區域之右側的源極電極接觸區域R1係接觸於源極電極ST之下表面之一部分。存在於氧化物半導體膜SC之上表面中之與通道保護膜CS接觸之區域之左側的汲極電極接觸區域R2係接觸於汲極電極DT之下表面之一部分。鈍化膜PL存在於源極電極ST、汲極電極DT及通道保護膜CS之上，且覆蓋薄膜電晶體TFT。於本實施形態中只要閘極絕緣層GI與通道保護膜CS為相同之絕緣物質即可，亦可不必為矽氧化物。例如，閘極絕緣層GI與通道保護膜CS亦可為氮化矽膜、或矽氧化膜與氮化矽膜之積層膜、及其他金屬氧化膜。

此處，平面地觀察，氧化物半導體膜SC包括：通道部PC，其包含與閘極電極GT重疊之部分中的一部分；低電阻部PL1，其將通道部PC及源極電極ST連絡；及低電阻部PL2，其將通道部PC及汲極電極DT連絡。氧化物半導體膜

SC之上表面包含：通道上部區域RC；閘極上連絡區域RL1、RL2；閘極外連絡區域RM1、RM2；源極電極接觸區域R1；及汲極電極接觸區域R2。通道上部區域RC亦為通道部PC之上表面。閘極上連絡區域RL1、閘極外連絡區域RM1、及源極電極接觸區域R1亦為低電阻部PL1之上表面，閘極上連絡區域RL2、閘極外連絡區域RM2、及汲極電極接觸區域R2亦為低電阻部PL2之上表面。又，通道部PC係氧化物半導體膜SC中之與通道上部區域RC平面地重疊之部分。低電阻部PL1係氧化物半導體膜SC中之與閘極上連絡區域RL1、閘極外連絡區域RM1、及源極電極接觸區域R1平面地重疊之部分。低電阻部PL2係氧化物半導體膜SC中之與閘極上連絡區域RL2、閘極外連絡區域RM2、及汲極電極接觸區域R2平面地重疊之部分。

閘極上連絡區域RL1係與閘極電極GT平面地重疊之區域，且其左端與存在於通道部PC之上表面之通道上部區域RC接觸。閘極外連絡區域RM1之左端與閘極上連絡區域RL1接觸，右端與源極電極接觸區域R1接觸。閘極上連絡區域RL2係與閘極電極GT平面地重疊之區域，且其右端與通道上部區域RC接觸。閘極上連絡區域RL2接觸於閘極外連絡區域RM2之右端，汲極電極接觸區域R2接觸於左端。通道上部區域RC；閘極上連絡區域RL1、RL2；及閘極外連絡區域RM1、RM2係接觸於通道保護膜CS。

此處，未平面地重疊於閘極電極GT且重疊於作為與通道保護膜CS接觸之區域之閘極外連絡區域RM1、RM2的氧

化物半導體膜SC的部分成為低電阻部PL1、PL2之一部分。假設氧化物半導體膜SC之全部為與通道部PC相同之電阻值的半導體，則該電晶體之電阻變大，且電流難以流通。其原因在於：與氧化物半導體膜SC中之閘極外連絡區域RM1、RM2；源極電極接觸區域R1；及汲極電極接觸區域R2平面地重疊之部分的電阻值於施加給閘極電極GT之電位下幾乎未改變。因此，藉由於本實施形態之薄膜電晶體TFT中設置氧含量較低之低電阻部PL1、PL2，而抑制於耐實用之電阻之範圍。又，於源極電極ST及汲極電極DT與氧化物半導體膜SC之接觸部分可抑制電場集中，且亦可減少斷開電流並使可靠性提高。又，藉由閘極外連絡區域RM1、RM2而提高薄膜電晶體TFT之耐壓，下文對其機制進行敘述。

以下對製造上述之薄膜電晶體TFT之步驟進行說明。圖4A~圖4F係表示圖3所示之薄膜電晶體TFT之製造步驟的剖面圖。於開始之步驟中，於玻璃基板SUB上依序濺鍍厚度為350 nm之Al層與厚度為100 nm之Mo層，且藉由光微影與濕式蝕刻而形成閘極電極GT(參照圖4A)。於閘極電極GT中亦可使用Al、Mo、W、Cu、Cu-Al合金、Al-Si合金、Mo-W合金等低電阻金屬之單層、或者該等之積層構造。於其次之步驟中，於形成有閘極電極GT之玻璃基板SUB之上成膜構成閘極絕緣層GI的矽氧化膜(參照圖4B)。矽氧化膜係使用電漿CVD(Chemical Vapor Deposition，化學氣相沈積)裝置而成膜，且其成膜條件係設為：基板溫

度為 400℃、單矽烷流量為 20 sccm、N₂O 流量為 300 sccm。

於其次之步驟中，濺鍍氧化物半導體，形成氧化物半導體層 SL(參照圖 4C)。作為氧化物半導體之濺鍍之方法係使用 DC(Direct Current，直流)濺鍍，靶材係成為 In:Ga:Zn:O=1:1:1:4 之比率的材料，於基板溫度為 25℃、Ar 流量為 30 sccm、氧流量為 15 sccm 之條件下成膜。氧化物半導體層 SL 亦可藉由蒸鍍法、塗佈法、熱 CVD 法而形成。

於其次之步驟中，在氧化物半導體層 SL 之上塗佈抗蝕劑 RG 後進行圖案化，且使抗蝕劑 RG 覆蓋相當於通道部 PC 之上表面之部分。經圖案化之抗蝕劑 RG 未覆蓋相當於閘極上連絡區域 RL1 及 RL2 之區域。然後，噴塗氫電漿，從而進行去除未由抗蝕劑 RG 覆蓋之部分之氧化物半導體層 SL 的氧之脫氧步驟(參照圖 4D)。將氫電漿之溫度設為 320℃，但其溫度亦可為 100℃~450℃之範圍內。氧化物半導體層 SL 中之未由抗蝕劑 RG 覆蓋之部分的氧濃度亦能夠以成為通道部 PC 之氧濃度之 1/2 以下、較理想為 1/5 以下之方式調整條件。此時，亦可藉由使用有 N₂ 或 Ar 等的電漿處理，而對氧化物半導體層 SL 造成損壞，從而去除其氧化物半導體層 SL 之氧。脫氧步驟之後，去除抗蝕劑 RG。再者，為了去除氧化物半導體層 SL 中之氫，亦可於脫氧步驟之後進行退火處理。於進行退火處理之情形時，將溫度設為自 100℃ 至 450℃ 之範圍內，且環境較佳為水、氫氣、大氣、氫氣、Ar 等稀有氣體。但是亦可不必滿足該等之條

件。

於其次之步驟中，藉由矽氧化膜成膜用以形成通道保護膜CS之通道保護層。該步驟係使用電漿CVD裝置，於基板溫度為150℃、單矽烷流量為5 sccm、N₂O流量為500 sccm之條件下成膜。於該步驟中進而對通道保護層進行光微影與乾式蝕刻，形成通道保護膜CS。於該步驟中，以平面地觀察通道保護膜CS接觸於氧化物半導體膜SC中之與閘極電極GT重疊之部分、及存在於其外側之部分的上表面之方式形成通道保護膜CS。進而，藉由光微影與濕式蝕刻而形成氧化物半導體膜SC(參照圖4E)。

於其次之步驟中，為了形成源極電極ST及汲極電極DT，依序成膜厚度為100 nm之Ti層、厚度為450 nm之AlSi層、厚度為100 nm之Ti層，對其等之膜進行光微影及乾式蝕刻之處理而形成源極電極ST及汲極電極DT(參照圖4F)。取代成膜上述之層，亦可成膜Al、Mo、W、Cu、Cu-Al合金、Al-Si合金、Mo-W合金等低電阻金屬之單層，或者該等之積層構造。

於其次之步驟中，使用PECVD(Plasma Enhanced Chemical Vapor Deposition，電漿增強化學氣相沈積)法對構成防止來自外部之水分或雜質等之滲入的鈍化膜PL之矽氧化膜進行成膜。於成膜中使用電漿CVD裝置，且於基板溫度為150℃、單矽烷流量為20 sccm、N₂O流量為300 sccm之條件下成膜。進而，使用透明導電膜形成像素電極PX及共用電極CT，藉此可完成包含圖3所示之薄膜電晶體

TFT之顯示裝置。

此處，對在形成通道保護膜CS之步驟中產生之針孔PH進行說明。圖5係表示薄膜電晶體TFT之比較例的剖面圖。於圖5所示之比較例中，通道保護膜CS僅與閘極電極GT之一部分平面地重疊。由於在氧化物半導體膜SC中存在貫通孔，故而於通道保護膜CS之蝕刻時，於閘極絕緣層GI中之閘極電極GT之上的部分產生針孔PH。由於該針孔PH，而閘極電極GT與氧化物半導體膜SC之間之耐壓能力降低。

另一方面，於圖3所示之薄膜電晶體TFT中，於閘極電極GT之附近未產生針孔PH。圖6係表示於本實施形態之薄膜電晶體TFT中產生之針孔PH的剖面圖。平面地觀察，由於無通道保護膜CS而可藉由蝕刻產生針孔PH之區域、與閘極電極GT之間有邊界OM，故而即便產生針孔PH，亦不會受到閘極電極GT之影響。藉由該機制，可防止薄膜電晶體TFT之耐壓之降低。再者，邊界OM之寬度只要以可維持必需之耐壓性能之方式實驗性地設置即可。

再者，於本發明之實施形態之液晶顯示裝置中，於上述中將液晶之驅動方式設為IPS方式進行了說明，但本發明亦可為例如VA(Vertically Aligned，垂直排列)方式或TN(Twisted Nematic，扭轉向列)方式等其他驅動方式。圖7係表示本發明之實施形態之其他顯示裝置之等效電路的電路圖。圖7所示之等效電路係構成VA方式及TN方式之顯示裝置之陣列基板的等效電路。圖8係表示圖7所示之像素電路之構成的平面圖。於IPS方式中在陣列基板上設置共用電

極CT及共用信號線CL，但於VA方式及TN方式之情形時，於與陣列基板相對向之未圖示之對向基板(或者彩色濾光片基板)上，設置有相當於共用電極CT的電極。即便於該等之方式中應用本發明，薄膜電晶體TFT之通道保護膜CS與閘極電極GT之關係亦不改變，且可獲得相同之效果。

再者，於上述中將本發明之實施形態設為液晶顯示裝置進行了說明，但並不限定於此，只要具有相同之絕緣層或導電層之積層構造，當然亦可應用於例如有機EL(Electro Luminescence，電致發光)元件等其他顯示裝置中。儘管對當前之特定之實施例進行了說明，但應理解可對其進行各種修改，且意在隨附申請專利範圍包含本發明之精神和範圍內之所有變形。

【圖式簡單說明】

圖1係表示本發明之實施形態之顯示裝置之等效電路的電路圖。

圖2係表示1個像素電路之構成之一例的平面圖。

圖3係像素電路中所含之薄膜電晶體之剖面圖。

圖4A~4F係表示圖3所示之薄膜電晶體之製造步驟的剖面圖。

圖5係表示薄膜電晶體之比較例之剖面圖。

圖6係表示於本實施形態之薄膜電晶體中產生之針孔的剖面圖。

圖7係表示本發明之實施形態之其他顯示裝置之等效電路的電路圖。

圖8係表示圖7所示之像素電路之構成的平面圖。

【主要元件符號說明】

CL	共用信號線
CS	通道保護膜
CT	共用電極
DL	影像信號線
DT	汲極電極
GI	閘極絕緣層
GL	閘極信號線
GT	閘極電極
OM	邊界
PC	通道部
PH	針孔
PL	鈍化膜
PL1	低電阻部
PL2	低電阻部
PX	像素電極
R1	源極電極接觸區域
R2	汲極電極接觸區域
RC	通道上部區域
RG	抗蝕劑
RL1	閘極上連絡區域
RL2	閘極上連絡區域
RM1	閘極外連絡區域

RM2	閘極外連絡區域
SC	氧化物半導體膜
SL	氧化物半導體層
ST	源極電極
SUB	玻璃基板
TFT	薄膜電晶體

七、申請專利範圍：

1. 一種顯示裝置，其特徵在於：其係具有絕緣基板、及形成於上述絕緣基板之上之薄膜電晶體的顯示裝置，

上述薄膜電晶體包含：

導電層，其設置有閘極電極；

閘極絕緣層，其設置於上述導電層之上，且包含絕緣物質；

氧化物半導體膜，其接觸於上述閘極絕緣層之上表面並且設置於上述閘極電極之上方；

源極電極，其與存在於上述氧化物半導體膜之上表面的第1區域接觸；

汲極電極，其存在於上述氧化物半導體膜之上表面且與和上述第1區域離開之第2區域接觸；及

通道保護膜，其接觸於上述氧化物半導體膜之上表面之上述第1區域與上述第2區域之間的第3區域，且包含上述絕緣物質；且

平面地觀察，重疊於上述閘極電極的上述氧化物半導體膜之第1部分係重疊於上述通道保護膜的上述氧化物半導體膜之第2部分的一部分，

上述氧化物半導體膜中之除上述第1部分的一部分以外的部分之電阻，較上述第1部分的上述一部分低。

2. 如請求項1之顯示裝置，其中上述絕緣物質係矽氧化物。
3. 如請求項1之顯示裝置，其中上述氧化物半導體膜係於

平面地觀察時在重疊於上述閘極電極之部分與重疊於上述第1區域之部分之間具有重疊於上述第3區域之部分，

上述氧化物半導體膜係於平面地觀察時在重疊於上述閘極電極之部分與重疊於上述第2區域之部分之間具有重疊於上述第3區域之部分。

4. 如請求項1之顯示裝置，其中上述第3區域與上述第1區域及上述第2區域接觸。
5. 如請求項1之顯示裝置，其中上述半導體膜中之除重疊於上述閘極電極之部分的一部分以外之部分之氧含量比重疊於上述閘極電極之部分的上述一部分低。
6. 如請求項5之顯示裝置，其中上述氧化物半導體膜之上述第1部分的至少一部分及上述氧化物半導體膜之上述第1部分的另一部分與上述閘極電極重疊。
7. 如請求項1之顯示裝置，其中上述氧化物半導體膜之上述第1部分的至少一部分及上述氧化物半導體膜之上述第1部分的另一部分與上述閘極電極重疊。
8. 如請求項1之顯示裝置，其中上述氧化物半導體膜之與上述通道保護膜接觸並重疊的部分之尺寸大於上述氧化物半導體膜之與上述閘極電極重疊的部分之尺寸。
9. 如請求項8之顯示裝置，其中上述氧化物半導體膜之尺寸大於上述氧化物半導體膜之與上述通道保護膜接觸並重疊的部分之尺寸。
10. 一種顯示裝置之製造方法，其特徵在於包含：在絕緣基板上形成設置有閘極電極之導電層之步驟；

於上述導電層之上形成包含絕緣物質之閘極絕緣層之步驟；

於上述閘極絕緣層之上形成氧化物半導體層之步驟；

去除上述氧化物半導體層中之除與上述閘極電極平面地重疊之第1部分的一部分以外之部分的氧之脫氧步驟；

以殘留存在於上述閘極電極之上方的氧化物半導體膜之方式對上述氧化物半導體層進行蝕刻之步驟；

形成包含上述絕緣物質的通道保護層之步驟；

以平面地觀察，包含上述氧化物半導體膜之上述第1部分且殘留接觸於較上述第1部分大之上述氧化物半導體膜之上述第2部分之上表面的通道保護膜之方式對上述通道保護層進行蝕刻之步驟；以及

電極形成步驟，其形成：源極電極，其接觸於上述氧化物半導體膜之上表面中與接觸於上述通道保護膜之區域不同的第1區域；及汲極電極，其接觸於與接觸於上述通道保護膜之區域及上述第1區域不同的第2區域；且

上述電極形成步驟係以於上述第1區域與上述第2區域之間存在接觸於上述通道保護膜之區域的方式形成上述源極電極及上述汲極電極。

八、圖式：

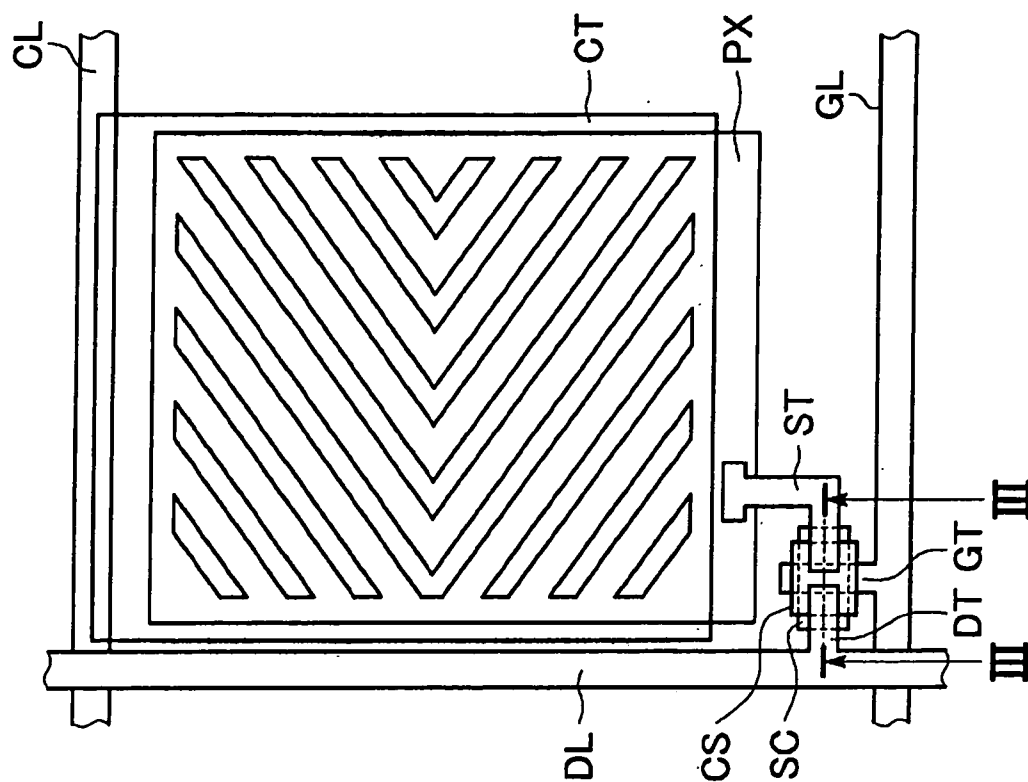
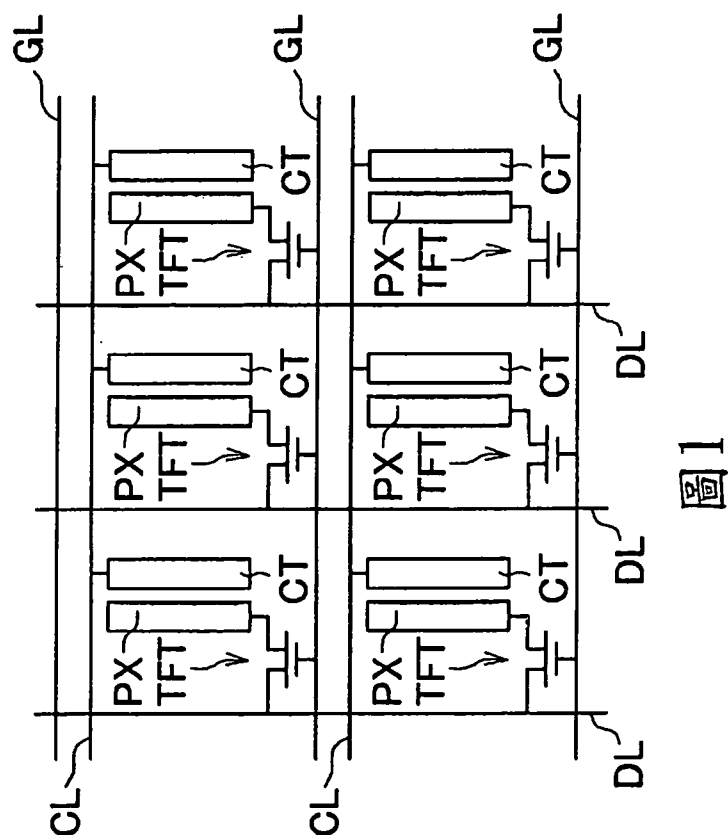


圖 2



一
回

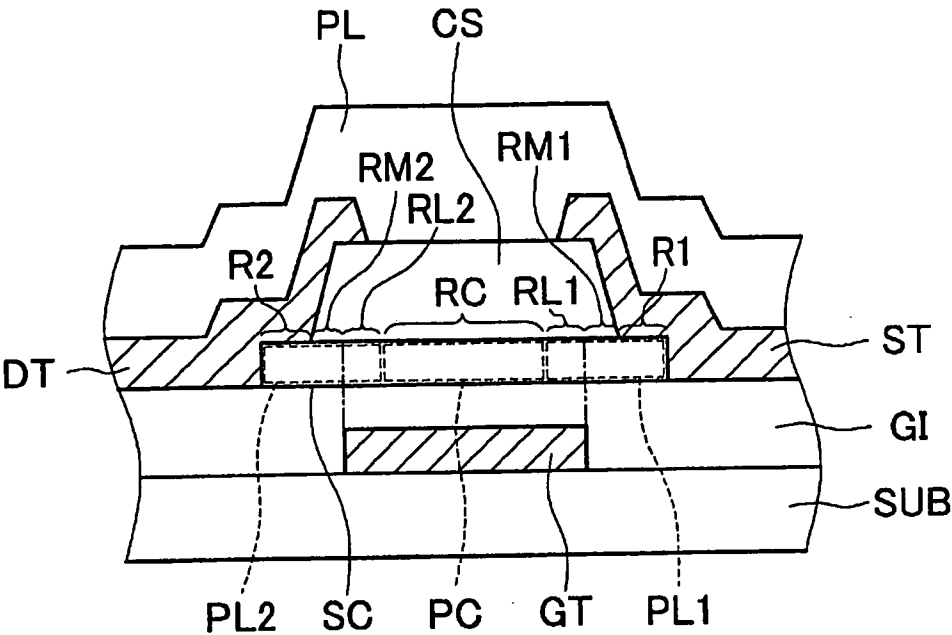


圖 3

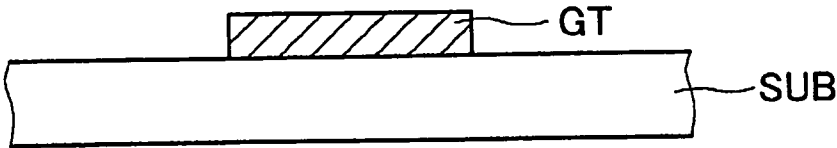


圖 4A

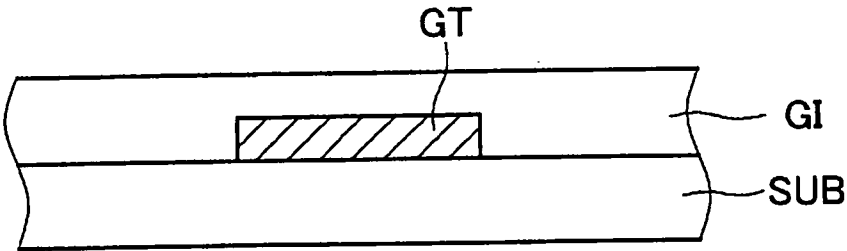


圖 4B

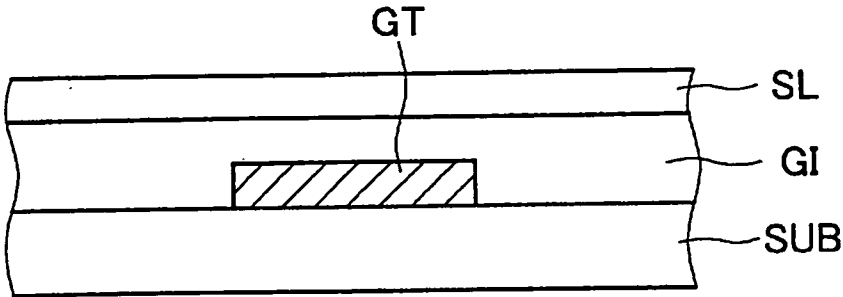


圖 4C

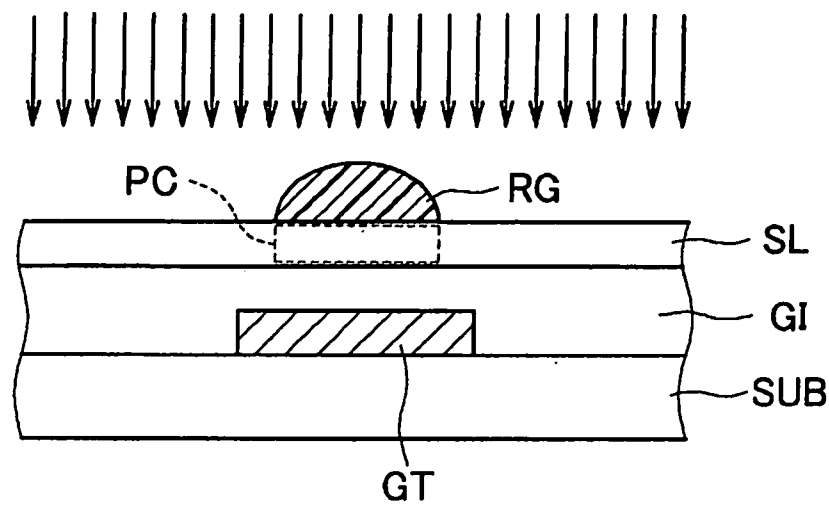


圖 4D

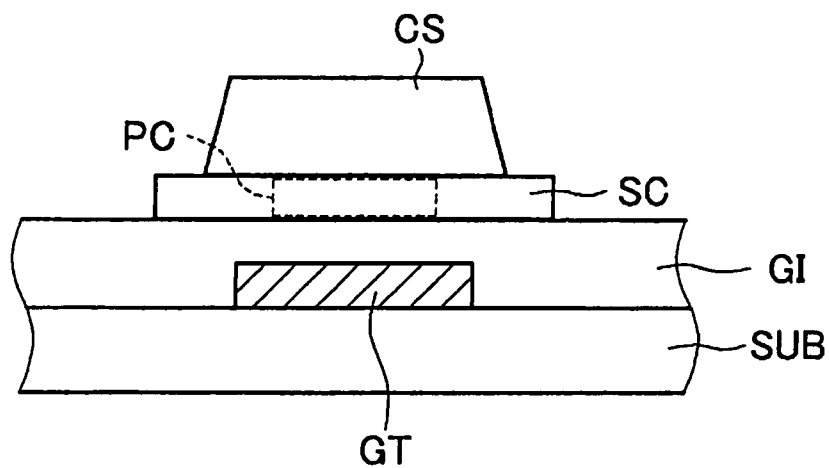


圖 4E

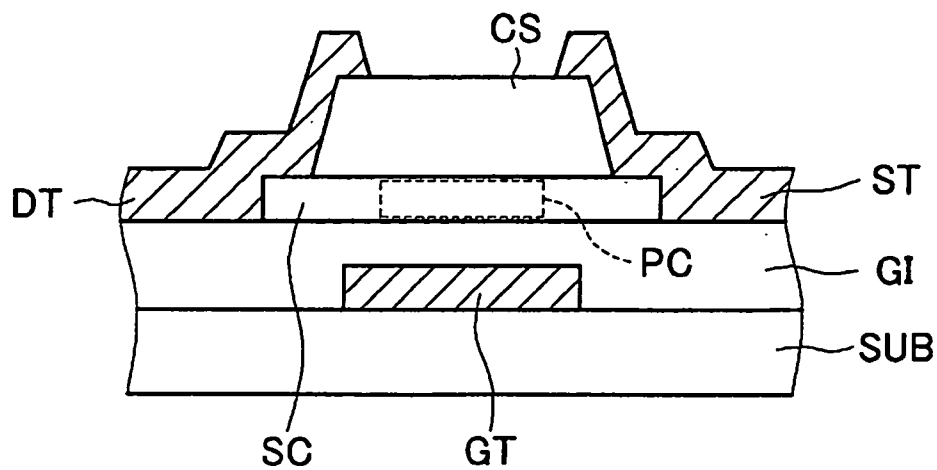


圖 4F

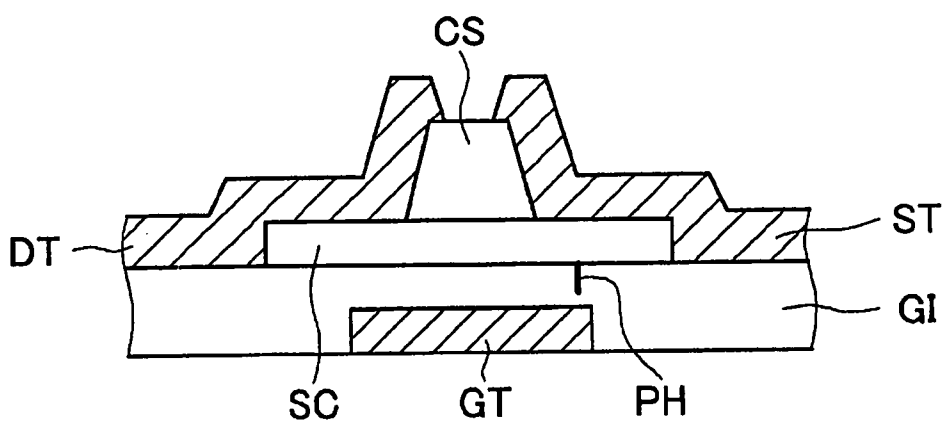


圖5

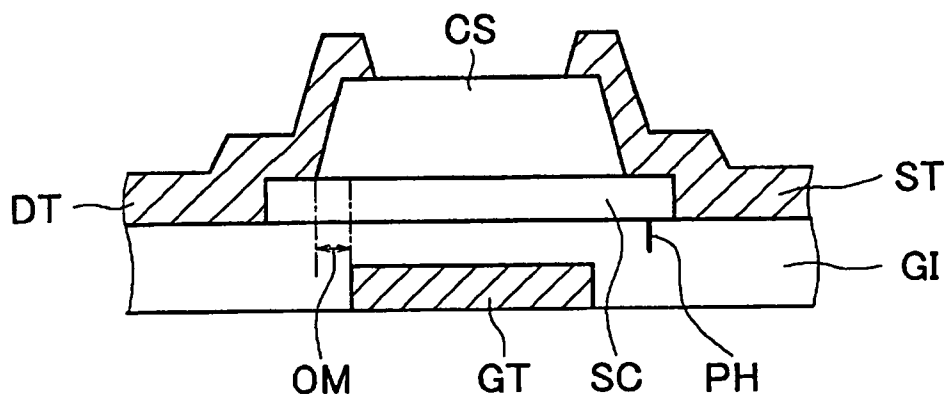


圖6

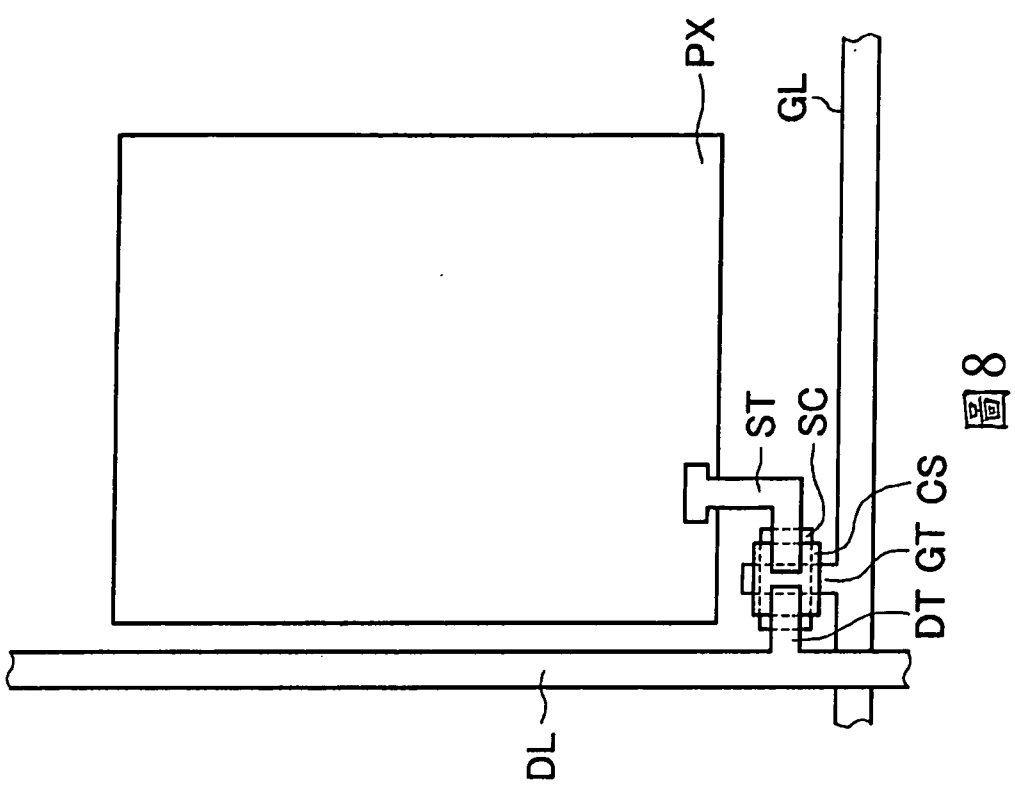


圖 8

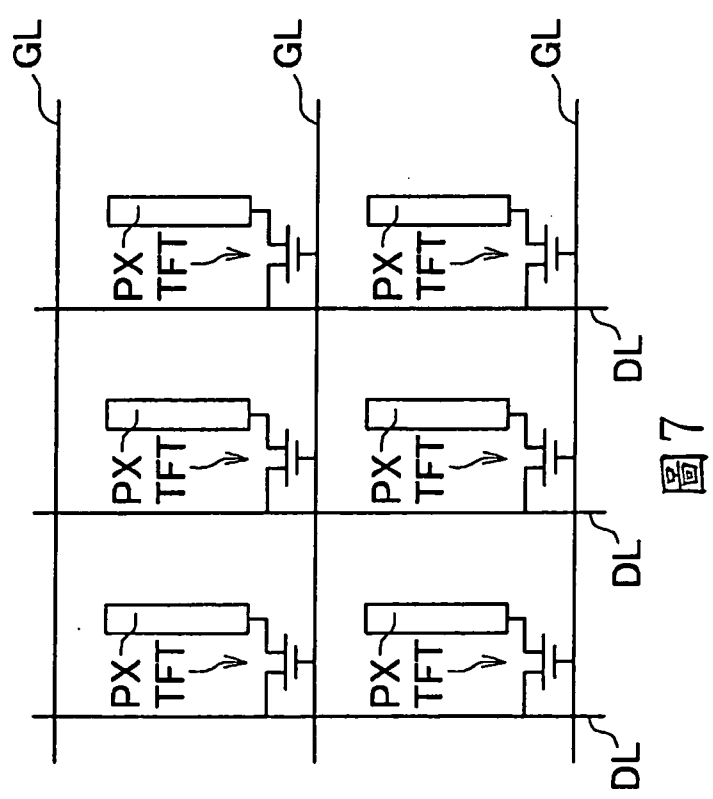


圖 7