

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5773153号
(P5773153)

(45) 発行日 平成27年9月2日(2015.9.2)

(24) 登録日 平成27年7月10日(2015.7.10)

(51) Int.Cl.

F 1

H01L	23/02	(2006.01)	H01L	23/02	J
B81B	7/02	(2006.01)	B81B	7/02	
H03H	9/24	(2006.01)	H03H	23/02	G
H03H	3/007	(2006.01)	H03H	9/24	Z
H03B	5/30	(2006.01)	H03H	3/007	Z

請求項の数 7 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2011-182711 (P2011-182711)
 (22) 出願日 平成23年8月24日 (2011.8.24)
 (65) 公開番号 特開2013-45893 (P2013-45893A)
 (43) 公開日 平成25年3月4日 (2013.3.4)
 審査請求日 平成26年7月9日 (2014.7.9)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大渕 美千栄
 (72) 発明者 稲葉 正吾
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 審査官 金田 孝之

最終頁に続く

(54) 【発明の名称】電子装置およびその製造方法、並びに発振器

(57) 【特許請求の範囲】

【請求項 1】

基板と、

前記基板上で空洞部を構成している被覆構造体と、
 を備え、

前記被覆構造体は、

前記空洞部に連通する第1貫通孔、平面視で前記第1貫通孔よりも面積の大きい第2貫通孔を有し、かつ前記空洞部の上方に配置される第1被覆層と、
 を備え、

前記空洞部の側面と前記第2貫通孔との距離は、前記空洞部の側面と前記第1貫通孔との距離よりも小さい、電子装置。

【請求項 2】

前記第1被覆層の上方に配置され、前記第1貫通孔と前記第2貫通孔を塞ぐ第2被覆層を備えている、請求項1に記載の電子装置。

【請求項 3】

前記第1被覆層は、前記第1貫通孔を複数有する、請求項1または2に記載の電子装置。

【請求項 4】

平面視で、

前記第1貫通孔の面積は、 $1 \mu m^2$ 以上 $4 \mu m^2$ 未満の範囲内にあり、

10

20

前記第2貫通孔の面積は、 $4 \mu m^2$ 以上 $7 \mu m^2$ 以下の範囲内にある、請求項1ないし3のいずれか1項に記載の電子装置。

【請求項5】

基板を準備する工程と、

前記基板の上方に、絶縁層を形成する工程と、

前記絶縁層の上方に、第1貫通孔、平面視で前記第1貫通孔よりも面積の大きい第2貫通孔を有する第1被覆層を形成する工程と、

前記第1貫通孔および前記第2貫通孔を通じて前記絶縁層をエッチングして空洞部を形成する工程と、

前記第1被覆層の上方に、前記第1貫通孔と前記第2貫通孔を塞ぐ第2被覆層を形成する工程と、

を含み、

前記空洞部を形成する工程では、前記空洞部の側面と前記第2貫通孔との距離は、前記空洞部の側面と前記第1貫通孔との距離よりも小さい、電子装置の製造方法。

【請求項6】

前記第1被覆層は、前記第1貫通孔を複数有する、請求項5に記載の電子装置の製造方法。

【請求項7】

請求項1ないし4のいずれか1項に記載の電子装置と、

前記電子装置と電気的に接続されている回路部と、
を有する、発振器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子装置およびその製造方法、並びに発振器に関する。

【背景技術】

【0002】

一般に、MEMS (Micro Electro Mechanical Systems) 等の機能素子を、基板上に設けられた空洞部に配置してなる電子装置が知られている。マイクロ振動子、マイクロセンサー、マイクロアクチュエーター等のMEMSは、微小な構造体が振動、変形、その他の動作が可能となる状態で配置される必要があるため、空洞部内に動作可能な状態で収容される。そして、空洞部内は、減圧状態に保たれる。このような電子装置では、空洞部内の真空度が高いほど、空洞部内の気体の粘性等の影響が低減し、素子の特性（周波数特性等）が向上する。

【0003】

例えば、特許文献1には、空洞部を形成する方法が開示されている。具体的には、まず、基板上に機能素子を形成し、その上に犠牲層を形成する。次に、犠牲層上に導体膜（第1被覆層）を形成した後、第1被覆層に複数の貫通孔を形成する。そして、この複数の貫通孔からエッチング液を注入して、機能素子周辺の犠牲層を除去して空洞部を形成する。次に、スパッタ法により第1被覆層上に他の導体膜（第2被覆層）を形成することにより、複数の貫通孔を塞いで空洞部内を減圧状態にする。以上の工程により、空洞部が形成される。第1被覆層に形成される複数の貫通孔は、一般的に、互いに同じ大きさを有している。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-35290号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

10

20

30

40

50

上述した貫通孔を塞いで空洞部内を減圧状態にする工程は、例えば、スパッタ法により第2被覆層を成膜することにより行われる。ここで、スパッタ法による成膜では、成膜時に発生する熱等で、空洞部に面する絶縁層等からガスが発生する。成膜工程において、貫通孔が塞がっていないときには、このガスは貫通孔から空洞部の外へ排出される。しかしながら、成膜工程において、貫通孔が塞がって空洞部が封止された後は、このガスは排出されずに空洞部内を滞留し、空洞部内の真空度が低下してしまう。したがって、空洞部が封止された後から成膜を終了するまでの時間は、短いことが望ましい。しかしながら、本工程において、空洞部が封止された後から成膜を終了するまでの時間を短くするために、成膜時間を短く設定すると、ウエハー内の位置やウエハー間で成膜速度にばらつきがあるため、すべての貫通孔が塞がれずに、歩留まりが低下する場合があった。

10

【0006】

このように、本工程において、すべての貫通孔を塞いで確実に空洞部の封止を行いつつ、空洞部が封止された後から成膜を終了するまでの時間を短くすることは困難である。したがって、特許文献1に開示された技術では、空洞部内の真空度を高めることができ難しく、良好な特性を有する電子装置を得ることが難しかった。

【0007】

本発明のいくつかの態様に係る目的の1つは、良好な特性を有する電子装置およびその製造方法を提供することにある。また、本発明のいくつかの態様に係る目的の1つは、上記の電子装置を有する発振器を提供することにある。

【課題を解決するための手段】

20

【0008】

本発明に係る電子装置は、
基板と、
前記基板の上方に配置された機能素子と、
前記機能素子が収容された空洞部を画成する被覆構造体と、
を含み、

前記被覆構造体は、
前記空洞部に連通する第1貫通孔および前記第1貫通孔よりも大きい第2貫通孔を有し、かつ前記空洞部の上方に配置された第1被覆層と、

前記第1被覆層の上方に配置され、前記貫通孔を塞ぐ第2被覆層と、
を有する。

30

【0009】

このような電子装置によれば、第1被覆層が、第1貫通孔と第1貫通孔よりも大きい第2貫通孔を有するため、第1貫通孔および第2貫通孔を塞ぐ工程において、第1貫通孔が塞がれ、その後第2貫通孔が塞がれる。これにより、第1被覆層の貫通孔がすべて同じ大きさである場合と比べて、空洞部の封止を確実に行いつつ、空洞部が封止された後から成膜が終了するまでの時間を短くすることができる。したがって、空洞部が封止された後に空洞部内で発生するガスの量を低減することができ、空洞部内の真空度を高めることができる。そのため、良好な特性を有することができる。

【0010】

40

なお、本発明に係る記載では、「上方」という文言を、例えば、「特定のもの（以下、「A」という）の「上方」に他の特定のもの（以下、「B」という）を形成する」などと用いる場合に、A上に直接Bを形成するような場合と、A上に他のものを介してBを形成するような場合とが含まれるものとして、「上方」という文言を用いている。

【0011】

本発明に係る電子装置において、
前記第1被覆層は、前記第1貫通孔を複数有していてもよい。

【0012】

このような電子装置によれば、空洞部を形成するリリース工程において、エッチング液やエッチングガスを効率よく供給することができる。

50

【0013】

本発明に係る電子装置において、

前記第1貫通孔の開口の面積は、 $1 \mu m^2$ 以上 $4 \mu m^2$ 未満であり、

前記第2貫通孔の開口の面積は、 $4 \mu m^2$ 以上 $7 \mu m^2$ 以下であってもよい。

【0014】

このような電子装置によれば、空洞部を形成するリリース工程において、エッティングを良好に行うことができ、かつ第1貫通孔および第2貫通孔を塞ぐ工程において、第2貫通孔を確実に塞ぐことができる。

【0015】

本発明に係る電子装置において、

10

前記空洞部を画成する前記被覆構造体の側面と前記第2貫通孔との間の距離は、前記被覆構造体の側面と前記第1貫通孔との間の距離よりも小さくてもよい。

【0016】

このような電子装置によれば、第1貫通孔および第2貫通孔を塞ぐ工程において、被覆構造体の側面から発生するガスを効率よく排出することができる。

【0017】

本発明に係る電子装置の製造方法は、

基板の上方に機能素子を形成する工程と、

前記基板および前記機能素子の上方に、絶縁層を形成する工程と、

前記絶縁層の上方に、第1貫通孔および前記第1貫通孔よりも大きい第2貫通孔を有する第1被覆層を形成する工程と、

20

前記第1貫通孔および第2貫通孔を通じてエッティング液またはエッティングガスを供給し、前記機能素子の上方の前記絶縁層をエッティングする工程と、

前記第1被覆層の上方に、前記第1貫通孔および前記第2貫通孔を塞ぐ第2被覆層を形成する工程と、

を含み、

前記第2被覆層を形成する工程において、

前記第2被覆層は、気相成長法により成膜される。

【0018】

このような電子装置の製造方法によれば、第1被覆層が、第1貫通孔と第1貫通孔よりも大きい第2貫通孔を有するため、第1貫通孔および第2貫通孔を塞ぐ工程において、第1貫通孔が塞がれ、その後第2貫通孔が塞がれる。これにより、第1被覆層の貫通孔がすべて同じ大きさである場合と比べて、空洞部の封止を確実に行いつつ、空洞部が封止された後から成膜が終了するまでの時間を短くすることができる。したがって、空洞部が封止された後に空洞部内で発生するガスの量を低減することができ、空洞部内の真空度を高めることができる。そのため、良好な特性を有する電子装置を得ることができる。

30

【0019】

本発明に係る電子装置の製造方法において、

前記第2被覆層は、前記第1貫通孔を複数有していてもよい。

【0020】

このような電子装置の製造方法によれば、空洞部を形成するリリース工程において、エッティング液やエッティングガスを効率よく供給することができる。

40

【0021】

本発明に係る発振器は、

本発明に係る電子装置と、

前記電子装置の前記機能素子と電気的に接続された回路部と、
を含み、

前記機能素子は、振動子である。

【0022】

このような発振器によれば、良好な特性を有することができる。

50

【図面の簡単な説明】**【0023】**

【図1】本実施形態に係る電子装置を模式的に示す断面図。

【図2】本実施形態に係る電子装置を模式的に示す平面図。

【図3】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図4】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図5】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図6】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図7】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図8】本実施形態に係る電子装置の製造工程を模式的に示す断面図。

【図9】本実施形態の変形例に係る電子装置を模式的に示す断面図。

【図10】本実施形態の変形例に係る電子装置を模式的に示す平面図。

【図11】本実施形態に係る発振器を示す回路図。

【図12】本実施形態の変形例に係る発振器を示す回路図。

【発明を実施するための形態】**【0024】**

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また、以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0025】**1. 電子装置**

まず、本実施形態に係る電子装置について、図面を参照しながら説明する。図1は、本実施形態に係る電子装置100を模式的に示す断面図である。図2は、本実施形態に係る電子装置100を模式的に示す平面図である。なお、図1は、図2のI-I線断面図である。また、図2では、便宜上、第2被覆層58、包囲壁40、層間絶縁層60, 62、およびパッシベーション層70の図示を省略している。

【0026】

電子装置100は、図1および図2に示すように、基板10と、機能素子20と、被覆構造体30と、を含む。電子装置100は、さらに、第1配線層26と、第2配線層28と、第3配線層29と、包囲壁40と、パッシベーション層70と、を含むことができる。

【0027】

基板10は、図1に示すように、支持基板12と、第1下地層14と、第2下地層16と、を有することができる。

【0028】

支持基板12としては、シリコン基板等の半導体基板を用いることができる。支持基板12として、セラミックス基板、ガラス基板、サファイア基板、ダイヤモンド基板、合成樹脂基板などの各種の基板を用いてもよい。

【0029】

第1下地層14は、支持基板12上に形成されている。第1下地層14としては、例えば、トレンチ絶縁層、LOCOS (local oxidation of silicon) 絶縁層、セミリセスLOCOS絶縁層を用いることができる。第1下地層14は、機能素子20と、他の素子(例えばトランジスター、図示せず)と、を電気的に分離することができる。

【0030】

第2下地層16は、第1下地層14上に形成されている。第2下地層16としては、例えば、窒化シリコン層を用いることができる。第2下地層16は、空洞部1を形成するリリース工程において、エッチングストッパー層として機能することができる。

【0031】

機能素子20は、基板10上に配置されている。機能素子20は、空洞部1に収容され

10

20

30

40

50

ている。図示の例では、機能素子 20 は、第 2 下地層 16 上に形成された第 1 電極 22 と、第 1 電極 22 と間隔を空けて形成された第 2 電極 24 と、を有する振動子である。第 2 電極 24 は、第 2 下地層 16 上に形成された支持部 24a と、支持部 24a から延出し第 1 電極 22 との間に空隙を有した状態で配置された梁部 24b と、を有することできる。すなわち、機能素子 20 は、片持ち梁型の M E M S 振動子であるといえる。第 1 電極 22 および第 2 電極 24 の材質としては、例えば、所定の不純物をドーピングすることにより導電性が付与された多結晶シリコンが挙げられる。

【 0 0 3 2 】

図示の例では、第 2 電極 24 は、1 つの第 1 電極 22 に対して 2 つ設けられている。この 2 つの第 2 電極 24 は、異なる固有振動数を有していてもよいし、同じ固有振動数を有していてもよい。なお、1 つの第 1 電極 22 に対する第 2 電極 24 の数は、特に限定されない。

10

【 0 0 3 3 】

なお、機能素子 20 は、図示の例に限定されず、例えば、梁部の両端部が固定された両持ち梁型の振動子でもよい。また、機能素子 20 は、第 2 電極が、支持部と、支持部から互い反対方向に延出する第 1 梁部および第 2 梁部と、を有し、第 1 梁部および第 2 梁部の各々に対向して、第 1 電極が形成された振動子であってもよい。また、機能素子 20 は、例えば、振動子以外の、水晶振動子、S A W (弹性表面波) 素子、加速度センサー、ジャイロスコープ、マイクロアクチュエーターなどの各種の機能素子であってもよい。すなわち、電子装置 100 は、空洞部 1 に収容されうる任意の機能素子を備えることができる。

20

【 0 0 3 4 】

第 1 配線層 26 は、例えば、機能素子 20 の第 1 電極 22 に接続されている。第 1 配線層 26 は、第 1 電極 22 と一体的に形成されていてもよい。第 2 配線層 28 は、例えば、機能素子 20 の第 2 電極 24 に接続されている。第 2 配線層 28 は、第 2 電極 24 と一体的に形成されていてもよい。第 1 配線層 26 および第 2 配線層 28 は、包囲壁 40 の外側まで延出されている。第 3 配線層 29 は、2 つの第 2 電極 24 の間を電気的に接続している。第 1 配線層 26 、第 2 配線層 28 、および第 3 配線層 29 の材質としては、例えば、所定の不純物をドーピングすることにより導電性が付与された多結晶シリコンが挙げられる。

【 0 0 3 5 】

30

第 1 配線層 26 および第 2 配線層 28 は、電源部 (図示せず) と電気的に接続されている。配線層 26 , 28 を介して、第 1 電極 22 と第 2 電極 24 との間に電圧が印加されると、梁部 24b は、電極 22 , 24 間に発生する静電力により、基板 10 の厚み方向に振動することができる。

【 0 0 3 6 】

被覆構造体 30 は、機能素子 20 が収容された空洞部 1 を画成している。被覆構造体 30 は、図示の例では、第 1 被覆層 50 、第 2 被覆層 58 、および層間絶縁層 60 , 62 を含んで構成されている。被覆構造体 30 によって画成される空洞部 1 の平面形状 (基板 10 の厚み方向からの平面視における形状) は、機能素子 20 を収容できる形状であれば特に限定されず、例えば、円形状、多角形状などの任意の形状である。空洞部 1 の平面形状は、図示の例では四角形である。

40

【 0 0 3 7 】

第 1 被覆層 50 は、空洞部 1 上を覆っている。第 1 被覆層 50 は、第 1 貫通孔 52 と、第 2 貫通孔 54 と、を有している。第 1 貫通孔 52 および第 2 貫通孔 54 は、空洞部 1 に連通している。後述するように、空洞部 1 を形成するリリース工程において、第 1 貫通孔 52 および第 2 貫通孔 54 を通して、エッティング液やエッティングガスを供給することができる。第 1 被覆層 50 としては、例えば、アルミニウム層を用いることができる。第 1 被覆層 50 は、例えば、第 2 金属層 46 と一体的に形成される。

【 0 0 3 8 】

第 1 貫通孔 52 および第 2 貫通孔 54 の平面形状は、特に限定されず、例えば、円、楕

50

円、多角形であってもよい。第1貫通孔52および第2貫通孔54の平面形状は、図示の例では、正方形である。第2貫通孔54は、第1貫通孔52よりも大きい。すなわち、第2貫通孔54の開口の面積は、第1貫通孔52の開口の面積よりも大きい。言い換えると、第2貫通孔54の平面視における面積(基板10の厚み方向からの平面視における面積)は、第1貫通孔52の平面視における面積よりも大きい。具体的には、第1貫通孔52の開口の面積は、 $1 \mu\text{m}^2$ 以上 $4 \mu\text{m}^2$ 未満である。第2貫通孔54の開口の面積は、 $4 \mu\text{m}^2$ 以上 $7 \mu\text{m}^2$ 以下である。

【0039】

第1被覆層50は、複数(図示の例では、36個)の第1貫通孔52を有している。第1貫通孔52は、例えば、複数行複数列に配置されている。また、第1貫通孔52は、第2電極24の梁部24bの上方を避けて配置されている。すなわち、第1貫通孔52と第2電極24の梁部24bとは、基板10の厚み方向から平面視において、重ならない。なお、第1貫通孔52の配置は、空洞部1を形成するリリース工程において、空洞部1を形成することができれば特に限定されない。

【0040】

第1被覆層50は、複数(図示の例では、2つ)の第2貫通孔54を有している。なお、第2貫通孔54の数は特に限定されず、例えば、1つであってもよいし3つ以上であってもよい。第2貫通孔54の数は、例えば、第1貫通孔52の数よりも少ない。第2貫通孔54は、例えば、空洞部1を画成する被覆構造体30の側面32(図示の例では、層間絶縁層60, 62の側面61, 63)の近傍に配置される。例えば、被覆構造体30の側面32と第2貫通孔54との間の距離L2は、被覆構造体30の側面32と第1貫通孔54との間の距離L1よりも小さい。ここで、被覆構造体30の側面32と第2貫通孔54との間の距離L2とは、被覆構造体30の側面32と第2貫通孔54との間の最短距離をいう。同様に、被覆構造体30の側面32と第1貫通孔52との間の距離L1とは、被覆構造体30の側面32と第1貫通孔52との間の最短距離をいう。なお、第2貫通孔54の位置は、図示の例に限定されず、任意の位置に配置されていてもよい。

【0041】

第2被覆層58は、第1被覆層50上に配置されている。第2被覆層58は、第1貫通孔52および第2貫通孔54を塞いでいる。これにより、貫通孔52, 54を通じて、外部から気体等が空洞部1内に浸入することを防ぐことができる。第2被覆層58は、例えば、第1被覆層50に設けられたすべての貫通孔52, 54を塞いでいる。第2被覆層58としては、例えば、アルミニウム層、チタン層、または、アルミニウム層およびチタン層の積層体を用いることができる。第1被覆層50および第2被覆層58は、空洞部1を上方から覆って、空洞部1を封止する封止部材として機能することができる。

【0042】

第1層間絶縁層60および第2層間絶縁層62は、図1に示すように、第2下地層16上に形成されている。電子装置100は、2層の層間絶縁層60, 62を有しているが、その数は特に限定されず、例えば、金属層の数によって適宜変更されることがある。第1層間絶縁層60の側面61および第2層間絶縁層62の側面63は、被覆構造体30の側面32を構成している。すなわち、層間絶縁層60, 62の側面61, 63は、空洞部1に面している。層間絶縁層60, 62としては、例えば、酸化シリコン層を用いることができる。第1層間絶縁層60と第1配線26との間には、酸化シリコン層42が形成されていてもよい。

【0043】

なお、ここでは、被覆構造体30が、第1被覆層50、第2被覆層58、および層間絶縁層60, 62を含んで構成されている場合について説明したが、被覆構造体30は、これに限定されず、例えば、図示はしないが、第1被覆層50、第2被覆層58、および包囲壁40を含んで構成されていてもよい。すなわち、被覆構造体30の側面が、包囲壁40の側面で構成されていてもよい。

【0044】

10

20

30

40

50

包囲壁40は、第2下地層16上であって、空洞部1の周囲に形成されている。図示の例では、包囲壁40は、層間絶縁層60, 62に埋め込まれている。包囲壁40は、基板10の厚み方向からの平面視において、機能素子20を囲む形状を有する。包囲壁40の平面形状は、特に限定されず、例えば、円形状、多角形状などの任意の形状である。

【0045】

包囲壁40は、例えば、図1に示すように、第1金属層44、および第2金属層46を含んで構成されている。図示の例では、基板10側から、第1金属層44、第2金属層46の順で積層されている。金属層44, 46としては、例えば、アルミニウム層、チタン層、または、アルミニウム層およびチタン層の積層体を用いることができる。なお、図示の例では、包囲壁40は、2層の金属層44, 46を有しているが、金属層の数は特に限定されず、1層でもよいし、3層以上でもよい。10

【0046】

包囲壁40の金属層44, 46および第1被覆層50には、一定の電位（例えば接地電位）が与えられることが望ましい。これにより、金属層44, 46および第1被覆層50を、電磁シールドとして機能させることができる。そのため、機能素子20を、外部と電気的に遮蔽することができる。これにより、機能素子20は、より安定した特性を有することができる。

【0047】

パッシベーション層70は、第2層間絶縁層62上に形成されている。パッシベーション層70としては、例えば、窒化シリコン層を用いることができる。20

【0048】

本実施形態に係る電子装置100は、例えば、以下の特徴を有する。

【0049】

電子装置100では、被覆構造体30が、第1貫通孔52および第2貫通孔54を有し、第2貫通孔54は、第1貫通孔52よりも大きい。そのため、第1被覆層の貫通孔がすべて同じ大きさである場合と比べて、第1貫通孔52および第2貫通孔54を塞ぐ工程において、すべての第1貫通孔52が塞がれても第2貫通孔54は塞がれておらず、工程の最終段階で第2貫通孔54が塞がれることになる。これにより、空洞部の封止を確実に行いつつ、空洞部が封止された後から成膜が終了するまでの時間を短くすることができる。したがって、空洞部が封止された後に空洞部内で発生するガスの量を低減することができ、空洞部内の真空度を高めることができる。そのため、電子装置100は、良好な特性を有することができる。以下、その理由について説明する。30

【0050】

スパッタ法による成膜では、成膜時に発生する熱等で、空洞部に面する絶縁層等からガスが発生する。そのため、成膜工程において、貫通孔が塞がって空洞部が封止された後は、このガスは排出されずに空洞部内を滞留し、空洞部の真空度が低下してしまう。したがって、空洞部が封止された後から成膜を終了するまでの時間は、短いことが望ましい。しかしながら、本工程において、空洞部が封止された後から成膜を終了するまでの時間を短くするために、成膜時間を短く設定すると、ウエハー内の位置やウエハー間で成膜速度にはらつきがあるため、すべての貫通孔が塞がれずに、歩留まりが低下する場合があった。40

【0051】

電子装置100では、貫通孔52, 54を塞ぐ工程において、スパッタ法により第2被覆層58を成膜すると、まず、第1貫通孔52が塞がれる。このとき、第2貫通孔54は、第1貫通孔52よりも大きいため、塞がれていない。そのため、空洞部1内で発生したガスは、第2貫通孔54から排気される。さらに成膜を進めると、第2貫通孔54が塞がれて、空洞部1が封止される。そのため、貫通孔がすべて同じ大きさである場合に比べて、空洞部の封止を確実に行いつつ、空洞部が封止された後から成膜が終了するまでの時間を短くすることができる。したがって、空洞部1内の真空度を高めることができる。

【0052】

10

20

30

40

50

なお、ここでは、第2被覆層58をスパッタ法によって成膜する場合について説明したが、CVD法等のその他の気相成長法によっても、同様の問題が生じる。電子装置100によれば、そのような場合であっても、同様に、空洞部1内の真空中度を高めることができる。

【0053】

電子装置100では、第1被覆層50が、第1貫通孔52を複数有することができる。これにより、空洞部1を形成するリリース工程において、エッチング液やエッチングガスを効率よく供給することができる。

【0054】

電子装置100では、第1貫通孔52の開口の面積が、 $1 \mu m^2$ 以上 $4 \mu m^2$ 未満であり、第2貫通孔54の開口の面積が、 $4 \mu m^2$ 以上 $7 \mu m^2$ 以下である。貫通孔の開口の面積が $1 \mu m^2$ よりも小さい場合、空洞部を形成するリリース工程において、貫通孔を通してエッチングを行うことができなくなる場合がある。また、貫通孔の開口の面積が $7 \mu m^2$ よりも大きい場合、貫通孔を塞ぐ工程において、貫通孔を確実に塞ぐことができない場合がある。したがって、第1貫通孔52の開口の面積および第2貫通孔54の開口の面積が上記の範囲にあることにより、空洞部1を形成するリリース工程において、良好なエッチングを行うことができ、かつ貫通孔52, 54を塞ぐ工程において、貫通孔52, 54を確実に塞ぐことができる。

【0055】

電子装置100では、被覆構造体30の側面32と第2貫通孔54との間の距離L2が、被覆構造体30の側面32と第1貫通孔52との間の距離L1よりも小さい。これにより、貫通孔52, 54を塞ぐ工程において、被覆構造体30の側面32から発生するガスを効率よく排出することができる。

【0056】

電子装置100では、第1貫通孔52が、第2電極24の梁部24bの上方を避けて配置されている。これにより、貫通孔52, 54を塞ぐ工程において、貫通孔52, 54を通して、空洞部1内に第2被覆層58を構成する材料が浸入し、当該材料が機能素子20の梁部24b上に堆積することを防ぐことができる。

【0057】

2. 電子装置の製造方法

次に、本実施形態に係る電子装置の製造方法について、図面を参照しながら説明する。図3～図8は、本実施形態に係る電子装置100の製造工程を模式的に示す断面図である。なお、図3～図8は、図1に対応している。

【0058】

図3に示すように、支持基板12上に、第1下地層14および第2下地層16をこの順で形成して、基板10を得る。第1下地層14は、例えば、STI(shallow trench isolation)法、LOCOS法により形成される。第2下地層16は、例えば、CVD(Chemical Vapor Deposition)法、スパッタ法により形成される。

【0059】

図4に示すように、第2下地層16上に、第1電極22、および第1電極22に接続された第1配線層26を形成する。第1電極22および第1配線層26は、一体的に形成されることができる。より具体的には、第1電極22および第1配線層26は、CVD法やスパッタ法などによって成膜された後、フォトリソグラフィー技術およびエッチング技術によってパターニングされることにより形成される。第1電極22および第1配線層26が多結晶シリコンからなる場合、導電性を付与するために所定の不純物をドーピングする。

【0060】

次に、熱酸化処理を行うことにより、第1電極22を覆う犠牲層23を形成する。犠牲層23は、図4に示すように、第1配線層26を覆っていてよい。これにより、酸化シ

10

20

30

40

50

リコン層 4 2 が形成される。

【 0 0 6 1 】

次に、犠牲層 2 3 上に第 2 電極 2 4 を形成し、さらに、第 2 下地層 1 6 上に第 2 配線層 2 8 を形成する。第 2 電極 2 4 および第 2 配線層 2 8 は、一体的に形成されることができる。第 2 電極 2 4 および第 2 配線層 2 8 は、例えば、第 1 電極 2 2 および第 1 配線層 2 6 と同様の成膜処理およびパターニング処理により形成される。第 2 電極 2 4 および第 2 配線層 2 8 が多結晶シリコンからなる場合、導電性を付与するために所定の不純物をドーピングする。

【 0 0 6 2 】

図 5 に示すように、基板 1 0 の上方に第 1 層間絶縁層 6 0 を形成する。第 1 層間絶縁層 6 0 は、例えば、CVD 法や塗布（スピンドルコート）法などで形成することができる。第 1 層間絶縁層 6 0 を形成した後に、第 1 層間絶縁層 6 0 の表面を平坦化する処理を行ってもよい。

10

【 0 0 6 3 】

次に、第 1 層間絶縁層 6 0 上に第 1 金属層 4 4 を形成する。第 1 金属層 4 4 は、例えば、スパッタ法、めっき法などによって成膜された後、パターニングされることによって形成される。

【 0 0 6 4 】

図 6 に示すように、第 1 層間絶縁層 6 0 上に第 2 層間絶縁層 6 2 を形成する。第 2 層間絶縁層 6 2 は、例えば、第 1 層間絶縁層 6 0 と同じ方法で形成される。次に、第 2 層間絶縁層 6 2 をパターニングして、第 1 金属層 4 4 が露出するように、開口部 6 2 a を形成する。

20

【 0 0 6 5 】

次に、開口部 6 2 a 内に、第 2 金属層 4 6 を形成し、さらに、機能素子 2 0 の上方に、第 1 被覆層 5 0 を形成する。第 2 金属層 4 6 および第 1 被覆層 5 0 は、一体的に形成されることができる。第 2 金属層 4 6 および第 1 被覆層 5 0 は、例えば、第 1 金属層 4 4 と同じ方法で形成される。以上の工程により、包囲壁 4 0 を形成することができる。次に、第 1 被覆層 5 0 をパターニングして、第 1 貫通孔 5 2 および第 2 貫通孔 5 4（図 2 参照）を形成する。

【 0 0 6 6 】

30

図 7 に示すように、第 2 層間絶縁層 6 2 上にパッシベーション層 7 0 を形成する。パッシベーション層 7 0 は、例えば、CVD 法やスパッタ法などによって成膜された後、パターニングされることによって形成される。パッシベーション層 7 0 は、機能素子 2 0 の上方に開口部 7 0 a が形成されるようにパターニングされる。

【 0 0 6 7 】

図 8 に示すように、貫通孔 5 2, 5 4 を通して、機能素子 2 0 の上方の層間絶縁層 6 0, 6 2 および犠牲層 2 3 をエッチング（除去）して、空洞部 1 を形成する（リリース工程）。エッチングは、例えば、フッ化水素酸や緩衝フッ酸（フッ化水素酸とフッ化アンモニウムとの混合液）などのエッチング液を用いたウェットエッチングによって行われる。また、エッチングは、フッ化水素ガス等のエッチングガスを用いたドライエッチングによって行われてもよい。

40

【 0 0 6 8 】

図 1 に示すように、第 1 被覆層 5 0 上に第 2 被覆層 5 8 を形成する。これにより、貫通孔 5 2, 5 4 を塞ぐことができ、空洞部 1 を封止することができる。第 2 被覆層 5 8 は、例えば、スパッタ法、CVD 法などの気相成長法により形成することができる。これにより、空洞部 1 を減圧状態のまま封止することができる。

【 0 0 6 9 】

本工程において、第 2 被覆層 5 8 の成膜を開始すると、まず、第 1 貫通孔 5 2 が塞がれる。このとき、第 2 貫通孔 5 4 は、第 1 貫通孔 5 2 よりも大きいため、塞がれていない。そのため、空洞部 1 内で発生したガスは、第 2 貫通孔 5 4 から排気される。さらに成膜を

50

進めると、第2貫通孔54が塞がれて、空洞部1が封止される。以上の工程により、被覆構造体30を形成することができる。

【0070】

以上の工程により、本実施形態に係る電子装置100を製造することができる。

【0071】

本実施形態に係る電子装置100の製造方法は、例えば、以下の特徴を有する。

【0072】

電子装置100の製造方法によれば、被覆構造体30が、第1貫通孔52および第2貫通孔54を有し、第2貫通孔54は、第1貫通孔52よりも大きいため、上述のように、空洞部の封止を確実に行いつつ、空洞部が封止された後から成膜が終了するまでの時間を短くすることができる。したがって、空洞部が封止された後に空洞部内で発生するガスの量を低減することができ、空洞部内の真密度を高めることができる。そのため、良好な特性を有する電子装置を得ることができます。10

【0073】

電子装置100の製造方法によれば、第1被覆層50が、第1貫通孔52を複数有することができる。これにより、空洞部1を形成するリリース工程において、エッティング液やエッティングガスを効率よく供給することができる。

【0074】

電子装置100の製造方法によれば、第1貫通孔52の開口の面積が、 $1 \mu m^2$ 以上 $4 \mu m^2$ 未満であり、第2貫通孔54の開口の面積が、 $4 \mu m^2$ 以上 $7 \mu m^2$ 以下であるように形成される。これにより、空洞部1を形成するリリース工程において、良好なエッティングを行うことができ、かつ貫通孔52, 54を塞ぐ工程において、確実に貫通孔52, 54を塞ぐことができる。20

【0075】

電子装置100の製造方法によれば、被覆構造体30の側面32と第2貫通孔54との間の距離L2が、被覆構造体30の側面32と第1貫通孔52との間の距離L1よりも小さくなるように形成される。これにより、貫通孔52, 54を塞ぐ工程において、被覆構造体30の側面32から発生するガスを効率よく排出することができる。

【0076】

電子装置100の製造方法によれば、第1貫通孔52が、第2電極24の梁部24bの上方を避けて配置されるように形成される。これにより、貫通孔52, 54を塞ぐ工程において、貫通孔52, 54を通して、空洞部1内に第2被覆層58を構成する材料が浸入し、機能素子20の梁部24bに堆積することを防ぐことができる。30

【0077】

3. 電子装置の変形例

次に、本実施形態の変形例に係る電子装置について、図面を参照しながら説明する。図9は、本実施形態の変形例に係る電子装置200を模式的に示す断面図である。図10は、本実施形態の変形例に係る電子装置200を模式的に示す平面図である。なお、図9は図10のIX-IX線断面図である。また、図10では、便宜上、第2被覆層58、包囲壁40、層間絶縁層60, 62、およびパッシベーション層70の図示を省略している。40
以下、本実施形態の変形例に係る電子装置200において、本実施形態に係る電子装置100の構成部材と同様の機能を有する部材については同一の符号を付し、その詳細な説明を省略する。

【0078】

上述した電子装置100の例では、図1および図2に示すように、第2電極24は、1つの第1電極22に対して2つ設けられていた。

【0079】

これに対して、電子装置200では、図9および図10に示すように、第2電極24は、1つの第1電極22に対して1つ設けられている。

【0080】

電子装置 200 によれば、電子装置 100 と同様の作用効果を奏することができる。

【0081】

なお、電子装置 200 の製造方法は、上述した電子装置 100 の製造方法と、1つの第1電極 22 に対して1つの第2電極 24 を設ける点を除いて同様であり、その説明を省略する。

【0082】

4. 発振器

次に、本実施形態に係る発振器について、図面を参照しながら説明する。図11は、本実施形態に係る発振器 400 を示す回路図である。

【0083】

発振器 400 は、図11に示すように、本発明に係る電子装置（例えば電子装置 200 ）と、反転增幅回路 410 と、を含んで構成されている。

【0084】

電子装置 200 は、第1配線層 26 に電気的に接続された第1端子 200a と第2配線層 28 に電気的に接続された第2端子 200b とを有している。電子装置 200 の第1端子 200a は、反転增幅回路 410 の入力端子 410a と少なくとも交流的に接続する。電子装置 200 の第2端子 200b は、反転增幅回路 410 の出力端子 410b と少なくとも交流的に接続する。

【0085】

図示の例では、反転增幅回路 410 は、1つのインバーターから構成されているが、所望の発振条件が満たされるように、複数のインバーター（反転回路）や増幅回路を組み合わせて構成されていてもよい。

【0086】

発振器 400 は、反転增幅回路 410 に対する帰還抵抗を含んで構成されていてもよい。図11に示す例では、インバーター 412 の入力端子と出力端子とが抵抗 420 を介して接続されている。

【0087】

発振器 400 は、反転增幅回路 410 の入力端子 410a と基準電位（接地電位）との間に接続された第1キャパシター 430 と、反転增幅回路 410 の出力端子 410b と基準電位（接地電位）との間に接続された第2キャパシター 432 と、を含んで構成されている。これにより、電子装置 200 とキャパシター 430, 432 とで共振回路を構成する発振回路とすることができます。発振器 400 は、この発振回路で得られた発振信号 f を出力する。

【0088】

発振器 400 を構成するトランジスター等の素子（図示せず）は、例えば、基板 10 上に（図9参照）形成されていてもよい。これにより、電子装置 200 と反増幅回路 410 をモノリシックに形成することができる。

【0089】

発振器 400 を構成するトランジスター等の素子を基板 10 上に形成する場合、発振器 400 を構成するトランジスター等の素子を、上述した電子装置 200 （電子装置 100 ）を形成する工程と同一の工程で形成してもよい。具体的には、犠牲層 23 を形成する工程において（図4参照）、トランジスターのゲート絶縁層を形成してもよい。さらに、第2電極 24 を形成する工程において（図4参照）、トランジスターのゲート電極を形成してもよい。このように、電子装置 200 の製造工程と発振器 400 を構成するトランジスター等の素子の製造工程を共通化することで、製造工程の簡素化を図ることができる。

【0090】

発振器 400 によれば、良好な特性を有する電子装置 200 を含む。そのため、発振器 400 は、良好な特性を有することができる。

【0091】

発振器 400 は、図12に示すように、さらに、分周回路 440 を有していてもよい。

10

20

30

40

50

分周回路 440 は、発振回路の出力信号 V_{out} を分周し、発振信号 f を出力する。これにより、発振器 400 は、例えば、出力信号 V_{out} の周波数よりも低い周波数の出力信号を得ることができる。

【0092】

なお、上述した実施形態及び変形例は一例であって、これらに限定されるわけではない。例えば各実施形態及び各変形例は、複数を適宜組み合わせることが可能である。

【0093】

本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【符号の説明】

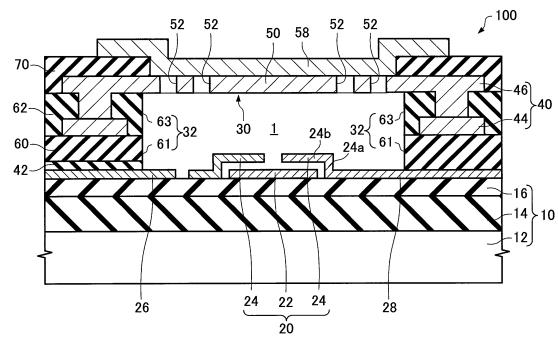
【0094】

1 空洞部、10 基板、12 支持基板、14 第1下地層、16 第2下地層、
20 機能素子、22 第1電極、23 牽牲層、24 第2電極、24a 支持部、
24b 梁部、26 第1配線層、28 第2配線層、29 第3配線層、
30 被覆構造体、32 側面、40 包囲壁、42 酸化シリコン層、
44 第1金属層、46 第2金属層、50 第1被覆層、52 第1貫通孔、
54 第2貫通孔、58 第2被覆層、60 第1層間絶縁層、61 側面、
62 第2層間絶縁層、62a 開口部、63 側面、70 パッシベーション層、
70a 開口部、100, 200 電子装置、200a 第1端子、
200b 第2端子、400 発振器、410 反転增幅回路、410a 入力端子、
410b 出力端子、412, 414, 416 インバーター、
420, 422, 424 抵抗、430 第1キャパシター、
432 第2キャパシター、440 分周回路

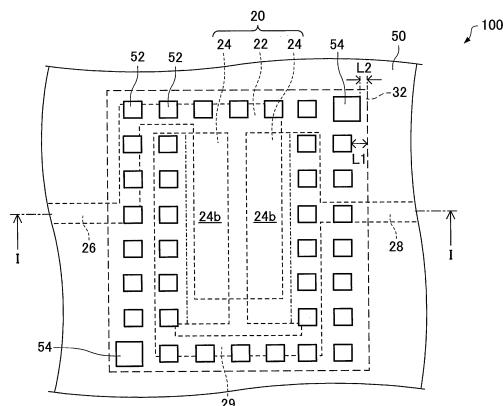
10

20

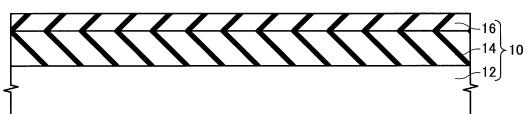
【図1】



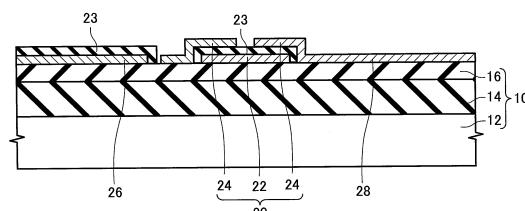
【図2】



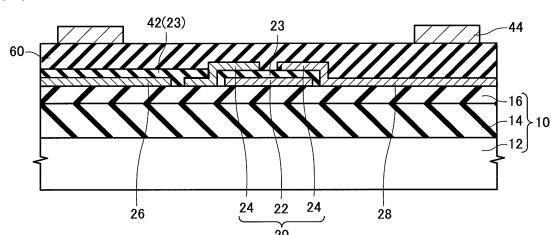
【図3】



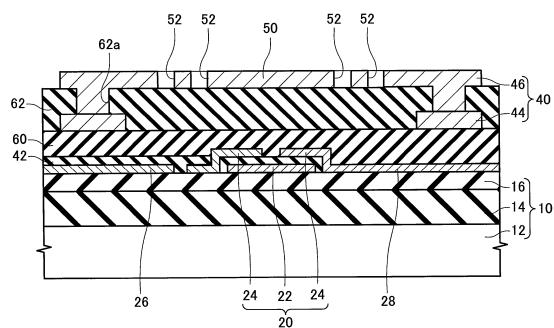
【図4】



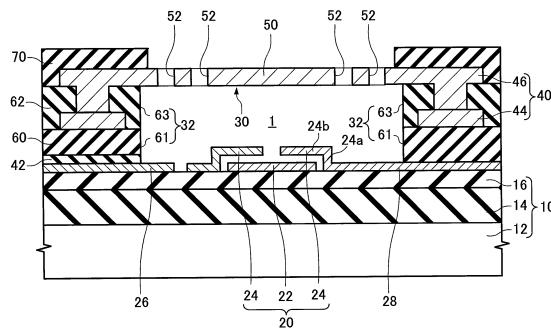
【図5】



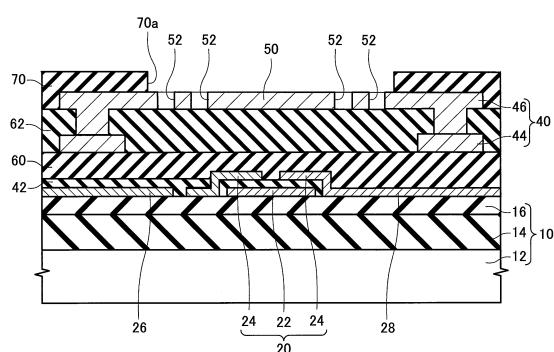
【図6】



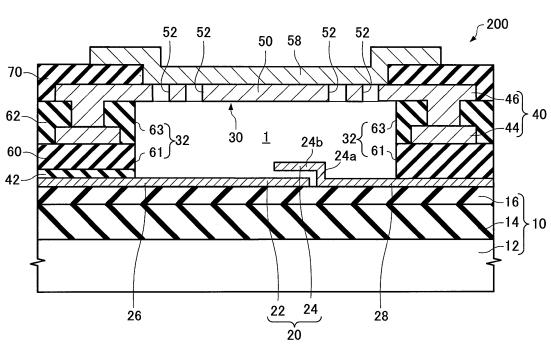
【図8】



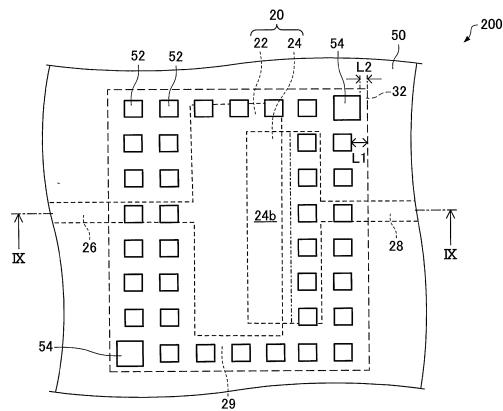
【図7】



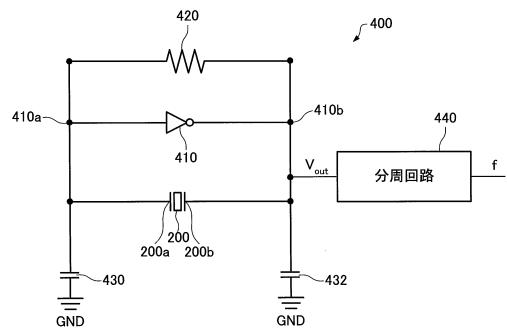
【図9】



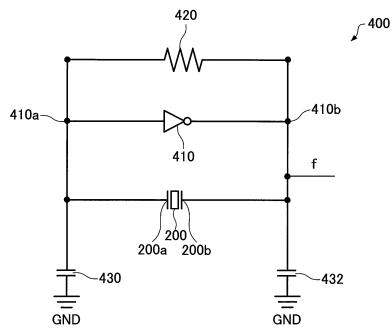
【図10】



【図12】



【図11】



フロントページの続き

(51)Int.Cl. F I
H 03B 5/30 Z

(56)参考文献 特開2006-196655(JP,A)
特開2010-245829(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01L 23/02
B 81B 7/00 - 7/04
H 03B 5/30 - 5/42
H 03H 3/007 - 3/06
H 03H 9/24