

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810084097.3

[51] Int. Cl.

H03K 5/14 (2006.01)

H03K 5/26 (2006.01)

H03M 1/50 (2006.01)

H03L 7/183 (2006.01)

[43] 公开日 2008 年 10 月 1 日

[11] 公开号 CN 101277104A

[22] 申请日 2008.3.26

[21] 申请号 200810084097.3

[30] 优先权

[32] 2007.3.26 [33] US [31] 11/728,442

[71] 申请人 英飞凌科技股份公司

地址 德国新比伯格

[72] 发明人 斯特凡·亨茨勒 西格马尔·克佩  
多米尼克·洛伦茨

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余刚 尚志峰

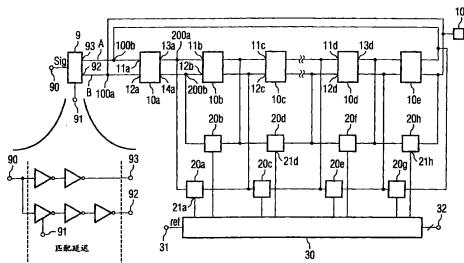
权利要求书 12 页 说明书 21 页 附图 11 页

[54] 发明名称

改进的延时电路及时间数字转换器

[57] 摘要

本发明公开了一种延时电路，该延时电路包括延时线，该延时线包括第一延迟电路和下游连接的至少一个第二延迟电路。插值电路用于产生通过在延迟线中被延迟的连续信号而得到的中间信号。



1. 一种延时电路，包括：

第一延迟线，包括第一延迟电路和连接至其下游的至少一个第二延迟电路；

第二延迟线，包括第三延迟电路和连接至其下游的至少一个第四延迟电路；以及

至少一个第一插值电路，连接在所述第一延迟电路的输出端和所述第四延迟电路的输出端之间，并且被配置为提供通过在所述第一延迟线和所述第二延迟线中被延迟的信号得到的至少一个第一中间信号。

2. 根据权利要求 1 所述的延时电路，其中，所述第一延迟线和所述第二延迟线的延迟电路中的每一个延迟电路都具有信号反相特性。
3. 根据权利要求 1 所述的延时电路，其中，所述第一延迟线和所述第二延迟线的延迟电路包括反相器。
4. 根据权利要求 1 所述的延时电路，其中，所述第一延迟电路和所述第三延迟电路由第一差分放大器形成，以及所述第二延迟电路和所述第四延迟电路由第二差分放大器形成，其中，所述第二差分放大器通过其输入端连接至所述第一差分放大器的各个输出端。
5. 根据权利要求 1 所述的延时电路，其中，所述第一延迟电路和所述第三延迟电路由第一差分反相器形成，以及所述第二延迟电路和所述第四延迟电路由第二差分反相器形成。

6. 根据权利要求 1 所述的延时电路，其中，所述第一延迟线和所述第二延迟线的延迟电路的延迟基本相同。
7. 根据权利要求 1 所述的延时电路，进一步包括：

第二插值电路，连接在所述第二延迟电路的输出端和所述第三延迟电路的输出端之间，并被配置为提供通过在所述第一延迟线和所述第二延迟线中被延迟的信号得到的至少一个中间信号。
8. 根据权利要求 1 所述的延时电路，其中，所述至少一个第一插值电路包括可调电阻元件。
9. 根据权利要求 1 所述的延时电路，其中，所述至少一个第一插值电路包括开关，所述开关被配置为选择性地将所述至少一个第一插值电路连接至所述第一延迟电路和所述第四延迟电路的输出端。
10. 根据权利要求 1 所述的延时电路，其中，所述至少一个第一插值电路包括分压器，所述分压器包括至少两个串联连接的电阻元件及所述电阻元件之间的节点，以提供所述至少一个第一中间信号。
11. 根据权利要求 1 所述的延时电路，其中，所述至少一个第一插值电路包括至少两个串联连接的晶体管及所述晶体管之间的节点，以提供至少一个第一中间信号。
12. 根据权利要求 1 所述的延时电路，其中，所述插值电路包括：

串联连接的第一导电类型的至少两个第一晶体管；  
第一节点，位于所述至少两个第一晶体管之间；

串联连接并与所述至少两个第一晶体管并联安排的第二导电类型的至少两个第二晶体管；以及

第二节点，位于所述至少两个第二晶体管之间，其中，所述第二节点连接至所述第一节点。

13. 根据权利要求 1 所述的延时电路，进一步包括：

转换电路，连接至所述第一延迟线和所述第二延迟线，并被配置为提供第一信号和第二信号，其中，所述第二信号相对于所述第一信号被反相。

14. 根据权利要求 13 所述的延时电路，其中，所述转换单元包括连接至第一反相器链的输入端，所述第一反相器链被配置为提供所述第一信号，以及所述转换单元连接至第二反相器链以提供所述第二信号，其中，所述第一反相器链和所述第二反相器链具有基本相同的延迟时间以及不同数量的反相器。

15. 一种延时电路，包括：

第一延迟电路，被配置为接收第一信号以及提供第一延迟信号；

第二延迟电路，被配置为接收第二信号以及提供第二延迟信号，其中，所述第二信号由所述第一信号得到并相对于所述第一信号被反相；以及

第一插值电路，连接至所述第一延迟电路的输出端以及所述第二延迟电路的输入端，其中，所述插值电路被配置为响应于所述第一延迟信号和所述第二信号来提供至少一个第一中间信号。

16. 根据权利要求 15 所述的延时电路，其中，所述第一延迟电路和所述第二延迟电路都包括反相器。

17. 根据权利要求 15 所述的延时电路，其中，所述第一延迟电路和所述第二延迟电路均包括差分反相器或差分放大器。

18. 根据权利要求 15 所述的延时电路，进一步包括：

第二插值电路，连接在所述第二延迟电路的输出端和所述第一延迟电路的输入端之间，并且所述第二插值电路被配置为响应于所述第一信号和所述第二延迟信号来提供至少一个第二中间信号。

19. 根据权利要求 15 所述的延时电路，其中，所述第一插值电路包括分压器，所述分压器包括串联连接的至少两个电阻元件以及其之间的节点，以提供所述至少一个第一中间信号。

20. 根据权利要求 15 所述的延时电路，进一步包括：

开关，位于所述第一插值电路与所述第一延迟电路之间以及在所述第一插值电路与所述第二延迟电路之间，并且所述开关被配置为响应于控制信号将所述插值电路连接至延迟电路。

21. 根据权利要求 15 所述的延时电路，其中，所述插值电路包括串联连接的至少两个晶体管及其之间的节点，以提供所述至少一个第一中间信号。

22. 根据权利要求 15 所述的延时电路，进一步包括：

转换单元，包括连接至所述第一延迟电路的第一反相器链和连接至所述第二延迟电路的第二反相器链，其中，所述第一反相器链和所述第二反相器链均具有基本相同的延迟时间以及不同数量的反相器。

23. 根据权利要求 15 所述的延时电路，包括：

串联连接的多个第一延迟电路；

串联连接的多个第二延迟电路；以及

多个插值电路，被配置为提供中间信号，其中，所述多个插值电路中的每一个均连接在所述多个第一延迟电路中的第一延迟电路的输出端与所述多个第二延迟电路中的第二延迟电路的输入端之间。

24. 一种延时电路，包括：

串联连接的多个延迟电路；

至少一个第一插值电路，连接至所述多个延迟电路的第一延迟电路的输出端，以及连接至所述多个延迟电路的第二延迟电路的输出端，其中，所述第一延迟电路和所述第二延迟电路各自的输出端处的信号均具有静态相同的逻辑电平，以及其中，所述插值电路被配置为提供通过在所述第一延迟电路和所述第二延迟电路各自的输出端处的信号得到的至少一个第一中间信号。

25. 根据权利要求 24 所述的延时电路，其中，所述多个延迟电路中的每一个均具有反相信号特性。

26. 根据权利要求 24 所述的延时电路，其中，所述插值电路包括具有至少两个电阻元件的分压器。

27. 根据权利要求 26 所述的延时电路，其中，所述至少两个电阻元件中的至少一个包括可调电阻器网络。

28. 根据权利要求 24 所述的延时电路，其中，所述至少一个第一插值电路包括开关，所述开关被配置为选择性地将所述至少一

一个第一插值电路连接至所述第一延迟电路的输出端和所述第二延迟电路的输出端。

29. 根据权利要求 24 所述的延时电路，其中，所述延迟电路中的每一个均包括反相器，所述反相器被配置为提供反相延迟信号。

30. 一种延时电路，包括：

至少一个第一延迟电路，被配置为接收第一信号并提供第一延迟信号；

至少一个第二延迟电路，被配置为接收第二信号并提供第二延迟信号，其中，所述第二信号从所述第一信号得到，并相对于所述第一信号被延迟了延迟时间；以及

至少一个第一插值电路，连接至所述至少一个第一延迟电路的输出端和所述至少一个第二延迟电路的输出端，其中，所述插值电路被配置为响应于所述第一延迟信号和所述第二延迟信号来提供至少一个第一中间信号。

31. 根据权利要求 30 所述的延时电路，其中，所述第一延迟电路和所述第二延迟电路均包括与所述第二信号的时间延迟相似或基本相等的时间延迟。

32. 根据权利要求 30 所述的延时电路，其中，所述第一延迟电路和所述第二延迟电路均包括反相器。

33. 根据权利要求 30 所述的延时电路，其中，所述第一延迟电路和所述第二延迟电路均包括差分反相器或差分放大器。

34. 根据权利要求 30 所述的延时电路，进一步包括：

串联连接的多个第一延迟电路；

串联连接的多个第二延迟电路；以及

多个插值电路，连接在所述多个第一延迟电路中的第一延迟电路的输出端和所述多个第二延迟电路中的第二延迟电路的输出端之间，并被配置为响应于所述第一延迟信号和所述第二延迟信号来提供多个中间信号。

35. 根据权利要求 30 所述的延时电路，其中，所述插值电路包括分压器，所述分压器包括串联连接的至少两个电阻元件及其之间的节点，以提供所述至少一个第一中间信号。

36. 根据权利要求 30 所述的延时电路，其中，所述插值电路包括串联连接的至少两个晶体管及其之间的节点，以提供所述至少一个第一中间信号。

37. 一种时间数字转换器，包括：

串联连接的多个延迟电路，其中，所述多个延迟电路中的每一个均具有反相信号特性；

多个锁存器，其中，每个锁存器均连接至所述多个延迟电路中的一个延迟电路，并被配置为响应于基准信号来提供各个位值；

至少一个第一插值电路，连接至所述多个延迟电路的第一延迟电路的输出端并连接至所述多个延迟电路的第二延迟电路的输出端，其中，所述第一延迟电路和所述第二延迟电路各自的输出端处的信号均具有基本相同的静态但是延迟的逻辑电平，其中，所述插值电路被配置为提供通过所述第一延迟

电路和所述第二延迟电路各自的输出端处的信号得到的至少一个第一中间信号；以及

锁存器，连接至所述至少一个第一插值电路，并被配置为响应于基准信号来提供通过所述至少一个第一中间信号得到的中间位值。

38. 根据权利要求 37 所述的时间数字转换器，其中，所述插值电路包括分压器，所述分压器包括至少两个电阻元件。
39. 根据权利要求 37 所述的时间数字转换器，其中，所述多个延迟电路中的每一个均包括反相器，所述反相器被配置为提供反相延迟信号。
40. 根据权利要求 37 所述的时间数字转换器，进一步包括开关装置，所述开关装置设置在所述至少一个第一插值电路与所述第一延迟电路之间以及在所述至少一个第一插值电路与所述第二延迟电路之间，且所述开关装置被配置为响应于控制信号将所述至少一个第一插值电路连接至延迟电路。
41. 一种时间数字转换器，包括：

延迟电路，用于提供具有时钟沿的多个信号，其中，所述多个信号彼此互补，所述延迟电路包括第一延迟电路对以及连接至所述第一延迟电路对下游的至少一个第二延迟电路对；

插值电路，被安排在所述第一延迟电路对的输出端与所述第二延迟电路对的输出端之间，并被配置为提供至少一个第一延迟中间信号，其中，所述延迟中间信号通过延迟信号的时钟沿得到；以及

锁存电路，连接至所述第一延迟电路对的输出端和所述第二延迟电路对的输出端，并连接至所述插值电路。

42. 根据权利要求 41 所述的时间数字转换器，其中，所述插值电路通过第一端连接至所述第一延迟电路对的第一延迟电路的输出端，以及通过第二端连接至所述第二延迟电路对的第二延迟电路的输出端。
43. 根据权利要求 41 所述的时间数字转换器，其中，所述插值电路响应于控制信号选择性地连接至各个输出端。
44. 根据权利要求 41 所述的时间数字转换器，其中，所述插值电路包括分压器电路，所述分压器电路包括串联连接的至少两个电阻元件及其之间的节点，以提供所述至少一个第一延迟中间信号。
45. 根据权利要求 41 所述的时间数字转换器，其中，所述插值电路包括串联连接的至少两个晶体管及其之间的节点，以提供所述至少一个第一中间信号。
46. 根据权利要求 41 所述的时间数字转换器，其中，所述第一延迟电路对包括第一反相器和第二反相器。
47. 根据权利要求 41 所述的时间数字转换器，其中，所述第一延迟电路对包括第一差分反相器，以及所述第二延迟电路对包括第二差分反相器。
48. 根据权利要求 41 所述的时间数字转换器，其中，所述第一延迟电路对包括第一差分放大器，以及所述第二延迟电路对包括第二差分放大器，其中，所述第二差分放大器通过其输入端连接至所述第一差分放大器的各个输出端。

49. 根据权利要求 41 所述的时间数字转换器，其中，所述第一延迟电路对的延迟电路和所述第二延迟电路对的延迟电路具有相同的延迟。
50. 根据权利要求 41 所述的时间数字转换器，其中，各个所述锁存电路均包括触发器电路，以响应于基准信号在其各个输出端处提供通过其各个数据输入端处的信号得到的位值。
51. 一种时间数字转换器，包括：

至少一个第一延迟电路，被配置为接收第一信号并提供第一延迟信号；

至少一个第二延迟电路，被配置为接收第二信号并提供第二延迟信号，其中，所述第二信号从所述第一信号得到并相对于所述第一信号被反相；

至少一个第一插值电路，连接至所述第一延迟电路的输出端以及所述第二延迟电路的输入端，其中，所述插值电路被配置为响应于所述第一延迟信号和所述第二信号来提供至少一个第一中间信号；

第一锁存电路，连接至所述第一延迟电路和所述第二延迟电路之一，并被配置为响应于基准信号来提供第一位值；以及

第二锁存电路，连接至所述第一插值电路，并被配置为响应于所述基准信号来提供从所述中间信号得到的中间位值。

52. 根据权利要求 51 所述的时间数字转换器，其中，所述至少一个第一延迟电路包括串联连接的多个第一延迟电路，所述至少一个第二延迟电路包括串联连接的多个第二延迟电路，以及所述至少一个第一插值电路包括被配置为提供中间信号的多个

插值电路，其中，所述多个插值电路中的每一个都连接在所述多个第一延迟电路中的相应的一个第一延迟电路的输出端，和所述多个第二延迟电路中的相应的一个第二延迟电路的输入端之间。

53. 根据权利要求 51 所述的时间数字转换器，其中，所述第一延迟电路和所述第二延迟电路均包括反相器。
54. 根据权利要求 51 所述的时间数字转换器，其中，所述第一延迟电路和所述第二延迟电路中的每一个均包括差分反相器或差分放大器。
55. 根据权利要求 51 所述的时间数字转换器，其中，所述插值电路包括分压器，所述分压器包括串联连接的至少两个电阻元件及其之间的节点，以提供所述至少一个第一中间信号。
56. 根据权利要求 55 所述的时间数字转换器，其中，所述至少两个电阻元件中的至少一个包括可调电阻元件。
57. 根据权利要求 51 所述的时间数字转换器，其中，所述插值电路包括串联连接的至少两个晶体管及其之间的节点，以提供所述至少一个第一中间信号。
58. 根据权利要求 51 所述的时间数字转换器，进一步包括开关装置，所述开关装置具有安排在所述至少一个第一插值电路与所述第一延迟电路的输出端之间以及在所述至少一个第一插值电路与所述第二延迟电路的输入端之间的控制输入端。

59. 根据权利要求 51 所述的时间数字转换器，进一步包括：

转换单元，包括连接至所述第一延迟电路的第一反相器链和连接至所述第二延迟电路的第二反相器链，其中，所述第一反相器链和所述第二反相器链中的每一个均具有基本相同的延迟时间以及不同数量的反相器。

60. 根据权利要求 51 所述的时间数字转换器，其中，所述第一锁存电路和所述第二锁存电路中的每一个均包括触发器电路。

61. 一种插值方法，包括：

提供具有时钟沿的第一信号；

产生从所述第一信号得到的第二信号，其中，所述第二信号相对于所述第一信号被反相；

使所述第一信号和所述第二信号延迟一个延迟时间或多个所述延迟时间；以及

使用所述第一信号和被延迟的第二信号的从第一信号电平到第二信号电平的转变来产生至少一个第一中间信号。

## 改进的延时电路及时间数字转换器

### 技术领域

本发明涉及延时电路及时间数字转换器。

### 背景技术

在电子仪表和信号处理中，时间数字转换器（缩写为 TDC）是用于将不规则或周期脉冲转换为它们的时间索引的数字表示。

### 附图说明

下面将参照附图通过示例性实施例来详细描述本发明，附图中：

图 1 示出了时间数字转换器的第一实施例；

图 2A 示出了延时电路的第一实施例的一部分；

图 2B 示出了延时电路的第二实施例的一部分；

图 3 示出了延时电路的第三实施例的一部分；

图 4 示出了延时电路的第四实施例的一部分；

图 5 是示出根据图 4 的实施例的相对于基准信号的输出信号的时序图；

图 6A 示出了示出延迟信号从低电平到高电平的转变的第一信号-时间示意图；

图 6B 示出了示出延迟信号从低电平到高电平的转变的第二信号-时间示意图；

图 7A 和图 7B 示出了插值电路的第一和第二实施例；

图 8 示出了插值电路的第三实施例；

图 9 示出了插值电路的第四实施例；

图 10 示出了插值电路的第五实施例；

图 11 示出了延时电路的实施例；

图 12 示出了具有时间数字转换器的锁相环；

图 13 示出了时间数字转换器的实施例；

图 14 示出了根据图 13 的时间数字转换器中的相对于时间的不同信号；

图 15 示出了时间数字转换器的第五实施例的一部分；以及

图 16 是示出用于时间数字转换器的方法的实施例的流程图。

## 具体实施方式

在以下的描述中，披露了本发明的其他方面和实施例。此外参考构成本文一部分、并在其中示出了可以实现本发明的方式的附图。附图的实施例进行了详述以提供对本发明的一个或多个方面的

更好理解。这些实施例中的一些可以包括不同装置的通用元件。这样的实施例将使不同的方面直观化，以加深对本发明的理解。本公司不是旨在将本发明的特征或主要元件限于具体实施例。相反，本领域的技术人员可以以不同的方式对所呈现的实施例中披露的不同元件、方面和特征进行相互结合或替换，以实现本发明的一个或多个优点。此外，本领域的技术人员可以使用变体或其他的装置来实现要求保护的主题。因此，应该理解，在不背离本发明的范围的情况下，可以使用其他的实施例，并且可以进行结构上的或逻辑上的改变。附图中的元件无需彼此相对地成比例。为了说明的目的，对元件的命名可以不同。当然，这些元件并不限于在此示出的实施例。相同的参考标号对应于类似的部件。

时间数字转换器是可以被用于将两个事件之间的脉宽或时间差转换成数字值的数字电路。该时间差可以通过两个信号相互比较而得到。例如，如果两个信号都包括上升沿和下降沿，则可以测量第一信号和第二信号的两个连续沿之间的差并将其转换成数字值。

图 13 示出了时间数字转换器以及将被转换的信号 cko 的实施例的图示。该转换器包括具有串联连接的多个单独信号延迟电路的延时电路。该实施例中的这些单独信号延迟电路中的每一个均包括反相器电路。这些反相器电路中的每一个都使信号 cko 延迟被称为级延迟时间的特定时间量。这些反相器的级延迟时间取决于多种设计具体参数，例如反相器中使用的晶体管栅极的尺寸。每个延迟电路的输出端都连接至各自的锁存电路 d，锁存电路根据基准信号 ref 进行计时和采样。因此，这些锁存电路由基准信号 ref 触发，并且对在延时电路中的每个反相器的输出端处的信号进行采样。输出值 s(0)到 s(n)表示对应于信号 cko 的时钟沿相对于基准信号 ref 的连续沿之间的时间差的数字值的不同位。

图 14 是示出了将被转换的信号 cko 随时间而变化的结果以及对应于 9 位数字值 s(0:8)的延迟采样信号 d(1)至 d(8)的结果。第一延迟信号 d(1)对应于第一信号 cko 并被延迟特定时间  $t_D$ 。时间  $t_D$  由根据图 13 的延时电路的第一延迟电路的级延迟时间给定。当信号 cko 通过延时电路的多个延迟电路时，对由每个反相器中的级延迟时间  $t_D$  形成的总延迟进行累加。当由基准信号 ref 对延迟信号 cko 进行采样时，响应于信号 cko 的脉宽，一些锁存器包括逻辑高值，而其他锁存器包括逻辑低电平。在该实例中，锁存器 d(3)至 d(6)包括高值“1”，而其他锁存器 d(1)、d(2)和 d(7)、d(8)处于低电平“0”。因此，数字 9 位值 s(0:8)表示信号 cko 的脉宽。同样，也可以获得将被测量的信号的连续沿和基准信号之间的时间差。

然而，信号延迟电路的级延迟时间确定了关于基准信号的最大分辨率。通过减少分级延迟，可以提高分辨率。然而，似乎存在着由设计具体参数和技术限制所造成的如图 13 所示的反相器电路的最小级延迟时间。

为了在转换基于时间的信号时增加分辨率，图 1 示出了使用内插技术的时间数字转换器的实施例。在此所示的时间数字转换器包括具有第一延迟线 A 和第二延迟线 B 的延时电路。在延迟线 A 和 B 的每一个中，信号被传送通过多个延迟电路 10a 到 10e，为了说明的目的，只示出了这些延迟电路中的一些。第一和第二延迟线 A 和 B 中的两路信号均从输入端 90 处的单个信号 sig 得到。输入端 90 连接至转换单元 9，转换单元在端子 93 处提供第一延迟线上的第一信号，以及在端子 92 处提供第二延迟线上的相对于第一信号的反相信号。两路信号都由端子 90 处的信号 sig 得到。当然，转换单元 9 本身也可以产生两路互补的信号。例如，转换单元 9 可以包括差分振荡器，该差分振荡器提供第一时钟信号，以及相对于第一时钟信号被反相并且实质上与其同步的第二时钟信号。在该实施例

中，转换单元以最小化互补信号 **92** 和 **93** 的时滞（skew）的方式来实现。

端子 **92** 上的反相信号可以相对于第一非反相信号同步，这形成从低电平到高电平以及从高电平到低电平的基本相等的转变。为此，转换电路 **9** 包括经由具有两个反相器的第一链连接至输入端 **90** 的输出端 **93**，以及连接至具有三个反相器的第二链的第二输出端 **92**。所有的反相器都可以包括用于接收复位信号的复位端子 **91**。经由端子 **92** 连接至第二延迟线 **B** 的反相器链使输入端 **90** 处的信号延迟特定延迟时间并将信号的电平反相。相对于施加在端 **90** 处的信号 sig，连接至用于延迟线 **A** 的端 **93** 的第一反相器链不对该信号进行反相。然而，它也使该信号延迟。第一链的延迟时间被选择为基本等于第二链的延迟时间。这可以例如通过对两个链使用不同的反相器参数和/或不同制造技术来实现。例如，与第二链的晶体管的栅极相比，第一反相器链的晶体管的栅极在尺寸上可以不同。此外，掺杂材料和/或浓度也可以不同。

因此，连接至第二延迟线 **B** 的端子 **92** 处的信号被反相，但是相对于连接至第一延迟线的端子 **93** 处的信号，其具有基本相同的延迟。两个反相器链的反相器的延迟都可以在延迟电路 **10a** 到 **10e** 的级延迟的范围内，但是还可以包括不同的值。此外，每个链中的反相器的数量可以不同。

具有第一和第二延迟线 **A** 和 **B** 的延时电路还包括闭合回路，在该闭合回路中，最后一个延迟电路 **10e** 的输出端子连接至转换电路 **9** 和第一延迟电路 **10a** 之间的各个节点 **100a**、**100b**。这些节点可以包括多路复用器或其他耦合元件。计数器 **10f** 连接至这些延迟线中之一，用于对延迟信号的全循环进行计数。由于反馈路径和通过延迟线的反复转变，该实施例可以减少延迟链中的延迟元件的总数。

量。延迟线还可以包括串联连接而没有反馈的多个其他延迟元件。因此，在这样的实施例中，可以无需计数器 **10f**。

尽管此处仅示出了用于该实施例中的延时电路的五个延迟电路 **10a** 至 **10e**，但是可以使用多个延迟电路。延迟电路 **10a** 至 **10e** 中的每一个都包括第一输入端 **11a** 和第二输入端 **12a**。输入端 **11a** 和 **12a** 分别连接至各自延迟电路中的延迟元件，这两路延迟元件具有基本相同的级延迟。延迟级 **10a** 至 **10e** 中的每一个的延迟元件还对施加至其输入端之一的信号的电平进行反相，并在其输出端处提供反相信号。因此，输入端之一处的信号被提供为相应输出端处的反相信号。此外，延迟元件的级延迟可以基本相等并且也处于转换单元 **9** 的反相器的级延迟的范围内。在输出端 **13a** 和 **14a** 处分别提供第一延迟线 A 和第二延迟线 B 的被延迟和反相的信号。输出端 **13a** 和 **14a** 连接至下游连接的其他延迟电路的输入端。

在该实施例中，第一延迟电路 **10a** 的输出端连接至第二延迟电路 **10b** 的输入端 **11b**、**12b**。第二延迟电路 **10b** 还包括具有基本相等的级延迟的延迟和反相器元件，并且还具有与第一延迟电路 **10a** 的延迟元件相同的级延迟。第二延迟电路 **10b** 的输出连接至第三延迟和反相电路 **10c**，该第三延迟和反相电路上游依次连接至第四延迟电路 **10d** 等。

连接至各个插值电路 **20a** 至 **20h** 的节点被安排在两个连续延迟电路之间。例如，连接在输出端子 **13a** 和输入端子 **11b** 之间的第一延迟线 A 上的节点 **200a** 连接至第一插值电路 **20a**。设置在第二延迟线 B 中的第一延迟电路 **10a** 的端子 **14a** 与第二延迟电路 **10b** 的端子 **12b** 之间的节点 **200b** 连接至第二插值电路 **20b**。第一插值电路 **20a** 的输出连接至在延迟线 B 中的第二延迟电路 **10b** 的输出。进一步地，第二插值电路 **20b** 的输出连接至在延迟线 A 中的第二延迟电路 **10b** 的输出端。换言之，插值电路 **20a** 和 **20b** 通过它们的输入端

子连接至延迟线 A 和 B 之一，并通过它们的输出端子连接至各自的另外一条延迟线 B、A。

此外，还提供了其他的插值电路 **20c** 至 **20h**。插值电路 **20c** 和 **20d** 通过其输入端子分别连接至延迟线 B 和 A，并且还连接至插值电路 **20a** 和 **20b** 的输出端子。插值电路 **20c** 和 **20d** 的输出端子依次在各自的另一延迟线处连接至延迟电路 **10c** 的输出端子。

特别地，插值电路 **20d** 通过其输入端子连接至延迟线 A 的输入端子 **11c**，并通过其输出端子连接至在延迟线 B 上的延迟电路 **10c** 的输出端。插值电路 **20c** 连接至插值电路 **20a** 和 **20e**，并连接至在延迟线 B 中的延迟电路 **10c** 的输入端子 **12c**，以及连接至在延迟线 A 中的延迟电路 **10c** 的输出端子。

其他的插值电路 **20e**、**20f** 和 **20g**、**20h** 以相同的方式连接至延迟电路 **10d**、**10e** 之间的各延迟线 A、B。

插值电路在延迟电路的输入端子和输出端子之间的互连保证了将被施加至插值电路 **20a** 至 **20h** 的信号的相同逻辑电平和/或转变。换言之，节点 **200a** 处的信号的下降沿被反相并被提供至在延迟线 A 中的电路 **10b** 的输出处。在节点 **200b** 处，施加了上升沿。因此，分别具有上升沿或下降沿的两路信号被施加至插值电路 **20b**。如果延迟电路不对施加至其输入的信号进行反相，则插值电路可以连接至延迟线之一。

当将信号 **sig** 施加在输入端 **90** 时，该信号被反相并被施加至信号线 B 的输出端子 **92** 处。非反相信号被提供在延迟线 A 的端子 **93** 处。这两路信号基本同步并传送通过延时电路以及通过延迟电路 **10a** 至 **10e**。由于延迟电路 **10a** 至 **10e** 的延迟，它们还包括一个级延时单元的时间差。例如，如果在延迟线 B 中的延迟电路 **10c** 的输入

端子 **12c** 处提供具有上升沿的信号，在延迟线 A 中的延迟电路 **10c** 的输出端子处也施加上升沿。

插值电路 **20a** 至 **20h** 基于延迟线 A 和延迟线 B 上的信号之间的模拟插值产生多个中间信号，其中，多个中间信号之间具有时间差和一个级延迟单元的延迟。为此，它们使用延迟线 A 和 B 中的信号从低电平到高电平以及反之的转变过程中的上升时间或下降时间。插值电路 **20a** 至 **20h** 可以产生通过延迟线 A 和 B 中的信号的电平直接得到的输出信号，并且还通过第一和第二延迟线 A 和 B 中的延迟的连续信号得到至少一个中间信号。这些中间信号还可以通过延迟线 A 和 B 中的延迟信号的时钟沿得到。内插的结果提供在端子 **21a** 至 **21h** 处。

图 1 的实施例示出的延时电路可以连接至评估电路 **30**，该电路可以包括连接至输出端子 **21a** 至 **21h** 之一的锁存电路。评估电路 **30** 还可以包括多个锁存电路，它们中的每一个都连接至多个插值电路各自的输出端。如果插值电路的输出端子提供的不是单个位而是多位的信号，即如果提供了输出信号和中间信号的情况，则这样的多位信号的每一位都被提供至锁存电路。

评估电路 **30** 的锁存电路还在输入端子 **31** 处连接至基准信号 **ref**。锁存电路响应于基准信号 **ref** 对其输入端的值进行采样，从而产生在输出端子 **32** 处所提供的并对应于基准信号 **ref** 和信号 **sig** 之间的时间差的数字数据字。

电路 **20a** 至 **20h** 中的插值根据电路 **20a** 至 **20h** 中的模拟插值的电平来增加时间数字转换的分辨率。尽管在该实施例中，延迟电路 **10a** 至 **10e** 中的每一个的输出端都连接至相应插值电路各自的输入端子，但是插值电路和延迟电路的其他组合也是可以的。例如，只有一些延迟电路可以通过其输出连接至相应的插值电路。这可以导

致根据连接至延时电路的插值电路的位置而改变分辨率。可替换地，电路 **20a** 至 **20h** 中的插值电平可以改变。例如，一些插值电路可以达到更精确的比例插值 (scaled interpolation)，这导致该区域的较高分辨率，而其他插值电路可以包括较低级的插值。

图 2A 示出了包括第一延迟线 A 和第二延迟线 B 的延时电路的实施例的一部分。延迟线 A 和 B 中的每一个都包括串联连接的多个反相器 **15a** 至 **15h** 以及 **16a** 至 **16h**。第一和第二延迟线 A 和 B 中的最后一个反相器 **15h**、**16h** 的输出端子可以连接至其他此处未示出的反相器，也可以在反馈环路中循环返回。在该实施例中，反相器 **15a** 至 **16h** 中的每一个都可以包括产生限定的级延迟时间的特定级延迟。每条延迟线中的反相器的延迟时间可以相等或至少彼此非常相似。当然，由于在制造延时电路的过程中的工艺变化和其他外部参数，可能静态地引入延时内的一些变化。可能还会出现像例如电源电压波动的动态变化。

然而，这些反相器的级延迟时间可以在每个反相器的下降或上升时间的范围内。因此，第一信号的上升沿与延迟了一个级延迟的第二信号的上升沿有重叠。

在根据图 2A 的实施例中，施加至第一和第二延迟线 A 和 B 的信号 D 和 DN 基本彼此同步。信号边或沿的转变可以基本同时出现。当传送通过各延迟线 A 和 B 的延时电路时，具有相同逻辑电平或相同转变方向（从低到高或相反）的信号彼此具有一个级延迟的时间差。例如，延迟线 B 中的第一反相器 **16a** 的输出端 **14a** 处的信号可以对应于延迟线 A 处的第二反相器 **15b** 的输出信号。由于信号 DN 中引入的反相，延迟线 A 的反相器 **15d** 的输出端处的信号可以对应于延迟线 B 的节点 **200f** 处的信号。

延迟线 A 中的反相器 15a 至 15h 以及延迟线 B 的反相器 16a 至 16h 的输出端中的每一个都分别连接至输出节点端 21a 至 21o 以及 21b 至 21p。这些输出端是各插值电路 20a 至 20n 的一部分。每个插值电路还包括连接在各延迟线中的各反相器 15a 至 15h 以及 16a 至 16h 的输出端和下流连接的反相器的输入端之间的节点 200a 至 200n。这些插值电路分别包括插值元件 24a 至 24m 以及 23b 至 23n。这些插值元件设置在两条延迟线 A 和 B 之一中的反相器的输入端和对应另一延迟线的相应反相器的输出端之间。例如，电路 20a 的插值元件 24a 连接至延迟线 A 中的节点 200a，该节点还是反相器 15b 的输入端，以及电路 20a 的插值元件 24a 还连接至在延迟线 B 的反相器 16b 的输出端处的节点 200d。相应地，插值元件 23b 连接在延迟线 B 中的节点 200b 和延迟线 A 的节点 200c 之间。

换言之，根据图 2A 的延时电路的实施例包括用于提供具有时钟沿的延迟信号的延迟电路，该延迟电路具有第一延迟线电路对（例如，反相器 15a、16a）以及下游连接的至少一个第二延迟线电路对（例如，反相器 15b、16b）。延迟线电路对中的第一个被安排在第一延迟线 A 中，而另一个被安排在第二延迟线 B 中。具有插值元件 24a 或 23b 的插值电路 20a、20b 交叉连接在第一延迟线电路对的输出端子和所述的至少一个第二延迟线电路对的输出端子之间。

插值电路通过模拟插值来产生中间信号，并将它们提供至其相应的输出端 21'a 至 21'm。为此，它们在延迟线 A 和 B 中的各自的信号从低电平到高电平（或相反）的转变过程中使用上升或下降时间。

图 6A 示出了包括中间信号的电压信号随时间变化的曲线图。第一信号 VS1 从电压  $V_1$  的低电平到电压  $V_2$  的高电平的转变对应于逻辑“0”到逻辑“1”的转变。上升或下降边或沿的斜率取决于电

路元件的设计。还取决于所使用的技术、制造工艺和其他外部参数。在该非限制实施例中，上升时间稍大于级延迟  $t_D$ 。下降时间可以在相同的范围内。上升和下降时间还可以稍小于级延迟。然而，这会导致插值信号的平坦转变区域，这会增加采样锁存器中的一些亚稳定性风险。

相对于第一信号 VS1 延迟了一个级延迟时间的第二信号 VS2 显示了相似的上升状态，但是具有级延迟时间  $t_D$  的时间偏移。如果上升时间在级延迟时间的范围内，则在延迟了级延迟  $t_D$  的信号 VS2 开始分别上升或下降时，第一信号 VS1 仍然上升或下降。从图 6A 中可以看出这种状态，其中，第一信号 VS1 仍然上升，同时延迟信号 VS2 也开始上升。

使用模拟插值技术产生至少一个附加信号，在根据图 6 的实施例中，该附加信号大致位于第一和第二信号 VS1 和 VS2 的正中间。在另一个实施例中，可以使用其他的插值技术产生附加的中间信号。不仅对第一和延迟的第二信号进行采样，而且对中间信号进行采样形成附加信息并增加整体的分辨率。

为了产生中间信号，图 7A 示出了插值电路的实施例，该插值电路可以选择性地连接至各延迟电路的输出端。根据图 7A 的实施例包括具有串联连接在两个开关晶体管 C1 和 C2 之间的可调电阻器 R1 和 R2 的无源分压器电路。开关晶体管 C1、C2 分别连接至端子 TV1 和 TV2。控制信号 Ctrl 可以被施加至用于将电阻器与相应的延迟路径相连接的晶体管的栅极。通过开关晶体管，可以选择性地使插值电路激活或无效。例如，如果不需要较高的分辨率，则可以使插值电路无效以减少总的功耗。两个可调电阻器 R1、R2 之间的节点连接至输出端以提供中间信号 Q。两个电阻器 R1、R2 的电阻值可以相等，以保证中间信号位于信号 V1 和信号 V2 的正中间。可以使用不同的电阻值，例如，来补偿像第一和第二延迟线中的延迟

电路的不同的缓冲器延迟的不同影响。该调整使得后续补偿温度影响或工艺变化成为可能。此外，由连接至插值器的输出端的寄生电容引起的有限时间常数也可以被补偿。

图 7B 示出了包括串联连接在开关 C1'和 C2'之间的四个电阻器 R1 至 R4 的分压器的另一个实施例。开关 C1'和 C2'将四个电阻器与 TV1 和 TV2 的输入端连接。如果开关 C1'和 C2'都闭合，则插值电路总共产生三个中间信号。如果电阻器 R1 至 R4 包括相同或相似的值，则这些信号被相等地安排在第一信号 V1 的级延迟时间  $t_D$  和第二信号 V2 之间。这些中间信号的逻辑电平提供附加信息和精确比例时间分辨率。因此，插值电路在两个连续信号的信号转变之间产生中间信号增加了时间分辨率。附加的中间信号仍然基于延迟信号并由延迟时间得到，其相对地对制造过程中的变化不敏感。

图 6B 示出了用于信号 VS1 和 VS2 以及通过根据图 7B 的插值电路产生的中间信号的上升信号从电压  $V_1$  到电压  $V_2$  的转变。通过使用用于插值电路的具有电阻器的无源分压器，可以根据额外产生的中间信号的数量显著增加时间测量的分辨率。

在前述实施例中，一条延迟线中的延迟元件的输出端连接至另一条线中的相应延迟元件的输入端。图 2B 示出了另一个实施例，其中，插值电路被安排在各个延迟线中的相应的延迟元件的输出端上。由虚线区域表示的延时电路包括第一延迟线 A 和第二延迟线 B，其中的每一条都具有串联连接的多个延迟元件 150。第一和第二延迟线 A 和 B 连接至转换单元 9a，转换单元在第一输出端子 93 处提供第一信号。第二输出信号被提供在端子 92 处。如图 2B 所示，相对于第一信号，第二输出信号具有延迟，其可以在每条线 A、B 中的延迟元件 150 之一的延迟时间的范围内。

每条延迟线的延迟元件 **150** 可以具有或不具有反相属性，并且可以被实现为反相器。它们中的每一个仍都在其各自的输入端使信号延迟，并提供延迟的输出信号。因此，延迟元件的输出端处的信号具有相同的逻辑电平和/或相同的转变方向。插值电路 **160a** 至 **160d** 连接至延迟线元件的相应输出端。插值电路提供一个或多个信号，这些信号被施加至各个数据锁存器 **30'**。响应于时钟信号 ref 对这些锁存器进行读取。

图 8 示出了插值电路的可选实施例。该电路包括逐个串联连接在开关晶体管 C1 和 C2 之间的多个 P 型场效应晶体管 pt1 至 pt4。这些开关晶体管连接至端子 TV1 和 TV2。在这些开关晶体管的栅极处可以施加控制信号以选择性地使插值电路激活或无效。P 型晶体管 pt1 至 pt4 的栅极端子连接至基准电位 V1。基准电位可以是接地基准  $V_{SS}$ ，还可以稍低于  $V_{SS}$ 。第一 p 型晶体管 pt1 的衬底端子也与端子 TV1 连接，而其他晶体管 pt2 至 pt4 的衬底端子与两个相邻连接的晶体管之间的输出节点连接。此外，n 型晶体管 nt1 至 nt4 的第二串联电路与 p 型晶体管 pt1 至 pt4 并联连接。这些 n 型晶体管的栅极端子连接至高电位 V2。电位 V2 可以是电源电位  $V_{DD}$ ，还可以高于电源电位。第四晶体管 nt4 的衬底端子连接至端子 TV2。其他 n 型晶体管的衬底端子连接至两个相邻的 n 型晶体管之间的各节点。两个 n 型或 p 型晶体管之间的这些节点连接至输出端以提供数字数据字 Q。

图 9 示出了插值电路的另一个实施例。插值电路包括其中都串联连接在端子 TV1 和 TV2 之间的四个 n 型晶体管 nt1 至 nt4 和四个 p 型晶体管 pt1 至 pt4 的并联电路。第一 n 型晶体管 nt1 的栅极端子以及第一 p 型晶体管 pt1 的衬底端子均连接至第一端子 TV1，而最后一个 p 型晶体管 pt4 的栅极端子和晶体管 nt4 的衬底端子均连接至端子 TV2。两个 p 型和 n 型晶体管之间的节点连接至输出端子，

并连接至相应的晶体管 rt1 至 rt3。这些晶体管 rt1 至 rt3 可以接收其栅极端子处的复位信号并响应于各节点处的复位信号施加电位 V1。复位信号可以包括  $V_{SS}$  或确保晶体管复位的不同电位。此外，两个相邻晶体管之间的每个节点都分别连接至 p 型晶体管 pt1 至 pt3 和 n 型晶体管 nt2 至 nt4 的栅极。P 型晶体管 pt2 至 pt4 和 n 型晶体管 nt1 至 nt3 的衬底端子也连接至各节点。

两个相邻晶体管之间的节点提供表示三个中间信号的数据字 Q(2:0)。在工作过程中，响应于端子 TV1 和 TV2 处的电压的转变，这些 p 型晶体管或 n 型晶体管分别被锁定。这些导电晶体管还提供其导电沟道上的电压降。该电压降从达到目标电平开始使信号延迟。因此，由插值电路产生的信号的转变处于端子 TV1 和 TV2 处的信号的两个连续转变之间。

根据图 8 和图 9 的实施例使用 p 型和 n 型场效应晶体管来实现。当然，也可以使用双极型晶体管、MOSFET、MESFET 或其他类型的晶体管。通路 (pass gate) 晶体管、传输门晶体管或接成二极管式的晶体管也是可以的。图 10 示出了具有安排在端子 TV1 和 TV2 之间的四个二极管 D1 至 D4 的另一实施例。在两个相邻的二极管之间，这些节点被设置为连接至输出端，以提供表示三个轻微延迟中间信号的三位数据字 Q(2:0)。此处所示的二极管还实现分压，并将预定比率的分压提供至输出端 Q 处。与使用电阻器的分压器相比，这些二极管包括传输方向，同时抑制反向中的任何信号。因此，如果必须确定这些信号是从低电平到高电平还是从高电平到低电平转变，则必须使用具有多个二极管的两个串联电路。

因此，插值电路可以包括无源插值网络或有源插值网络。插值电路以预定比率对施加至其的外部电压进行分压，并将相应的中间信号提供在其输出端处。该预定比率和例如中间信号的数量提供了

在时间数字转换器中的较高分辨率，该时间数字转换器可以对延迟线尤其是延迟线元件上的变化不敏感。

对于延迟线和这种延迟线中的延迟元件，可以实现不同的实施。在图 4 中可以看到延迟线的另一个实施例。延迟线 A 和 B 通过利用差分放大器 60 至 65 作为延迟线元件而形成组。每个放大器都包括输入端 “+” 和 “-” 以及相应的输出端。施加至其输入端的具有逻辑高电平和低电平的各个信号被提供至各输出端处，其中，信号具有也表示逻辑低值和高值的振幅。当然，这些放大器的增益可以不同，以例如补偿任何消散效应。

第一差分放大器 60 的输入端适于接收用于第一延迟线 A 的信号 cko 以及用于第二延迟线 B 的相对于信号 cko 的反相信号  $\overline{cko}$ 。第一放大器 60 的输出端连接至连接在下游的第二差分放大器 61 的输入端子。在差分放大器 60 至 65 中的每一个中，输出信号与相应的输入信号相比被反相并延迟。

延迟线 A 中的差分放大器 60 至 64 中的每一个的输出端子都连接至相应的节点，以在端子 80 处提供单个位 d(1)至 d(5)。换言之，相对于基准信号，对这些端子处的逻辑电平进行采样。对逻辑电平进行采样的结果可以被结合起来产生例如表示信号 cko 和基准信号之间的时间差的数字字。为了进一步增加延时电路的一些区域中的分辨率，设置了不同的插值电路。具有串联连接的两个电阻器 70 和 71 的第一插值电路被安排在第一放大器 60 的第一输出端子 “+” 和第二放大器 61 的输出端子 “+” 之间。两个电阻器 70、71 之间的节点提供第一中间信号 i(1)。包括具有串联连接的三个电阻器 72 至 74 的分压器的第二插值电路设置在第三放大器 62 的输入端子 “+” 及其相应的输出端子 “+” 之间。在第二插值电路的电阻器 72、73 以及 73、74 之间的两个节点被连接，以提供附加的中间信号 i(1)和 i(2)。

此处示出的电阻器 70 至 74 可以具有相同或不同的电阻。由于第二插值电路中的附加中间信号，其分辨率相对于第一插值电路增加。因此，在一个实施例中，延时电路可以包括不同的插值电路，从而产生不同的总分辨率。尽管在该实施例中仅示出了两个插值电路，但是还可以使用其他的插值电路。此外，这些插值电路可以被安排在延迟线的不同位置处。还可以在一个实施例中将这些插值电路可替换地连接至第一或第二延迟线。这样可以减小由于不均衡的工作负载而造成的变化。

图 5 示出了随时间变化的信号 cko 的传送以及输出信号 d(1)至 d(5)和中间信号 i(1)和 l(1)和 l(2)的对应逻辑值。对于该实例，信号 cko 包括具有特定脉宽的单脉冲。为了说明的目的，此处未示出反相信号  $\overline{cko}$ 。在每个差分放大器中产生的延迟导致相应的输出端 80 处的恒定延迟脉冲。因为差分放大器包括基本相同的级延迟，所以两个连续输出信号 d(1)至 d(5)处的延迟在相同的范围内。由第一插值电路产生的第一中间信号 i(1)也包括脉冲。该脉冲被延迟，但其上升沿和下降沿大致在第一输出信号和第二输出信号 d(1)和 d(2)的相应的上升沿和下降沿的正中间。

因此，两个中间信号 l(1)和 l(2)还包括相对于信号 d(2)和 d(3)的等距的上升沿和下降沿。如果只用没有这些插值电路的放大器的输出来产生相应的数字值，则会丢失一些附加的时间信息。在该实例中，当信号 cko 传送通过根据图 4 的实施例的放大器 62 时，以大致 1/3 和 2/3 的级延迟时间  $t_D$  对信号 cko 的传送进行采样。当对传送通过连接至第二插值电路的延迟电路元件的信号进行采样时，由第二插值电路产生的附加的两路中间信号 l(1)和 l(2)将增加总分辨率。产生不同中间信号的这些插值电路可以增加延迟电路的一些区域中的分辨率，从而产生表示时间差但对于多个字部分具有不同分辨率的数字字。

图3示出了具有延时电路的时间数字转换器中的一部分的另一个实施例。延时电路包括用于信号 SD 的第一延迟线和用于反相信号 SDN 的第二延迟线。信号 SDN 被反相，另外相对于信号 SD 基本同步。此处示出的第一延迟线的部分包括第一和第二反相器 15b、15c。第二延迟线包括下游连接至其的第一反相器 16b 和第二反相器 16c。此外，包括部件 24a、24c 和 23b、23d 的插值电路被安排在连接至相应的另一延迟线的反相器的输出端的延迟线之一中的反相器之一的输入端之间。

第一延迟线的反相器 15b 和第二延迟线的反相器 16b 可以被组成为第一延迟电路元件对。相应地，第一和第二延迟线的反相器 15c 和 16c 被分组为表示第二延迟电路元件对。因此，插值电路 24a 连接在第一延迟线中的节点 200a 和第二延迟线中的节点 200d 之间。相应地，第二插值电路 23b 设置在节点 200b 和节点 200c 之间。插值电路 24c 和 23d 以类似方式被设置为交叉地将相应的第二反相器对的输入端子连接至输出端子。

一个实施例中的插值电路 24a 至 23d 中的每一个都包括第一电阻器和第二电阻器的串联电路。每个插值电路中的两个相应电阻器之间的节点 210'a、210'b、210'c、210'd 提供中间信号。该中间信号施加至包括多个触发器 300 至 305 的评估电路 30'。更具体地，插值电路 24a 和 23b 的中间信号施加至触发器 301，而第三和第四插值电路 24c 和 23d 的节点 210'c 和 210'd 处的中间信号被施加至触发器 304。

触发器 300 至 305 中的每一个都包括数据输入端子 D、用于反相信号的输入端子 DN、时钟端子 C 和输出端子 Q。时钟端子连接至用于基准信号 ref 的基准信号端子 CP。第一触发器 300 的数据输入端 D 连接至节点 200a 并且其输入端 DN 连接至第二延迟线的节点 200b。触发器 302 的输入端 D 连接至反相器 16b 和 16c 之间的

节点 **200d** 并且其输入端 DN 连接至节点 **200c**。触发器 **301** 对提供在端子 **210'a** 和 **210'c** 处的中间信号进行锁存。如果适当，触发器 **303** 总是产生与触发器 **302** 相同的输出信号，并且还可以省略。最后，触发器 **305** 的输入端 D 连接至第一延迟线中的反相器 **15c** 的输出端处的节点 **200e**，并且其输入端 DN 在节点 **200f** 处连接至第二延迟线。

在工作过程中，信号 SD 和 SDN 传送通过这些延迟线以及反相器 **15c** 至 **16c**。在每个反相器中，它们都被反相并被延迟特定级延迟时间，该级延迟时间由相应的反相器 **15b** 至 **16c** 的设计所决定。触发器 **300** 至 **305** 响应于至相应的时钟端子 C 的基准信号 ref 来存储相应的逻辑电平。在触发器 **300** 至 **305** 中的每一个中的采样信号均被提供至其相应的输出端 Q。在两路延迟线中的信号的使用减少了设计制造变化的影响并提高了抗任意干扰的鲁棒性。由于在端子 **210a** 至 **210c** 处使用了中间信号，因此该实施例中示出的分辨率会被增加到 2 倍。

这些延迟元件可以以多种方式来实现。例如，在根据图 3 的实施例中，通过使用具有特定延迟时间的单个反相器来实现了两条延迟线中的延迟。在根据图 4 的实施例中，使用了相互连接的差分放大器。延迟元件的输出不需要是轨对轨信号。

图 11 中示出的另一个实施例中，其中，单个反相器被差分反相器代替。该差分反相器包括串联连接在电源电位 V2 和基准电位 V1 之间的具有两个晶体管 T6、T1 的第一对晶体管以及具有两个晶体管 T3、T2 的第二对晶体管。在一个实施例中，V1 可以包括 Vss，以及 V2 可以包括 Vdd。P 型晶体管 T6 和 n 型晶体管 T1 的栅极端子连接至输入端子 D。p 型晶体管 T3 和 n 型晶体管 T2 的栅极连接至端子 DN。在输入端 D、DN 处，可以施加表示逻辑电平的信号和表示反相逻辑电平的相应信号。晶体管 T6、T1 之间的节点以及晶

体管 T3、T2 之间的节点连接至用于输出信号的输出端 QN 以及用于相应的反相输出信号的端子 Q。此外，另外的 p 型晶体管 T5、T4 被安排为与该电路中的各晶体管对的 p 型晶体管并联。晶体管 T4 的栅极连接至输出端 QN，并且晶体管 T5 的栅极连接至输出端 Q。

在该实施例中，晶体管 T3 至 T6 中的每一个通过第一和第二端子分别连接在输出端 Q 和 QN 之一和电源电位 VDD 之间。当将信号和相应反相信号施加到输入端子 D 和 DN 处时，该信号被反相并被提供到输出端子 Q 和 QN。交叉连接的附加晶体管 T4、T5 增加效果并改善转变特性。在可选实施例中，交叉连接的反相器对可以连接在 Q 与 QN 之间。电流驱动反相器 (current-starved inverter) 还可以用作用于时间数字转换器或时间延迟线的延迟元件。

尽管在这些实施例中，在插值电路之间使用了两条延迟线，但是也可以利用单个延迟线来实现模拟插值。图 15 示出了具有多个串联连接的反相器 70 至 76 的单个延迟线的实施例。每个反相器都提供基本相同的级延迟。在延迟线处，逻辑信号 cko 被施加至第一反相器 70 的输入端处。此外，多个插值电路被设置在第一反相器的输入端子和在连接至第一反相器下游的第二反相器的输出端子。换言之，在插值电路的端子之间安排两个反相器。这种安排确保了具有相同逻辑电平的信号在这些插值电路中被处理。

在该实施例中，第一插值电路 80 连接至反相器 71 的输出端子以及反相器 73 的输出端子。第二插值电路 81 连接在反相器 73 和 75 的输出端子之间。插值电路 82 和 84 分别连接在反相器 72、74 以及 74、76 的端子之间。插值电路 80 至 84 中的每一个都提供施加至锁存电路 90 至 94 的数据字。这些锁存器可以包括触发器或能够响应于基准信号 ref 对在其各输入端处的这些数据字的单个位值进行采样的其他装置。

这些插值电路可以是具有串联连接的不同或相同的电阻元件的分压器。如果两个逻辑相等的信号包括如在图 6A 和 6B 中看到的公共转变区，则可以使用单条延迟线。

图 12 示出了其中使用了时间数字转换器的锁相环的实施例。锁相环包括：前向分支，其包括具有第一和第二信号输入端的时间数字转换器；数字环路滤波器；以及连接至数字环路滤波器的数控振荡器 DCO。振荡器 DCO 的输出在反馈路径中被施加至多模除法器，以因数 N 来对振荡器的输出信号的频率进行分频。因数 N 由  $\Sigma\Delta$ -调制器选择，该  $\Sigma\Delta$ -调制器包括用于控制信号  $Y_{channel}$  的控制输入端。通过该控制信号，可以选择期望的频道。然后，该调制器设置合适的分频系数 N。多模除法器的输出信号  $\varphi_{div}(t)$  被施加至时间数字转换器的第二输入端子。基准信号  $\varphi_{ref}(t)$  被施加至第一输入端子。

时间数字转换器确定反馈路径中的信号  $\varphi_{div}(t)$  和基准信号  $\varphi_{ref}(t)$  的两个上升沿和下降沿之间的时间差。为此目的，例如，可以将反馈信号施加至根据图 13 的实施例的单条延迟线或施加至根据图 2、图 3 或图 4 的实施例中所描述的第一和第二延迟线。基准信号可以用于对反馈信号的上升沿进行采样，从而确定两个信号的两个上升沿之间的差。

该时间差被确定并被结合到对应于两个信号  $\varphi_{div}(t)$  和  $\varphi_{ref}(t)$  之间的相位差的数字字中。数字值  $e[k]$  由数字环路滤波器进行滤波，并被施加至 DCO 控制输入端，以选择合适的频率。

图 16 示出了用于进行插值并测量时间差的不同方法的实施例。尽管示出了示例性方法并且该方法在下面被描述为一系列的动作或事件，但是应该理解，本发明不限于示出的这些动作或事件的顺序。例如，根据本发明，除在此所示和/或描述的，一些动作可以以

---

不同的顺序发生和/或与其他动作或事件同时发生。此外，实现根据本发明的方法并不需要所示的全部步骤。

在 S1，提供了具有信号边或沿的第一信号。然后，产生从第一信号得到的第二信号。例如，相对于第一信号，第二信号可以被反相。在 S3，第一和第二延迟信号的传送然后被进一步延迟特定级延迟。该级延迟可以在多个延迟时间的特定延迟时间的范围内。在 S4，这两路延迟信号也被进行插值，从而产生通过第一和第二延迟信号的转变得到的中间信号。在 S5，相对于基准信号，中间信号以及这些延迟信号的转变可以被采样并被读出。

尽管已经示出并描述了具体实施例，但是本领域技术人员应该理解，被设置用于实现相同目的的任何安排都可以替代所示的具体实施例。应该理解，以上描述旨在说明而非限制性的。本发明旨在覆盖本发明的任何变化。本发明的范围包括使用了上述结构和方法的任何其他实施例和应用。因此，本发明的范围应该参照所附权利要求连同赋予这些权利要求的等同范围来确定。

需要强调的是，所提供的摘要符合摘要应使读者能够快速确定技术公开的性质和要点的 37CFR.1.72(b)节的要求。所提交的摘要内容应该理解为不用于解释或限制权利要求含义的范围。

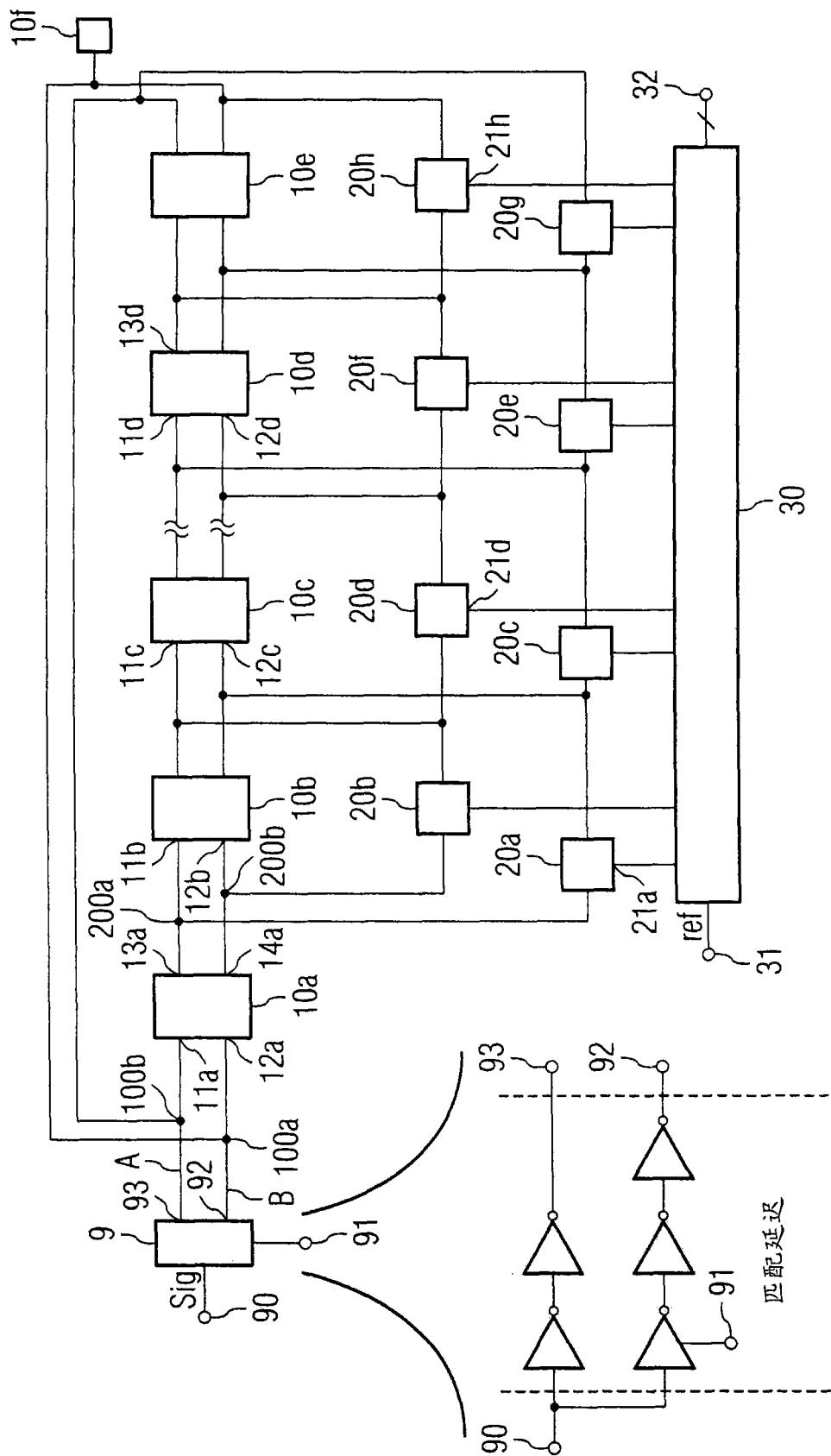


图 1

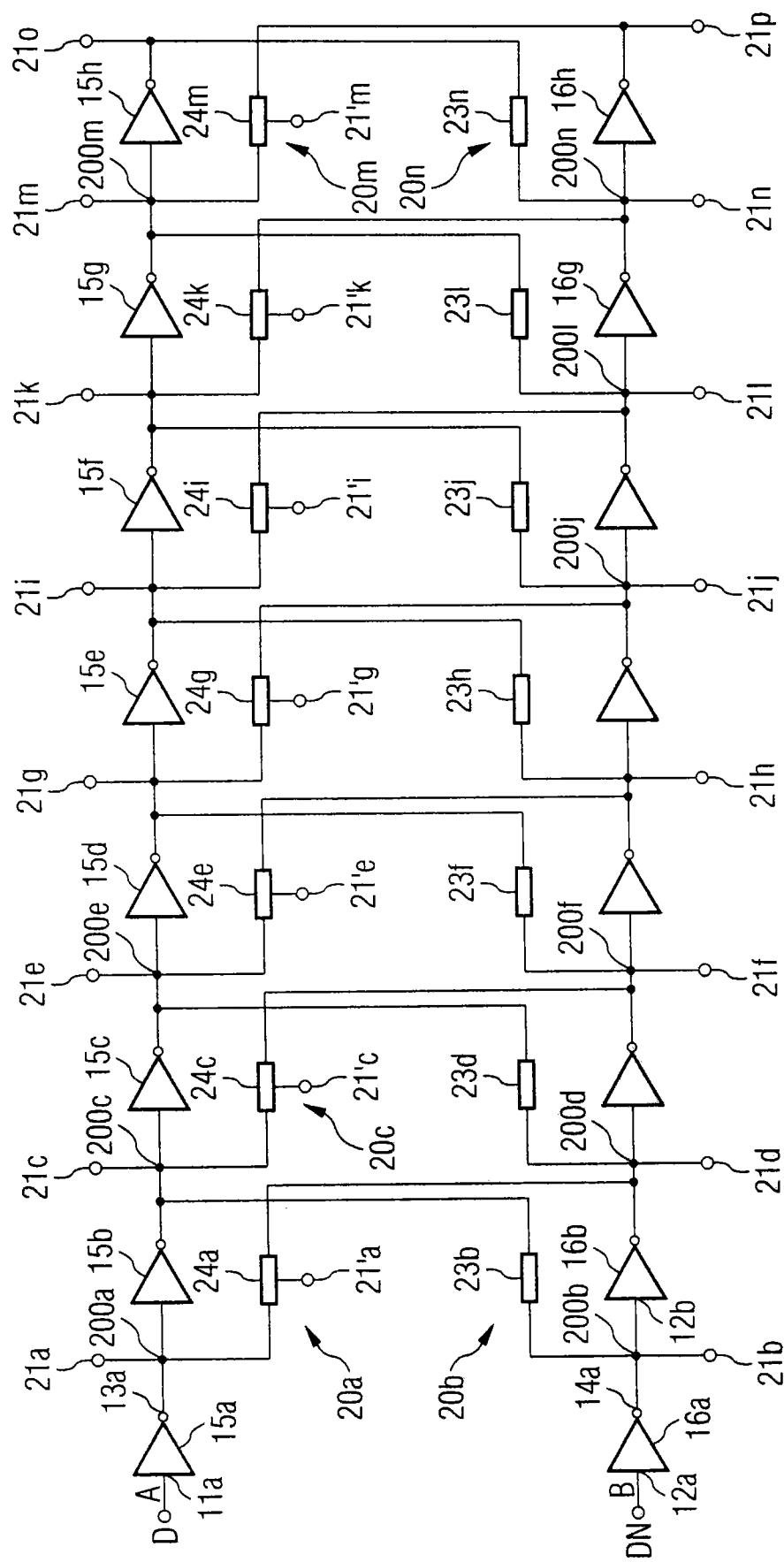


图 2A

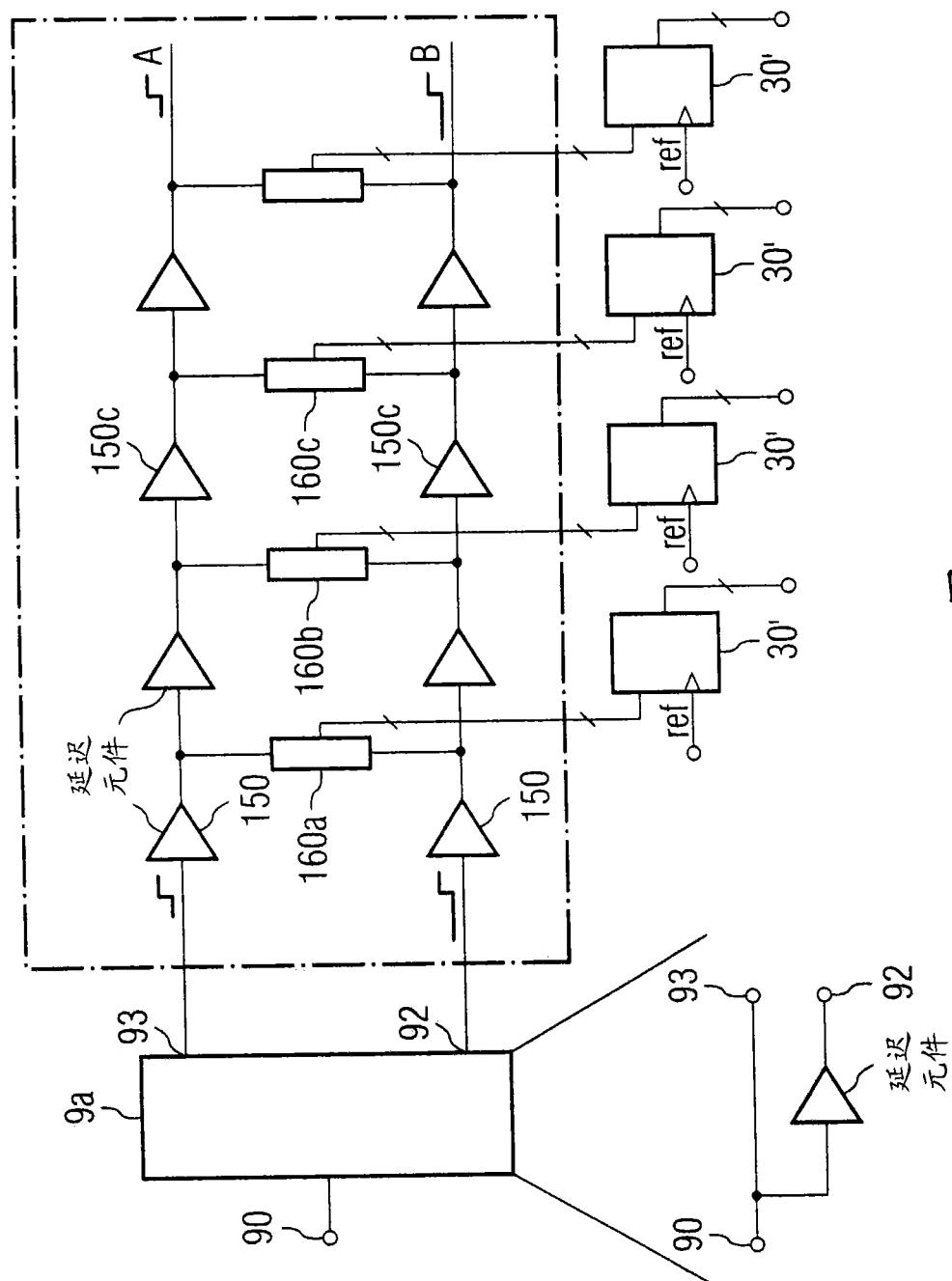


图 2B

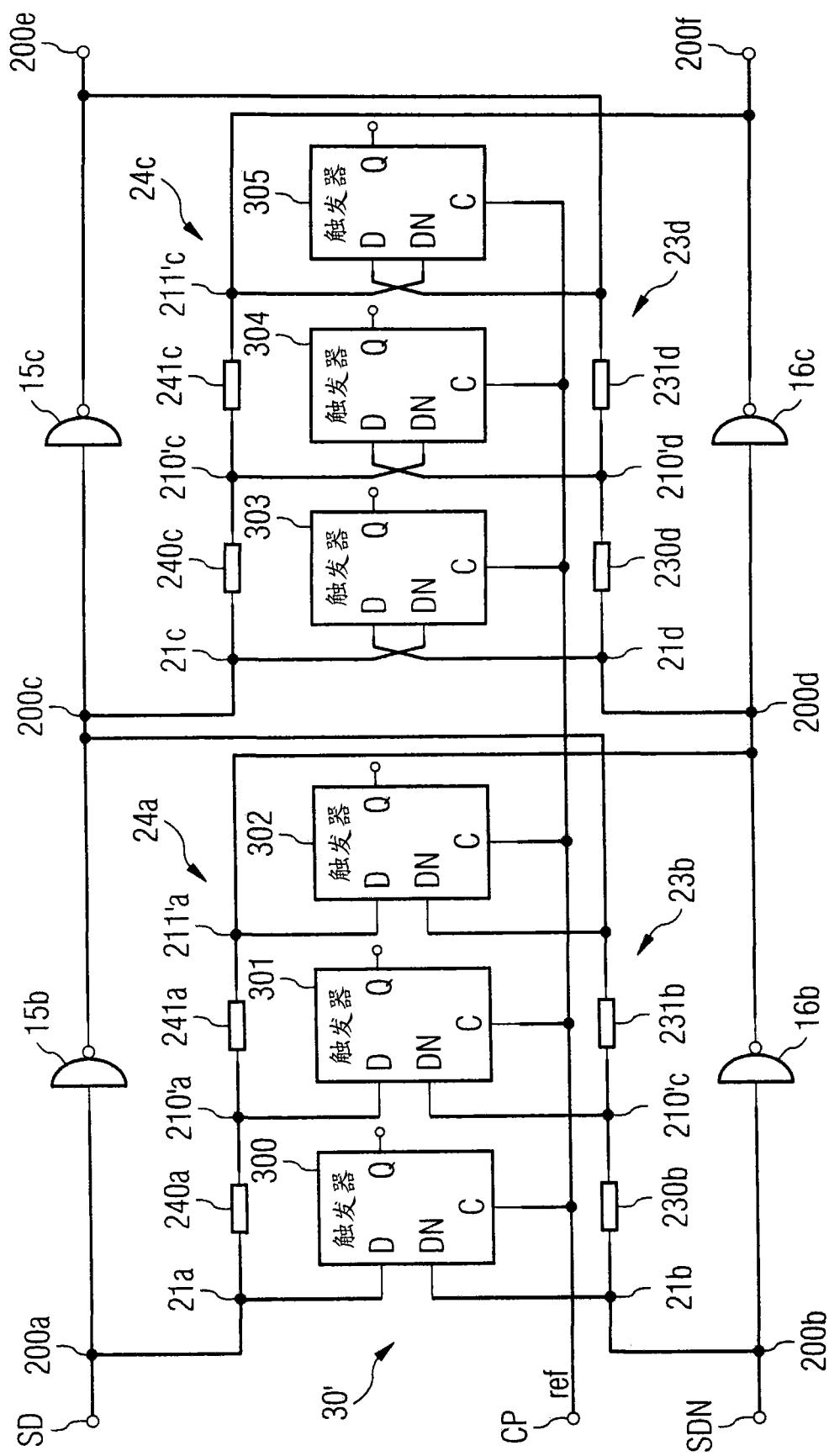


图 3

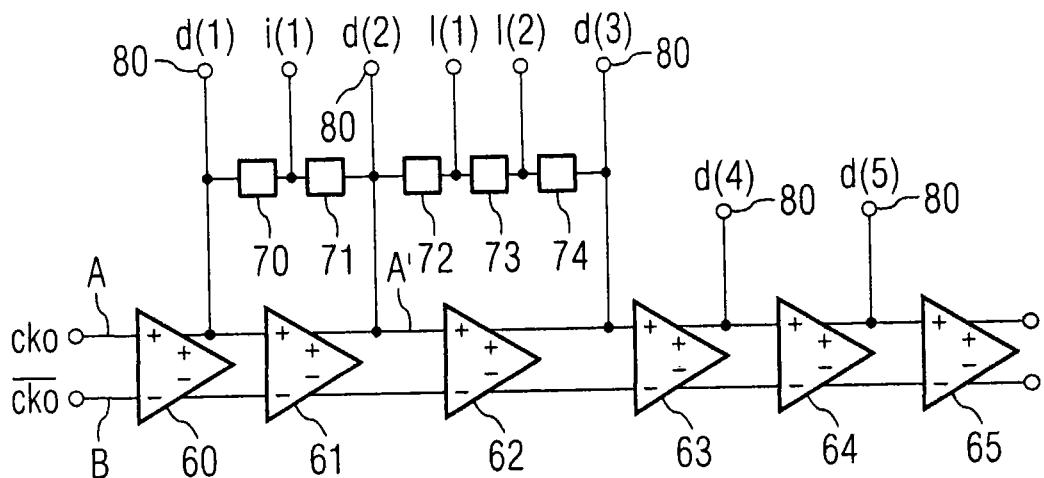


图 4

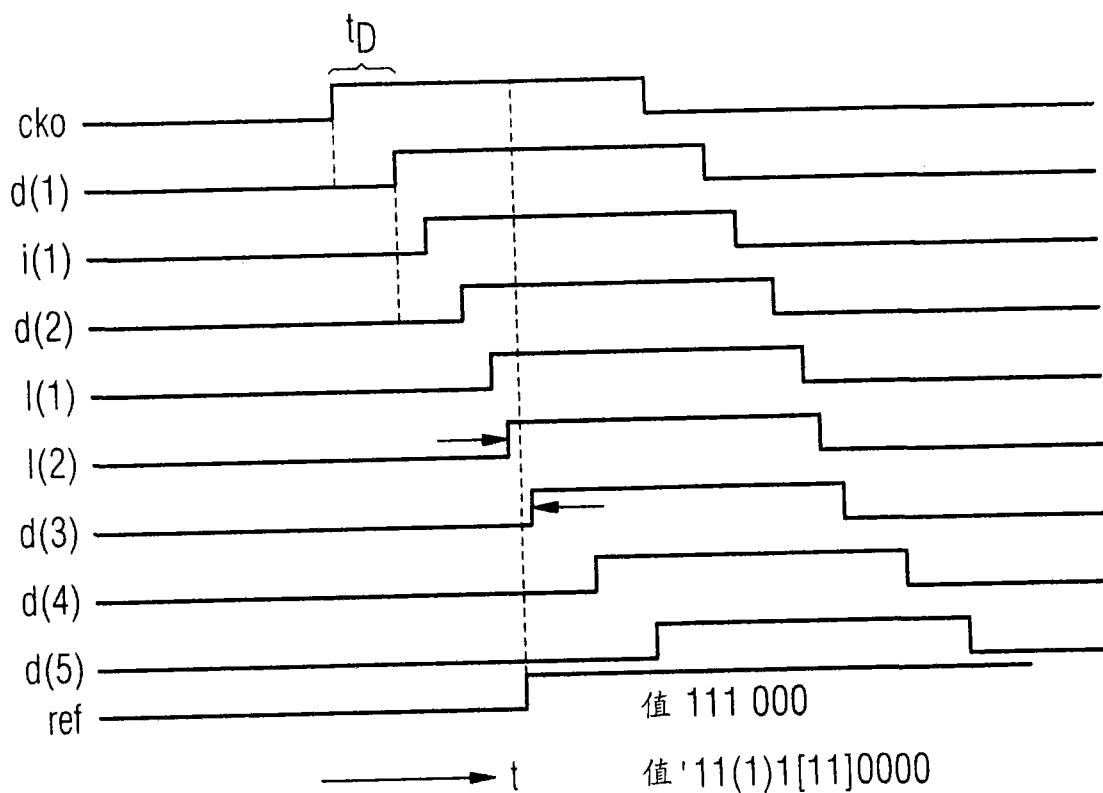


图 5

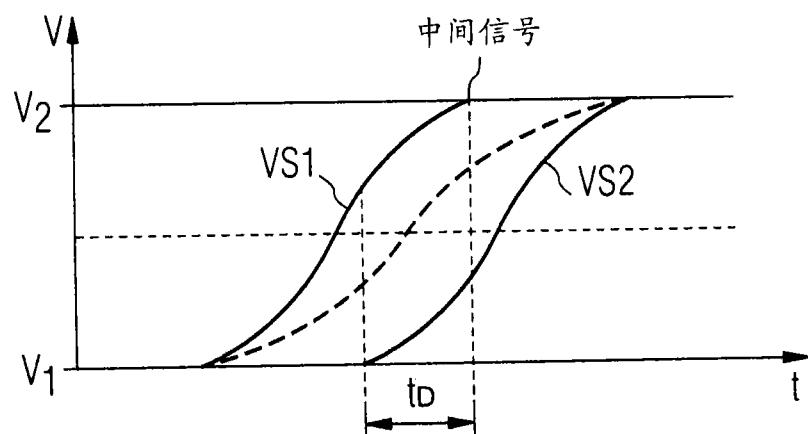


图 6A

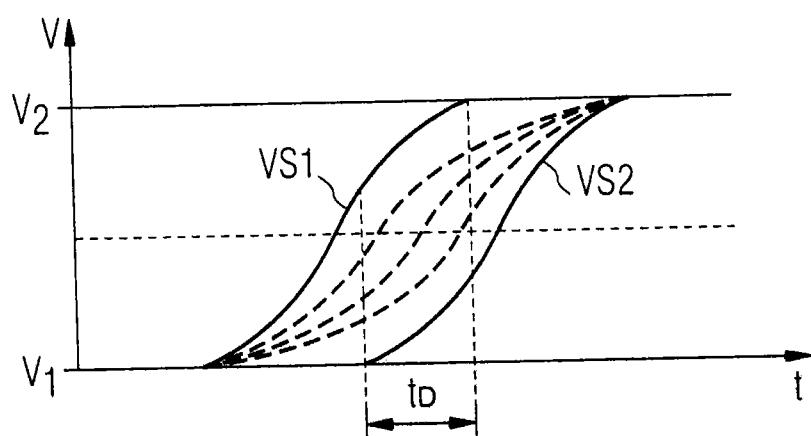
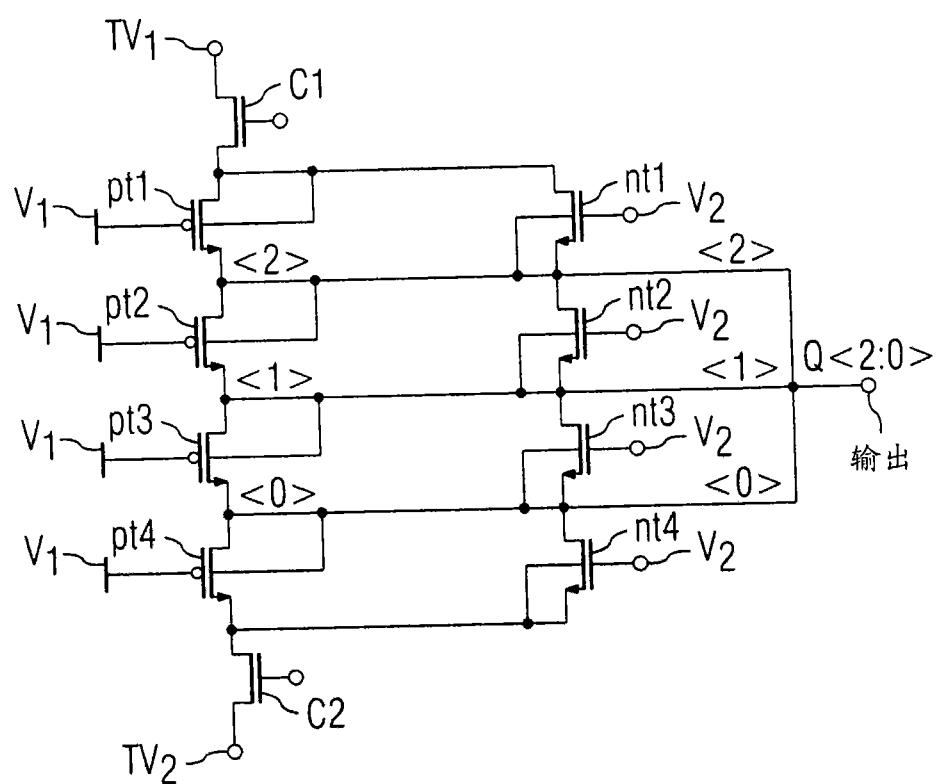
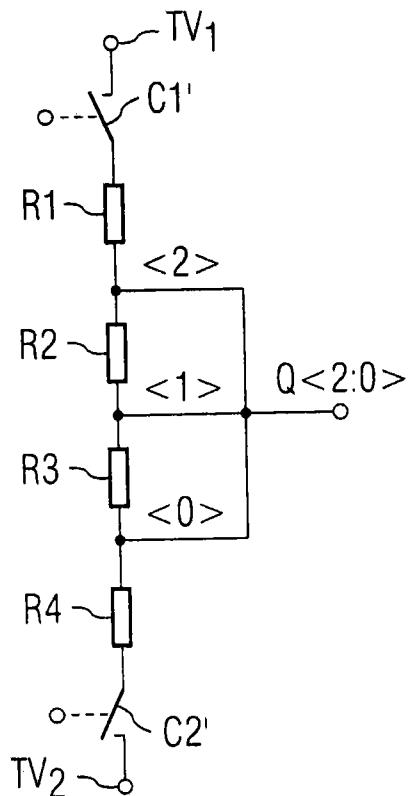
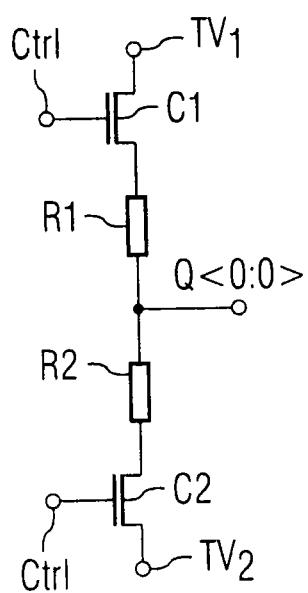


图 6B



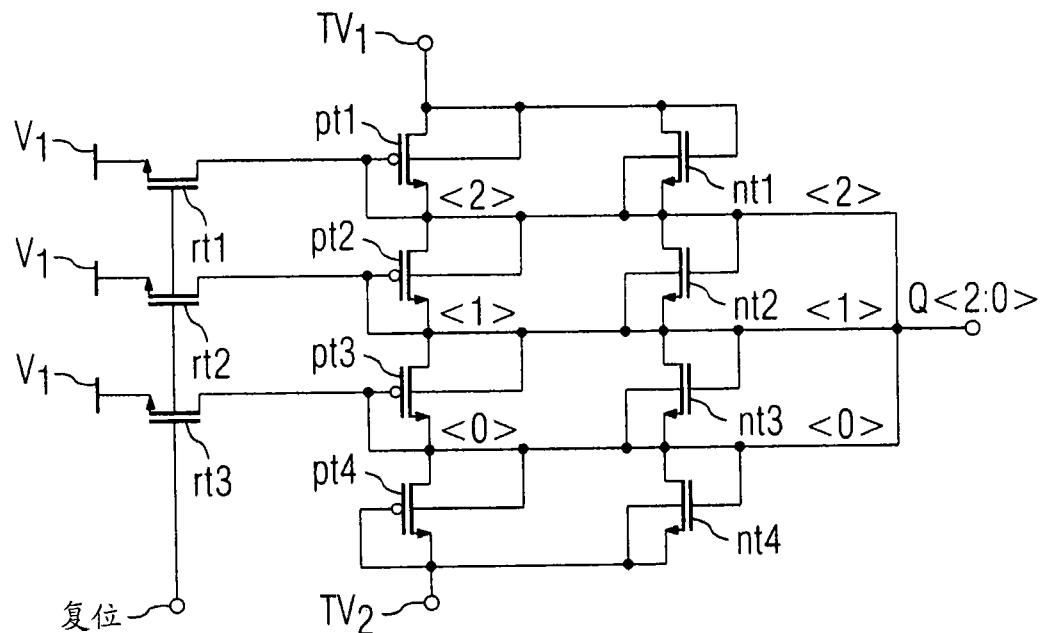


图 9

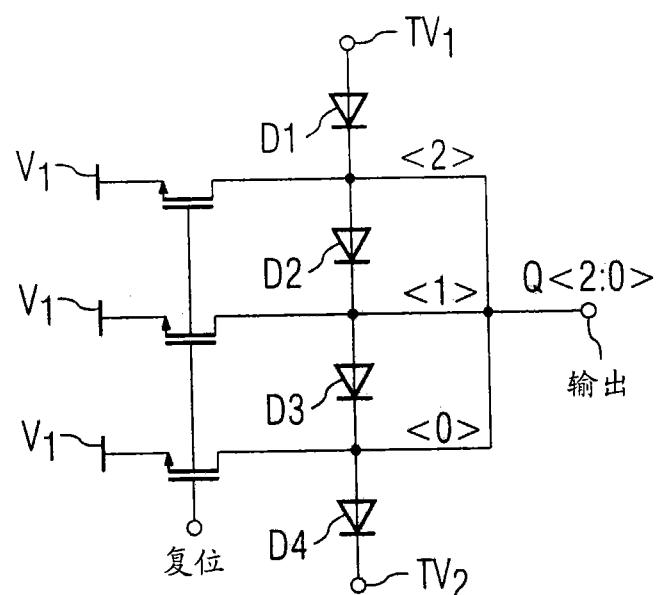


图 10

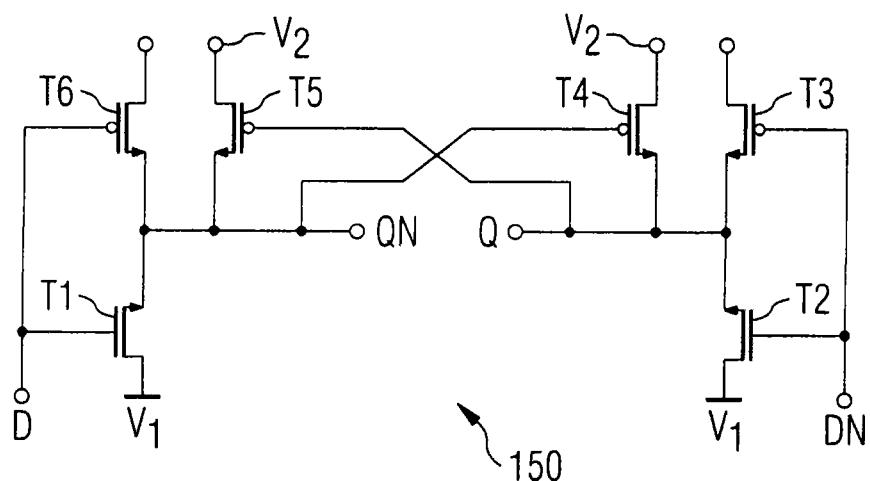


图 11

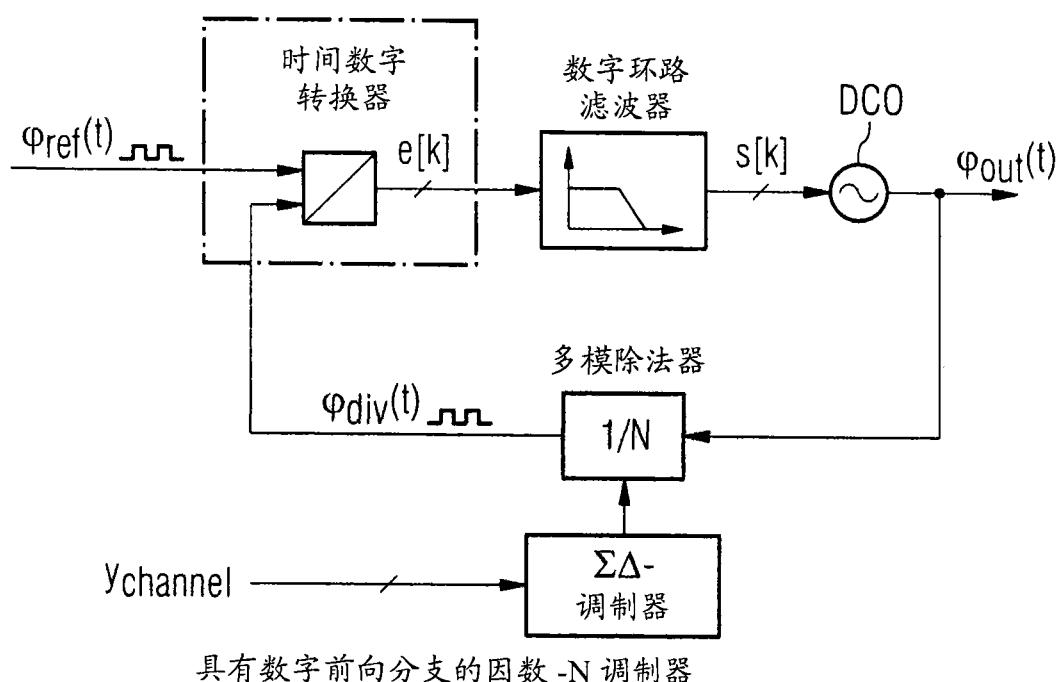


图 12

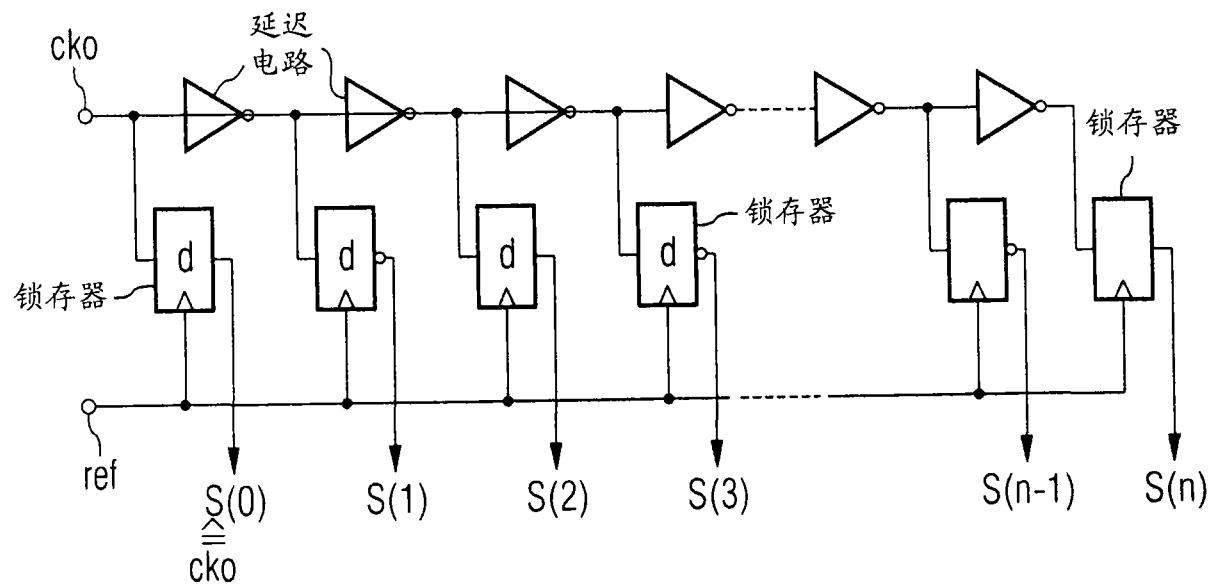


图 13

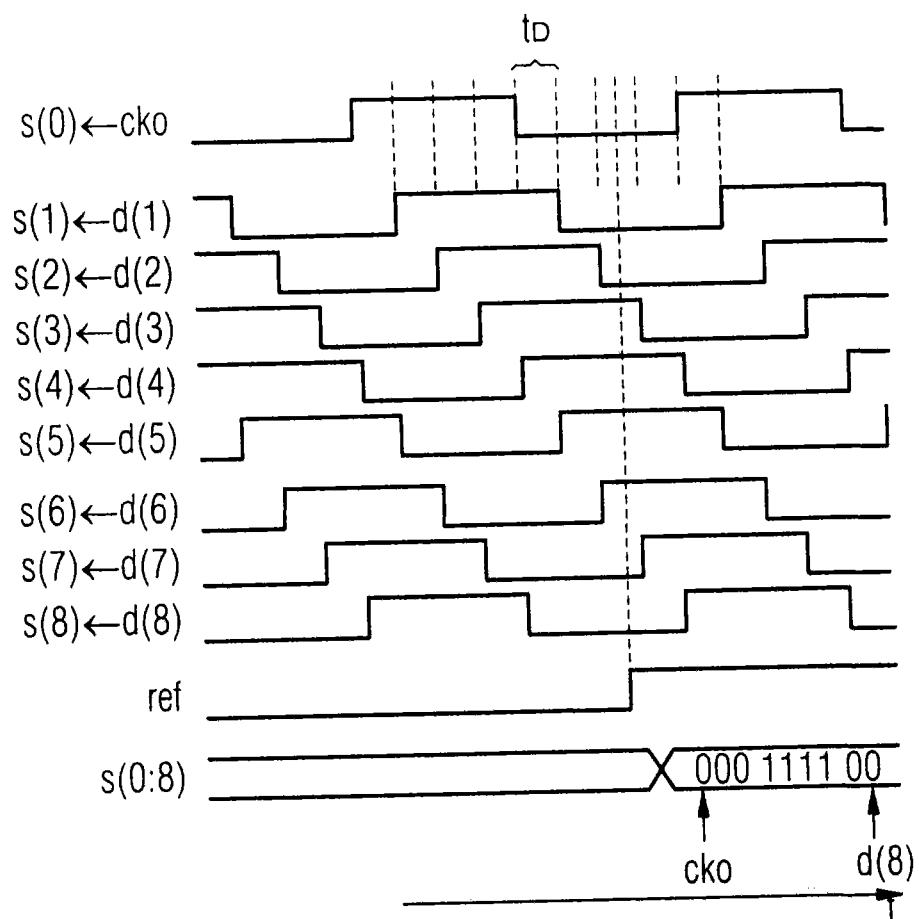


图 14

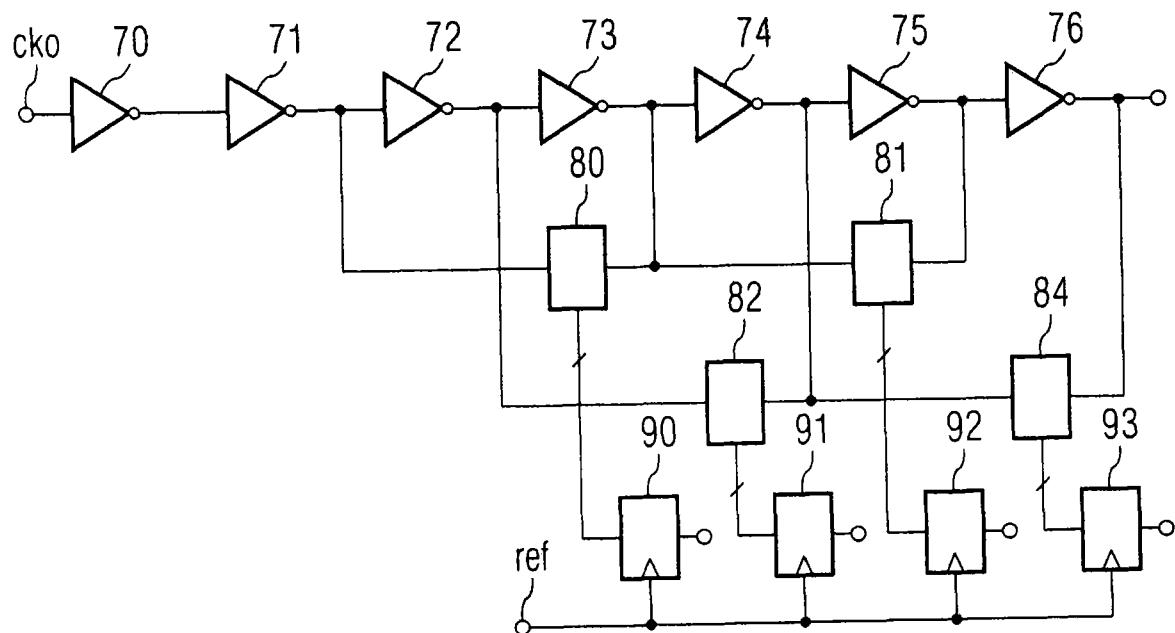


图 15

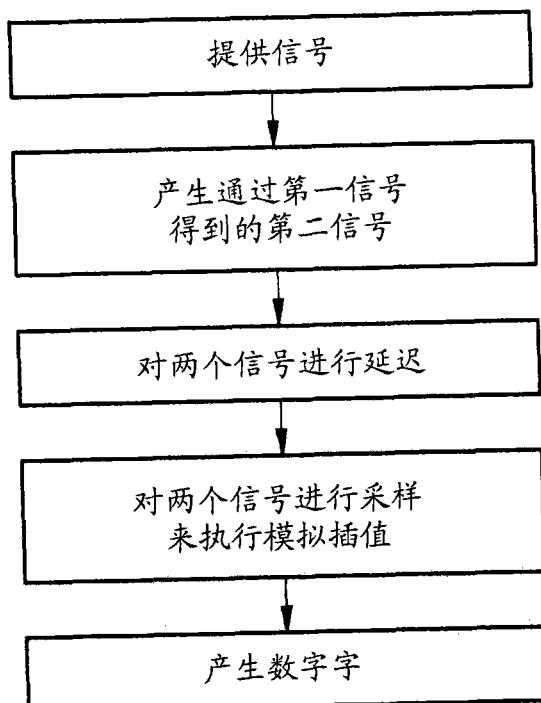


图 16