



URZĄD
PATENTOWY
PRL

Patent dodatkowy
do patentu nr _____

Zgłoszono: 31.12.74 (P. 177009)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 17.07.76

Opis patentowy opublikowano: 31.10.1978

MKP G01r 19/22

Int. Cl.²
G01R 19/22

CZYTELNIJA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Michał Gołębiowski, Marek Lewandowski, Wiesław Martynow

Uprawniony z patentu: Centrum Naukowo-Produkcyjne Technik Komputerowych i Pomiarów Ośrodek Badawczo-Rozwojowy Technik Komputerowych i Pomiarów, Warszawa (Polska)

Sposób i przetwornik do przekształcania wartości chwilowej napięcia, elektrycznych przebiegów okresowych o dowolnym kształcie na napięcie stałe

1

Przedmiotem wynalazku jest sposób i przetwornik do przekształcania wartości chwilowej napięcia, elektrycznych przebiegów okresowych o dowolnym kształcie na napięcie stałe. Wynalazek może znaleźć zastosowanie również do badania wartości chwilowej przebiegów okresowych o dowolnym kształcie innych wielkości elektrycznych a nawet i nieelektrycznych po sprowadzeniu ich do przebiegów napięciowych.

Znany sposób przekształcania wartości chwilowej napięcia na napięcie stałe polega na zapamiętaniu tej wartości w momencie strobowania przebiegu, poprzez gromadzenie ładunku elektrycznego na pojemności. Ilość ładunku a więc i wielkość napięcia ustalonego na pojemności jest wskaźnikiem badanej wartości chwilowej. Jest to analogowy sposób zapamiętywania.

Znany jest przetwornik zawierający strobowany klucz włączony w obwód między źródło badanego napięcia i kondensator, podłączony z jednej strony do masy a z drugiej strony do wejścia wtórnika katodowego, o dużej oporności wejściowej. Wyjście wtórnika jest zarazem wyjściem przetwornika. Układ ten znajduje się w katalogu „Manuel d'applications CIL” tome 1, str. 163 firmy SESCO-SEM, 1972 r.

Według wynalazku istota rozwiązania polega na porównywaniu wartości chwilowej badanego napięcia z wyjściowym napięciem stałym. Otrzymany wynik porównania jest w momencie strobowania

2

zapamiętywany w postaci binarnej. Przebieg napięcia w postaci binarnej jest następnie uśredniany do napięcia stałego, odpowiednio proporcjonalnego do badanej wartości chwilowej.

5 Przetwornik zgodnie z wynalazkiem ma układ porównujący, który zawiera impedancyjny dzielnik i porównujący element z wejściem odwracalnym i nieodwracalnym. Do wejść układu porównującego, będących wejściami przetwornika, podłączone są badane źródła napięcia a wejście układu porównującego połączone jest z wejściem strobowanym układu pamiętającego.

10 Wyjście układu pamiętającego połączone jest poprzez impedancję z wejściem filtra dolnoprzepustowego układu uśredniającego. Do wejścia filtra dolnoprzepustowego układu uśredniającego dołączone jest ponadto poprzez impedancję źródło napięcia pomocniczego. Wyjście układu uśredniającego jest wyjściem przetwornika i połączone jest z układem porównującym tworząc pętlę sprzężenia zwrotnego.

15 Takie rozwiązanie pozwala na badanie wartości chwilowej napięcia lub różnicy dwóch napięć z dokładnością rzędu mV i uwarunkowane jest dokładnością porównującego elementu. Stosując na przykład jako porównujący element komparator SFC 2710 uzyskuje się dokładność 2 mV. Dokładność i zakres badanych wartości chwilowych rozszerza się ponadto stosując dodatkowo wzmacniacze.

20 Wyboru chwili badania można dokonywać z do-

kładnością rzędu nanosekund, dzięki zastosowaniu cyfrowego układu pamiętającego, który jest znacznie szybszy od układu analogowego. Zmieniając moment wyboru chwili badania przebiegu, czyli położenia impulsu strobującego, można określić kształt krzywej przebiegu i to z dokładnością znacznie większą niż pozwala na to znana metoda oscyloskopowa. Rozwiązanie według wynalazku ma szczególne znaczenie w technice pomiarów.

Przedmiot wynalazku przedstawiony jest na rysunku, na którym fig. 1 przedstawia układ blokowy przetwornika, fig. 2 przykład wykonania przetwornika według układu blokowego fig. 1, fig. 3 dzielnik impedancyjny z wejściem symetrycznym, fig. 4 dzielnik impedancyjny z wejściem niesymetrycznym o małej oporności wejściowej, fig. 5 dzielnik impedancyjny z wejściem niesymetrycznym o dużej oporności wejściowej.

Jak widać na fig. 1, przetwornik do przekształcania wartości chwilowej napięcia na napięcie stałe z wejściami WE_a , WE_b dla badanych przebiegów, zawiera układ porównujący 1, układ pamiętający 2 i układ uśredniający 3. Połączone są one ze sobą w ten sposób, że wyjście WY układu porównującego 1 połączone jest z wejściem WE układu pamiętającego 2. Wyjście WY układu pamiętającego 2 połączone jest z wejściem WE układu uśredniającego 3, którego wyjście WY jest wyjściem przetwornika a ponadto połączone jest ono z wejściem WE_z układu porównującego, tworząc pętlę sprzężenia zwrotnego. W przykładzie wykonania przedstawionym na fig. 2, układ porównujący 1 zawiera impedancyjny dzielnik 4 i komparator 5 jako porównujący element, którego wyjście jest wyjściem układu porównującego 1. Wejście odwracalne C komparatora 5 połączone jest z wyjściem WY_2 impedancyjnego dzielnika 4, a wejście nieodwracalne D z wyjściem WY_1 impedancyjnego dzielnika 4.

Układ pamiętający 2 stanowi strobowany przerzutnik typu D . Wyjściem układu pamiętającego jest wyjście Q lub $\bar{Q}$ w zależności od tego czy układ uśredniający odwraca fazę, oraz do którego z wejść C lub D porównującego elementu 5, poprzez impedancyjny dzielnik 4 podłączona jest pętla sprzężenia zwrotnego. Pętla ta w ogólnym bilansie powinna dawać ujemne sprzężenie zwrotne.

Układ uśredniający zawiera integrator 7 jako filtr dolnoprzepustowy, do którego wejścia dołączane są impedancje Z_5 , Z_6 w postaci rezystorów, z których impedancja Z_5 podłączona jest do źródła pomocniczego U_p , a impedancja Z_6 do wyjścia układu pamiętającego 2. Impedancyjny dzielnik 4 uwidoczniony na fig. 2, może być w zależności od potrzeb realizowany w odmianach przedstawionych na fig. 3, fig. 4, fig. 5.

Dzielnik impedancyjny 4 według fig. 3 składa się z impedancji Z_1 , Z_2 , Z_3 , Z_4 w postaci rezystorów o jednakowej wartości. Impedancje Z_1 , Z_2 połączone są szeregowo. Punkt wspólny tych impedancji stanowi wyjście WY_1 impedancyjnego dzielnika 4. Drugi koniec impedancji Z_1 stanowi wejście WE_a przetwornika, a drugi koniec impedancji Z_2 podłączony jest do masy. Impedancje Z_3 , Z_4 połączone są również szeregowo. Punkt wspólny tych impedancji stanowi wyjście WY_2 impedancyjnego dziel-

nika 4. Drugi koniec impedancji Z_3 stanowi wejście WE_b przetwornika, a drugi koniec impedancji Z_4 stanowi wejście WE_z układu porównującego 1.

Impedancyjny dzielnik 4 według fig. 4 składa się z impedancji Z_3 , Z_4 w postaci rezystorów o jednakowej wartości, połączonych szeregowo. Punkt wspólny tych impedancji stanowi wyjście WY_2 impedancyjnego dzielnika 4. Koniec impedancji Z_3 stanowi wejście WE_b przetwornika a drugi koniec impedancji Z_4 stanowi wejście WE_z układu porównującego 1. Wyjście WY_1 impedancyjnego dzielnika 4 stanowi masa.

Impedancyjny dzielnik 4 według fig. 5 składa się z impedancji Z_3 , Z_4 w postaci rezystorów o jednakowej wartości, połączonych szeregowo. Punkt wspólny tych impedancji stanowi wyjście WY_2 impedancyjnego dzielnika 4. Drugi koniec impedancji Z_3 podłączony jest do masy a drugi koniec impedancji Z_4 stanowi wejście WE_z układu porównującego 1. Wyjście WY_1 impedancyjnego dzielnika 4 stanowi wejście WE_a przetwornika.

Impedancyjny dzielnik 4 według fig. 3 jest stosowany przy badaniu różnicy wartości chwilowych przebiegów dwóch źródeł napięcia, a impedancyjny dzielnik 4 według fig. 4 i fig. 5 przy badaniu wartości chwilowej przebiegu jednego źródła napięcia względem masy. Impedancyjny dzielnik 4 według fig. 4 charakteryzuje się małą opornością wejściową a według fig. 5. dużą opornością wejściową.

Działanie przetwornika według przykładu wykonania fig. 2 zawierającego impedancyjny dzielnik 4 według fig. 3, przedstawione jest poniżej. Omówiony jest tu przypadek działania przetwornika przy badaniu wartości chwilowej różnicy napięć U_a , U_b . W momencie gdy komparator 5 znajduje się w stanie równowagi, napięcia w punktach wejściowych C i D komparatora a więc i w punktach wyjściowych WY_2 , WY_1 impedancyjnego dzielnika 4 są sobie równe. Rozpatrując układ impedancyjnego dzielnika 4 fig. 3 i związane z nim napięcia, otrzymuje się: $\frac{1}{2}U_a = \frac{1}{2}(U_b + U_{wy})$, przy warunku, że impedancje Z_1 , Z_2 , Z_3 , Z_4 są sobie równe.

Z powyższej zależności wynika, że:

$$U_{wy} = U_a - U_b$$

Gdy impedancje dzielnika 4 nie są sobie równe, wówczas w zależności między napięciem wyjściowym i różnicą badanych napięć, występuje współczynnik proporcjonalności różny od jedności.

Jeśli komparator 5 nie znajduje się w stanie równowagi na przykład napięcie w punkcie D komparatora 5 jest większe niż w punkcie C , czyli na wyjściu komparatora 5 istnieje napięcie dodatnie, to przy pojawieniu się impulsu strobującego „strob”, na wyjściu Q przerzutnika 6 otrzymamy stan logiczny „1” a na wyjściu $\bar{Q}$ stan logiczny „0” a więc wartość 0 V. Integrator 7 całkując ujemne napięcie $-U_p$, daje wówczas wzrastające napięcie U_{wy} . Wzrost napięcia U_{wy} następuje tak długo aż dzięki sprzężeniu zwrotnemu napięcie w punkcie C zrówna się z napięciem w punkcie D i wówczas U_{wy} ustali się na poziomie, w rozpatrywanym przypadku równym różnicy badanych napięć U_a i U_b .

Zastrzeżenia patentowe

1. Sposób przekształcania wartości chwilowej napięcia, elektrycznych przebiegów okresowych o dowolnym kształcie na napięcia stałe, polegający na zapamiętywaniu wartości chwilowej napięcia w momencie strobowania przebiegu, **znamienny tym**, że badaną wartość chwilową napięcia porównuje się z wyjściowym napięciem stałym, po czym wynik porównania w momencie strobowania zapamiętuje się w postaci binarnej i uśrednia do wyjściowego napięcia stałego, odpowiednio proporcjonalnego do badanej wartości chwilowej.

2. Przetwornik do przekształcania wartości chwilowej napięcia, elektrycznych przebiegów okresowych o dowolnym kształcie na napięcia stałe, zawierający układ pamiętający, **znamienny tym**, że posiada układ porównujący (1) i układ uśredniający (3) połączone tak, że wyjście układu porównującego (1) połączone jest z wejściem układu pamiętającego (2), wyjście układu pamiętającego (2) połączone jest z wejściem układu uśredniającego (3), którego wyjście stanowi wyjście przetwornika i połączone jest z układem porównującym (1) tworząc pętlę sprzężenia zwrotnego.

3. Przetwornik według zastrz. 2, **znamienny tym**, że układ porównujący (1) posiada impedancyjny dzielnik (4) o dwu wejściach będących wejściami (WE_a), (WE_b) przetwornika i wejście (WE_z) dla pętli sprzężenia zwrotnego oraz porównujący element (5) korzystnie komparator, którego wejście odwracalne (D) połączone jest z drugim wyjściem (WY_1) dzielnika impedancyjnego (4) a wejście nieodwracalne (D) połączone jest z drugim wyjściem (WY_1) dzielnika impedancyjnego (4).

4. Przetwornik według zastrz. 2, **znamienny tym**, że układ pamiętający zawiera cyfrowy element pamiętający (6) korzystnie przerzutnik typu D, posiadający wejście dla impulsu strobującego.

5. Przetwornik według zastrz. 2, **znamienny tym**, że układ uśredniający (3) zawiera filtr dolnoprzepustowy (7) korzystnie integrator, do którego wejścia podłączone są impedancje (Z_5), (Z_6) korzystnie

rezystory, z których jedna (Z_5) podłączona jest do wyjścia układu pamiętającego (2) a druga (Z_6) podłączona jest do źródła napięcia pomocniczego (U_p).

6. Przetwornik według zastrz. 3, **znamienny tym**, że impedancyjny dzielnik (4) składa się z impedancji (Z_1), (Z_2), (Z_3), (Z_4) korzystnie rezystorów, korzystnie o jednakowej wartości, przy czym impedancje (Z_1), (Z_2) połączone są szeregowo, punkt wspólny tych impedancji stanowi jedno wyjście (WY_1) impedancyjnego dzielnika (4), drugi koniec impedancji (Z_1) stanowi jedno wejście (WE_a) przetwornika a drugi koniec impedancji (Z_2) połączony jest do masy, również impedancje (Z_3), (Z_4) połączone są szeregowo, punkt wspólny tych impedancji stanowi drugie wyjście (WY_2) impedancyjnego dzielnika (4), drugi koniec impedancji (Z_3) stanowi drugie wejście (WE_b) przetwornika a drugi koniec impedancji (Z_4) stanowi wejście (WE_z) układu porównującego dla pętli sprzężenia zwrotnego.

7. Przetwornik według zastrz. 3, **znamienny tym**, że impedancyjny dzielnik (4) składa się z impedancji (Z_3), (Z_4) korzystnie rezystorów, korzystnie o jednakowej wartości połączonych szeregowo, punkt wspólny tych impedancji stanowi jedno wyjście (WY_2) impedancyjnego dzielnika (4), przy czym drugi koniec jednej impedancji (Z_3) stanowi wejście (WE_b) przetwornika, drugi koniec drugiej impedancji (Z_4) stanowi wejście (WE_z) układu porównującego (1) dla pętli sprzężenia zwrotnego a drugie wyjście (WY_1) impedancyjnego dzielnika stanowi masa.

8. Przetwornik według zastrz. 3, **znamienny tym**, że impedancyjny dzielnik (4) składa się z impedancji (Z_3), (Z_4) korzystnie rezystorów, korzystnie o jednakowej wartości, połączonych szeregowo, punkt wspólny tych impedancji stanowi wyjście (WY_2) impedancyjnego dzielnika (4) przy czym drugi koniec jednej impedancji (Z_3) podłączony jest do masy, drugi koniec drugiej impedancji (Z_4) stanowi wejście (WE_z) układu porównującego (1) dla pętli sprzężenia zwrotnego a drugie wyjście (WY_1) impedancyjnego dzielnika (4) stanowi wejście (WE_a) przetwornika.

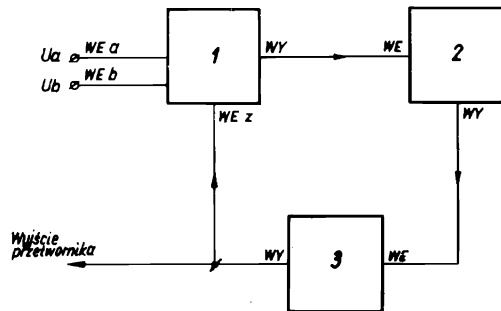


Fig. 1

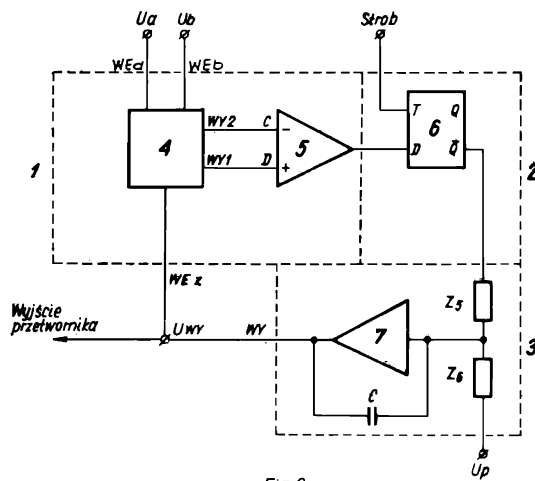


Fig. 2

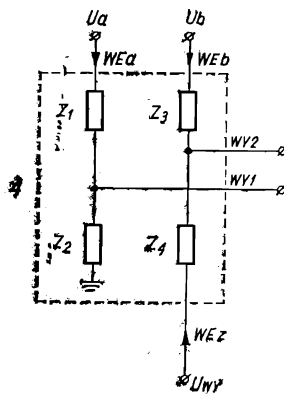


Fig. 3

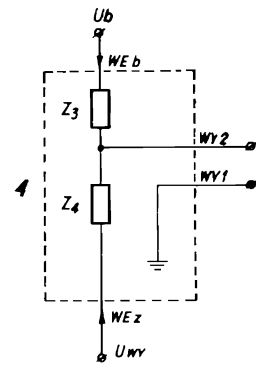


Fig. 4

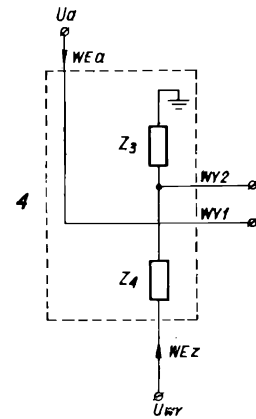


Fig. 5