(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월28일
(11) 등록번호 10-1750699
(24) 등록일자 2017년06월20일

(51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01) *H03M 3/00* (2006.01)
(52) CPC특허분류
H03M 1/12 (2013.01)
H03M 1/129 (2013.01)
(21) 출원번호 10-2016-0003827
(22) 출원일자 2016년01월12일
심사청구일자 2016년01월12일
(56) 선행기술조사문헌
KR1020150084556 A*
JP2014014054 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
이현빈
대전광역시 서구 둔산로 155 109동 703호 (둔산동,크로바아파트)
강태근
대전광역시 동구 가양로68번길 77
(뒷면에 계속)
(74) 대리인
추혁, 김진동

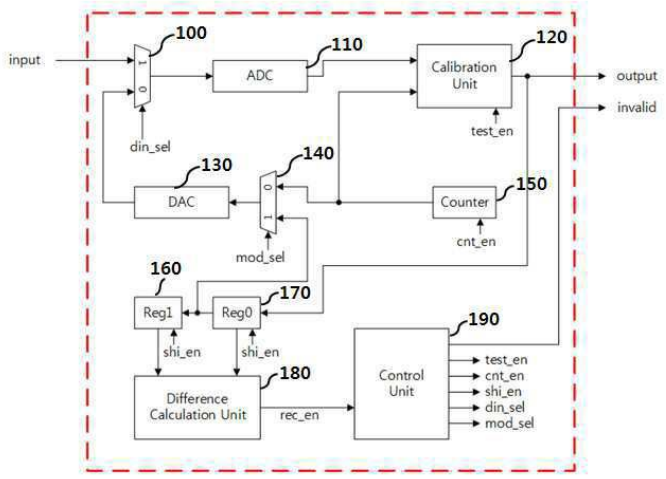
전체 청구항 수 : 총 1 항 심사관 : 유선중

(54) 발명의 명칭 **DAC 회로를 이용한 ADC 회로 상태 모니터링 방법**

(57) 요 약

DAC 회로를 이용한 ADC 회로 상태 모니터링 방법 및 장치가 개시된다. DAC 회로를 이용한 ADC 회로 상태 모니터링 방법은 차이 계산부에서 제1 레지스터로부터 재보정된 디지털 신호를 수신하고, 제2 레지스터로부터 보정된 디지털 신호를 수신하여 보정된 디지털 신호와 재보정된 디지털 신호의 차이 값을 산출하도록 제어하는 단계와 ADC 회로 상태 모니터링 장치가 차이 값이 설정된 임계 범위를 벗어난 경우, 제어부로 보정 요청 신호를 전송하도록 제어하는 단계를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H03M 3/378 (2013.01)
H03M 2201/11 (2013.01)
(72) 발명자
유재현
대전광역시 동구 성남로 15 110동 702호 (성남동, 스마트뷰아파트)
박재현
대전광역시 유성구 학하서로121번길 168 202호 (덕명동,가야타운)

이 발명을 지원한 국가연구개발사업
과제고유번호 2015010466
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 신진연구자지원
연구과제명 플래시 메모리의 마모로 인한 오류 증가를 극복하기 위한 오류율 예측 방법과 확장 가능한 LDPC 구조 연구
기 여 율 1/1
주관기관 연구사업관리팀
연구기간 2015.05.01 ~ 2016.04.30

명 세 서

청구범위

청구항 1

DAC(digital-analog converter) 회로를 이용한 ADC(analog-digital converter) 회로의 상태 모니터링 방법은,

ADC 회로 상태 모니터링 장치가 아날로그 신호인 외부 입력 신호가 상기 ADC 회로를 통해 디지털 신호로 변환된 후 보정부를 통해 보정된 디지털 신호를 저장하도록 제어하는 단계;

상기 ADC 회로 상태 모니터링 장치가 제2 레지스터에 상기 보정된 디지털 신호를 저장하도록 제어하는 단계;

상기 ADC 회로 상태 모니터링 장치가 제1 레지스터에 의해 전달된 상기 보정된 디지털 신호를 DAC 회로 및 ADC 회로를 통해 재변환 후 상기 보정부를 통해 재보정하여 재보정된 디지털 신호를 생성하도록 제어하는 단계;

상기 ADC 회로 상태 모니터링 장치가 상기 제1 레지스터에 상기 재보정된 디지털 신호를 저장하도록 제어하는 단계;

상기 ADC 회로 상태 모니터링 장치가 차이 계산부에서 상기 제1 레지스터로부터 상기 재보정된 디지털 신호를 수신하고, 상기 제2 레지스터로부터 상기 보정된 디지털 신호를 수신하여 상기 보정된 디지털 신호와 상기 재보정된 디지털 신호의 차이 값을 산출하도록 제어하는 단계;

상기 ADC 회로 상태 모니터링 장치가 상기 차이 값이 설정된 임계 범위를 벗어난 경우, 제어부로 보정 요청 신호를 전송하도록 제어하는 단계;

상기 ADC 회로 상태 모니터링 장치가 상기 보정 요청 신호를 기반으로 상기 제어부에서 카운터를 동작시켜 카운터 신호를 발생시키도록 제어하는 단계; 및

상기 ADC 회로 상태 모니터링 장치가 상기 보정부에서 상기 카운터 신호 및 상기 카운터 신호를 상기 DAC 회로 및 상기 ADC 회로를 통해 변환시킨 변환된 카운터 신호를 비교하여 보정 알고리즘의 보정 파라메터를 재설정하도록 제어하는 단계;를 더 포함하는 것을 특징으로 하는 DAC 회로를 이용한 ADC 회로 상태 모니터링 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 회로 상태 모니터링 방법 및 장치에 관한 것으로서, 보다 상세하게는, DAC 회로를 이용한 ADC 회로 상태 모니터링 방법 및 회로에 관한 것이다.

배 경 기 술

[0002] 아날로그-디지털 변환 회로는 A/D(analog/digital) 컨버터 또는 간단하게 ADC(analog-digital converter)라 하며, 전기 신호를 전기 신호로 변환하는 이다.

[0003] 신호는 디지털 신호과 비교하여 저장이 어렵고 조작이 용이하지 않다. 따라서, 현재는 대부분의 전자 신호는 디지털화되어 사용되고 있다. 일반적으로 아날로그 신호가 디지털 신호로 변환되는 경우, 신호의 잡음 등에 유리하다. 아날로그 신호의 디지털 신호로의 변환에 따른 왜곡은 감수해야 한다. 디지털 신호는 (DAC)을 통해 아날로그 신호로 변환될 수 있다.

[0004] 예를 들어 초기의 전화기는 아날로그 방식으로 신호를 전송하였다. 교환망의 진화에 따라 음성 신호는 (pulse code modulation) 방식으로 디지털화되고 디지털화된 음성 신호는 전송되고 수신 측에서 다시 아날로그 음성 신호로 디코딩될 수 있다.

[0005] 디지털-아날로그 변환 회로(digital-to-analog converter, DAC)는 D/A컨버터라 하며, 부호화된 전기 신호를 전기 신호(전압, 전류 등)로 변환하는 이다. DAC 회로의 신호 변환 과정은 회로의 신호 변환 과정의 역방향 처리 과정이다. 부호화 과정에서 정해진 비트수가 결정되어 있어 복원의 정밀도는 제한적이다. 디지털 신호를 제한된 정밀도를 가지는 아날로그 신호의 크기로 바꾸어 스텝 신호를 출력하고 필터 회로를 사용하여 스텝 신호를 원래 아날로그 신호에 가깝게 복원할 수 있다. ADC 회로와 DAC 회로는 주로 이진수로 표현되며 정해진 비트를 미리 결정한다. 비트 수가 많으면 신호의 표현상 이 높아져 정밀도가 높아지고 원래 신호 복원에 유리하나 처리 회로의 복잡도가 높아질 수 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) KR 10-2009-0034634

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 측면은 DAC 회로를 이용한 ADC 회로 상태 모니터링 방법을 제공한다.

[0008] 본 발명의 다른 측면은 DAC 회로를 이용한 ADC 회로 상태 모니터링 회로를 제공한다.

과제의 해결 수단

[0009] 본 발명의 일 측면에 따른 DAC(digital-analog converter) 회로를 이용한 ADC(analog-digital converter) 회로 상태 모니터링 방법은 ADC 회로 상태 모니터링 장치가 제1 레지스터에 보정부에 의해 보정된 디지털 신호를 저장하도록 제어하는 단계, 상기 ADC 회로 상태 모니터링 장치가 상기 제2 레지스터에 상기 보정된 디지털 신호를 저장하도록 제어하는 단계, 상기 ADC 회로 상태 모니터링 장치가 상기 제1 레지스터에 의해 전달된 상기 보정된 디지털 신호를 상기 DAC 회로 및 상기 ADC 회로를 통해 재변환 후 상기 보정부를 통해 재보정하여 재보정된 디지털 신호를 생성하도록 제어하는 단계, 상기 ADC 회로 상태 모니터링 장치가 상기 제1 레지스터에 상기 재보정된 디지털 신호를 저장하도록 제어하는 단계, 상기 ADC 회로 상태 모니터링 장치가 차이 계산부에서 상기 제1 레지스터로부터 상기 재보정된 디지털 신호를 수신하고, 상기 제2 레지스터로부터 상기 보정된 디지털 신호를 수신하여 상기 보정된 디지털 신호와 상기 재보정된 디지털 신호의 차이 값을 산출하도록 제어하는 단계, 상기 ADC 회로 상태 모니터링 장치가 상기 차이 값이 설정된 임계 범위를 벗어난 경우, 제어부로 보정 요청 신호를

전송하도록 제어하는 단계를 포함할 수 있다.

[0010] 한편, DAC 회로를 이용한 ADC 회로 상태 모니터링 방법은 상기 ADC 회로 상태 모니터링 장치가 상기 보정 요청 신호를 기반으로 상기 제어부에서 카운터를 동작시켜 카운터 신호를 발생시키도록 제어하는 단계, 상기 ADC 회로 상태 모니터링 장치가 상기 보정부에서 상기 카운터 신호 및 상기 카운터 신호를 상기 DAC 회로 및 상기 ADC 회로를 통해 변환시킨 변환된 카운터 신호를 비교하여 보정 알고리즘의 보정 파라메터를 재설정하도록 제어하는 단계를 포함할 수 있다.

[0011] 또한, 상기 보정된 디지털 신호는 아날로그 신호인 외부 입력 신호가 상기 ADC 회로를 통해 디지털 신호로 변환된 후 상기 보정부를 통해 보정된 신호일 수 있다.

[0012] 또한, DAC 회로를 이용한 ADC 회로 상태 모니터링 방법은 상기 ADC 회로 상태 모니터링 장치가 제1 선택부에서 상기 외부 입력 신호를 상기 ADC 회로로 전달할지 상기 보정된 디지털 신호를 상기 ADC 회로로 전달할지 여부를 결정하도록 제어하는 단계와 상기 ADC 회로 상태 모니터링 장치가 제2 선택부에서 상기 카운터 신호를 상기 DAC 회로로 전달할지 상기 보정된 디지털 신호를 상기 DAC 회로로 전달할지 여부를 결정하도록 제어하는 단계를 더 포함할 수 있다.

[0013] 본 발명의 다른 측면에 따른 DAC(digital-analog converter) 회로를 이용한 ADC(analog-digital converter) 회로 상태 모니터링 장치는 제어부를 포함하고, 상기 제어부는 제1 레지스터에 보정부에 의해 보정된 디지털 신호를 저장하도록 제어하고, 제2 레지스터에 상기 보정된 디지털 신호를 저장하도록 제어하고, 상기 제1 레지스터에 의해 전달된 상기 보정된 디지털 신호를 상기 DAC 회로 및 상기 ADC 회로를 통해 재변환 후 상기 보정부를 통해 재보정하여 재보정된 디지털 신호를 생성하도록 제어하고, 상기 제1 레지스터에 상기 재보정된 디지털 신호를 저장하도록 제어하고, 차이 계산부에서 상기 제1 레지스터로부터 상기 재보정된 디지털 신호를 수신하고, 상기 제2 레지스터로부터 상기 보정된 디지털 신호를 수신하여 상기 보정된 디지털 신호와 상기 재보정된 디지털 신호의 차이 값을 산출하도록 제어하고, 상기 차이 값이 설정된 임계 범위를 벗어난 경우, 제어부로 보정 요청 신호를 전송하도록 제어하도록 구현될 수 있다.

[0014] 한편, 상기 제어부는 상기 보정 요청 신호를 기반으로 상기 제어부에서 카운터를 동작시켜 카운터 신호를 발생시키도록 제어하고, 상기 보정부에서 상기 카운터 신호 및 상기 카운터 신호를 상기 DAC 회로 및 상기 ADC 회로를 통해 변환시킨 변환된 카운터 신호를 비교하여 보정 알고리즘의 보정 파라메터를 재설정하도록 제어하도록 구현될 수 있다.

[0015] 또한, 상기 보정된 디지털 신호는 아날로그 신호인 외부 입력 신호가 상기 ADC 회로를 통해 디지털 신호로 변환된 후 상기 보정부를 통해 보정된 신호일 수 있다.

[0016] 또한, 상기 제어부가 제1 선택부에서 상기 외부 입력 신호를 상기 ADC 회로로 전달할지 상기 보정된 디지털 신호를 상기 ADC 회로로 전달할지 여부를 결정하도록 제어하고, 상기 제어부가 제2 선택부에서 상기 카운터 신호를 상기 DAC 회로로 전달할지 상기 보정된 디지털 신호를 상기 DAC 회로로 전달할지 여부를 결정하도록 제어하도록 구현될 수 있다.

발명의 효과

[0017] 본 발명의 실시예에 따른 DAC를 이용한 ADC 상태 모니터링 방법 및 회로는 보정 알고리즘의 아날로그 신호의 디지털 신호로의 보정 알고리즘의 정확도를 모니터링하고, 정확도가 낮은 경우, 보정 알고리즘의 파라메터를 재설정하여 보정 알고리즘의 정확도를 높일 수 있다. 따라서, ADC 회로의 출력 오차를 측정하여 ADC 회로 또는 주변 회로의 변화(노화) 감지가 가능하고, 이전 설정된 보정 알고리즘을 회로 기능 노화 또는 환경 변화에 맞춰 재설정하여 출력 값을 지속적으로 재보정하여 출력 정확도 유지 및 수명 연장이 가능할 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 실시예에 따른 DAC 회로를 이용한 ADC 회로 상태 모니터링 장치를 나타낸 개념도이다.

도 2는 본 발명의 실시예에 따른 ADC 회로 상태 모니터링 장치의 ADC의 정확도 측정 동작을 나타낸 순서도이다.

도 3은 본 발명의 실시예에 따른 ADC 회로의 보정 알고리즘의 재설정 절차를 나타낸 개념도이다.

도 4는 본 발명의 실시예에 따른 ADC 회로의 보정 알고리즘의 재설정 절차를 나타낸 순서도이다.

도 5는 본 발명의 실시예에 따른 보정 알고리즘의 보정 확인 절차를 나타낸 개념도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예와 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조 부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

[0020] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0021] 이하, 본 발명의 실시예에서는 출력을 보정하는 알고리즘을 가지고 있는 ADC(analog-digital converter)에서 출력 값과 실제 전압(입력) 값의 오차를 산출하는 자가 테스트 및 진단 장치가 개시된다.

[0022] 본 발명의 실시예에 따른 DAC(digital-analog converter) 회로를 이용한 ADC(analog-digital converter) 회로 상태 모니터링 방법 및 장치는 보정의 오차가 시스템에서 허용되는 범위를 벗어난 경우, 보정 알고리즘을 재설정할 수 있다. DAC 회로를 이용한 ADC 회로 상태 모니터링 방법 및 회로는 ADC회로를 포함하는 모든 혼합 신호 회로에서 보정 알고리즘을 수행하여 출력 값을 내보내는 구조에 적용되어 활용될 수 있다.

[0023] 구체적으로 DAC 회로를 이용한 ADC 상태 모니터링 방법 및 장치는 보정 절차를 거친 1) ADC 회로의 출력 값과 2) 보정된 ADC 회로의 출력 값이 DAC 회로 및 ADC 회로를 통해 변환하여 나오는 출력 값을 레지스터에 저장하고 비교하여 현재 보정의 오차 정도를 판단할 수 있다. 전술한 바와 같이 보정의 오차가 보정의 오차가 시스템에서 허용하는 범위를 벗어난 경우, 내부의 카운터 회로와 DAC 뢰로를 이용하여 ADC 회로의 보정 알고리즘의 매개변수가 다시 측정할 수 있다.

[0024] ADC 회로의 출력 오차를 측정하여 ADC 회로 또는 주변 회로의 변화(노화) 정도가 탐지될 수 있다. DAC 회로를 이용한 ADC 회로 상태 모니터링 방법 및 장치는 이전 설정된 보정 알고리즘을 회로 기능 노화 또는 환경 변화에 맞춰 재설정하여 출력 값을 지속적으로 재보정할 수 있다. 이러한 방법을 통해 ADC 회로의 출력 정확도가 유지되고 수명 연장이 가능할 수 있다. 또한, ADC 회로의 시간에 따른 성능 감소로 인한 자가 테스트, 진단의 중요성이 강조되는 상황에서 DAC 회로와 소수의 레지스터를 통한 자가 진단 및 재보정 구조는 정확한 출력을 요구하는 많은 ADC 회로에 적용될 수 있다.

[0025] 도 1은 본 발명의 실시예에 따른 DAC 회로를 이용한 ADC 회로 상태 모니터링 장치를 나타낸 개념도이다.

[0026] 도 1을 참조하면, DAC를 이용한 ADC 상태 모니터링 장치는 제1 선택부, ADC 회로, 보정부, DAC 회로, 제2 선택부, 카운터, 제1 레지스터, 제2 레지스터, 차이 계산부, 제어부를 포함할 수 있다.

[0027] DAC회로를 이용한 ADC 회로 상태 모니터링 장치는 이하, ADC 회로 상태 모니터링 장치라는 용어로 표현된다.

[0028] 제1 선택부는 입력 신호를 입력받고, din_sel 신호에 따라 제1 선택부를 통해 출력되는 출력 신호를 선택하기 위해 구현될 수 있다. 구체적으로 din_sel 신호는 제어부에서 결정되는 ADC 회로로 입력되는 입력 신호(또는 입력 전압)을 결정하기 위한 신호일 수 있다. din_sel 신호의 값이 1인 경우, 외부 입력 신호가 선택되어 제1 선택부를 통해 출력되고, din_sel 신호의 값이 0인 경우, 정확도 측정 또는 보정 알고리즘의 재설정을 위한 DAC 회로로부터 전달된 신호가 제1 선택부를 통해 출력될 수 있다.

[0029] ADC 회로는 입력된 아날로그 신호를 디지털 신호로 변환하기 위해 구현될 수 있다. ADC 회로는 제1 선택부를 통해 입력되는 아날로그 신호를 변환할 수 있다. 구체적으로 ADC 회로를 통해 입력되는 아날로그 신호는 외부 입력 신호 또는 ADC 회로를 통해 디지털 신호로 변환된 신호, ADC 회로를 통해 디지털 신호로 변환된 이후, DAC 회로를 통해 다시 아날로그 신호로 변환된 신호 등일 수 있다.

[0030] 보정부는 보정 알고리즘을 기반으로 한 보정 동작을 수행하기 위해 구현될 수 있다. 보정 알고리즘은 설정된 보정 파라메터 값을 기반으로 ADC 회로를 통해 출력되는 디지털 신호를 보정할 수 있다. 설정된 파라메터 값의 조정을 통해 보정의 정확도가 증가될 수 있다. 보정 정확도가 낮은 경우, 보정 알고리즘의 보정 파라메터를 재설

정하여 보정의 정확도를 높일 수 있다.

[0031] 차이 계산부는 제1 레지스터 및 제2 레지스터에 저장된 값의 차이를 계산한 결과를 기반으로 보정부의 보정 알고리즘의 재설정이 필요하다고 판단할 수 있고, 이러한 경우, 보정부는 보정 알고리즘의 재설정 동작을 수행할 수 있다. 보정 알고리즘의 재설정을 위해 보정부로 test_en 신호가 입력될 수 있다. test_en 신호는 보정 알고리즘 재설정(매개변수의 재설정)을 위한 보정기로의 테스트 알림 신호일 수 있다. 보정부의 보정 알고리즘의 재설정을 위해 DAC 회로의 출력 값이 ADC 회로의 입력으로 선택될 수 있다.

[0032] 보정 알고리즘의 재설정 절차를 위해 카운터로 cnt_en 신호가 입력되고 보정부의 보정 알고리즘의 재설정에 필요한 ADC 회로의 출력과 함께 실제 입력 데이터를 생성하기 위한 카운터 실행 신호가 생성될 수 있다. 구체적으로 보정부로 보정 알고리즘의 재설정을 위한 테스트 알림 신호인 test_en 신호가 인가되어 카운터의 값들을 차례대로 발생시킬 수 있다. 이러한 방식으로 카운터 신호의 실제 값과 DAC 회로를 거쳐 ADC 회로로 출력되는 카운터 신호를 동시에 보정부에 입력하여 보정 알고리즘(알고리즘의 매개변수)이 재설정될 수 있다.

[0033] DAC 회로는 입력된 아날로그 신호를 디지털 신호로 변환하기 위해 구현될 수 있다. DAC 회로는 제2 선택부의 선택에 따라 카운터로부터 입력되는 신호 또는 제1 레지스터에 저장된 신호를 입력받을 수 있다. DAC 회로는 입력된 아날로그 신호를 디지털 신호로 변환하고, 제1 선택부로 전달할 수 있다.

[0034] 제2 선택부는 선택에 따라 카운터로부터 입력되는 신호 또는 제1 레지스터에 저장된 신호를 DAC 회로로 전달하기 위해 구현될 수 있다. 제2 선택부는 제어부에 의해 mod_sel 신호를 입력받아 동작할 수 있다.

[0035] 제2 선택부는 입력된 mod_sel 신호의 값이 1인 경우, 정확도 측정을 위해 제1 레지스터에 저장되어 있던 ADC 회로의 출력 값이 제2 선택부를 통해 DAC 회로로 입력될 수 있다. 제2 선택부는 입력된 mod_sel 신호의 값이 0인 경우, 보정 알고리즘의 재설정을 위한 카운터 값이 선택될 수 있다. 즉, 제2 선택부의 선택에 따라 ADC 회로의 출력 값 또는 카운터 값이 DAC 회로로 입력될 수 있다.

[0036] 카운터는 보정 알고리즘의 실제 입력 데이터를 생성하기 위한 카운터 실행 신호인 cnt_en 신호를 입력받고 카운터 신호를 발생시키기 위해 구현될 수 있다.

[0037] 제1 레지스터는 ADC 회로 및 보정부를 통해 생성된 보정된 디지털 신호에 대한 정보를 저장하기 위해 구현될 수 있다. 제1 레지스터에 저장된 보정된 디지털 신호에 대한 정보는 다시 제2 선택부, DAC 회로, 제1 선택부, ADC 회로 및 보정부를 통해 보정된 디지털 신호로 다시 생성되어 다시 제1 레지스터에 재보정된 디지털 신호로서 저장될 수 있다.

[0038] 제2 레지스터는 제1 레지스터에 저장된 보정된 디지털 신호에 대한 정보를 제1 레지스터로부터 수신하여 저장하기 위해 구현될 수 있다.

[0039] 차이 계산부는 제1 레지스터에 저장된 재보정된 디지털 신호 정보와 제2 레지스터에 저장된 보정된 디지털 신호 정보의 차이를 계산하기 위해 구현될 수 있다. 차이 계산부는 보정된 디지털 신호와 재보정된 디지털 신호 정보의 차이가 임계 범위 이상인 경우, rec_en 신호를 발생시킬 수 있다. rec_en 신호는 제어부의 보정 알고리즘의 재설정을 수행하기 위한 신호일 수 있다.

[0040] 제어부는 제1 선택부, ADC 회로, 보정부, DAC 회로, 제2 선택부, 카운터, 제1 레지스터 제2 레지스터, 차이 계산부의 동작을 제어하기 위해 구현될 수 있다. 차이 계산부는 제1 레지스터 및 제2 레지스터로부터 수신한 결과 값을 기반으로 보정 알고리즘의 재설정이 필요하다고 판단되는 경우, reg_en 신호를 제어부로 전송할 수 있고, 제어부는 각 구성부로 전달되는 제어 신호(test_en, cnt_en, shi_en, din_sel, mod_sel)을 기반으로 구성부를 제어하여 제어 절차를 수행할 수 있다.

[0041] 아래의 표 1은 제어기에서 출력되는 신호를 나타낸다.

표 1

[0042]

신호명	설명
test_en	보정 알고리즘의 재설정(매개변수의 재설정)을 위한 보정부로의 테스트 알림 신호
cnt_en	보정 알고리즘의 재설정에 필요한 ADC 회로의 출력과 함께 실제 입력 데이터를 생성하기 위한 카운터 실행 신호
shi_en	ADC 회로의 정확도를 측정하기 위하여 출력하는 값을 저장하기 위한 레지스터 인가 신호, 한 번의 정확도 측정을 위하여 두 번의 인가 신호 발생

din_sel	ADC의 입력을 선택하는 신호, 1일 때는 외부 입력 전압(또는 외부 입력 신호)이, 0일 때는 정확도 측정 또는 보정 알고리즘의 재설정을 위한 DAC 출력이 선택
mod_sel	1일 때는 정확도 측정을 위하여 Reg0(제1 레지스터)에 저장되어 있던 ADC 출력 값이, 0일 때는 보정 알고리즘의 재설정을 위한 카운터 값이 선택

[0043] 이하, 본 발명의 실시예에서는 구체적인 ADC 회로 상태 모니터링 장치의 ADC 회로 정확도 측정 절차가 개시된다.

[0044] 도 2는 본 발명의 실시예에 따른 ADC 회로 상태 모니터링 장치의 ADC의 정확도 측정 동작을 나타낸 순서도이다.

[0045] 도 2에서는 ADC 상태 모니터링 회로의 ADC의 정확도를 측정하기 위한 각 구성부의 동작이 개시된다.

[0046] 도 2를 참조하면, ADC 회로의 입력 신호(또는 입력 전압)으로 외부 입력 신호(또는 외부 입력 전압)이 선택되어 ADC 상태 모니터링 장치로 입력되고 입력된 외부 전압은 보정부를 거쳐 보정된다(단계 S200).

[0047] 전술한 바와 같이 외부 입력 신호가 제1 선택부를 통해 입력되고 ADC 회로 및 보정부를 통해 보정될 수 있다. 제어부는 단계 S200의 동작을 위한 제어 신호로 test_en:0, cnt_en:0, shi_en:0, din_en:1, mod_sel:1로 설정할 것을 각 구성부로 명령할 수 있다. 위와 같은 설정을 통해 외부 입력 신호가 제1 선택부를 통해 입력되고 ADC 회로 및 보정부를 통해 보정될 수 있다.

[0048] ADC 회로의 보정된 출력이 제1 레지스터에 저장된다(단계 S210).

[0049] 단계 S200을 통해 보정부를 거친 외부 입력 신호는 제1 보정된 디지털 신호로 생성될 수 있고, 제1 보정된 디지털 신호는 제1 레지스터에 저장될 수 있다. 제어부는 단계 S210의 동작을 위한 제어 신호를 test_en:0, cnt_en:0, shi_en:1, din_en:1, mod_sel:1로 설정하여 각 구성부의 동작을 명령할 수 있다. 위와 같은 설정을 통해 제1 보정된 디지털 신호가 제1 레지스터에 저장될 수 있다.

[0050] 제1 레지스터에 저장된 제1 보정된 디지털 신호가 DAC 회로를 거쳐 ADC 회로의 입력 신호로 선택된다(단계 S220).

[0051] 제1 레지스터에 저장된 제1 보정된 디지털 신호가 DAC 회로를 거쳐 ADC 회로의 입력 신호로 선택될 수 있다. 구체적으로 제1 레지스터에 저장된 제1 보정된 디지털 신호는 다시 제2 선택부, DAC 회로, 제1 선택부, ADC 회로 및 보정부를 거쳐 제2 보정된 디지털 신호로 생성될 수 있다. 제어부는 단계 S220의 동작을 위한 제어 신호를 test_en:0, cnt_en:0, shi_en:0, din_en:0, mod_sel:1로 설정하여 각 구성부의 동작을 명령할 수 있다. 위와 같은 설정을 통해 제1 보정된 디지털 신호가 제1 레지스터에 저장될 수 있다.

[0052] 제1 레지스터에 저장된 제1 보정된 디지털 신호는 제2 레지스터에 저장되고 제2 보정된 디지털 신호는 다시 제1 레지스터에 저장된다(단계 S230).

[0053] 본 발명의 실시예에 따른 ADC 상태 모니터링 회로에서는 보정을 통하여 나온 ADC 회로의 출력 값(제1 보정된 디지털 신호)와 이 출력 값(제1 보정된 디지털 신호)을 DAC 회로를 통해 다시 ADC 회로의 입력 값으로 입력함으로써 나오는 출력 값(제2 보정된 디지털 신호) 각각을 별도의 레지스터에 저장하고 비교하여 현재 보정의 오차 정도를 파악할 수 있다. 보정의 오차가 시스템에서 허용하는 정도보다 클 경우, 내부의 카운터와 DAC 회로를 이용하여 ADC 회로를 통해 출력되는 디지털 신호를 위한 보정 알고리즘의 매개변수를 다시 측정할 수 있다. 제어부는 단계 S220의 동작을 위한 제어 신호로 test_en:0, cnt_en:0, shi_en:1, din_en:0, mod_sel:1로 설정할 것을 각 구성부로 명령할 수 있다. 위와 같은 설정을 통해 제1 레지스터에 저장된 제1 보정된 디지털 신호는 제2 레지스터에 저장되고 제2 보정된 디지털 신호는 다시 제1 레지스터에 저장될 수 있다.

[0054] 차이 계산부가 제2 레지스터에 저장된 제1 보정된 디지털 신호와 제1 레지스터에 저장된 제2 보정된 디지털 신호의 비교 결과를 제어기로 출력한다(단계 S240).

[0055] 차이 계산부가 제2 레지스터에 저장된 제1 보정된 디지털 신호와 제1 레지스터에 저장된 제2 보정된 디지털 신호를 비교 결과를 제어기로 출력할 수 있다. 차이 계산기의 결과에서 보정 알고리즘의 재설정이 필요하다고 판단될 경우 reg_en의 신호를 통해 보정 알고리즘의 재설정 절차가 시작되고 제어기의 신호들이 제어될 수 있다.

[0056] 위와 같은 ADC 회로 상태 모니터링 방법이 사용되는 경우, ADC 회로의 출력 오차를 측정하여 ADC 회로 또는 주변 회로의 변화(노화) 감지가 가능할 수 있다. 이전 설정된 보정 알고리즘을 회로 기능 노화 또는 환경 변화에

맞춰 재설정하여 출력 값을 지속적으로 재보정하여 출력 정확도 유지 및 수명 연장이 가능할 수 있다. 이러한 ADC 회로 상태 모니터링 방법은 ADC 회로의 시간에 따른 성능 감소로 인한 자가 테스트, 진단의 중요성이 강조되는 상황에서 DAC 회로와 소수의 레지스터를 사용한 자가 진단 및 재보정 구조를 통해 정확한 출력을 요구하는 많은 ADC 회로에 적용될 수 있다.

[0057] 아래의 표 2는 각 단계 별 제어부에서 생성되는 제어 신호의 설정을 나타낸 표이다.

표 2

[0058]

순서	test_en	cnt_en	shi_en	din_sel	mod_sel	설명
1	0	0	0	1	1	ADC 회로의 입력으로 외부 전압이 선택되어 들어오고 보정을 거쳐 출력
2	0	0	1	1	1	ADC 회로의 보정된 출력이 제1 레지스터(Reg0)에 저장됨
3	0	0	0	0	1	제1 레지스터(Reg0)에 저장된 값(ADC 회로가 스스로 출력한 값)이 DAC 회로를 거쳐 ADC 회로의 입력으로 선택됨
4	0	0	1	0	1	최초에 저장되었던 제1 레지스터(Reg0)의 값은 제2 레지스터(Reg1)로 이동하고 제1 레지스터(Reg0) 값의 입력에 의한 ADC 회로의 출력값은 다시 제1 레지스터(Reg0)에 저장됨
5	0	0	0	0	1	제1 레지스터(Reg0) 값과 제2 레지스터(Reg1)의 값을 차이 계산기에서 비교하고 그 결과를 제어기로 출력

[0059] 이하, 본 발명의 실시예에서는 구체적인 ADC 회로의 보정 알고리즘의 재설정이 개시된다.

[0060] 도 3은 본 발명의 실시예에 따른 ADC 회로의 보정 알고리즘의 재설정 절차를 나타낸 개념도이다.

[0061] 도 3에서는 ADC 회로의 정확도 측정 이후 재설정이 필요하다고 판단될 경우 실행되는 ADC 회로의 보정 알고리즘의 재설정 절차가 개시된다.

[0062] 도 3을 참조하면, 제어부가 차이 측정부로부터 rec_en의 인가 신호를 받으면 제2 선택부가 카운터에서 생성되는 신호를 입력받도록 설정할 수 있다. 구체적으로 제2 선택부의 동작을 제어하는 mod_sel 신호를 0으로 설정하여 카운터로부터 생성되는 카운터 신호가 DAC 회로의 입력으로 선택되게 할 수 있다. 또한, din_sel 신호를 0으로 설정하여 DAC 회로의 출력 값이 ADC 회로의 입력으로 선택되게 한다.

[0063] 이 후에 카운터로 cnt_en 신호를 인가하고, 보정부로 test_en 신호를 인가하여 카운터의 값들을 차례대로 발생시켜 실제 카운터 신호의 값과 DAC 회로를 거쳐 ADC 회로로 출력되는 카운터 신호의 값을 동시에 보정부에 입력하여 보정 알고리즘(알고리즘의 매개 변수)를 재설정할 수 있다. 보정부는 카운터로부터 직접 입력받은 카운터 신호 및 DAC 회로 및 ADC 회로를 거쳐 입력되는 카운터 신호를 비교하여 보정 알고리즘(알고리즘의 매개 변수)를 재설정할 수 있다.

[0064] 도 4는 본 발명의 실시예에 따른 ADC 회로의 보정 알고리즘의 재설정 절차를 나타낸 순서도이다.

[0065] 도 4에서는 ADC 회로의 정확도 측정 이후 재설정이 필요하다고 판단될 경우 실행되는 ADC 회로의 보정 알고리즘의 재설정 절차가 개시된다.

[0066] 도 4를 참조하면, 제어부가 차이 측정부로부터 rec_en 신호를 받아 제2 선택부가 카운터에서 생성되는 신호를 입력받도록 설정한다(단계 S400).

[0067] 구체적으로 제어부는 제2 선택부의 mod_sel 신호를 0으로 설정하여 카운터로부터 생성되는 값이 DAC 회로의 입력으로 선택되게 할 수 있다. 또한, 제1 선택부의 din_sel 신호를 0으로 설정하여 DAC회로의 출력 값이 ADC 회로의 입력으로 선택되게 한다.

[0068] 제어부가 카운터로 cnt_en 신호를 인가하고, 보정부로 test_en 신호를 인가한다(단계 S410).

[0069] 제어부는 카운터로 cnt_en 신호를 인가하고, 보정부로 test_en 신호를 인가하여 카운터의 값들을 차례대로 발생시켜 실제 카운터 신호의 값과 DAC 회로를 거쳐 ADC 회로로 출력되는 카운터 신호의 값을 동시에 보정부에 입력

하여 보정 알고리즘(알고리즘의 매개 변수)를 재설정할 수 있다. 보정부는 카운터로부터 직접 입력받은 카운터 신호 및 DAC 회로 및 ADC 회로를 거쳐 입력되는 카운터 신호를 비교하여 보정 알고리즘(알고리즘의 매개 변수)를 재설정할 수 있다.

[0070] 도 5는 본 발명의 실시예에 따른 보정 알고리즘의 보정 확인 절차를 나타낸 개념도이다.

[0071] 도 5에서는 보정부의 보정 알고리즘의 매개 변수가 제대로 다시 설정되었는지 여부를 확인하는 재확인 절차가 개신된다.

[0072] 도5를 참조하면, 다시 도 2에 개시된 입력 신호를 입력받는 절차를 통해 차이 계산부에서 제1 레지스터와 제2 레지스터에 입력되는 값을 비교하여 보정 알고리즘의 매개 변수가 제대로 다시 설정되었는지 여부를 확인하는 아래와 같은 재확인 절차가 수행될 수 있다.

[0073] 구체적으로 ADC 회로의 입력 전압으로 외부 전압이 선택되어 ADC 상태 모니터링 회로로 입력되고 입력된 외부 전압은 보정부를 거쳐 보정된다(단계 S500).

[0074] 외부 전압(input)이 제1 선택부를 통해 입력되고 ADC 회로 및 보정부를 통해 보정될 수 있다. ADC 회로의 보정된 출력이 제1 레지스터에 저장된다(단계 S510).

[0075] 단계 S200을 통해 보정부를 거친 외부 전압은 제1 보정된 디지털 신호로 생성될 수 있고, 제1 보정된 디지털 신호는 제1 레지스터에 저장될 수 있다.

[0076] 제1 레지스터에 저장된 제1 보정된 디지털 신호가 DAC 회로를 거쳐 ADC 입력으로 선택된다(단계 S520).

[0077] 제1 레지스터에 저장된 제1 보정된 디지털 신호는 다시 제2 선택부, DAC 회로, 제1 선택부, ADC 회로 및 보정부를 거쳐 제2 보정된 디지털 신호로 생성될 수 있다.

[0078] 제1 레지스터에 저장된 제1 보정된 디지털 신호는 제2 레지스터에 저장되고 제2 보정된 디지털 신호는 다시 제1 레지스터에 저장된다(단계 S530).

[0079] 본 발명의 실시예에 따른 ADC 상태 모니터링 회로에서는 보정을 통하여 나온 ADC 회로의 출력 값(제1 보정된 디지털 신호)와 이 출력 값을 DAC 회로를 통해 다시 ADC 회로의 입력 값으로 입력함으로써 나오는 출력 값(제2 보정된 디지털 신호) 각각을 별도의 레지스터에 저장하고 비교하여 현재 보정의 오차 정도를 파악할 수 있다. 보정의 오차가 시스템에서 허용하는 정도보다 클 경우, 내부의 카운터와 DAC 회로를 이용하여 ADC의 보정 알고리즘의 매개변수를 다시 측정할 수 있다.

[0080] 차이 계산부가 제2 레지스터에 저장된 제1 보정된 디지털 신호와 제1 레지스터에 저장된 제2 보정된 디지털 신호를 결과를 제어기로 출력한다(단계 S540).

[0081] 차이 계산부가 제2 레지스터에 저장된 제1 보정된 디지털 신호와 제1 레지스터에 저장된 제2 보정된 디지털 신호를 결과를 제어기로 출력할 수 있다. 차이 계산기의 결과를 통해 보정부의 보정 알고리즘의 매개 변수가 제대로 다시 설정되었는지 여부가 재확인할 수 있다.

[0082] 이와 같은 DAC를 이용한 ADC 상태 모니터링 방법은 애플리케이션으로 구현되거나 다양한 컴퓨터 구성요소를 통하여 수행될 수 있는 프로그램 명령어의 형태로 구현되어 컴퓨터 판독 가능한 기록 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능한 기록 매체는 프로그램 명령어, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다.

[0083] 상기 컴퓨터 판독 가능한 기록 매체에 기록되는 프로그램 명령어는 본 발명을 위하여 특별히 설계되고 구성된 것들이거니와 컴퓨터 소프트웨어 분야의 당업자에게 공지되어 사용 가능한 것일 수도 있다.

[0084] 컴퓨터 판독 가능한 기록 매체의 예에는, 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM, DVD 와 같은 광기록 매체, 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 ROM, RAM, 플래시 메모리 등과 같은 프로그램 명령어를 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다.

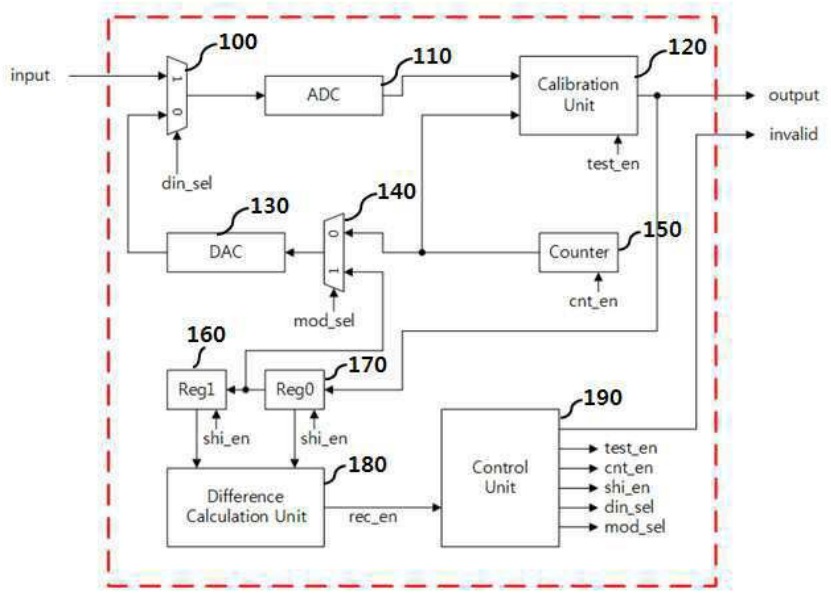
[0085] 프로그램 명령어의 예에는, 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드도 포함된다. 상기 하드웨어 장치는 본 발명에 따른 처리를 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0086] 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구범위에 기

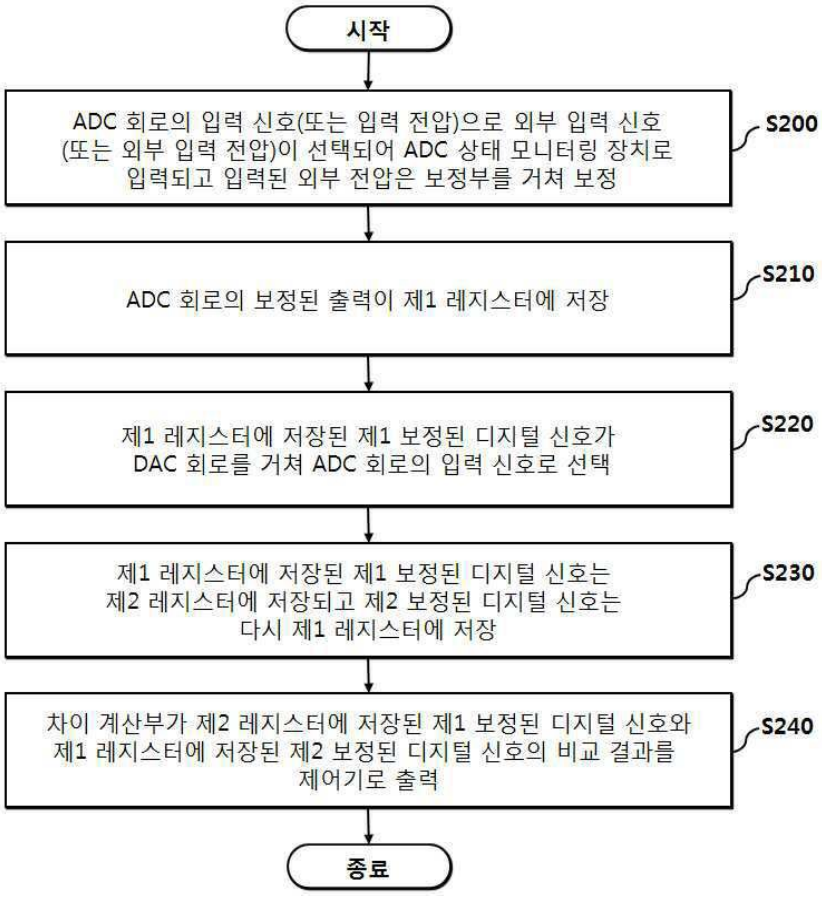
재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

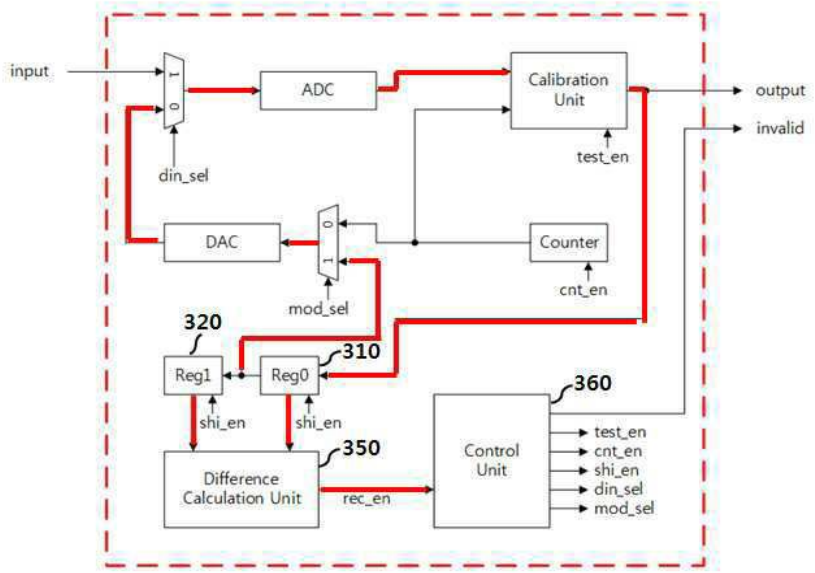
도면1



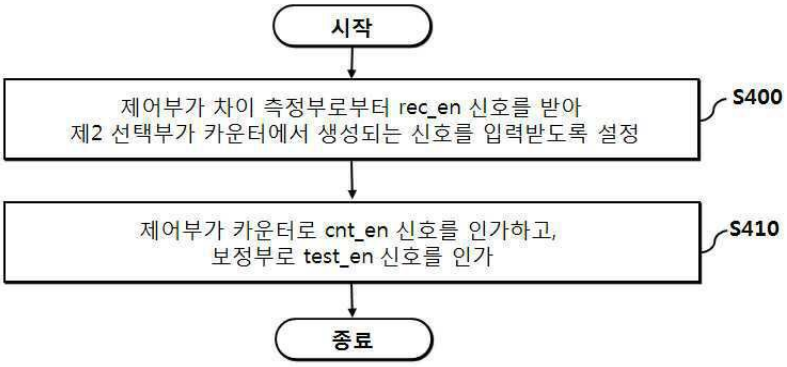
도면2


시작
ADC 회로의 입력 신호(또는 입력 전압)으로 외부 입력 신호 (또는 외부 입력 전압)이 선택되어 ADC 상태 모니터링 장치로 입력되고 입력된 외부 전압은 보정부를 거쳐 보정
S200
ADC 회로의 보정된 출력이 제1 레지스터에 저장
S210
제1 레지스터에 저장된 제1 보정된 디지털 신호가 DAC 회로를 거쳐 ADC 회로의 입력 신호로 선택
S220
제1 레지스터에 저장된 제1 보정된 디지털 신호는 제2 레지스터에 저장되고 제2 보정된 디지털 신호는 다시 제1 레지스터에 저장
S230
차이 계산부가 제2 레지스터에 저장된 제1 보정된 디지털 신호와 제1 레지스터에 저장된 제2 보정된 디지털 신호의 비교 결과를 제어기로 출력
S240
종료

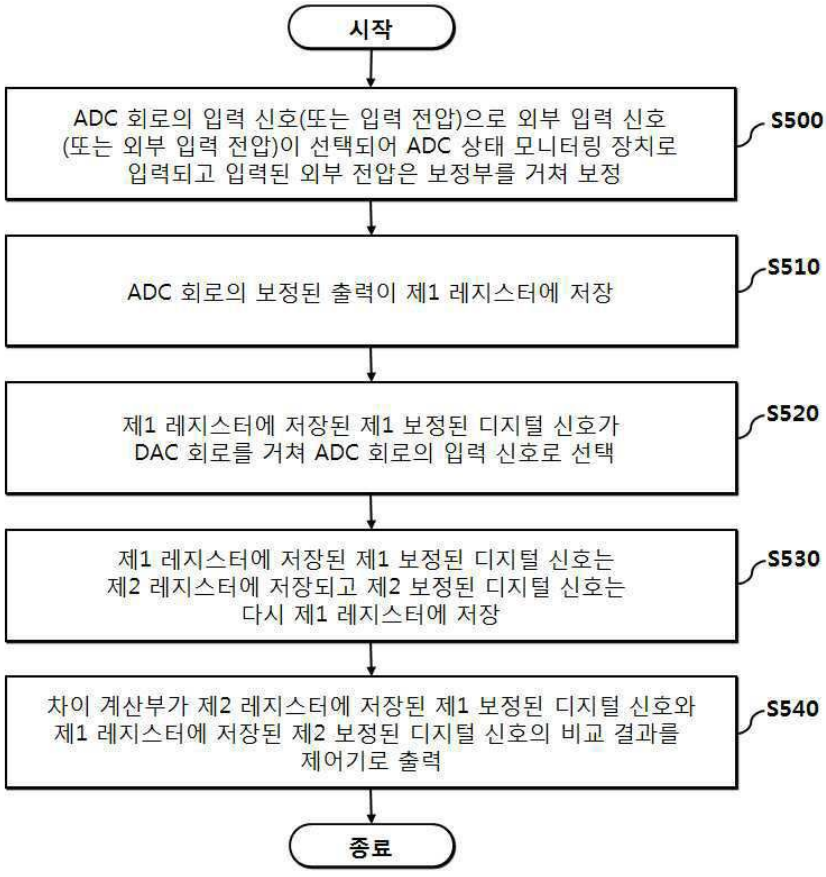
도면3


input
1
0
din_sel
ADC
Calibration Unit
output
invalid
test_en
DAC
0
1
mod_sel
Counter
cnt_en
320
310
Reg1
Reg0
shi_en
shi_en
360
350
Difference Calculation Unit
rec_en
Control Unit
test_en
cnt_en
shi_en
din_sel
mod_sel

도면4


시작
제어부가 차이 측정부로부터 rec_en 신호를 받아
제2 선택부가 카운터에서 생성되는 신호를 입력받도록 설정
S400
제어부가 카운터로 cnt_en 신호를 인가하고,
보정부로 test_en 신호를 인가
S410
종료

도면5


시작
ADC 회로의 입력 신호(또는 입력 전압)으로 외부 입력 신호
(또는 외부 입력 전압)이 선택되어 ADC 상태 모니터링 장치로
입력되고 입력된 외부 전압은 보정부를 거쳐 보정
S500
ADC 회로의 보정된 출력이 제1 레지스터에 저장
S510
제1 레지스터에 저장된 제1 보정된 디지털 신호가
DAC 회로를 거쳐 ADC 회로의 입력 신호로 선택
S520
제1 레지스터에 저장된 제1 보정된 디지털 신호는
제2 레지스터에 저장되고 제2 보정된 디지털 신호는
다시 제1 레지스터에 저장
S530
차이 계산부가 제2 레지스터에 저장된 제1 보정된 디지털 신호와
제1 레지스터에 저장된 제2 보정된 디지털 신호의 비교 결과를
제어기로 출력
S540
종료