

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和7年1月30日(2025.1.30)

【国際公開番号】WO2023/223813

【出願番号】特願2024-521653(P2024-521653)

【国際特許分類】

H 0 1 L 2 5 / 0 7 ( 2 0 0 6 . 0 1 )

【 F I 】

H 0 1 L 2 5 / 0 4

C

10

【手続補正書】

【提出日】令和6年10月17日(2024.10.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

20

各々が第1スイッチング素子および第2スイッチング素子を有する複数の第1スイッチ部と、

前記複数の第1スイッチ部の各々の前記第1スイッチング素子および前記第2スイッチング素子に第1駆動信号を入力する第1制御素子と、

前記複数の第1スイッチ部の各々の前記第1スイッチング素子および前記第2スイッチング素子が搭載される少なくとも1つのリードと、

前記第1制御素子と前記複数の第1スイッチ部の各々の前記第1スイッチング素子とにそれぞれ接合される複数の第1接続部材と、

前記第1制御素子と前記複数の第1スイッチ部の各々の前記第2スイッチング素子とにそれぞれ接合される複数の第2接続部材と、

30

を備え、

前記複数の第1スイッチ部において、前記第1スイッチング素子および前記第2スイッチング素子は、互いに電氣的に並列に接続され、且つ、互いに異なる種類であり、

前記複数の第1スイッチ部の各々の前記第1スイッチング素子および前記第2スイッチング素子は、厚さ方向に見て前記第1制御素子を囲むように配置されている、半導体装置。

【請求項2】

前記複数の第1スイッチ部の各々の前記第1スイッチング素子は、IGBTであり、

前記複数の第1スイッチ部の各々の前記第2スイッチング素子は、MOSFETである、請求項1に記載の半導体装置。

40

【請求項3】

前記複数の第1スイッチ部の各々は、ダイオード機能部を備える、請求項1に記載の半導体装置。

【請求項4】

前記複数の第1スイッチ部の各々において、前記ダイオード機能部は、前記第1スイッチング素子に内蔵されている、請求項3に記載の半導体装置。

【請求項5】

前記複数の第1スイッチ部の各々において、前記ダイオード機能部は、前記第1スイッチング素子および前記第2スイッチング素子の各々と異なる素子で構成される、請求項3に記載の半導体装置。

50

## 【請求項 6】

前記複数の第 1 スイッチ部は、各々が第 1 スイッチング素子および第 2 スイッチング素子を有する第 1 アーム、第 2 アームおよび第 3 アームを含み、

前記第 1 アーム、前記第 2 アームおよび前記第 3 アームは、前記厚さ方向に直交する第 1 方向に配列され、

前記第 2 アームは、前記第 1 方向において、前記第 1 アームと前記第 3 アームとの間に位置する、請求項 1 に記載の半導体装置。

## 【請求項 7】

前記第 1 アームおよび前記第 3 アームの各々において、前記第 1 スイッチング素子と前記第 2 スイッチング素子とは、前記厚さ方向および前記第 1 方向に直交する第 2 方向に並び、

前記第 2 アームにおいて、前記第 1 スイッチング素子および前記第 2 スイッチング素子は、前記第 1 方向に並び、請求項 6 に記載の半導体装置。

## 【請求項 8】

前記少なくとも 1 つのリードは、第 1 搭載部、第 2 搭載部および第 3 搭載部を含み、

前記第 1 搭載部には、前記第 1 アームの第 1 スイッチング素子および第 2 スイッチング素子が搭載され、

前記第 2 搭載部には、前記第 2 アームの第 1 スイッチング素子および第 2 スイッチング素子が搭載され、

前記第 3 搭載部には、前記第 3 アームの第 1 スイッチング素子および第 2 スイッチング素子が搭載される、請求項 7 に記載の半導体装置。

## 【請求項 9】

前記第 1 制御素子は、前記第 2 搭載部の前記第 2 方向の一方側の端縁よりも、前記第 2 方向の一方側に位置しており、

前記第 2 搭載部の前記第 2 方向の一方側の端縁は、前記第 1 搭載部の前記第 2 方向の一方側の端縁および前記第 3 搭載部の前記第 2 方向の一方側の端縁よりも、前記第 2 方向の他方側に位置する、請求項 8 に記載の半導体装置。

## 【請求項 10】

前記第 1 制御素子の前記第 2 方向の他方側の端縁は、前記第 2 方向において、前記第 1 搭載部の前記第 2 方向の一方側の端縁および前記第 3 搭載部の前記第 2 方向の一方側の端縁と、前記第 2 搭載部の前記第 2 方向の一方側の端縁との間に位置する、請求項 9 に記載の半導体装置。

## 【請求項 11】

前記少なくとも 1 つのリードは、互いに離間する第 1 リード、第 2 リード、第 3 リードを含み、

前記第 1 リードは、前記第 1 搭載部を含み、

前記第 2 リードは、前記第 2 搭載部を含み、

前記第 3 リードは、前記第 3 搭載部を含む、請求項 8 に記載の半導体装置。

## 【請求項 12】

各々が第 3 スイッチング素子および第 4 スイッチング素子を有する複数の第 2 スイッチ部と、

前記複数の第 2 スイッチ部の各々の前記第 3 スイッチング素子および前記第 4 スイッチング素子に第 2 駆動信号を入力する第 2 制御素子と、

をさらに備える、請求項 6 ないし請求項 11 のいずれかに記載の半導体装置。

## 【請求項 13】

前記複数の第 2 スイッチ部は、各々が第 3 スイッチング素子および第 4 スイッチング素子を有する第 4 アーム、第 5 アームおよび第 6 アームを含み、

前記第 4 アーム、前記第 5 アームおよび前記第 6 アームは、前記厚さ方向に直交する第 1 方向に配列され、

前記第 5 アームは、前記第 1 方向において、前記第 4 アームと前記第 6 アームとの間に

10

20

30

40

50

位置する、請求項 1 2 に記載の半導体装置。

【請求項 1 4】

前記第 4 アームおよび前記第 6 アームの各々において、前記第 3 スイッチング素子と前記第 4 スイッチング素子とは、前記厚さ方向および前記第 1 方向に直交する第 2 方向に並び、

前記第 5 アームにおいて、前記第 3 スイッチング素子および前記第 4 スイッチング素子は、前記第 1 方向に並び、請求項 1 3 に記載の半導体装置。

【請求項 1 5】

前記少なくとも 1 つのリードは、第 4 搭載部、第 5 搭載部および第 6 搭載部を含み、

前記第 4 搭載部には、前記第 4 アームの第 3 スイッチング素子および第 4 スイッチング素子が搭載され、

前記第 5 搭載部には、前記第 5 アームの第 3 スイッチング素子および第 4 スイッチング素子が搭載され、

前記第 6 搭載部には、前記第 6 アームの第 3 スイッチング素子および第 4 スイッチング素子が搭載される、請求項 1 4 に記載の半導体装置。

【請求項 1 6】

前記少なくとも 1 つのリードは、第 4 リードを含み、

前記第 4 リードは、前記第 4 搭載部、前記第 5 搭載部および前記第 6 搭載部を含む、請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記第 1 アームを下アーム、前記第 4 アームを上アームとして、前記第 1 アームと前記第 4 アームとが電氣的に直列に接続されて、三相交流回路の第 1 相を構成し、

前記第 2 アームを下アーム、前記第 5 アームを上アームとして、前記第 2 アームと前記第 5 アームとが電氣的に直列に接続されて、前記三相交流回路の第 2 相を構成し、

前記第 3 アームを下アーム、前記第 6 アームを上アームとして、前記第 3 アームと前記第 6 アームとが電氣的に直列に接続されて、前記三相交流回路の第 3 相を構成する、請求項 1 3 に記載の半導体装置。

10

20

30

40

50