

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年11月13日(2014.11.13)

【公開番号】特開2012-104811(P2012-104811A)

【公開日】平成24年5月31日(2012.5.31)

【年通号数】公開・登録公報2012-021

【出願番号】特願2011-217269(P2011-217269)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/786 (2006.01)

【F I】

H 01 L 29/78 6 2 7 C

H 01 L 29/78 6 1 2 D

H 01 L 29/78 6 1 8 C

H 01 L 29/78 6 1 8 B

【手続補正書】

【提出日】平成26年9月26日(2014.9.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記マスク膜をドライエッチング又はウェットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層及び前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第1の導電膜の一部にサイドエッチングを伴うウェットエッチング又はドライエッチングを行って第1の電極層を形成し、

前記第1の電極層を形成後、前記第1のマスク層上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第1のマスク層をドライエッチング又はウェットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項2】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッチング又はウエットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層をドライエッチングして除去し、

前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第1の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第1の電極層を形成し、

前記第1の電極層を形成後、少なくとも前記薄膜積層体上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッチング又はウエットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項3】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッチング又はウエットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層と前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成しつつ第1のマスク層を除去し、

前記サイドウォール絶縁層を形成後、前記第1の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第1の電極層を形成し、

前記第1の電極層を形成後、少なくとも前記薄膜積層体上に第2のマスク膜を形成し、前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッチング又はウエットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項4】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記マスク膜をドライエッチング又はウエットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なく

とも表面を露出させ、

前記第1のマスク層及び前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第1のマスク層上に第2のレジストマスクを形成し、

前記第2のレジストマスクを形成後、前記第1の導電膜の一部にサイドエッティングを伴うウェットエッティング又はドライエッティングを行って第1の電極層を形成し、

前記第1の電極層を形成後、前記第2のレジストマスクを用いて前記第1のマスク層をドライエッティング又はウェットエッティングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッティングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項5】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッティング又はウェットエッティングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッティングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層をドライエッティングして除去し、

前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、少なくとも前記薄膜積層体上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを形成後、前記第1の導電膜の一部にサイドエッティングを伴うウェットエッティング又はドライエッティングを行って第1の電極層を形成し、

前記第1の電極層を形成後、前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッティング又はウェットエッティングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッティングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項6】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッティング又はウェットエッティングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッティングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層及び前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成しつつ第1のマスク層を除去し、

前記サイドウォール絶縁層を形成後、少なくとも前記薄膜積層体上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを形成後、前記第1の導電膜の一部にサイドエッティングを伴うウェットエッティング又はドライエッティングを行って第1の電極層を形成し、

前記第1の電極層を形成後、前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッティング又はウェットエッティングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッティングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項7】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記マスク膜をドライエッティング又はウェットエッティングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッティングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層及び前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第1のマスク層上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第1のマスク層をドライエッティングまたはウェットエッティングして第2のマスク層を形成し、

前記第2のマスク層を形成後、前記第1の導電膜の一部にサイドエッティングを伴うウェットエッティング又はドライエッティングを行って第1の電極層を形成し、

前記第1の電極層を形成後、前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッティングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項8】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッティング又はウェットエッティングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッティングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層をドライエッティングにより除去し、

前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、少なくとも前記薄膜積層体上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッティング又はウェッ

トエッティングして第2のマスク層を形成し、

前記第2のマスク層を形成後、前記第1の導電膜の一部にサイドエッティングを伴うウエットエッティング又はドライエッティングを行って第1の電極層を形成し、

前記第1の電極層を形成後、前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッティングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項9】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッティング又はウエットエッティングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜及び前記第2の導電膜に對してドライエッティングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層と前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成しつつ第1のマスク層を除去し、

前記サイドウォール絶縁層を形成後、少なくとも前記第2の導電層上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッティング又はウエットエッティングして第2のマスク層を形成し、

前記第2のマスク層を形成後、前記第1の導電膜の一部にサイドエッティングを伴うウエットエッティング又はドライエッティングを行って第1の電極層を形成し、

前記第1の電極層を形成後、前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッティングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項10】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記マスク膜をドライエッティング又はウエットエッティングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に對してドライエッティングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層及び前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第1のマスク層上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第1のマスク層をドライエッティング又はウエットエッティングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のレジストマスクを除去後、前記第1の導電膜の一部にサイドエッティングを伴うウエットエッティング又はドライエッティングを行って第1の電極層を形成し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッティングして、第2の電

極層と半導体層とを形成することを特徴とする半導体装置の作製方法。

【請求項 1 1】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッチング又はウエットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層をドライエッチングして除去し、

前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、少なくとも前記薄膜積層体上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッチング又はウエットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のレジストマスクを除去後、前記第1の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第1の電極層を形成し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第2の電極層と半導体層とを形成することを特徴とする半導体装置の作製方法。

【請求項 1 2】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッチング又はウエットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層及び前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成しつつ第1のマスク層を除去し、

前記サイドウォール絶縁層を形成後、少なくとも前記第2の導電層上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッチング又はウエットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のレジストマスクを除去後、前記第1の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第1の電極層を形成し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第2の電極層と半導体層とを形成することを特徴とする半導体装置の作製方法。

【請求項 1 3】

請求項1乃至請求項12のいずれか一に記載の作製方法により作製した半導体装置の第

2の電極層に電気的に接続される画素電極層を形成することを特徴とする半導体装置の作製方法。

【請求項 1 4】

請求項 1 乃至 請求項 1 2 のいずれか一に記載の作製方法により作製した半導体装置の第 2 の電極層に接する領域を有する保護絶縁膜を形成し、

前記第 2 の電極層の一部を露出させるように前記保護絶縁膜に開口部を形成し、

前記開口部上及び前記保護絶縁膜上に画素電極層を形成することを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 1 乃至 請求項 1 4 のいずれか一において、

前記半導体膜は In 、 Ga 、及び Zn を含む酸化物半導体膜であり、

前記第 2 の導電膜はチタン膜であり、

前記第 1 のマスク膜は酸化アルミニウム膜であることを特徴とする半導体装置の作製方法。