

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成26年11月13日 (2014.11.13)

【公開番号】特開2012-104811(P2012-104811A)

【公開日】平成24年5月31日 (2012.5.31)

【年通号数】公開・登録公報2012-021

【出願番号】特願2011-217269(P2011-217269)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 1 L 29/78 6 2 7 C

H 0 1 L 29/78 6 1 2 D

H 0 1 L 29/78 6 1 8 C

H 0 1 L 29/78 6 1 8 B

【手続補正書】

【提出日】平成26年9月26日 (2014.9.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、第 2 の導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記マスク膜をドライエッチング又はウエットエッチングして第 1 のマスク層を形成し、

前記第 1 のレジストマスクを除去し、

前記第 1 のマスク層を用いて前記第 1 の絶縁膜、前記半導体膜、及び前記第 2 の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第 1 の導電膜の少なくとも表面を露出させ、

前記第 1 のマスク層及び前記薄膜積層体を覆って第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第 1 の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第 1 の電極層を形成し、

前記第 1 の電極層を形成後、前記第 1 のマスク層上に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて前記第 1 のマスク層をドライエッチング又はウエットエッチングして第 2 のマスク層を形成し、

前記第 2 のレジストマスクを除去し、

前記第 2 のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第 2 の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、第 2 の導電膜、及び第 1 のマスク膜をこの順に積層して形成し、

前記第 1 のマスク膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記第 1 のマスク膜をドライエッチング又はウエットエッチングして第 1 のマスク層を形成し、

前記第 1 のレジストマスクを除去し、

前記第 1 のマスク層を用いて前記第 1 の絶縁膜、前記半導体膜、及び前記第 2 の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第 1 の導電膜の少なくとも表面を露出させ、

前記第 1 のマスク層をドライエッチングして除去し、

前記薄膜積層体を覆って第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第 1 の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第 1 の電極層を形成し、

前記第 1 の電極層を形成後、少なくとも前記薄膜積層体上に第 2 のマスク膜を形成し、

前記第 2 のマスク膜上に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて前記第 2 のマスク膜をドライエッチング又はウエットエッチングして第 2 のマスク層を形成し、

前記第 2 のレジストマスクを除去し、

前記第 2 のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第 2 の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、第 2 の導電膜、及び第 1 のマスク膜をこの順に積層して形成し、

前記第 1 のマスク膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記第 1 のマスク膜をドライエッチング又はウエットエッチングして第 1 のマスク層を形成し、

前記第 1 のレジストマスクを除去し、

前記第 1 のマスク層を用いて前記第 1 の絶縁膜、前記半導体膜、及び前記第 2 の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第 1 の導電膜の少なくとも表面を露出させ、

前記第 1 のマスク層と前記薄膜積層体を覆って第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成しつつ第 1 のマスク層を除去し、

前記サイドウォール絶縁層を形成後、前記第 1 の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第 1 の電極層を形成し、

前記第 1 の電極層を形成後、少なくとも前記薄膜積層体上に第 2 のマスク膜を形成し、

前記第 2 のマスク膜上に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて前記第 2 のマスク膜をドライエッチング又はウエットエッチングして第 2 のマスク層を形成し、

前記第 2 のレジストマスクを除去し、

前記第 2 のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第 2 の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項 4】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、第 2 の導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記マスク膜をドライエッチング又はウエットエッチングして第 1 のマスク層を形成し、

前記第 1 のレジストマスクを除去し、

前記第 1 のマスク層を用いて前記第 1 の絶縁膜、前記半導体膜、及び前記第 2 の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第 1 の導電膜の少なく

とも表面を露出させ、

前記第 1 のマスク層及び前記薄膜積層体を覆って第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第 1 のマスク層上に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを形成後、前記第 1 の導電膜の一部にサイドエッチングを伴うウェットエッチング又はドライエッチングを行って第 1 の電極層を形成し、

前記第 1 の電極層を形成後、前記第 2 のレジストマスクを用いて前記第 1 のマスク層をドライエッチング又はウェットエッチングして第 2 のマスク層を形成し、

前記第 2 のレジストマスクを除去し、

前記第 2 のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第 2 の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項 5】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、第 2 の導電膜、及び第 1 のマスク膜をこの順に積層して形成し、

前記第 1 のマスク膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記第 1 のマスク膜をドライエッチング又はウェットエッチングして第 1 のマスク層を形成し、

前記第 1 のレジストマスクを除去し、

前記第 1 のマスク層を用いて前記第 1 の絶縁膜、前記半導体膜、及び前記第 2 の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第 1 の導電膜の少なくとも表面を露出させ、

前記第 1 のマスク層をドライエッチングして除去し、

前記薄膜積層体を覆って第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、少なくとも前記薄膜積層体上に第 2 のマスク膜を形成し、

前記第 2 のマスク膜上に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを形成後、前記第 1 の導電膜の一部にサイドエッチングを伴うウェットエッチング又はドライエッチングを行って第 1 の電極層を形成し、

前記第 1 の電極層を形成後、前記第 2 のレジストマスクを用いて前記第 2 のマスク膜をドライエッチング又はウェットエッチングして第 2 のマスク層を形成し、

前記第 2 のレジストマスクを除去し、

前記第 2 のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第 2 の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項 6】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、第 2 の導電膜、及び第 1 のマスク膜をこの順に積層して形成し、

前記第 1 のマスク膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記第 1 のマスク膜をドライエッチング又はウェットエッチングして第 1 のマスク層を形成し、

前記第 1 のレジストマスクを除去し、

前記第 1 のマスク層を用いて前記第 1 の絶縁膜、前記半導体膜、及び前記第 2 の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第 1 の導電膜の少なくとも表面を露出させ、

前記第 1 のマスク層及び前記薄膜積層体を覆って第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成しつつ第 1 のマスク層を除去し、

前記サイドウォール絶縁層を形成後、少なくとも前記薄膜積層体上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを形成後、前記第1の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第1の電極層を形成し、

前記第1の電極層を形成後、前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッチング又はウエットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項7】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記マスク膜をドライエッチング又はウエットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層及び前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第1のマスク層上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第1のマスク層をドライエッチングまたはウエットエッチングして第2のマスク層を形成し、

前記第2のマスク層を形成後、前記第1の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第1の電極層を形成し、

前記第1の電極層を形成後、前記第2のレジストマスクを除去し、

前記第2のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第2の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項8】

第1の導電膜、第1の絶縁膜、半導体膜、第2の導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッチング又はウエットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクを除去し、

前記第1のマスク層を用いて前記第1の絶縁膜、前記半導体膜、及び前記第2の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第1の導電膜の少なくとも表面を露出させ、

前記第1のマスク層をドライエッチングにより除去し、

前記薄膜積層体を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、少なくとも前記薄膜積層体上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッチング又はウエッ

トエッチングして第２のマスク層を形成し、

前記第２のマスク層を形成後、前記第１の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第１の電極層を形成し、

前記第１の電極層を形成後、前記第２のレジストマスクを除去し、

前記第２のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第２の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項９】

第１の導電膜、第１の絶縁膜、半導体膜、第２の導電膜、及び第１のマスク膜をこの順に積層して形成し、

前記第１のマスク膜上に第１のレジストマスクを形成し、

前記第１のレジストマスクを用いて前記第１のマスク膜をドライエッチング又はウエットエッチングして第１のマスク層を形成し、

前記第１のレジストマスクを除去し、

前記第１のマスク層を用いて前記第１の絶縁膜、前記半導体膜及び前記第２の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第１の導電膜の少なくとも表面を露出させ、

前記第１のマスク層と前記薄膜積層体を覆って第２の絶縁膜を形成し、

前記第２の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体がある半導体領域の側面を覆うサイドウォール絶縁層を形成しつつ第１のマスク層を除去し、

前記サイドウォール絶縁層を形成後、少なくとも前記第２の導電層上に第２のマスク膜を形成し、

前記第２のマスク膜上に第２のレジストマスクを形成し、

前記第２のレジストマスクを用いて前記第２のマスク膜をドライエッチング又はウエットエッチングして第２のマスク層を形成し、

前記第２のマスク層を形成後、前記第１の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第１の電極層を形成し、

前記第１の電極層を形成後、前記第２のレジストマスクを除去し、

前記第２のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第２の電極層と半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項１０】

第１の導電膜、第１の絶縁膜、半導体膜、第２の導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第１のレジストマスクを形成し、

前記第１のレジストマスクを用いて前記マスク膜をドライエッチング又はウエットエッチングして第１のマスク層を形成し、

前記第１のレジストマスクを除去し、

前記第１のマスク層を用いて前記第１の絶縁膜、前記半導体膜、及び前記第２の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第１の導電膜の少なくとも表面を露出させ、

前記第１のマスク層及び前記薄膜積層体を覆って第２の絶縁膜を形成し、

前記第２の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体がある半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、前記第１のマスク層上に第２のレジストマスクを形成し、

前記第２のレジストマスクを用いて前記第１のマスク層をドライエッチング又はウエットエッチングして第２のマスク層を形成し、

前記第２のレジストマスクを除去し、

前記第２のレジストマスクを除去後、前記第１の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第１の電極層を形成し、

前記第２のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第２の電

極層と半導体層とを形成することを特徴とする半導体装置の作製方法。

【請求項 1 1】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、第 2 の導電膜、及び第 1 のマスク膜をこの順に積層して形成し、

前記第 1 のマスク膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記第 1 のマスク膜をドライエッチング又はウエットエッチングして第 1 のマスク層を形成し、

前記第 1 のレジストマスクを除去し、

前記第 1 のマスク層を用いて前記第 1 の絶縁膜、前記半導体膜、及び前記第 2 の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第 1 の導電膜の少なくとも表面を露出させ、

前記第 1 のマスク層をドライエッチングして除去し、

前記薄膜積層体を覆って第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成し、

前記サイドウォール絶縁層を形成後、少なくとも前記薄膜積層体上に第 2 のマスク膜を形成し、

前記第 2 のマスク膜上に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて前記第 2 のマスク膜をドライエッチング又はウエットエッチングして第 2 のマスク層を形成し、

前記第 2 のレジストマスクを除去し、

前記第 2 のレジストマスクを除去後、前記第 1 の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第 1 の電極層を形成し、

前記第 2 のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第 2 の電極層と半導体層とを形成することを特徴とする半導体装置の作製方法。

【請求項 1 2】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、第 2 の導電膜、及び第 1 のマスク膜をこの順に積層して形成し、

前記第 1 のマスク膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記第 1 のマスク膜をドライエッチング又はウエットエッチングして第 1 のマスク層を形成し、

前記第 1 のレジストマスクを除去し、

前記第 1 のマスク層を用いて前記第 1 の絶縁膜、前記半導体膜、及び前記第 2 の導電膜に対してドライエッチングを行って薄膜積層体を形成しつつ、前記第 1 の導電膜の少なくとも表面を露出させ、

前記第 1 のマスク層及び前記薄膜積層体を覆って第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチバック処理して、少なくとも前記薄膜積層体が有する半導体領域の側面を覆うサイドウォール絶縁層を形成しつつ第 1 のマスク層を除去し、

前記サイドウォール絶縁層を形成後、少なくとも前記第 2 の導電層上に第 2 のマスク膜を形成し、

前記第 2 のマスク膜上に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて前記第 2 のマスク膜をドライエッチング又はウエットエッチングして第 2 のマスク層を形成し、

前記第 2 のレジストマスクを除去し、

前記第 2 のレジストマスクを除去後、前記第 1 の導電膜の一部にサイドエッチングを伴うウエットエッチング又はドライエッチングを行って第 1 の電極層を形成し、

前記第 2 のマスク層を用いて前記薄膜積層体の上部をドライエッチングして、第 2 の電極層と半導体層とを形成することを特徴とする半導体装置の作製方法。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれかーに記載の作製方法により作製した半導体装置の第

2の電極層に電氣的に接続される画素電極層を形成することを特徴とする半導体装置の作製方法。

【請求項14】

請求項1乃至請求項12のいずれかーに記載の作製方法により作製した半導体装置の第2の電極層に接する領域を有する保護絶縁膜を形成し、

前記第2の電極層の一部を露出させるように前記保護絶縁膜に開口部を形成し、

前記開口部上及び前記保護絶縁膜上に画素電極層を形成することを特徴とする半導体装置の作製方法。

【請求項15】

請求項1乃至請求項14のいずれかーにおいて、

前記半導体膜はIn、Ga、及びZnを含む酸化物半導体膜であり、

前記第2の導電膜はチタン膜であり、

前記第1のマスク膜は酸化アルミニウム膜であることを特徴とする半導体装置の作製方法。