



(12) 发明专利

(10) 授权公告号 CN 101385088 B

(45) 授权公告日 2012.04.11

(21) 申请号 200780005487.0

G11C 16/10(2006.01)

(22) 申请日 2007.02.14

G11C 11/56(2006.01)

(30) 优先权数据

RM2006A000074 2006.02.15 IT
11/506,428 2006.08.18 US

(56) 对比文件

US 6141244 A, 2000.10.31, 全文.
WO 2005106892 A1, 2005.11.10, 全文.
EP 1598831 A1, 2005.11.23, 说明书 0036
段, 0037 段, 0041-0048 段、附图 2.
CN 1141491 A, 1997.01.29, 全文.
CN 1231478 A, 1999.10.13, 全文.

(85) PCT 申请进入国家阶段日
2008.08.14

(86) PCT 申请的申请数据
PCT/US2007/003749 2007.02.14

审查员 陈学元

(87) PCT 申请的公布数据
W02007/095217 EN 2007.08.23

(73) 专利权人 美光科技公司
地址 美国爱达荷州

(72) 发明人 托马索·瓦利 乔瓦尼·桑廷
米凯莱·因卡尔纳蒂

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287
代理人 王允方

(51) Int. Cl.
G11C 16/26(2006.01)

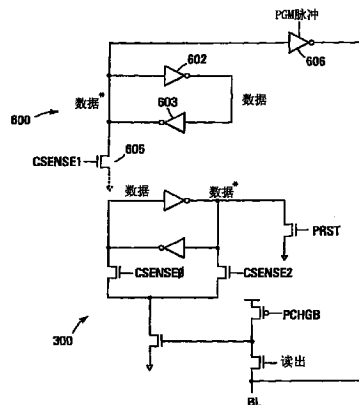
权利要求书 3 页 说明书 9 页 附图 7 页

(54) 发明名称

多电平单元非易失性存储器装置中的单锁存器数据电路

(57) 摘要

单个锁存器电路耦联到多电平单元存储器装置中的每一位线以处理读取多个数据位。所述电路由具有反转节点和非反转节点的锁存器组成。第一控制晶体管将所述非反转节点选择性耦联到锁存器输出。第二控制晶体管将所述反转节点选择性耦联到所述锁存器输出。复位晶体管耦联在所述反转节点与电路接地端之间以在所述晶体管接通时将所述电路选择性接地。



1. 一种用于实施多电平单元存储器编程操作的存储器锁存器电路,所述电路包括:
 - 第一锁存器,其具有节点和反转节点;
 - 第一晶体管,其耦联在输出与所述节点之间以使得当所述第一晶体管接通时所述节点耦联到所述输出;
 - 第二晶体管,其耦联在所述输出与所述反转节点之间以使得当所述第二晶体管接通时所述反转节点耦联到所述输出;
 - 复位晶体管,其耦联到所述反转节点以用于将所述第一锁存器复位为已知状态;
 - 第二锁存器,其具有节点和反转节点;
 - 读出控制晶体管,其耦联到所述第二锁存器的所述反转节点;
 - 验证匹配晶体管,其耦联到所述第二锁存器的所述反转节点,且验证匹配信号处于逻辑 1,其中所述验证匹配晶体管经配置以在所述第二锁存器中的数据未通过验证操作时,通过所述第二锁存器将所述验证匹配信号下拉至逻辑 0;以及
 - 输出反相器门,其耦联到所述第二锁存器的所述反转节点以使得所述输出反相器门的输出是所述第二锁存器的输出。
2. 根据权利要求 1 所述的电路,其中所述读出控制晶体管响应于控制读出信号将所述第二锁存器的反转节点选择性拉到地电位。
3. 根据权利要求 2 所述的电路,其中所述控制读出信号耦联到所述读出控制晶体管的栅极,并当处于逻辑高状态时接通所述读出控制晶体管以将所述第二锁存器的反转节点拉到地电位。
4. 根据权利要求 1 所述的电路,其中所述第一和第二锁存器每一者由一对反相器门组成,所述反相器门经耦联以使得每一门的输出连接到另一门的输入。
5. 一种快闪存储器装置,其包括:
 - 存储器阵列,其包括多个非易失性存储器单元,所述多个非易失性存储器单元布置成行和列以使得每一列由耦联到位线的存储器单元串联串组成;以及
 - 用于对所述存储器阵列实施多电平单元存储器编程操作的存储器锁存器电路,所述电路耦联到所述存储器阵列且包括:
 - 第一锁存器,其具有节点和反转节点;
 - 第一晶体管,其耦联在输出与所述节点之间;
 - 第二晶体管,其耦联在所述输出与所述反转节点之间;
 - 复位晶体管,其耦联到所述反转节点;
 - 第二锁存器,其具有节点和反转节点;
 - 读出控制晶体管,其耦联到所述第二锁存器的反转节点;
 - 验证匹配晶体管,其耦联到所述第二锁存器的所述反转节点,且验证匹配信号处于逻辑 1,其中所述验证匹配晶体管经配置以在所述第二锁存器中的数据未通过验证操作时,通过所述第二锁存器将所述验证匹配信号下拉至逻辑 0;以及
 - 输出反相器门,其耦联到所述第二锁存器的反转节点以使得所述输出反相器门的输出耦联到所述位线。
6. 根据权利要求 5 所述的装置,其中所述存储器阵列布置成 NAND 结构。
7. 根据权利要求 5 所述的装置,其进一步包含将所述位线耦联到所述第一锁存器的输

出的读出晶体管。

8. 根据权利要求 5 所述的装置,其中所述多个存储器单元中的每一者适于存储两位数据。

9. 一种存储器系统,其包括:

处理器,其产生存储器信号;以及

存储器装置,其耦联到所述处理器并响应于所述存储器信号而操作,所述存储器装置包括:

存储器阵列,其包括多个非易失性存储器单元,所述多个非易失性存储器单元布置成行和列以使得每一列由耦联到位线的存储器单元串联串组成;

存储器锁存器电路,其耦联到所述存储器阵列的每一位线且包括:

锁存器,其具有节点和反转节点;

第一晶体管,其耦联在输出与所述节点之间以使得当所述第一晶体管接通时所述节点耦联到所述输出;

第二晶体管,其耦联在所述输出与所述反转节点之间以使得当所述第二晶体管接通时所述反转节点耦联到所述输出;以及

复位晶体管,其耦联到所述反转节点以用于将所述存储器锁存器电路复位为已知状态;

读取-修改-写入电路,其耦联到每一位线以用于禁止对相应位线上选定单元的编程,所述电路包括:

锁存器,其具有节点和反转节点;

读出控制晶体管,其耦联到包括在所述读取-修改-写入电路中的锁存器的反转节点;以及

输出反相器门,其耦联到包括在所述读取-修改-写入电路中的锁存器的反转节点以使得所述输出反相器门的输出耦联到所述位线;以及

验证匹配晶体管,其耦联到所述读取-修改-写入电路的所述反转节点,且验证匹配信号处于逻辑 1,其中所述验证匹配晶体管经配置以在所述读取-修改-写入电路中的数据未通过验证操作时,通过所述读取-修改-写入电路将所述验证匹配信号下拉至逻辑 0。

10. 根据权利要求 9 所述的系统,其中所述存储器阵列是 NAND 结构存储器阵列。

11. 一种用于读取多电平单元存储器装置的多个页的第一页数据的方法,所述多电平单元存储器装置具有耦联到单个锁存器电路的读取-修改-写入电路,所述单个锁存器电路耦联到每一位线的,所述锁存器电路包括具有反转和非反转节点的锁存器、耦联在所述非反转节点与锁存器输出之间的第一控制晶体管、耦联在所述反转节点与锁存器输出之间的第二控制晶体管,以及耦联在所述反转节点与电路接地端之间的复位晶体管,所述方法包括:

在第一时间复位所述锁存器;

在所述第一时间用地电位偏置所述存储器装置的选定字线;

在第二时间用大于地电位的读取电压偏置所述选定字线;

在所述第二时间将所述非反转节点耦联到所述锁存器输出以读取所述第一页数据;以及

在所述读取 - 修改 - 写入电路中的数据未通过验证操作时,所述读取 - 修改 - 写入电路将验证匹配信号从逻辑 1 下拉至逻辑 0。

12. 根据权利要求 11 所述的方法,其中复位所述锁存器包括通过所述复位晶体管将所述反转节点耦联到电路接地端。

13. 根据权利要求 11 所述的方法,其中耦联包括用高信号接通所述第一控制晶体管。

14. 根据权利要求 11 所述的方法,其进一步包含读取第二页数据,所述方法包括:

在第一时间复位所述锁存器;

在所述第一时间以地电位偏置所述存储器装置的选定字线;

在第二时间将所述非反转节点耦联到所述锁存器输出;

在所述第二时间以大于或等于地电位的第一读取电压偏置所述选定字线;

在第三时间将所述反转节点耦联到所述锁存器输出;以及

在所述第三时间以大于所述第一读取电压的第二读取电压偏置所述选定字线以读取所述第二页数据。

15. 根据权利要求 14 所述的方法,其中仅在所述第一时间期间接通所述复位晶体管。

16. 根据权利要求 14 所述的方法,其中通过接通所述第一控制晶体管将所述非反转节点耦联到所述输出,且通过接通所述第二控制晶体管将所述反转节点耦联到所述输出。

17. 根据权利要求 14 所述的方法,其中所述第一读取电压在第一与第二阈值电压分布之间,且所述第二读取电压在第三与第四阈值电压分布之间。

多电平单元非易失性存储器装置中的单锁存器数据电路

技术领域

[0001] 本发明大体上涉及存储器装置,且特定来说本发明涉及非易失性存储器装置。

背景技术

[0002] 存储器装置通常作为内部半导体集成电路提供于计算机或其它电子装置中。有许多不同类型的存储器,包含随机存取存储器 (RAM)、只读存储器 (ROM)、动态随机存取存储器 (DRAM)、同步动态随机存取存储器 (SDRAM) 和快闪存储器。

[0003] 快闪存储器装置已经发展成为用于广泛范围电子应用的流行的非易失性存储器来源。快闪存储器装置通常使用允许高存储器密度、高可靠性和低功耗的单晶体管存储器单元。快闪存储器的常用用途包含个人计算机、个人数字助理 (PDA)、数码相机和蜂窝式电话。程序代码和系统数据 (例如基本输入 / 输出系统 (BIOS)) 通常存储在快闪存储器装置中以用于个人计算机系统中。

[0004] 随着电子系统的性能和复杂性增加,对系统中额外存储器的要求也增加。然而,为了持续降低系统的成本,零件数目必须保持最少。这可通过增加集成电路的存储器密度来实现。

[0005] 可通过使用多电平单元 (MLC) 来增加存储器密度。MLC 存储器可增加存储在集成电路中的数据量而不用添加额外的单元和 / 或增加电路小片的尺寸。MLC 方法在每个存储器单元中存储两个或两个以上数据位。

[0006] 多电平单元具有多个 V_t 窗,其每一者指示不同的状态,如图 1 所示。多电平单元通过向存储在传统快闪单元上的特定电压范围指派位模式而利用所述单元的模拟特性。此技术允许取决于指派给单元的电压范围的数量而在每单元存储两个或两个以上的位。

[0007] 举例来说,可向一单元指派四个不同的电压范围,每个范围 200mV。通常,0.2 到 0.4V 的死区或裕度位于每个范围之间。如果单元的阈值电压在第一范围内,那么单元存储 11。如果阈值电压在第二范围内,那么单元存储 10。这对于用于单元的所有范围持续。MLC 要求对阈值电压的紧密控制,以便每单元使用多个阈值电平。

[0008] MLC 快闪存储器集成电路的一个关键参数是用于读取单元中的经编程值的读出放大器的晶体管数目。快闪存储器装置的高度并行性要求同一读出放大器数据锁存器对于正被读出阵列的每一位线使用至少一次。此问题对于 MLC 装置来说更严重,因为电路需要处理来自每一位线的两个位。这大大增加了读取 - 修改 - 写入操作所需的晶体管数目。

[0009] 由于电子装置的激烈竞争和消费者对电子装置更长电池寿命的需要,制造商必须一直寻找减少装置中组件数量同时维持可靠性的方式。出于上述原因,且出于所属领域的技术人员在阅读和理解本说明书之后将明了的下文陈述的其它原因,此项技术中需要减少 MLC 存储器装置中的读出放大器数据锁存器中所需的晶体管数量。

发明内容

[0010] 上述关于快闪存储器的问题和其它问题由本发明解决,且将通过阅读和研究以下

说明书而了解。

[0011] 本发明涵盖一种存储器锁存器电路。所述电路包括具有节点和反转节点的锁存器。第一控制晶体管耦联在所述电路的输出与所述节点之间。第二控制晶体管耦联在所述输出与所述反转节点之间。复位晶体管耦联到所述反转节点。控制晶体管响应于晶体管栅极上的控制信号将所述节点或反转节点选择性耦联到所述输出。复位晶体管响应于复位信号将所述反转节点拉到地电位。

[0012] 方法包含将所需数据写入到待编程的单元的最低有效位或最高有效位中的一者。第二编程操作将增强数据编程到单元的剩余位。增强数据将单元的阈值电平调节到所需数据需要的电压。

[0013] 本发明的其它实施例包含具有变化范围的方法和设备。

附图说明

[0014] 图 1 展示多电平单元存储器的阈值电压分布的图。

[0015] 图 2 展示 NAND 快闪存储器阵列的一个实施例的简化图。

[0016] 图 3 展示本发明的数据锁存器的一个实施例的示意图。

[0017] 图 4 展示根据本发明的页 1 读取操作的阈值电压分布的图。

[0018] 图 5 展示根据本发明的页 0 读取操作的阈值电压分布的图。

[0019] 图 6 展示根据本发明的编程操作的两个数据锁存器的一个实施例的示意图。

[0020] 图 7 展示本发明的数据锁存器和支持电路的示意图。

[0021] 图 8 展示本发明的存储器系统的一个实施例的框图。

[0022] 图 9 展示本发明的存储器模块的一个实施例的框图。

具体实施方式

[0023] 在本发明的以下具体实施方式中,参看形成本发明一部分的附图,其中通过说明而展示其中可实践本发明的特定实施例。图式中,相同标号在全部几张图中描述大体上类似的组件。以充分的细节描述这些实施例以使所属领域的技术人员能够实践本发明。在不脱离本发明范围的情况下可利用其它实施例,且可做出结构、逻辑和电气改动。因此,以下具体实施方式不应作为限制性意义,且本发明的范围仅由所附权利要求书及其等效物界定。

[0024] 图 2 说明本发明的半导体 NAND 快闪存储器阵列的一个实施例的简化图。此存储器阵列仅出于说明目的,因为本发明不限于任何一个非易失性存储器技术或结构。

[0025] 为了清楚目的,图 2 的存储器阵列未展示存储器阵列中通常需要的所有元件。举例来说,仅展示两条位线 (BL1 和 BL2),而需要的位线数目实际上取决于存储器密度和芯片结构。后面将位线称为 (BL1-BLN)。位线 (BL1-BLN) 最终耦联到检测每个单元状态的读出放大器 (未图示)。

[0026] 阵列由布置成串联串 204、205 的浮动栅极单元 201 阵列组成。每一串联链 204、205 中,每一浮动栅极单元 201 的漏极耦联到源极。跨越多个串联串 204、205 的字线 (WL0-WL31) 耦联到一行中的每个浮动栅极单元的控制栅极,以便控制其操作。在一个实施例中,一阵列包含 32 条字线。然而,本发明不限于任何一种字线数量。

[0027] 在操作中,字线(WL0-WL31)选择串联链204、205中的个别浮动栅极存储器单元进行写入或读取,并在通过模式中操作每一串联串204、205中的剩余浮动栅极存储器单元。浮动栅极存储器单元的每一串联串204、205通过源极选择门216、217耦联到源极线206,且通过漏极选择门212、213耦联到个别位线(BL1-BLN)。源极选择门216、217由耦联到其控制栅极的源极选择门控制线SG(S)218控制。漏极选择门212、213由漏极选择门控制线SG(D)214控制。

[0028] 在图2的实施例中,WL0位于页面的底部,且WL31位于页面的顶部。然而,这些标记仅用于说明目的,因为WL0也可开始于页面的顶部,其中字线编号朝向页面的底部而增加。

[0029] 可每单元单个位(即,单电平单元-SLC)或每单元多个位(即,多电平单元-MLC)地编程每个单元。每个单元的阈值电压(V_t)决定了存储在单元中的数据。举例来说,在每单元单个位的情况下,0.5V的 V_t 可能指示经编程单元(即,逻辑0状态),而-0.5V的 V_t 可能指示经擦除单元(即,逻辑1状态)。多电平单元操作先前已论述。

[0030] 本发明的实施例不限于每单元两个位。一些实施例可取决于单元上可区分的不同电压范围的数量而每单元存储两个以上的位。

[0031] 在典型的现有技术编程操作中,将要编程的快闪存储器单元的选定字线以开始于一电压(例如,20V)的一系列编程脉冲偏置,其中每一后续脉冲电压递增,直到单元经编程或达到最大编程电压为止。未选定的字线以 V_{pass} (例如,10V)偏置。选定的位线以0V偏置,而未选定的位线以 V_{cc} 偏置以禁止这些串联串的编程操作。

[0032] 接着执行以0V的选定字线电压进行的验证(读取)操作,以确定浮动栅极是否处于适当的电压(例如,0.5V)。在一个实施例中,未选定的字线电压可以是等于或大于地电位的任何电压。在选定SG(D)和SG(S)时,将位线预充电至 V_{cc} 。以大体上类似的方式编程/验证每个存储器单元。

[0033] 图3说明本发明的数据锁存器电路300的示意图,所述电路耦联到NAND快闪存储器阵列的存储器单元340的串联串的一部分。

[0034] 锁存器电路300包含两个反相器304、305,其耦联到DATA节点和作为DATA节点的反转的DATA*节点。三个控制晶体管301、302和306耦联到反相器304、305以控制锁存器电路300的操作。晶体管中的两者301、302响应于有效高RDA和RDB控制信号而控制锁存器304、305的哪一侧(即,DATA或DATA*)耦联到读出(SENSE_OUT)节点。另一晶体管306是复位晶体管,其具有耦联到栅极的有效高PRST信号,以控制何时接通晶体管以将锁存器的DATA*输出拉到地电位。

[0035] 在一个实施例中,存储器单元340的串联串由图2说明的32个浮动栅极快闪存储器单元组成。未选定的行中的每个存储器单元由耦联到每一“未选定”字线的“WLUNSEL”电压偏置。选定的字线由“WLSEL”电压偏置。替代实施例可在每一串联串中使用其它数量的存储器单元以及不同的非易失性存储器单元技术。

[0036] 选择门源极晶体管325和选择门漏极晶体管324在串340的相反侧上。串联串340接着耦联到全局位线GBL,GBL耦联到控制串340对读出放大器的存取的NMOS控制晶体管322。控制晶体管322的栅极由控制晶体管322操作的“读出(SENSE)”电压偏置。

[0037] 预充电PMOS晶体管320将NMOS控制晶体管322耦联到 V_{cc} 以用于在读取操作期

间预充电位线。PMOS 晶体管 320 的栅极上的逻辑低电平接通晶体管。

[0038] 读出放大器输出晶体管 310 的栅极耦联在 NMOS 晶体管 322 与 PMOS 晶体管 320 之间。此晶体管 310 的栅极上的逻辑高将锁存器电路 300 拉到地电位,如后面将描述。栅极上的逻辑低使锁存器电路 300 遇见高阻抗状态。

[0039] 参考图 4 和 5 说明的阈值电压分布来论述图 3 的锁存器电路 300 的操作。每一分布(图 4 的 401-404 和图 5 的 501-504)代表一不同的 MLC 状态。存储在每个单元中的 MLC 数据表示两页数据,页 1 和页 0(即, P1-P0)。

[0040] 图 4 说明用于读取存储器单元的页 1(P1)的阈值电压分布 401-404。最负性状态 401 是逻辑“11”状态。下一状态 402 是逻辑“10”状态。接着的状态 403 是逻辑“00”状态。最正性的状态 404 是逻辑“01”状态。作为“WLSEL”电压施加到选定字线的读取电压 RD2 说明于中间两个状态 402、403 之间。

[0041] 图 5 说明用于读取存储器单元的页 0(P0)的阈值电压分布 501-504。最负性状态 501 是逻辑“11”状态。第二最正性状态 502 是逻辑“10”状态。接着的状态 503 是逻辑“00”状态。最正性状态 504 是逻辑“01”状态。读取电压 RD1 和 RD3 作为“WLSEL”电压施加到选定字线。读取 1 电压(即, RD1)位于第一状态 501 与第二状态 502 之间。读取 3 电压(即, RD3)位于最后两个状态 503 与 504 之间。

[0042] 参看图 3 和 4,通过以下程序读取第一状态(即,逻辑 11)401。在第一时间 t_0 , PRST 信号是逻辑 1 且 RDA 是逻辑 0。这导致锁存器电路 DATA* 信号是逻辑 0 且 DATA 载有逻辑 1。

[0043] 在时间 t_1 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD2 的选定字线偏置 WLSEL,如图 4 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 1 以接通其相应的晶体管 301,且 RDB 保持在逻辑 0 以保持晶体管 302 关断,因此将锁存器的 DATA 节点连接到现浮动的读出 (SENSE_OUT) 节点。这导致读取第一状态 401 的页 1 的逻辑 1(即, DATA)。

[0044] 通过以下程序读取第二状态(即,逻辑 10)402。在第一时间 t_0 , PRST 信号是逻辑 1 且 RDA 是逻辑 0。这导致锁存器电路 DATA* 信号是逻辑 0 且 DATA 载有逻辑 1。

[0045] 在时间 t_1 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD2 的选定字线偏置 WLSEL,如图 4 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 1 以接通其相应的晶体管 301,且 RDB 保持在逻辑 0 以保持晶体管 302 关断,因此将锁存器的 DATA 节点连接到现浮动的读出 (SENSE_OUT) 节点。这导致读取第二状态 402 的页 1 的逻辑 1(即, DATA)。

[0046] 通过以下程序读取第三状态(即,逻辑 00)403。在第一时间 t_0 , PRST 信号是逻辑 1 且 RDA 是逻辑 0。这导致锁存器电路 DATA* 信号是逻辑 0 且 DATA 载有逻辑 1。

[0047] 在时间 t_1 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD2 的选定字线偏置 WLSEL,如图 4 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 1 以接通其相应的晶体管 301,且 RDB 保持在逻辑 0 以保持晶体管 302 关断,因此将锁存器的 DATA 节点连接到现处于逻辑 0 的读出 (SENSE_OUT) 节点。这导致读取第三状态 403 的页 1 的逻辑 0(即, DATA)。

[0048] 通过以下程序读取第四状态(即,逻辑 01)404。在第一时间 t_0 , PRST 信号是逻辑

1 且 RDA 是逻辑 0。这导致锁存器电路 DATA* 信号是逻辑 0 且 DATA 载有逻辑 1。

[0049] 在时间 t_1 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD2 的选定字线偏置 WLSEL, 如图 4 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 1 以接通其相应的晶体管 301, 且 RDB 保持在逻辑 0 以保持晶体管 302 关断, 因此将锁存器的 DATA 节点连接到现处于逻辑 0 的读出 (SENSE_OUT) 节点。这导致读取第四状态 404 的页 1 的逻辑 0 (即, DATA)。

[0050] 参看图 3 和 5, 通过以下程序读取页 0 (即, P0) 的第一状态 501。在第一时间 t_0 , PRST 信号是逻辑 1 且 RDA 是逻辑 0。这导致锁存器电路 DATA* 信号是逻辑 0 且 DATA 载有逻辑 1。

[0051] 在时间 t_1 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD1 的选定字线偏置 WLSEL, 如图 5 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 1 以接通其相应的晶体管 301, 且 RDB 保持在逻辑 0 以保持晶体管 302 关断, 因此将锁存器的 DATA 节点连接到现浮动的读出 (SENSE_OUT) 节点。这导致节点 DATA 为逻辑 1。

[0052] 在时间 t_2 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD3 的选定字线偏置 WLSEL, 如图 5 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 0, RDB 是逻辑 1 以接通其相应的晶体管 302, 因此将由反相器 304、305 形成的锁存器的 DATA* 节点连接到现浮动的读出 (SENSE_OUT) 节点。这导致读取第一状态 501 的页 0 的逻辑 1 (即, DATA)。

[0053] 通过以下程序读取第二状态 (即, 逻辑 10) 502。在第一时间 t_0 , PRST 信号是逻辑 1 且 RDA 是逻辑 0。这导致锁存器电路 DATA* 信号是逻辑 0 且 DATA 载有逻辑 1。

[0054] 在时间 t_1 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD1 的选定字线偏置 WLSEL, 如图 5 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 1 以接通其相应的晶体管 301, 且 RDB 保持在逻辑 0 以保持晶体管 302 关断, 因此将锁存器的 DATA 节点连接到现为逻辑 0 的读出 (SENSE_OUT) 节点。这导致节点 DATA 为逻辑 0。

[0055] 在时间 t_2 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD3 的选定字线偏置 WLSEL, 如图 5 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 0, RDB 是逻辑 1 以接通其相应的晶体管 302, 因此将由反相器 304、305 形成的锁存器的 DATA* 节点连接到现浮动的读出 (SENSE_OUT) 节点。这导致读取第二状态 502 的页 0 的逻辑 0 (即, DATA)。

[0056] 通过以下程序读取第三状态 (即, 逻辑 00) 503。在第一时间 t_0 , PRST 信号是逻辑 1 且 RDA 是逻辑 0。这导致锁存器电路 DATA* 信号是逻辑 0 且 DATA 载有逻辑 1。

[0057] 在时间 t_1 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD1 的选定字线偏置 WLSEL, 如图 5 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 1 以接通其相应的晶体管 301, 且 RDB 保持在逻辑 0 以保持晶体管 302 关断, 因此将锁存器的 DATA 节点连接到现处于逻辑 0 的读出 (SENSE_OUT) 节点。这导致节点 DATA 为逻辑 0。

[0058] 在时间 t_2 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到

现处于读取电压 RD3 的选定字线偏置 WLSEL,如图 5 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 0, RDB 是逻辑 1 以接通其相应的晶体管 302,因此将由反相器 304、305 形成的锁存器的 DATA* 节点连接到现浮动的读出 (SENSE_OUT) 节点。这导致读取第三状态 503 的页 0 的逻辑 0 (即, DATA)。

[0059] 通过以下程序读取第四状态 (即, 逻辑 01) 504。在第一时间 t_0 , PRST 信号是逻辑 1 且 RDA 是逻辑 0。这导致锁存器电路 DATA* 信号是逻辑 0 且 DATA 载有逻辑 1。

[0060] 在时间 t_1 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD1 的选定字线偏置 WLSEL,如图 5 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 1 以接通其相应的晶体管 301,且 RDB 保持在逻辑 0 以保持晶体管 302 关断,因此将锁存器的 DATA 节点连接到现处于逻辑 0 的读出 (SENSE_OUT) 节点。这导致节点 DATA 为逻辑 0。

[0061] 在时间 t_2 , PRST 信号是逻辑 0 以关断晶体管 306。存储器单元晶体管 330 耦联到现处于读取电压 RD3 的选定字线偏置 WLSEL,如图 5 所说明。读出放大器接着执行此项技术中已知的读出操作。在读出操作之后, RDA 是逻辑 0, RDB 是逻辑 1 以接通其相应的晶体管 302,因此将由反相器 304、305 形成的锁存器的 DATA* 节点连接到现处于逻辑 0 的读出 (SENSE_OUT) 节点。这导致读取第四状态 504 的页 0 的逻辑 1 (即, DATA)。

[0062] 使用读取 - 修改 - 写入技术来在 NAND 单元的 V_t 越过验证电平时产生对所述 NAND 单元的编程操作的禁止电压。图 6 说明用于完成此操作的电路的一个实施例。

[0063] 所述电路包含由两个反相器 602、603 构成的锁存器 600,具有控制晶体管 605。晶体管 605 的栅极连接到“CSENSE1”控制信号,所述控制信号当单元在验证操作期间被验证为经编程时变为高。展示了晶体管 605 的漏极耦联到虚线所示的电路接地端。虚线表示晶体管 605 耦联到的电路的功能等效物,如后面参看图 7 所说明。

[0064] 读取 - 修改 - 写入技术涉及在编程脉冲期间将待编程数据存储在锁存器 600 中作为 DATA,且接着当单元的 V_t 变为高于预定验证值时修改所述数据。换句话说,单元已成功编程。举例来说,假定待编程 DATA 是逻辑 0 而“CSENSE1”信号为低,那么晶体管 605 关断且通过反相器栅极 606 的锁存器输出是逻辑“0”。只要编程脉冲 (即, pgm_pulse) 变为高,反相器栅极 606 就被启用。在此时间期间,将逻辑低信号施加到位线,因此允许对选定字线上的单元编程。

[0065] 当在已通过验证操作之后 CSENSE1 变为高时,通过晶体管 605 将 DATA* 拉到逻辑 0,且反相器栅极 606 的输出是逻辑高。将此 V_{cc} 偏置施加到位线,因此禁止编程操作。

[0066] 图 7 说明本发明的数据锁存器和支持电路。此电路包含如图 3 说明的第一数据锁存器电路 300 和如图 6 说明的第二数据锁存器电路 600。还展示将锁存器 300、600 连在一起的通过晶体管 701、702 和支持电路 704、705。上拉晶体管 721 耦联到 VFY_MATCH 信号,所述信号当经编程数据已经验证时为逻辑高。下拉晶体管 720 耦联到第一锁存器电路 300,所述电路具有耦联到栅极的“下拉_EN”信号,所述信号变为高以接通晶体管 720。

[0067] 在先前描述的读取 - 修改 - 写入操作之后,将 VFY_MATCH 预充电或上拉到逻辑 1 电平。接着,如果待编程的所有位被从 0 修改为 1,那么节点 DATA* 将处于逻辑 0,且共用线 VFYMATCH 将保持在逻辑 1。如果待编程的位中的一些位在读取 - 修改 - 写入操作之后仍处于逻辑 0,那么可提取关于未能通过验证的位的信息。

[0068] 为了提取位信息,将 PASS1 设定为高, PASS0 设定为低,且将下拉 $_EN$ 信号设定为高状态。如果在 P0 编程期间页 0 (P0) 中的任一者未通过验证操作,那么 VFY_MATCH 线被下拉。

[0069] 通过使 PASS1 = 0, PASS0 = 1,且下拉 $_EN = 1$,如果在 P0 = 0 时 P1 中的任一者未通过验证操作,那么 VFY_MATCH 线将被下拉。通过使 PASS1 = 1, PASS0 = 1,且下拉 $_EN = 1$,如果待编程数据中的任一者未通过验证操作,那么 VFY_MATCH 线将被下拉。

[0070] 为了验证 P0 的编程,预设第一锁存器电路 300,使得 DATA 节点为逻辑 1。在节点 DATA 将 P0 = 0 载入第二锁存器电路 600。将验证电压 VFY1 施加到 WLSEL 且 PASS1 = 1。在一个实施例中,VFY1 电压位于前两个 MLC 状态之间。接着由此项技术中众所周知的读出放大器执行读出操作。在读出操作之后,CSENSE1 = 1。

[0071] 如果读出的阈值电压大于或等于 VFY1,那么 SENSE_OUT = 0, NODEB = 0,且 P0 变为逻辑 1。如先前针对下一编程脉冲所解释禁止编程。

[0072] 如果读出的阈值电压小于 VFY1,那么 SENSE_OUT 处于高阻抗状态,且 P0 保持为逻辑低。接着再次执行编程操作。

[0073] 为了在 P0 = 1 时用 VFY3 电压验证 P1 的编程,在编程操作开始期间读取 P0 并在 DATA 节点处将其存储在第一锁存器 300 中。在 DATA 节点处将 P1 = 0 载入第二锁存器 600。使用验证电压 VFY3 来将选定的字线偏置到 WLSEL。在一个实施例中,VFY3 是位于第三与第四 MLC 状态之间的电压。在一个实施例中,VFY2 是位于第二与第三 MLC 状态之间的电压。

[0074] 将通过晶体管 701、702 的栅极偏置为 PASS1 = 1 且 PASS0 = 0。接着执行读出操作。在读出放大器完成读出操作之后,CSENSE1 = 1。如果阈值电压 V_t 大于或等于 VFY3,那么读出 (SENSE_OUT) 节点 = 0,且 NODEB = 0。P0 变为逻辑 1,且仅对于具有 P0 = 1 的单元而禁止下一编程脉冲的编程操作。如果 V_t 小于 VFY3,那么读出 (SENSE_OUT) 节点为高阻抗,且 P0 保持为逻辑 0。再次执行编程操作。

[0075] 为了在 P0 = 0 时用 VFY2 验证 P1 的编程,在编程操作开始期间读取 P0 并在 DATA 节点处将其载入到第一锁存器电路中。在第二锁存器 600 的 DATA 节点处载入 P1 = 0。验证电压 VFY2 将选定的字线偏置为 WLSEL 电压。PASS0 = 1 且 PASS1 = 0。接着由读出放大器执行读出操作。在读出操作之后,CSENSE1 = 1。

[0076] 如果读出的阈值电压 V_t 大于或等于 VFY3,那么读出 (SENSE_OUT) 节点为逻辑 0, NODEB = 0,且 P0 变为逻辑 1。仅针对具有 P1 = 0 的单元禁止下一编程操作。

[0077] 如果读出的阈值小于 VFY3,那么读出 (SENSE_OUT) 节点处于高阻抗状态。在此情况下,P0 保持为逻辑 0,且再次执行编程操作。

[0078] 图 8 说明可并入本发明的快闪存储器阵列和编程方法实施例的存储器装置 800 的功能框图。存储器装置 800 耦联到处理器 810,处理器负责执行本发明的软件驱动程序以将 SLC 数据写入 MLC 装置。处理器 810 可以是微处理器或某种其它类型的控制电路。存储器装置 800 和处理器 810 形成存储器系统 820 的一部分。存储器装置 800 已经过简化以强调存储器的有助于理解本发明的特征。

[0079] 存储器装置包含如上文参看图 8 描述的快闪存储器单元 830 的阵列。存储器阵列 830 布置成行和列的存储器组。每一行存储器单元的控制栅极与一字线耦联,而存储器单元的漏极和源极连接耦联到位线。如此项技术中众所周知,单元与位线的连接决定了阵列是

NAND 结构、AND 结构还是 NOR 结构。

[0080] 提供地址缓冲器电路 840 以锁存在地址输入连接 A0-Ax 842 上提供的地址信号。地址信号由行解码器 844 和列解码器 846 接收并解码以存取存储器阵列 830。所属领域的技术人员在本说明的帮助下将了解,地址输入连接的数目取决于存储器阵列 830 的密度和结构。也就是说,地址的数目随着存储器单元数增加以及存储器组和区块数增加而增加。

[0081] 存储器装置 800 通过使用读出 / 缓冲器电路 850 读出存储器阵列列中的电压或电流改变来读取存储器阵列 830 中的数据。在一个实施例中,读出 / 缓冲器电路经耦联以读取并锁存来自存储器阵列 830 的一行数据。包含数据输入与输出缓冲器电路 860 以用于通过多个数据连接 862 与控制器 810 进行双向数据通信。提供写入电路 855 以将数据写入存储器阵列。

[0082] 控制电路 870 对在来自处理器 810 的控制连接 872 上提供的信号进行解码。这些信号用于控制存储器阵列 830 上的操作,包含数据读取、数据写入(编程)和擦除操作。控制电路 870 可以是状态机、定序器或某种其它类型的控制器。

[0083] 图 8 说明的快闪存储器装置已经简化以便于对存储器特征的基本理解。对快闪存储器的内部电路和功能的更详细了解是所属领域的技术人员已知的。

[0084] 图 9 是示范性存储器模块 900 的说明。存储器模块 900 说明为存储卡,但参考存储器模块 900 论述的概念适用于其它类型的可移除或便携式存储器,例如 USB 快闪驱动器,且希望处于如本文使用的“存储器模块”的范围内。另外,尽管图 9 描绘一个示范性形状因数,但这些概念同样适用于其它形状因数。

[0085] 在一些实施例中,存储器模块 900 将包含外壳 905(如描绘)以封闭一个或一个以上存储器装置 910,但此外壳对于所有装置或装置应用来说不是基本的。至少一个存储器装置 910 是非易失性存储器(包含或用以执行本发明的元件)。当存在时,外壳 905 包含一个或一个以上触点 915 以用于与主机装置通信。主机装置的实例包含数码相机、数字记录和回放装置、PDA、个人计算机、存储卡读取器、接口集线器和类似物。对于一些实施例,触点 915 呈标准化接口的形式。举例来说,在 USB 快闪驱动器的情况下,触点 915 可能呈 USB 类型 A 插入连接器的形式。对于一些实施例,触点 915 呈半私有接口的形式,例如可能位于 SANDISK 公司注册的 COMPACTFLASH 存储卡、SONY 公司注册的 MEMORYSTICK 存储卡、TOSHIBA 公司注册的 SD SECURE DIGITAL 存储卡和类似存储卡上。然而大体上,触点 915 提供用于在存储器模块 900 与具有与触点 915 兼容的接收器的主机之间传递控制、地址和 / 或数据信号的接口。

[0086] 存储器模块 900 可视需要包含额外的电路 920,其可以是一个或一个以上集成电路和 / 或离散组件。对于一些实施例,额外电路 920 可包含用于控制多个存储器装置 910 上的存取和 / 或用于提供外部主机与存储器装置 910 之间的转译层的存储器控制器。举例来说,在触点 915 的数目与到所述一个或一个以上存储器装置 910 的 I/O 连接的数目之间可能没有一一对应关系。因此,存储器控制器可选择性耦联存储器装置 910 的 I/O 连接(图 9 未图示)以在适当时间在适当 I/O 连接处接收适当信号,或在适当时间在适当触点 915 处提供适当信号。类似地,主机与存储器模块 900 之间的通信协议可能与存取存储器装置 910 所需的协议不同。存储器控制器接着可将主机接收的命令序列转译为适当的命令序列以实现存取存储器装置 910 的所需存取。此转译除了命令序列以外可进一步包含信号电压电平

的改变。

[0087] 额外电路 920 可进一步包含与对存储器装置 910 的控制无关的功能性,例如可能由 ASIC(专用集成电路)执行的逻辑功能。而且,额外电路 920 可包含用于限制对存储器模块 900 的读取或写入存取的电路,例如密码保护、生物统计学或类似物。额外电路 920 可包含用于指示存储器模块 900 的状态的电路。举例来说,额外电路 920 可包含用于确定功率是否正供应到存储器模块 900 和存储器模块 900 是否当前正被存取以及显示其状态的指示的功能性,例如通电时的稳定光和被存取时的闪烁光。额外电路 920 可进一步包含无源装置,例如去耦电容器,以帮助调整存储器模块 900 内的功率要求。

[0088] 结论

[0089] 总体来说,本发明的实施例处理来自仅具有单个锁存器的 MLC 存储器装置的两个位。仅使用一个额外锁存器来实施在编程操作期间以读取 - 修改 - 写入和验证进行的 MLC 编程。

[0090] 尽管本文已说明和描述特定实施例,但所属领域的技术人员将了解,经计算以实现相同目的的任何布置可代替所示的特定实施例。所属领域的技术人员将明了对本发明的许多修改。因此,希望本申请案涵盖对本发明的任何修改和变化。明确希望本发明仅由所附权利要求书及其等效物限制。

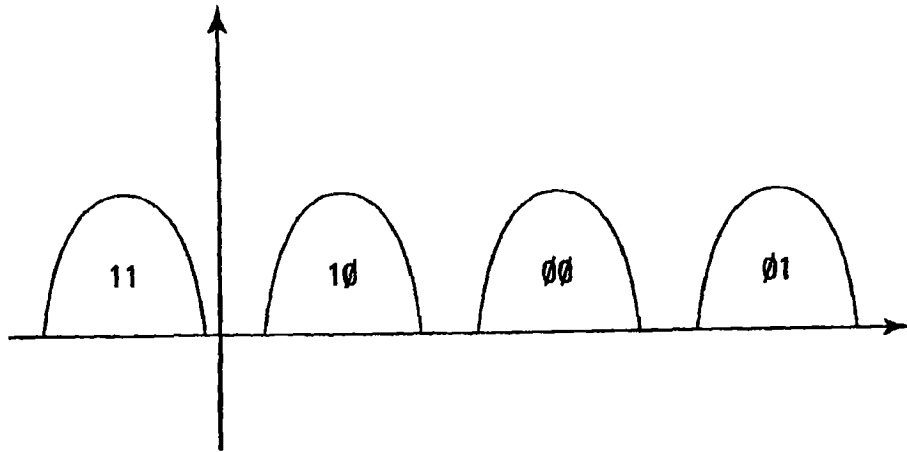


图 1

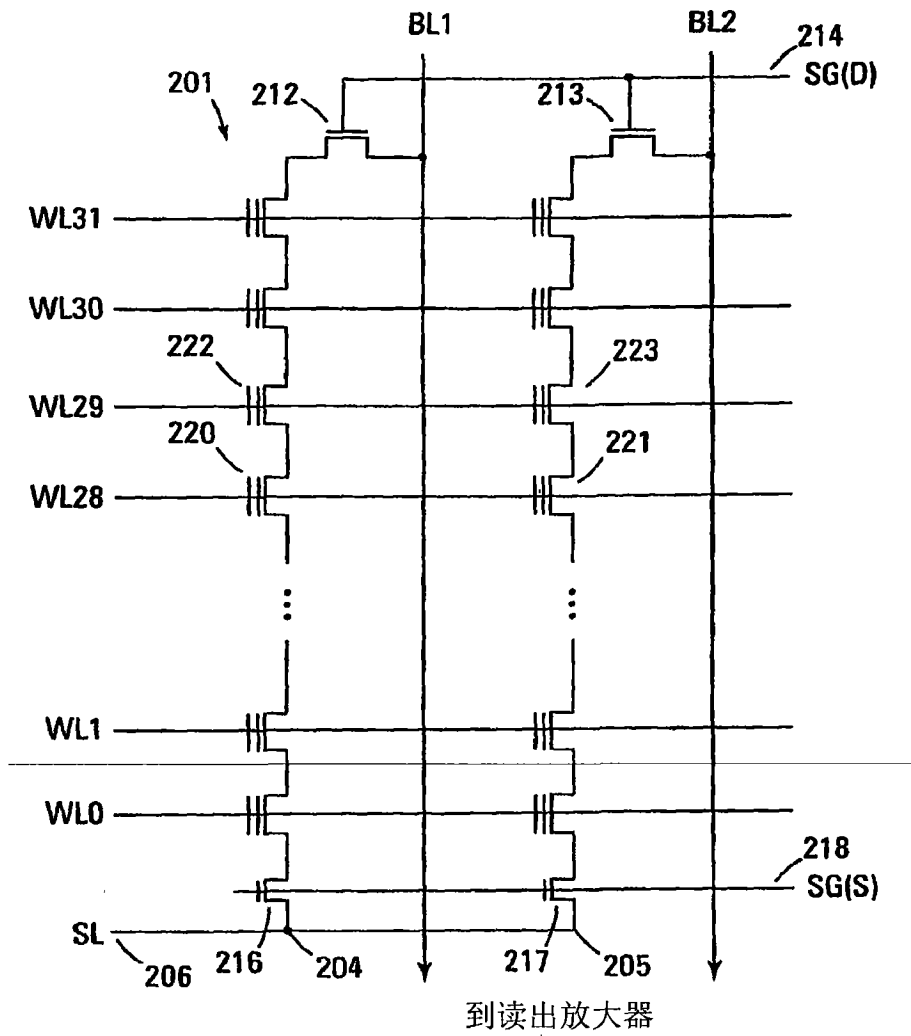


图 2

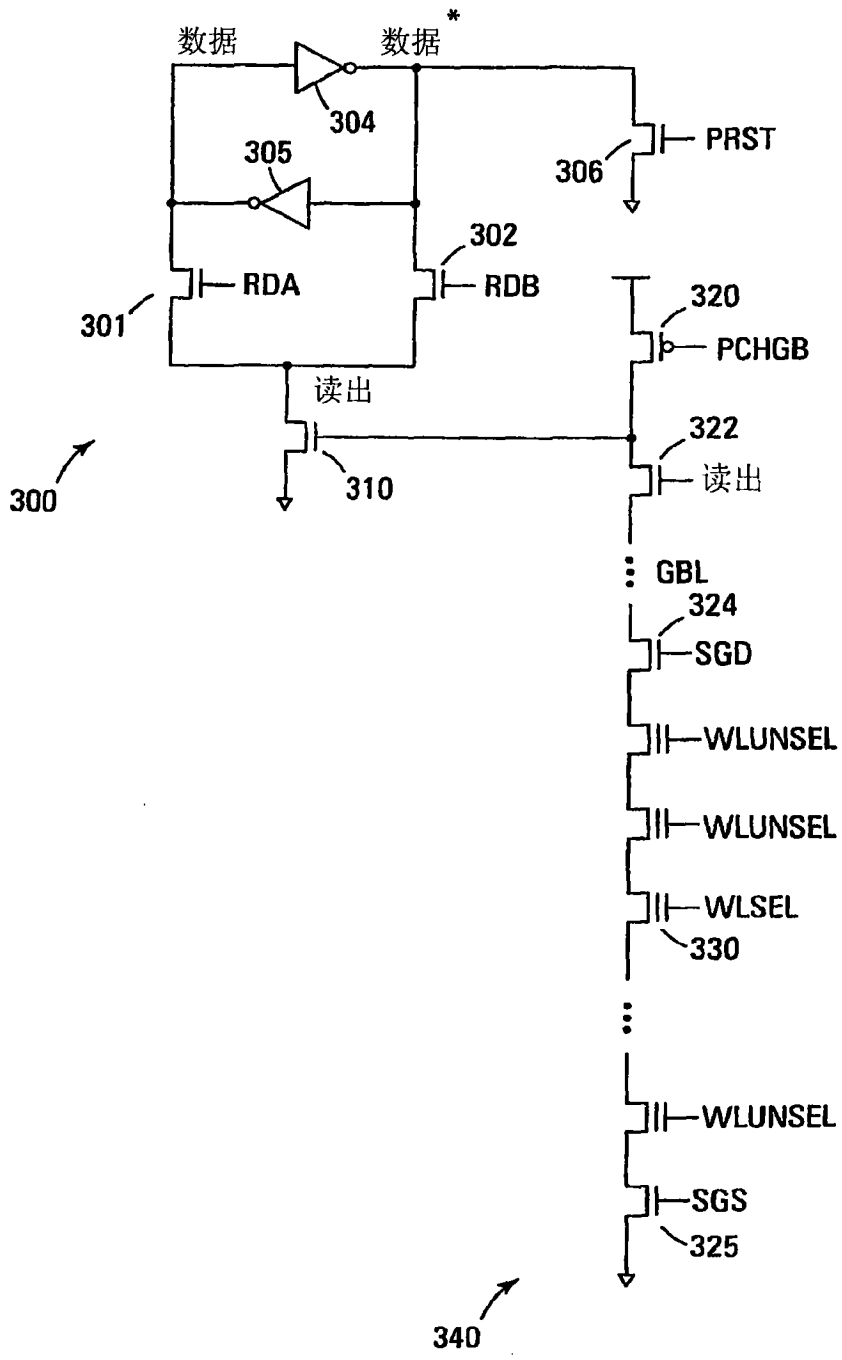


图 3

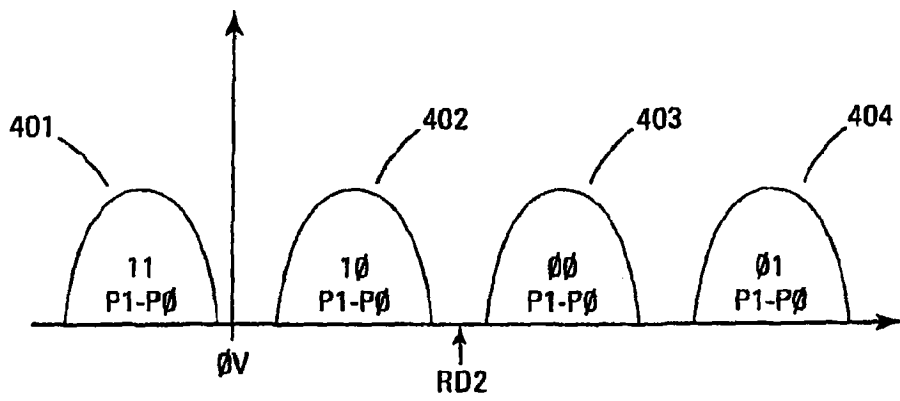


图4

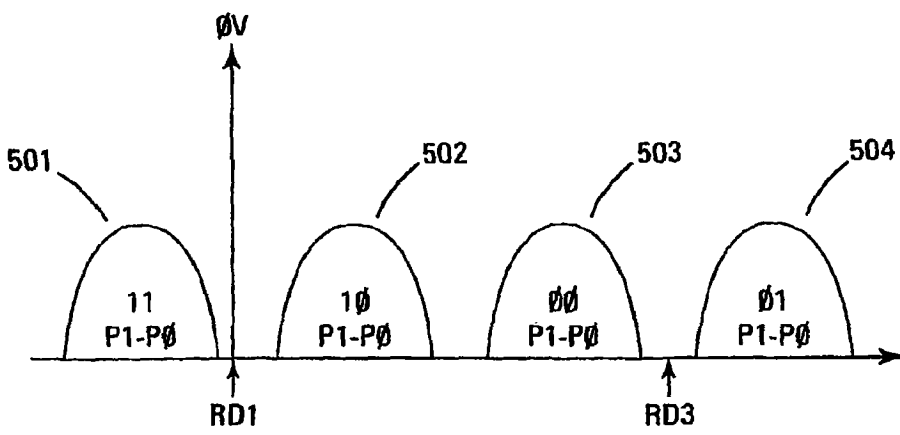


图5

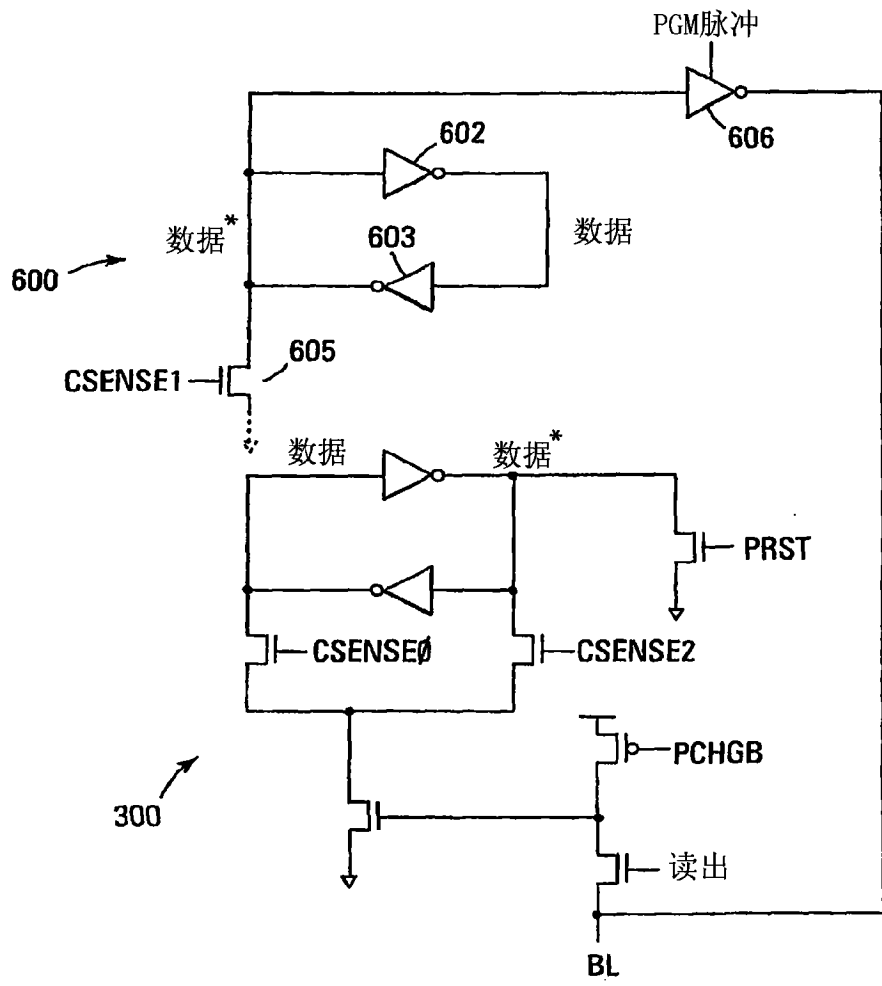


图 6

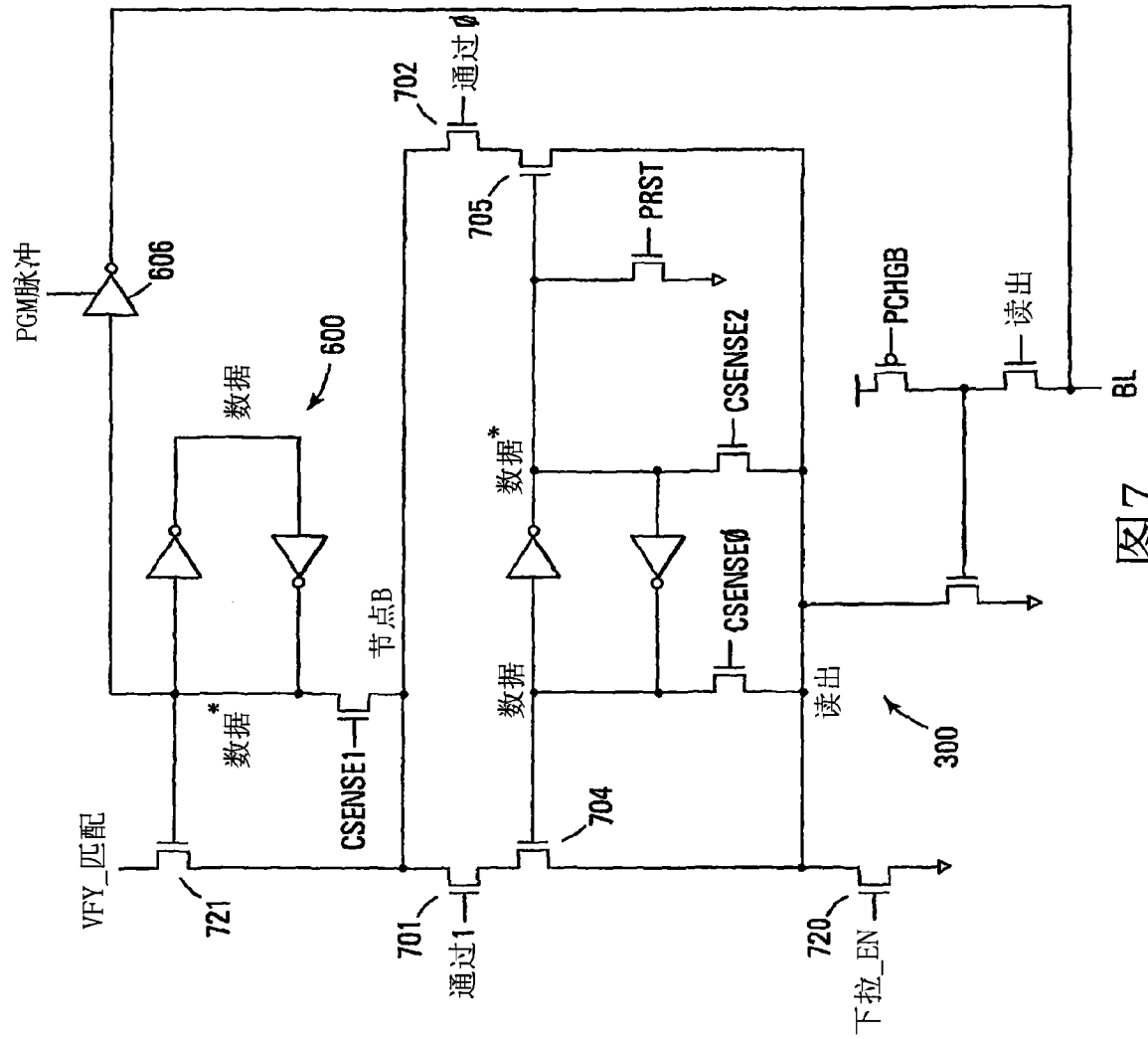


图7

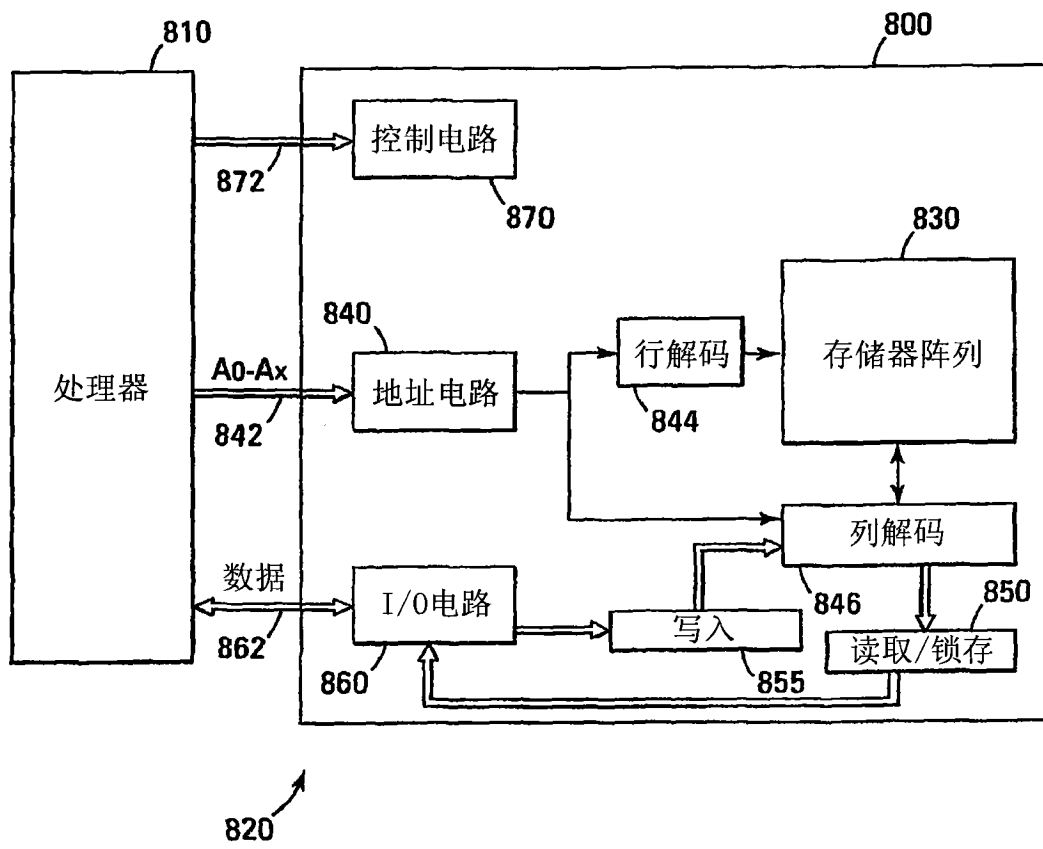


图 8

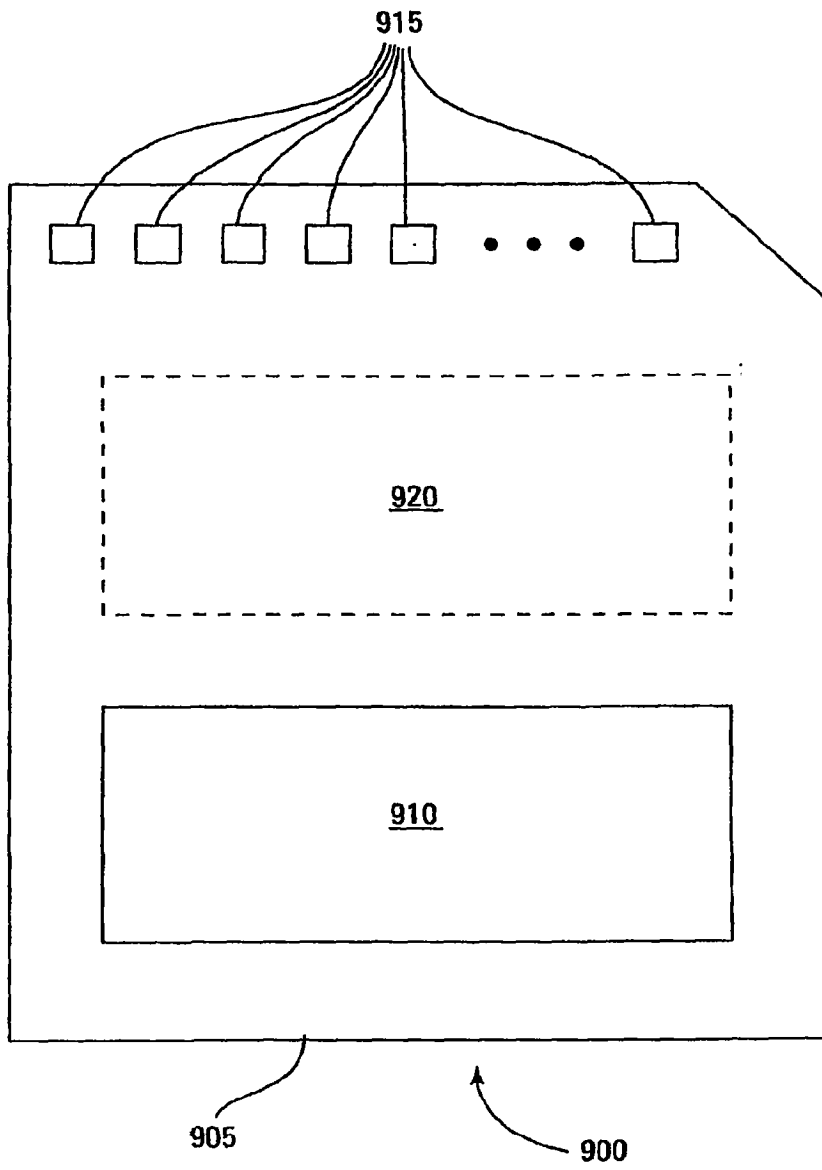


图 9