(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3986572号

(P3986572)

(45)発行日　平成19年10月3日(2007.10.3)　(24)登録日　平成19年7月20日(2007.7.20)

(51)Int.Cl.			F I		
H03K	3/03	(2006.01)	H03K	3/03	
H03K	5/00	(2006.01)	H03K	5/00	M

請求項の数 8　(全 51 頁)

(21)出願番号　特願平7-64252
(22)出願日　平成7年3月23日(1995.3.23)
(65)公開番号　特開平8-265111
(43)公開日　平成8年10月11日(1996.10.11)
審査請求日　平成12年2月25日(2000.2.25)
審判番号　不服2004-2175(P2004-2175/J1)
審判請求日　平成16年2月5日(2004.2.5)

(73)特許権者　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　100096998
弁理士　碓氷　裕彦
(74)代理人　100118197
弁理士　加藤　大登
(74)代理人　100123191
弁理士　伊藤　高順
(72)発明者　山内　重徳
愛知県刈谷市昭和町１丁目１番地　日本電装株式会社内
(72)発明者　渡辺　高元
愛知県刈谷市昭和町１丁目１番地　日本電装株式会社内

最終頁に続く

(54)【発明の名称】周波数逓倍装置

(57)【特許請求の範囲】

【請求項１】

外部から入力される基準信号の周波数を所定数倍に逓倍した出力信号を発生する周波数逓倍装置であって、

入力信号を反転して出力する反転回路が複数個リング状に連結され、各反転回路によってパルス信号を順次反転して周回させることにより、予め定められた複数の反転回路の出力端子から、所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有すると共に、複数ビットの周波数制御データが入力され、上記パルス周回回路から出力される各パルス信号の上記位相差時間を分解能として、上記周波数制御データの値に比例した周期の発振信号を出力するデジタル制御発振装置と、

上記パルス周回回路から出力される所定のパルス信号をカウントするためのクロックカウント手段と、

上記基準信号が入力されると共に、外部から制御信号が入力されると動作して、上記クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力することにより、該クロックカウント手段に、その基準信号の所定周期分の時間内に上記パルス周回回路から出力された上記各所定のパルス信号の数をカウントさせる動作制御手段と、

上記クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、上記周波数制御データとして、上記デジタル制御発振装置へ出力するデータ出力手段とを備え、

上記デジタル制御発振装置から出力される発振信号が、上記出力信号として、当該周波数逓倍装置の外部へ出力され、

上記データ出力手段から出力される周波数制御データのうち、下位ｎビットを除く上位ビットからなる第１データと該第１データが表す値に１を加算した第２データとの何れか一方を、上記出力信号の１周期毎に上記デジタル制御発振装置へ出力するデータ切換手段と、

上記下位ｎビットのデータが表す値と2^nとの比に応じた割合で上記データ切換手段に上記第２データの方を出力させる切換制御手段と、を備え、

上記パルス周回回路は、上記複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されており、

上記デジタル制御発振装置は、

上記周波数制御データのうちの下位ｍビットを除く上位ビットが供給されると共に、上記パルス周回回路内の所定の反転回路から出力されるパルス信号（以下、カウント対象パルス信号という）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力するカウント手段と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給され、そのｍビットデータに対応する位相順番のパルス信号が、上記カウント手段から上記検出信号が出力された後に上記パルス周回回路から出力されたことを検出するパルス検出手段と、

該パルス検出手段により、上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、所定パルス幅の信号を出力する信号出力手段と、

上記パルス検出手段での検出動作が１回終了すると、上記周波数制御データのうちの上記下位ｍビットと上記パルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを上記パルス検出手段へ新たな入力データとして供給するデータ更新手段と、

該データ更新手段によるｍビットの加算結果にキャリーが生じた場合に、上記カウント手段が上記検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させるカウント数変更手段とを備えると共に、

上記信号出力手段から出力される信号が、上記発振信号として当該デジタル制御発振装置から出力されるようになっており、

更に、上記パルス周回回路から出力される２のｍ乗個のパルス信号は、上記特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けられており、

上記カウント手段は、上記複数のグループのうち位相が最も早いグループ以外のグループに所属するパルス信号を上記カウント対象パルス信号としてカウントすると共に、上記検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号が上記パルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を、上記カウント対象パルス信号が所属するグループ及び該グループより位相の遅いグループに対応するものは上記特定のパルス信号が出力された後にアクティブレベルとなるように出力するように構成され、

上記パルス検出手段は、

上記カウント手段からの各検出信号に夫々対応して設けられると共に、対応する検出信号がデータ端子に入力され、クロック端子にパルス信号が入力されると上記データ端子されている信号のレベルをラッチして出力する複数のラッチ回路と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの１つを上記入力データに応じて選択し、該選択したパルス信号を、上記複数のラッチ回路のうち当該パルス信号の所属するグループに対応した検出信号が入力されたラッチ回路のクロック端子へ出力するセレクト手段と、を備え、

上記信号出力手段は、上記ラッチ回路の何れかからアクティブレベルの出力があると上記所定パルス幅の信号を出力するように構成されていること、

を特徴とする周波数逓倍装置。

【請求項２】

外部から入力される基準信号の周波数を所定数倍に逓倍した出力信号を発生する周波数逓倍装置であって、

入力信号を反転して出力する反転回路が複数個リング状に連結され、各反転回路によってパルス信号を順次反転して周回させることにより、予め定められた複数の反転回路の出力端子から、所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有すると共に、複数ビットの周波数制御データが入力され、上記パルス周回回路から出力される各パルス信号の上記位相差時間を分解能として、上記周波数制御データの値に比例した周期の発振信号を出力するデジタル制御発振装置と、

上記パルス周回回路から出力される所定のパルス信号をカウントするためのクロックカウント手段と、

上記基準信号が入力されると共に、外部から制御信号が入力されると動作して、上記クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力することにより、該クロックカウント手段に、その基準信号の所定周期分の時間内に上記パルス周回回路から出力された上記各所定のパルス信号の数をカウントさせる動作制御手段と、

上記クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、上記周波数制御データとして、上記デジタル制御発振装置へ出力するデータ出力手段とを備え、

上記デジタル制御発振装置から出力される発振信号が、上記出力信号として、当該周波数逓倍装置の外部へ出力され、

上記データ出力手段から出力される周波数制御データのうち、下位ｎビットを除く上位ビットからなる第１データと該第１データが表す値に１を加算した第２データとの何れか一方を、上記出力信号の１周期毎に上記デジタル制御発振装置へ出力するデータ切換手段と、

上記下位ｎビットのデータが表す値と2^nとの比に応じた割合で上記データ切換手段に上記第２データの方を出力させる切換制御手段と、を備え、

上記パルス周回回路は、上記複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されており、

上記デジタル制御発振装置は、

上記周波数制御データのうちの下位ｍビットを除く上位ビットが供給されると共に、上記パルス周回回路内の所定の反転回路から出力されるパルス信号（以下、カウント対象パルス信号という）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力するカウント手段と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給され、そのｍビットデータに対応する位相順番のパルス信号が、上記カウント手段から上記検出信号が出力された後に上記パルス周回回路から出力されたことを検出するパルス検出手段と、

該パルス検出手段により、上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、所定パルス幅の信号を出力する信号出力手段と、

上記パルス検出手段での検出動作が１回終了すると、上記周波数制御データのうちの上記下位ｍビットと上記パルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを上記パルス検出手段へ新たな入力データとして供給するデータ更新手段と、

該データ更新手段によるｍビットの加算結果にキャリーが生じた場合に、上記カウント手段が上記検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させるカウント数変更手段とを備えると共に、

上記信号出力手段から出力される信号が、上記発振信号として当該デジタル制御発振装置から出力されるようになっており、

更に、上記パルス周回回路から出力される２のｍ乗個のパルス信号は、上記特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けられており、

上記カウント手段は、上記複数のグループのうち位相が最も早いグループ以外のグルー

プに所属するパルス信号を上記カウント対象パルス信号としてカウントすると共に、上記検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号が上記パルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を、上記カウント対象パルス信号が所属するグループ及び該グループより位相の遅いグループに対応するものは上記特定のパルス信号が出力された後にアクティブレベルとなるように出力するように構成され、

上記パルス検出手段は、

上記カウント手段からの各検出信号に夫々対応して設けられると共に、対応する検出信号がデータ端子に入力され、クロック端子にパルス信号が入力されると上記データ端子されている信号のレベルをラッチして出力する複数のラッチ回路と、

上記入力データを２つに分けた一方のデータに応じて上記パルス信号の各グループから夫々候補となるパルス信号を選択し、該選択した各パルス信号を、当該パルス信号の所属するグループに対応した検出信号が入力されたラッチ回路のクロック端子へ夫々出力する第１のセレクト手段と、

上記入力データのうち上記第１のセレクト手段に入力されたデータ以外のデータに応じて、上記ラッチ回路の出力を択一的に選択して出力する第２のセレクト手段と、を備え、

上記信号出力手段は、上記第２のセレクト手段からアクティブレベルの出力があると上記所定パルス幅の信号を出力するように構成されていること、

を特徴とする周波数逓倍装置。

【請求項３】

外部から入力される基準信号の周波数を所定数倍に逓倍した出力信号を発生する周波数逓倍装置であって、

入力信号を反転して出力する反転回路が複数個リング状に連結され、各反転回路によってパルス信号を順次反転して周回させることにより、予め定められた複数の反転回路の出力端子から、所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有すると共に、複数ビットの周波数制御データが入力され、上記パルス周回回路から出力される各パルス信号の上記位相差時間を分解能として、上記周波数制御データの値に比例した周期の発振信号を出力するデジタル制御発振装置と、

上記パルス周回回路から出力される所定のパルス信号をカウントするためのクロックカウント手段と、

上記基準信号が入力されると共に、外部から制御信号が入力されると動作して、上記クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力することにより、該クロックカウント手段に、その基準信号の所定周期分の時間内に上記パルス周回回路から出力された上記各所定のパルス信号の数をカウントさせる動作制御手段と、

上記クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、上記周波数制御データとして、上記デジタル制御発振装置へ出力するデータ出力手段とを備え、

上記デジタル制御発振装置から出力される発振信号が、上記出力信号として、当該周波数逓倍装置の外部へ出力され、

上記データ出力手段から出力される周波数制御データのうち、下位ｎビットを除く上位ビットからなる第１データと該第１データが表す値に１を加算した第２データとの何れか一方を、上記出力信号の１周期毎に上記デジタル制御発振装置へ出力するデータ切換手段と、

上記下位ｎビットのデータが表す値と2^nとの比に応じた割合で上記データ切換手段に上記第２データの方を出力させる切換制御手段と、を備え、

上記パルス周回回路は、上記複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されており、

上記デジタル制御発振装置は、

上記周波数制御データのうちの下位ｍビットを除く上位ビットが供給されると共に、上

記パルス周回回路内の所定の反転回路から出力されるパルス信号（以下、カウント対象パルス信号という）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力するカウント手段と、
上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給され、そのｍビットデータに対応する位相順番のパルス信号が、上記カウント手段から上記検出信号が出力された後に上記パルス周回回路から出力されたことを検出するパルス検出手段と、
該パルス検出手段により、上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、所定パルス幅の信号を出力する信号出力手段と、
上記パルス検出手段での検出動作が１回終了すると、上記周波数制御データのうちの上記下位ｍビットと上記パルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを上記パルス検出手段へ新たな入力データとして供給するデータ更新手段と、
該データ更新手段によるｍビットの加算結果にキャリーが生じた場合に、上記カウント手段が上記検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させるカウント数変更手段とを備えると共に、
上記信号出力手段から出力される信号が、上記発振信号として当該デジタル制御発振装置から出力されるようになっており、
更に、上記パルス周回回路から出力される２のｍ乗個のパルス信号は、上記特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けられており、
上記カウント手段は、上記複数のグループのうち位相が最も早いグループ以外のグループに所属するパルス信号を上記カウント対象パルス信号としてカウントすると共に、上記検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号が上記パルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を、上記カウント対象パルス信号が所属するグループ及び該グループより位相の遅いグループに対応するものは上記特定のパルス信号が出力された後にアクティブレベルとなるように出力するように構成され、
上記パルス検出手段は、
上記カウント手段からの各検出信号に夫々対応して設けられると共に、対応する検出信号がデータ端子に入力され、クロック端子にパルス信号が入力されると上記データ端子されている信号のレベルをラッチして出力する複数のラッチ回路と、
上記ラッチ回路の出力のうち、上記入力データに対応する位相順番のパルス信号がクロック端子に入力されたラッチ回路の出力を択一的に選択して上記信号出力手段へ出力するセレクト手段と、を備え、
上記信号出力手段は、上記第２セレクト手段からアクティブレベルの出力があると上記所定パルス幅の信号を出力するように構成されていること、
を特徴とする周波数逓倍装置。

【請求項４】
外部から入力される基準信号の周波数を所定数倍に逓倍した出力信号を発生する周波数逓倍装置であって、
入力信号を反転して出力する反転回路が複数個リング状に連結され、各反転回路によってパルス信号を順次反転して周回させることにより、予め定められた複数の反転回路の出力端子から、所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有すると共に、複数ビットの周波数制御データが入力され、上記パルス周回回路から出力される各パルス信号の上記位相差時間を分解能として、上記周波数制御データの値に比例した周期の発振信号を出力するデジタル制御発振装置と、
上記パルス周回回路から出力される所定のパルス信号をカウントするためのクロックカウント手段と、
上記基準信号が入力されると共に、外部から制御信号が入力されると動作して、上記クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力することにより、該クロックカウント手段に、その基準信号の所定周期分の時間内に上記パル

ス周回回路から出力された上記各所定のパルス信号の数をカウントさせる動作制御手段と、

上記クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、上記周波数制御データとして、上記デジタル制御発振装置へ出力するデータ出力手段とを備え、

上記デジタル制御発振装置から出力される発振信号が、上記出力信号として、当該周波数逓倍装置の外部へ出力され、

上記パルス周回回路は、上記複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されており、

上記デジタル制御発振装置は、

上記周波数制御データのうちの下位ｍビットを除く上位ビットが供給されると共に、上記パルス周回回路内の所定の反転回路から出力されるパルス信号（以下、カウント対象パルス信号という）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力するカウント手段と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給され、そのｍビットデータに対応する位相順番のパルス信号が、上記カウント手段から上記検出信号が出力された後に上記パルス周回回路から出力されたことを検出するパルス検出手段と、

該パルス検出手段により、上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、所定パルス幅の信号を出力する信号出力手段と、

上記パルス検出手段での検出動作が１回終了すると、上記周波数制御データのうちの上記下位ｍビットと上記パルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを上記パルス検出手段へ新たな入力データとして供給するデータ更新手段と、

該データ更新手段によるｍビットの加算結果にキャリーが生じた場合に、上記カウント手段が上記検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させるカウント数変更手段とを備えると共に、

上記信号出力手段から出力される信号が、上記発振信号として当該デジタル制御発振装置から出力されるようになっており、

更に、上記パルス周回回路から出力される２のｍ乗個のパルス信号は、上記特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けられており、

上記カウント手段は、上記複数のグループのうち位相が最も早いグループ以外のグループに所属するパルス信号を上記カウント対象パルス信号としてカウントすると共に、上記検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号が上記パルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を、上記カウント対象パルス信号が所属するグループ及び該グループより位相の遅いグループに対応するものは上記特定のパルス信号が出力された後にアクティブレベルとなるように出力するように構成され、

上記パルス検出手段は、

上記カウント手段からの各検出信号に夫々対応して設けられると共に、対応する検出信号がデータ端子に入力され、クロック端子にパルス信号が入力されると上記データ端子されている信号のレベルをラッチして出力する複数のラッチ回路と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの１つを上記入力データに応じて選択し、該選択したパルス信号を、上記複数のラッチ回路のうち当該パルス信号の所属するグループに対応した検出信号が入力されたラッチ回路のクロック端子へ出力するセレクト手段と、を備え、

上記信号出力手段は、上記ラッチ回路の何れかからアクティブレベルの出力があると上記所定パルス幅の信号を出力するように構成されていること、

を特徴とする周波数逓倍装置。

【請求項５】

外部から入力される基準信号の周波数を所定数倍に逓倍した出力信号を発生する周波数

逓倍装置であって、

入力信号を反転して出力する反転回路が複数個リング状に連結され、各反転回路によってパルス信号を順次反転して周回させることにより、予め定められた複数の反転回路の出力端子から、所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有すると共に、複数ビットの周波数制御データが入力され、上記パルス周回回路から出力される各パルス信号の上記位相差時間を分解能として、上記周波数制御データの値に比例した周期の発振信号を出力するデジタル制御発振装置と、

上記パルス周回回路から出力される所定のパルス信号をカウントするためのクロックカウント手段と、

上記基準信号が入力されると共に、外部から制御信号が入力されると動作して、上記クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力することにより、該クロックカウント手段に、その基準信号の所定周期分の時間内に上記パルス周回回路から出力された上記各所定のパルス信号の数をカウントさせる動作制御手段と、

上記クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、上記周波数制御データとして、上記デジタル制御発振装置へ出力するデータ出力手段とを備え、

上記デジタル制御発振装置から出力される発振信号が、上記出力信号として、当該周波数逓倍装置の外部へ出力され、

上記パルス周回回路は、上記複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されており、

上記デジタル制御発振装置は、

上記周波数制御データのうちの下位ｍビットを除く上位ビットが供給されると共に、上記パルス周回回路内の所定の反転回路から出力されるパルス信号（以下、カウント対象パルス信号という）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力するカウント手段と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給され、そのｍビットデータに対応する位相順番のパルス信号が、上記カウント手段から上記検出信号が出力された後に上記パルス周回回路から出力されたことを検出するパルス検出手段と、

該パルス検出手段により、上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、所定パルス幅の信号を出力する信号出力手段と、

上記パルス検出手段での検出動作が１回終了すると、上記周波数制御データのうちの上記下位ｍビットと上記パルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを上記パルス検出手段へ新たな入力データとして供給するデータ更新手段と、

該データ更新手段によるｍビットの加算結果にキャリーが生じた場合に、上記カウント手段が上記検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させるカウント数変更手段とを備えると共に、

上記信号出力手段から出力される信号が、上記発振信号として当該デジタル制御発振装置から出力されるようになっており、

更に、上記パルス周回回路から出力される２のｍ乗個のパルス信号は、上記特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けられており、

上記カウント手段は、上記複数のグループのうち位相が最も早いグループ以外のグループに所属するパルス信号を上記カウント対象パルス信号としてカウントすると共に、上記検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号が上記パルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を、上記カウント対象パルス信号が所属するグループ及び該グループより位相の遅いグループに対応するものは上記特定のパルス信号が出力された後にアクティブレベルとなるように出力するように構成され、

上記パルス検出手段は、

上記カウント手段からの各検出信号に夫々対応して設けられると共に、対応する検出信号がデータ端子に入力され、クロック端子にパルス信号が入力されると上記データ端子されている信号のレベルをラッチして出力する複数のラッチ回路と、

上記入力データを２つに分けた一方のデータに応じて上記パルス信号の各グループから夫々候補となるパルス信号を選択し、該選択した各パルス信号を、当該パルス信号の所属するグループに対応した検出信号が入力されたラッチ回路のクロック端子へ夫々出力する第１のセレクト手段と、

上記入力データのうち上記第１のセレクト手段に入力されたデータ以外のデータに応じて、上記ラッチ回路の出力を択一的に選択して出力する第２のセレクト手段と、を備え、

上記信号出力手段は、上記第２のセレクト手段からアクティブレベルの出力があると上記所定パルス幅の信号を出力するように構成されていること、

を特徴とする周波数逓倍装置。

【請求項６】

外部から入力される基準信号の周波数を所定数倍に逓倍した出力信号を発生する周波数逓倍装置であって、

入力信号を反転して出力する反転回路が複数個リング状に連結され、各反転回路によってパルス信号を順次反転して周回させることにより、予め定められた複数の反転回路の出力端子から、所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有すると共に、複数ビットの周波数制御データが入力され、上記パルス周回回路から出力される各パルス信号の上記位相差時間を分解能として、上記周波数制御データの値に比例した周期の発振信号を出力するデジタル制御発振装置と、

上記パルス周回回路から出力される所定のパルス信号をカウントするためのクロックカウント手段と、

上記基準信号が入力されると共に、外部から制御信号が入力されると動作して、上記クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力することにより、該クロックカウント手段に、その基準信号の所定周期分の時間内に上記パルス周回回路から出力された上記各所定のパルス信号の数をカウントさせる動作制御手段と、

上記クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、上記周波数制御データとして、上記デジタル制御発振装置へ出力するデータ出力手段とを備え、

上記デジタル制御発振装置から出力される発振信号が、上記出力信号として、当該周波数逓倍装置の外部へ出力され、

上記パルス周回回路は、上記複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されており、

上記デジタル制御発振装置は、

上記周波数制御データのうちの下位ｍビットを除く上位ビットが供給されると共に、上記パルス周回回路内の所定の反転回路から出力されるパルス信号（以下、カウント対象パルス信号という）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力するカウント手段と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給され、そのｍビットデータに対応する位相順番のパルス信号が、上記カウント手段から上記検出信号が出力された後に上記パルス周回回路から出力されたことを検出するパルス検出手段と、

該パルス検出手段により、上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、所定パルス幅の信号を出力する信号出力手段と、

上記パルス検出手段での検出動作が１回終了すると、上記周波数制御データのうちの上記下位ｍビットと上記パルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを上記パルス検出手段へ新たな入力データとして供給するデータ更新手段と、

該データ更新手段によるｍビットの加算結果にキャリーが生じた場合に、上記カウント

手段が上記検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させるカウント数変更手段とを備えると共に、
上記信号出力手段から出力される信号が、上記発振信号として当該デジタル制御発振装置から出力されるようになっており、
更に、上記パルス周回回路から出力される２のｍ乗個のパルス信号は、上記特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けられており、
上記カウント手段は、上記複数のグループのうち位相が最も早いグループ以外のグループに所属するパルス信号を上記カウント対象パルス信号としてカウントすると共に、上記検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号が上記パルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を、上記カウント対象パルス信号が所属するグループ及び該グループより位相の遅いグループに対応するものは上記特定のパルス信号が出力された後にアクティブレベルとなるように出力するように構成され、
上記パルス検出手段は、
上記カウント手段からの各検出信号に夫々対応して設けられると共に、対応する検出信号がデータ端子に入力され、クロック端子にパルス信号が入力されると上記データ端子されている信号のレベルをラッチして出力する複数のラッチ回路と、
上記ラッチ回路の出力のうち、上記入力データに対応する位相順番のパルス信号がクロック端子に入力されたラッチ回路の出力を択一的に選択して上記信号出力手段へ出力するセレクト手段と、を備え、
上記信号出力手段は、上記第２セレクト手段からアクティブレベルの出力があると上記所定パルス幅の信号を出力するように構成されていること、
を特徴とする周波数逓倍装置。

【請求項７】
請求項１ないし請求項６の何れかに記載の周波数逓倍装置において、
上記デジタル制御発振装置のデータ更新手段は、上記信号出力手段により上記所定パルス幅の信号が出力されると、上記パルス検出手段に対する入力データの更新動作を行うことを特徴とする周波数逓倍装置。

【請求項８】
請求項１ないし請求項６の何れかに記載の周波数逓倍装置において、
上記デジタル制御発振装置のデータ更新手段は、上記カウント手段にて最も位相の遅れた検出信号の出力が終了すると、上記パルス検出手段に対する入力データの更新動作を行うことを特徴とする周波数逓倍装置。

【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、外部から入力された基準信号の周波数を所定数倍に逓倍した発振信号を出力する周波数逓倍装置、及びその周波数逓倍装置を構成するのに好適なデジタル制御発振装置に関する。

【０００２】
【従来の技術】
従来より、例えば、外部から入力される数１０ＫＨｚの基準信号（基準クロック）を逓倍して数ＭＨｚの発振信号を出力する、所謂クロック逓倍装置として、２進デジタルデータに対応した周期の発振信号を発生するデジタル制御式の発振装置を備えたデジタル制御式のＰＬＬ（Phase Locked Loop）装置がある。

【０００３】
そしてこの種のＰＬＬ装置では、外部から入力された基準信号の周期を符号化し、その値を所定の逓倍数で割った値を発振装置にセットすることにより、発振装置から基準信号の周波数を所定数倍に逓倍した発振信号を出力させている。

【０００４】

【発明が解決しようとする課題】
ところで、上記従来のＰＬＬ装置において、外部基準信号の周期を符号化するためには、例えば特開平５－１０２８０１号公報に開示されているようなパルス位相差符号化回路を用いて、外部基準信号の立ち上がりエッジから次の立ち上がりエッジまでの時間差を符号化することが考えられる。
【０００５】
しかしながら、上記パルス位相差符号化回路は、多数の反転回路をリング状に連結したパルス周回回路を主要部とし、一方のパルスエッジが入力されたときにパルス周回回路にパルス信号を周回させ、他方のパルスエッジが入力されたときに、上記パルス信号がパルス周回回路を何周したか及びパルス周回回路上の何れの反転回路まで達したかを検出する、といった手順で２つのパルスエッジ間の時間差を符号化するように構成されているため、回路構成が複雑であり、ＰＬＬ装置が大型化してしまうという問題がある。
【０００６】
また、上記デジタル制御式のＰＬＬ装置において、発振装置は、水晶発振器等の固定発振器から出力される基本クロックを時間分解能として、発振信号の周波数を可変制御するように構成されており、発振装置には数百ＭＨｚ程度の基本クロックしか入力することができないため、可変制御可能な発振信号の周波数は、最大でも数ＭＨｚ程度であった。
【０００７】
尚、本願出願人は、このようなＰＬＬ装置に使用でき、発振周波数を数Ｈｚ～数十ＭＨｚの広範囲で制御可能な発振装置として、特開平５－１０２８０１号公報に開示されている如く、奇数個の反転回路をリング状に連結したパルス周回回路と、このパルス周回回路での反転回路の連結段数を外部からのデジタルデータに応じて偶数個単位で増減させるスイッチング回路と、パルス周回回路内を周回するパルス信号を取り出すための出力端子と、パルス周回回路内を周回するパルス信号をカウントし、パルス信号が外部からのデジタルデータにより指定された回数だけ周回したことを検出するカウンタと、このカウンタによりパルス信号が指定回数だけ周回したことが検出されると、出力端子からのパルス信号が反転するタイミングで出力信号を出力する出力回路と、を備えたデジタル制御発振装置を提案している。
【０００８】
そこで、本発明は、外部からの基準信号を簡単な構成で逓倍することができる周波数逓倍装置を提供することを目的としている。
【０００９】
【課題を解決するための手段】
即ち、上記目的を達成するためになされた請求項１に記載の本発明は、外部から入力される基準信号の周波数を所定数倍に逓倍した出力信号を発生する周波数逓倍装置であって、
入力信号を反転して出力する反転回路が複数個リング状に連結され、各反転回路によってパルス信号を順次反転して周回させることにより、予め定められた複数の反転回路の出力端子から、所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有すると共に、複数ビットの周波数制御データが入力され、上記パルス周回回路から出力される各パルス信号の上記位相差時間を分解能として、上記周波数制御データの値に比例した周期の発振信号を出力するデジタル制御発振装置と、
上記パルス周回回路から出力される所定のパルス信号をカウントするためのクロックカウント手段と、
上記基準信号が入力されると共に、外部から制御信号が入力されると動作して、上記クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力することにより、該クロックカウント手段に、その基準信号の所定周期分の時間内に上記パルス周回回路から出力された上記各所定のパルス信号の数をカウントさせる動作制御手段と、
上記クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、上

記周波数制御データとして、上記デジタル制御発振装置へ出力するデータ出力手段とを備え、

上記デジタル制御発振装置から出力される発振信号が、上記出力信号として、当該周波数逓倍装置の外部へ出力され、

上記データ出力手段から出力される周波数制御データのうち、下位ｎビットを除く上位ビットからなる第１データと該第１データが表す値に１を加算した第２データとの何れか一方を、上記出力信号の１周期毎に上記デジタル制御発振装置へ出力するデータ切換手段と、

上記下位ｎビットのデータが表す値と2^nとの比に応じた割合で上記データ切換手段に上記第２データの方を出力させる切換制御手段と、を備え、

上記パルス周回回路は、上記複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されており、

上記デジタル制御発振装置は、

上記周波数制御データのうちの下位ｍビットを除く上位ビットが供給されると共に、上記パルス周回回路内の所定の反転回路から出力されるパルス信号（以下、カウント対象パルス信号という）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力するカウント手段と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給され、そのｍビットデータに対応する位相順番のパルス信号が、上記カウント手段から上記検出信号が出力された後に上記パルス周回回路から出力されたことを検出するパルス検出手段と、

該パルス検出手段により、上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、所定パルス幅の信号を出力する信号出力手段と、

上記パルス検出手段での検出動作が１回終了すると、上記周波数制御データのうちの上記下位ｍビットと上記パルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを上記パルス検出手段へ新たな入力データとして供給するデータ更新手段と、

該データ更新手段によるｍビットの加算結果にキャリーが生じた場合に、上記カウント手段が上記検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させるカウント数変更手段とを備えると共に、

上記信号出力手段から出力される信号が、上記発振信号として当該デジタル制御発振装置から出力されるようになっており、

更に、上記パルス周回回路から出力される２のｍ乗個のパルス信号は、上記特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けられており、

上記カウント手段は、上記複数のグループのうち位相が最も早いグループ以外のグループに所属するパルス信号を上記カウント対象パルス信号としてカウントすると共に、上記検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号が上記パルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を、上記カウント対象パルス信号が所属するグループ及び該グループより位相の遅いグループに対応するものは上記特定のパルス信号が出力された後にアクティブレベルとなるように出力するように構成され、

上記パルス検出手段は、

上記カウント手段からの各検出信号に夫々対応して設けられると共に、対応する検出信号がデータ端子に入力され、クロック端子にパルス信号が入力されると上記データ端子されている信号のレベルをラッチして出力する複数のラッチ回路と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの１つを上記入力データに応じて選択し、該選択したパルス信号を、上記複数のラッチ回路のうち当該パルス信号の所属するグループに対応した検出信号が入力されたラッチ回路のクロック端子へ出力するセレクト手段と、を備え、

上記信号出力手段は、上記ラッチ回路の何れかからアクティブレベルの出力があると上記所定パルス幅の信号を出力するように構成されていること、を特徴としている。

【００１０】
また、請求項２に記載の本発明は、外部から入力される基準信号の周波数を所定数倍に逓倍した出力信号を発生する周波数逓倍装置であって、
入力信号を反転して出力する反転回路が複数個リング状に連結され、各反転回路によってパルス信号を順次反転して周回させることにより、予め定められた複数の反転回路の出力端子から、所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有すると共に、複数ビットの周波数制御データが入力され、上記パルス周回回路から出力される各パルス信号の上記位相差時間を分解能として、上記周波数制御データの値に比例した周期の発振信号を出力するデジタル制御発振装置と、
上記パルス周回回路から出力される所定のパルス信号をカウントするためのクロックカウント手段と、
上記基準信号が入力されると共に、外部から制御信号が入力されると動作して、上記クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力することにより、該クロックカウント手段に、その基準信号の所定周期分の時間内に上記パルス周回回路から出力された上記各所定のパルス信号の数をカウントさせる動作制御手段と、
上記クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、上記周波数制御データとして、上記デジタル制御発振装置へ出力するデータ出力手段とを備え、
上記デジタル制御発振装置から出力される発振信号が、上記出力信号として、当該周波数逓倍装置の外部へ出力され、
上記データ出力手段から出力される周波数制御データのうち、下位ｎビットを除く上位ビットからなる第１データと該第１データが表す値に１を加算した第２データとの何れか一方を、上記出力信号の１周期毎に上記デジタル制御発振装置へ出力するデータ切換手段と、
上記下位ｎビットのデータが表す値と2^nとの比に応じた割合で上記データ切換手段に上記第２データの方を出力させる切換制御手段と、を備え、
上記パルス周回回路は、上記複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されており、
上記デジタル制御発振装置は、
上記周波数制御データのうちの下位ｍビットを除く上位ビットが供給されると共に、上記パルス周回回路内の所定の反転回路から出力されるパルス信号（以下、カウント対象パルス信号という）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力するカウント手段と、
上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給され、そのｍビットデータに対応する位相順番のパルス信号が、上記カウント手段から上記検出信号が出力された後に上記パルス周回回路から出力されたことを検出するパルス検出手段と、
該パルス検出手段により、上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、所定パルス幅の信号を出力する信号出力手段と、
上記パルス検出手段での検出動作が１回終了すると、上記周波数制御データのうちの上記下位ｍビットと上記パルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを上記パルス検出手段へ新たな入力データとして供給するデータ更新手段と、
該データ更新手段によるｍビットの加算結果にキャリーが生じた場合に、上記カウント手段が上記検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させるカウント数変更手段とを備えると共に、
上記信号出力手段から出力される信号が、上記発振信号として当該デジタル制御発振装置から出力されるようになっており、
更に、上記パルス周回回路から出力される２のｍ乗個のパルス信号は、上記特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けられており、

上記カウント手段は、上記複数のグループのうち位相が最も早いグループ以外のグループに所属するパルス信号を上記カウント対象パルス信号としてカウントすると共に、上記検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号が上記パルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を、上記カウント対象パルス信号が所属するグループ及び該グループより位相の遅いグループに対応するものは上記特定のパルス信号が出力された後にアクティブレベルとなるように出力するように構成され、

上記パルス検出手段は、

上記カウント手段からの各検出信号に夫々対応して設けられると共に、対応する検出信号がデータ端子に入力され、クロック端子にパルス信号が入力されると上記データ端子されている信号のレベルをラッチして出力する複数のラッチ回路と、

上記入力データを２つに分けた一方のデータに応じて上記パルス信号の各グループから夫々候補となるパルス信号を選択し、該選択した各パルス信号を、当該パルス信号の所属するグループに対応した検出信号が入力されたラッチ回路のクロック端子へ夫々出力する第１のセレクト手段と、

上記入力データのうち上記第１のセレクト手段に入力されたデータ以外のデータに応じて、上記ラッチ回路の出力を択一的に選択して出力する第２のセレクト手段と、を備え、

上記信号出力手段は、上記第２のセレクト手段からアクティブレベルの出力があると上記所定パルス幅の信号を出力するように構成されていること、を特徴としている。

【００１１】

また、請求項３に記載の本発明は、外部から入力される基準信号の周波数を所定数倍に逓倍した出力信号を発生する周波数逓倍装置であって、

入力信号を反転して出力する反転回路が複数個リング状に連結され、各反転回路によってパルス信号を順次反転して周回させることにより、予め定められた複数の反転回路の出力端子から、所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有すると共に、複数ビットの周波数制御データが入力され、上記パルス周回回路から出力される各パルス信号の上記位相差時間を分解能として、上記周波数制御データの値に比例した周期の発振信号を出力するデジタル制御発振装置と、

上記パルス周回回路から出力される所定のパルス信号をカウントするためのクロックカウント手段と、

上記基準信号が入力されると共に、外部から制御信号が入力されると動作して、上記クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力することにより、該クロックカウント手段に、その基準信号の所定周期分の時間内に上記パルス周回回路から出力された上記各所定のパルス信号の数をカウントさせる動作制御手段と、

上記クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、上記周波数制御データとして、上記デジタル制御発振装置へ出力するデータ出力手段とを備え、

上記デジタル制御発振装置から出力される発振信号が、上記出力信号として、当該周波数逓倍装置の外部へ出力され、

上記データ出力手段から出力される周波数制御データのうち、下位ｎビットを除く上位ビットからなる第１データと該第１データが表す値に１を加算した第２データとの何れか一方を、上記出力信号の１周期毎に上記デジタル制御発振装置へ出力するデータ切換手段と、

上記下位ｎビットのデータが表す値と2^nとの比に応じた割合で上記データ切換手段に上記第２データの方を出力させる切換制御手段と、を備え、

上記パルス周回回路は、上記複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されており、

上記デジタル制御発振装置は、

上記周波数制御データのうちの下位ｍビットを除く上位ビットが供給されると共に、上

記パルス周回回路内の所定の反転回路から出力されるパルス信号（以下、カウント対象パルス信号という）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力するカウント手段と、

上記パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給され、そのｍビットデータに対応する位相順番のパルス信号が、上記カウント手段から上記検出信号が出力された後に上記パルス周回回路から出力されたことを検出するパルス検出手段と、

該パルス検出手段により、上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、所定パルス幅の信号を出力する信号出力手段と、

上記パルス検出手段での検出動作が１回終了すると、上記周波数制御データのうちの上記下位ｍビットと上記パルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを上記パルス検出手段へ新たな入力データとして供給するデータ更新手段と、

該データ更新手段によるｍビットの加算結果にキャリーが生じた場合に、上記カウント手段が上記検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させるカウント数変更手段とを備えると共に、

上記信号出力手段から出力される信号が、上記発振信号として当該デジタル制御発振装置から出力されるようになっており、

更に、上記パルス周回回路から出力される２のｍ乗個のパルス信号は、上記特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けられており、

上記カウント手段は、上記複数のグループのうち位相が最も早いグループ以外のグループに所属するパルス信号を上記カウント対象パルス信号としてカウントすると共に、上記検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号が上記パルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を、上記カウント対象パルス信号が所属するグループ及び該グループより位相の遅いグループに対応するものは上記特定のパルス信号が出力された後にアクティブレベルとなるように出力するように構成され、

上記パルス検出手段は、

上記カウント手段からの各検出信号に夫々対応して設けられると共に、対応する検出信号がデータ端子に入力され、クロック端子にパルス信号が入力されると上記データ端子されている信号のレベルをラッチして出力する複数のラッチ回路と、

上記ラッチ回路の出力のうち、上記入力データに対応する位相順番のパルス信号がクロック端子に入力されたラッチ回路の出力を択一的に選択して上記信号出力手段へ出力するセレクト手段と、を備え、

上記信号出力手段は、上記第２セレクト手段からアクティブレベルの出力があると上記所定パルス幅の信号を出力するように構成されていること、を特徴としている。

【００１４】

そして、請求項７に記載の本発明は、請求項１ないし請求項６の何れかに記載の周波数逓倍装置において、上記デジタル制御発振装置のデータ更新手段は、上記信号出力手段により上記所定パルス幅の信号が出力されると、上記パルス検出手段に対する入力データの更新動作を行うことを特徴としている。

【００１５】

また、請求項８に記載の本発明は、請求項１ないし請求項６の何れかに記載の周波数逓倍装置において、上記デジタル制御発振装置のデータ更新手段は、上記カウント手段にて最も位相の遅れた検出信号の出力が終了すると、上記パルス検出手段に対する入力データの更新動作を行うことを特徴としている。

【００１６】

【作用及び発明の効果】

上記のように構成された請求項１に記載の周波数逓倍装置は、リング状に連結された複数個の各反転回路によってパルス信号を順次反転して周回させることにより、予め定められ

た複数の反転回路の出力端子から所定の位相差を有する同じ周期の複数のパルス信号を順次出力させるパルス周回回路を有したデジタル制御発振装置を備えており、このデジタル制御発振装置は、パルス周回回路から出力される各パルス信号の位相差時間を分解能として、当該デジタル制御発振装置に入力される複数ビットの周波数制御データの値に比例した周期の発振信号を出力する。

【００１７】

そして、請求項１の周波数逓倍装置においては、外部からの逓倍対象の基準信号が動作制御手段に入力され、その動作制御手段は、外部から制御信号が入力されると動作して、クロックカウント手段へ上記基準信号の所定周期分の時間だけカウント許可信号を出力する。すると、クロックカウント手段が、その基準信号の所定周期分の時間内に上記パルス周回回路から出力された所定のパルス信号の数をカウントし、データ出力手段が、クロックカウント手段にてカウントされたカウント値を表すデジタルデータを、周波数制御データとしてデジタル制御発振装置へ出力する。そして更に、この周波数逓倍装置では、上記デジタル制御発振装置から出力される発振信号が、基準信号の周波数を逓倍した出力信号として、当該周波数逓倍装置の外部へ出力される。

【００１８】

ここで、外部から入力される基準信号の１周期をＴREF，パルス周回回路から出力される各パルス信号の周期（即ち、各パルス信号の１周期）をＴＣ，その各パルス信号の位相差時間をＴＰ，クロックカウント手段がカウント動作を行う基準信号の周期数をＮ１とすると、クロックカウント手段のカウント値Ｃ及びデータ出力手段から出力される周波数制御データＤの値は、Ｃ＝Ｄ＝（Ｎ１・TREF）／ＴＣとなり、デジタル制御発振装置から出力される発振信号の周期ＴOUTは、ＴOUT＝Ｄ・ＴＰ＝Ｎ１・TREF・（ＴＰ／ＴＣ）となる。

【００１９】

よって、例えば、Ｎ１＝１であるとき、即ち、クロックカウント手段が、基準信号の１周期内にパルス周回回路からの所定のパルス信号をカウントする場合には、デジタル制御発振装置からは、基準信号の周期TREFをパルス周回回路から出力されるパルス信号の総数（ＴＣ／ＴＰ）で割った周期で、発振信号が出力される。換言すれば、基準信号の周波数FREFをパルス信号の総数（ＴＣ／ＴＰ）で逓倍した発振信号が当該周波数逓倍装置の出力信号として外部へ出力される。また例えば、Ｎ１＝２であるとき、即ち、クロックカウント手段が、基準信号の２周期内にパルス周回回路からの所定のパルス信号をカウントする場合には、基準信号の周波数FREFを、パルス信号の総数を２で割った値（ＴＣ／２・ＴＰ）で逓倍した発振信号が出力される。

【００２０】

つまり、本発明の周波数逓倍装置では、クロックカウント手段によって、基準信号の所定周期分の時間を、パルス周回回路から出力されるパルス信号の周期を分解能として符号化し、その値を表す周波数制御データを、パルス周回回路から出力される各パルス信号の位相差時間を制御分解能とするデジタル制御発振装置へ入力するようにしているため、クロックカウント手段が、基準信号の１周期内にパルス周回回路から出力された上記所定のパルス信号の数をカウントするように構成すれば、基準信号をパルス周回回路から出力されるパルス信号の総数（ＴＣ／ＴＰ）倍に逓倍した発振信号が得られる。また、上記所定のパルス信号をカウントするときの基準信号の周期数Ｎ１を増加すれば、その周期数Ｎ１に反比例して出力周波数を下げることができる。

【００２１】

そして、本発明の周波数逓倍装置によれば、基準信号の所定周期分の時間内にパルス周回回路から出力された所定のパルス信号をカウントする、といった非常に簡単な構成で、基準信号の周波数を所定数倍に逓倍した発振信号を出力できる。また、本発明の周波数逓倍装置によれば、基準信号の周期の符号化と出力周波数の制御とを、同じパルス周回回路を用いて行っているため、周囲温度や電源電圧等の動作条件が変動しても、安定した逓倍動作を行うことができる。

【００２２】
尚、データ出力手段から出力される周波数制御データを、所定数Ｎ２で除算して、デジタル制御発振回路へ入力するように構成すれば、基準信号を逓倍した、より高周波の出力信号を出力することができる。
次に、データ切換手段は、データ出力手段から出力される周波数制御データのうち下位ｎビットを除く上位ビットからなる第１データと、その第１データが表す値に１を加算した第２データとの何れか一方を、出力信号の１周期毎にデジタル制御発振回路へ出力するのであるが、切換制御手段が、上記下位ｎビットのデータが表す値と２ｎとの比に応じた割合で、データ切換手段に第２データの方を出力させる。
【００２３】
つまり、請求項１に記載の周波数逓倍装置では、データ出力手段から出力される周波数制御データを2^nで割った場合の小数点以上の値を表すデータ（第１データ）が、デジタル制御発振回路へ入力するようにし、且つ、周波数制御データの下位ｎビットのデータが表す値と2^nとの比に応じた頻度、即ち周波数制御データを2^nで割った場合の小数点以上の値に応じた頻度で、デジタル制御発振回路へ入力されるデータ（第１データ）に１が加算されるようにしている。
【００２４】
よって、データ出力手段からの周波数制御データが2^nで割り切れない場合（下位ｎビットのデータ値が０でない場合）には、デジタル制御発振装置へ、その除算結果のうち小数点以下の値に応じた頻度で、小数点以上のデータ値に１を加算したデータ（第２データ）が、周波数制御データとして入力されることとなり、この結果、発振信号の周期の平均値を、周波数制御データを2^nで割った値に正確に対応させることができる。そして、これにより、請求項１に記載の周波数逓倍装置に対して、2^n倍の周波数を有する発振信号（＝出力信号）が正確に得られる。
【００２５】
よって、請求項１に記載の周波数逓倍装置によれば、例えば、基準信号の周波数をパルス信号の総数（ＴＣ／ＴＰ）倍した発振信号を出力させる場合に、クロックカウント手段が基準信号の2^n周期内にパルス周回回路から出力される所定のパルス信号の数をカウントするように構成することにより、基準信号をより正確に逓倍することができる。
【００２６】
即ち、クロックカウント手段のカウント値にはパルス信号の１周期分の誤差が生じるため、クロックカウント手段が上記所定のパルス信号を基準信号の2^n周期分カウントするようにして、周波数制御データのビット数をｎビット増加させ、更に、その周波数制御データを2^nで除算したデータをデジタル制御発振装置へ入力すれば、クロックカウント手段でのカウント誤差による影響を小さくすることができる。
【００２７】
そして、この場合、上述したように、周波数制御データを2^nで割った値（即ち、この場合には基準信号の１周期分に対応するカウント値）に正確に対応した発振信号を得ることができるため、デジタル制御発振装置から、基準信号の周波数を（ＴＣ／ＴＰ）倍した発振信号を正確に出力させることができるのである。また、発振信号の周期は、周波数制御データへの１の加算の有無によって変化することになるが、この変化量は、各パルス信号の位相差時間だけであるため極めて小さい。
【００２８】
このように、請求項１に記載の周波数逓倍装置によれば、クロックカウント手段によるカウント誤差をより少なくして、基準信号をより正確に逓倍した出力信号を得ることができる。
【００２９】
また、請求項１に記載の周波数逓倍装置に備えられたデジタル制御発振装置では、パルス周回回路が、複数のパルス信号として、２のｍ乗個（ｍは自然数）のパルス信号を出力するように構成されている。

そして、周波数制御データのうちの下位ｍビットを除く上位ビットが供給されるカウント手段が、パルス周回回路内の所定の反転回路から出力されるパルス信号（カウント対象パルス信号）をカウントして、そのカウント対象パルス信号の出力回数が上記上位ビットのデータ値に達したことを検出する毎に検出信号を出力し、パルス周回回路から出力される２のｍ乗個のパルス信号のうちの特定のパルス信号を基準とした位相の順番を表すｍビットデータが入力データとして供給されるパルス検出手段が、そのｍビットデータに対応する位相順番のパルス信号が、カウント手段から検出信号が出力された後にパルス周回回路から出力されたことを検出する。

【００３０】

そして更に、パルス検出手段によって上記ｍビットデータに対応する位相順番のパルス信号の出力されたことが検出されると、信号出力手段が、所定パルス幅の信号を出力する。よって、当該発振装置が動作を開始したときに、上記特定のパルス信号からみてＫ番目の位相を表すデジタルデータ（ｍビットデータ）がパルス検出手段に入力されている場合には、カウント手段から検出信号が出力された後に、パルス検出手段によって、パルス周回回路から位相がＫ番目のパルス信号が出力されたことが検出されると、信号出力手段から１周期目の所定パルス幅の信号が出力される。そして、本デジタル制御発振装置では、この信号出力手段から出力される信号が、発振信号として当該デジタル制御発振装置から出力されるようになっている。

【００３１】

このようにしてパルス検出手段での検出動作が１回終了すると、データ更新手段が、周波数制御データのうちの上記下位ｍビットとパルス検出手段の現在の入力データとを加算したｍビットのデジタルデータを、パルス検出手段へ新たな入力データとして供給する。

【００３２】

よって、周波数制御データのうちの下位ｍビットのデータ値がＤＰ であるとすれば、次回（２周期目）以降には、パルス検出手段によって、位相が（Ｋ＋ＤＰ），（Ｋ＋２・ＤＰ），（Ｋ＋３・ＤＰ），…番目のパルス信号が検出される。即ち、パルス検出手段が検出するパルス信号が、前回検出したパルス信号からみて位相がＤＰ 番目だけずれたものに順次更新されていく。

【００３３】

従って、信号出力手段からは、周波数制御データの値に各パルス信号の位相差時間ＴＰ を乗じた時間毎に、所定パルス幅の信号が出力されることとなる。

そして、データ更新手段によるｍビットの加算結果にキャリーが生じた場合には、次回に信号出力手段から所定パルス幅の信号が出力されるまでの時間が、パルス信号の１周期分だけ短くなってしまうため、カウント数変更手段が、カウント手段が検出信号を出力するまでにカウントすべきパルス信号のカウント数を１つ増加させる。

【００３４】

つまり、請求項１に記載のデジタル制御発振装置においては、出力信号（ここでは、信号出力段から出力される所定のパルス幅の信号）の１周期毎に、周波数制御データの下位ｍビットを順次累積して、その累積したｍビットデータをパルス検出手段の入力データとして使用するようにしており、パルス検出手段で検出されるパルス信号が、特定のパルス信号よりも位相が早いものとなった場合には、カウント数を桁上げを行うようにしている。そしてこれにより、パルス周回回路を停止させずに、全く同じ周期で出力信号が出力できる。

【００３５】

このように、請求項１に記載のよれば、周波数制御データによって、出力信号の出力周期、即ち、当該装置の発振周波数を任意の値に変更することができる。

そして、発振周期は、数Ｈｚ～数十ＭＨｚの広範囲にわたって高分解能でデジタル制御することが可能となる。

【００３６】

そして、請求項１に記載のデジタル制御発振装置によれば、パルス周回回路を停止させ

ることなく、発振させることができるため、制御性が極めて良好となる。また、発振周期をより短く設定することができる。

ところで、デジタル制御発振装置においては、カウント手段がカウントするパルス信号は所定の反転回路から出力される同じ位相のものであるのに対し、パルス検出手段が検出するパルス信号は、その位相が順次ずれていく。よって、パルス検出手段が、カウント手段で検出するパルス信号よりも位相の早いパルス信号を先に検出し、その次に、カウント手段でカウントするパルス信号よりも位相の遅いパルス信号を検出する場合には、前回に出力信号が出力されてから次に出力信号が出力されるまでの時間が、パルス周回回路をパルス信号が１周する時間（パルス周回時間）だけ短くなる。

【００３７】

そこで、パルス周回回路から出力されるパルス信号のうちで位相が最も遅いパルス信号と位相の基準となる特定のパルス信号（位相が最も早いパルス信号）との間の位相を持つパルス信号をカウントするように構成することが考えられるが、このようにすると、パルス検出手段が位相の早いパルス信号を検出しなければならない場合に、カウント手段でのカウントが終了してから検出すべきパルス信号が発生するまでの時間が非常に短くなるため、パルス信号の発生を安定して検出することができなくなる。

【００３８】

即ち、パルス検出手段としては、パルス周回回路から出力されるパルス信号のうちの１つを入力データに応じて選択して出力するセレクタ回路と、このセレクタ回路からのパルス信号がクロック端子に入力されると共に、カウント手段からの検出信号がデータ端子に入力されるラッチ回路とを用い、カウント手段から検出信号が出力された後にセレクト回路からパルス信号が出力されるとラッチ回路が検出信号をラッチして出力する、といった構成が考えられる。しかし、この場合には、ラッチ回路のデータ端子に検出信号が入力されてからクロック端子にパルス信号が入力されるまでにある程度の時間が確保されていないと、ラッチ回路を安定して動作させることができないのである。

【００３９】

そこで、請求項１に記載のデジタル制御発振装置では、パルス周回回路から出力される２のｍ乗個のパルス信号を、特定のパルス信号を基準として位相が早いものから順に予め複数のグループに分けると共に、カウント手段が、上記複数のグループのうち位相が最も早いグループ以外のグループに所属するパルス信号をカウント対象パルス信号としてカウントするようにしている。

【００４０】

そして更に、カウント手段は、検出信号として、上記パルス信号の各グループに夫々対応する複数の検出信号であって、少なくとも対応するグループの全パルス信号がパルス周回回路から連続して出力されるまでの間アクティブレベルとなる複数の検出信号を出力するのであるが、特にカウント対象パルス信号が所属するグループ及びそのグループよりも位相の遅いグループに対応する検出信号は、上記特定のパルス信号が出力された後にアクティブレベルとなるように出力する。

【００４１】

加えて、パルス検出手段を、複数のラッチ回路とセレクト手段とで構成している。そして、複数のラッチ回路は、カウント手段から出力される上記各検出信号に夫々対応して設けられており、対応する検出信号がデータ端子に入力されて、クロック端子にパルス信号が入力されるとデータ端子に入力されている信号のレベルをラッチして出力する。また、セレクト手段は、パルス周回回路から出力される２のｍ乗個のパルス信号のうちの１つを、位相の順番を表すｍビットの入力データに応じて選択し、その選択したパルス信号を、複数のラッチ回路のうち当該パルス信号の所属するグループに対応した検出信号が入力されたラッチ回路のクロック端子へ出力する。

【００４２】

つまり、請求項１に記載のデジタル制御発振装置においては、カウント手段が出力する複数の検出信号と、その各検出信号が夫々データ端子に入力される複数のラッチ回路とが

、夫々、特定のパルス信号を基準として位相が早いものから順に分けられたパルス信号の各グループに対応しており、セレクト手段が、パルス周回回路から出力されるパルス信号のうち１つを、位相の順番を表す入力データに応じて選択し、その選択したパルス信号を、そのパルス信号の所属するグループに対応したラッチ回路のクロック端子へ出力するようにしている。

【００４３】

よって、カウント手段により、カウント対象パルス信号の出力回数が周波数制御データの上位ビットのデータ値に達したことが検出されて、今回検出すべきパルス信号のグループに対応した検出信号が該カウント手段から出力された後、パルス周回回路からそのパルス信号が出力されると、そのパルス信号のグループに対応したラッチ回路からのみ、アクティブレベルの信号が出力される。そして、信号出力手段は、ラッチ回路の何れかからアクティブレベルの出力があると、上記所定パルス幅の信号を出力する。

【００４４】

ここで、請求項１に記載のデジタル制御発振装置では、カウント手段が位相の最も早いグループ以外のグループに属するパルス信号をカウントし、しかも、そのパルス信号が所属するパルス信号が所属するグループ及びそのグループよりも位相の遅いグループに対応する検出信号は、特定のパルス信号が出力された後に出力されるように構成されている。よって、少なくとも、カウント手段がカウントするパルス信号及びそのパルス信号よりも位相の遅いパルス信号については、カウント手段での検出が行われた直後に、そのパルス信号がパルス周回回路から出力されても、それは無効となって次の周回で同位相のパルス信号が出力されたときに検出される。

【００４５】

従って、請求項１に記載のデジタル制御発振装置によれば、パルス検出手段が、カウント手段でカウントするパルス信号よりも位相の早いパルス信号を前回に検出し、その次に、カウント手段でカウントするパルス信号よりも位相の遅いパルス信号を検出する場合でも、正確な周期で出力信号を出すことができる。

【００４６】

そして更に、請求項１に記載のデジタル制御発振装置によれば、カウント手段がカウントするパルス信号として、位相が比較的早いものを選ぶことができるため、カウント手段でカウントするパルス信号が所属するグループよりも位相が早いグループについては、そのグループに対応する検出信号をカウント手段での検出直後に出力させて、ラッチ回路のデータ端子に検出信号が入力されてからクロック端子にパルス信号が入力されるまでの時間を十分に大きく設定することができる。よって、各ラッチ回路は、対応するグループの中の何れかのパルス信号がセレクト手段から出力されたときに、検出信号を確実にラッチして出力することができ、確実な周波数制御が可能となる。

【００４７】

次に、請求項２に記載の周波数逓倍装置に備えられたデジタル制御発振装置では、請求項１に記載のデジタル制御発振装置に対して、パルス検出手段が、上記セレクト手段に代えて第１のセレクト手段と第２のセレクト手段とを備え、信号出力手段が、第２のセレクト手段からアクティブレベルの出力があると所定パルス幅の信号を出力する点が異なっている。

【００４８】

そして、第１のセレクト手段は、位相の順番を表す入力データを２つに分けた一方のデータに応じて、パルス信号の各グループから夫々候補となるパルス信号を選択し、その選択した各パルス信号を、各パルス信号の所属するグループに対応した検出信号が入力されたラッチ回路のクロック端子へ夫々出力する。そして更に、第２のセレクト手段は、位相の順番を表す入力データのうち第１のセレクト手段に入力さたデータ以外のデータに応じて、各ラッチ回路の出力を択一的に選択して出力する。

【００４９】

つまり、請求項１に記載のデジタル制御発振装置では、セレクト手段が、パルス周回回

路から出力されるパルス信号のうち１つを入力データに応じて択一的に選択し、その選択したパルス信号を、対応する１つのラッチ回路のクロック端子へ出力するように構成されていたが、請求項２に記載のデジタル制御発振装置では、第１のセレクト手段によって、パルス信号の各グループから夫々１つずつパルス信号を選択して、その選択したパルス信号を、各自に対応するラッチ回路のクロック端子に出力し、最終的に、第２のセレクト手段によって、各ラッチ回路の出力を択一的に選択して出力するようにしている。

【００５０】

よって、第２のセレクト手段からは、請求項１に記載のデジタル制御発振装置にて何れかのラッチ回路が検出信号をラッチして出力するのと全く同じタイミングで、アクティブレベルの信号が出力される。そして、信号出力手段は、第２のセレクト手段からアクティブレベルの出力があると、蒸気所定パルス幅の信号を出力する。

【００５１】

従って、このような請求項２に記載のデジタル制御発振装置によっても、請求項１に記載のデジタル制御発振装置と全く同様に、周波数制御データに応じた正確な周期で発振信号を出力できる。

次に、請求項３に記載の周波数逓倍装置に備えられたデジタル制御発振装置では、請求項１に記載のデジタル制御発振装置に対して、パルス検出手段を成すラッチ回路とセレクト手段の設け方が異なっている。

【００５２】

即ち、請求項３に記載のデジタル制御発振装置では、パルス周回回路から出力される２のｍ乗個のパルス信号に夫々対応してラッチ回路が設けられており、そのクロック端子には、対応するパルス信号が直接入力される。またデータ端子には、カウント手段から出力される検出信号のうち、クロック端子に入力されたパルス信号が属するグループに対応した検出信号が入力されている。

【００５３】

そして、セレクト手段は、複数のラッチ回路の出力のうち、位相の順番を表すｍビットの入力データに応じたパルス信号（即ち、入力データに対応する位相順番のパルス信号）がクロック端子に入力されたラッチ回路の出力を、択一的に選択して信号出力手段へ出力する。

【００５４】

このような、請求項３に記載のデジタル制御発振装置においても、カウント手段により、カウント対象パルス信号の出力回数が周波数制御データの上位ビットのデータ値に達したことが検出されると、該カウント手段から、各パルス信号の各グループに夫々対応した検出信号が出力される。

【００５５】

そして、各ラッチ回路は、そのデータ端子にカウント手段からの検出信号が入力されている間に、パルス周回回路から対応するパルス信号が出力されると、その検出信号を夫々ラッチして出力するが、その出力のうち、位相の順番を表すｍビットの入力データに応じたパルス信号がクロック端子に入力されたラッチ回路の出力だけが、セレクト手段により選択されて出力される。

【００５６】

よって、セレクト手段からは、請求項１に記載のデジタル制御発振装置にて何れかのラッチ回路が検出信号をラッチして出力するのと全く同じタイミングで、アクティブレベルの信号が出力される。そして、信号出力手段は、第２のセレクト手段からアクティブレベルの出力があると、蒸気所定パルス幅の信号を出力する。

【００５７】

従って、このような請求項３に記載のデジタル制御発振装置によっても、請求項１及び請求項２に記載のデジタル制御発振装置と全く同様に、周波数制御データに応じた正確な周期で発振信号を出力できる。

尚、上記請求項１ないし請求項３の何れかに記載のデジタル制御発振装置においては、

パルス検出手段での検出動作が１回終了すると、データ更新手段が、周波数制御データのうちの下位ｍビットとパルス検出手段の現在の入力データとを加算したデジタルデータを、パルス検出手段の新たな入力データとするようにし、この更新動作によって、パルス検出手段が検出するパルス信号の位相が、順次ずれていくようにしている。

【００５８】

そして、データ更新手段がパルス検出手段に対する入力データの更新動作を行うタイミング、即ち、パルス検出手段での検出動作が１回終了したことを検出するタイミングとしては、請求項７に記載のように、信号出力手段によって所定パルス幅の信号が出力されたタイミングに設定してもよいし、また、請求項８に記載のように、カウント手段にて最も位相の遅れた検出信号の出力が終了したタイミングに設定してもよい。

【００５９】

以上のような請求項１～５に記載の周波数逓倍装置によれば、装置構成を小型化することができるため、ＬＳＩの動作クロックを発生させるためのクロック発生装置として用いることができる。即ち、ＬＳＩの内部に設けられた反転回路と、ＬＳＩの内部又は外部に設けられた抵抗器及びコンデンサとによって発振回路を構成し、この発振回路からの発振信号を、当該周波数逓倍装置により逓倍してＬＳＩの動作クロックを生成すればよい。

【００６０】

しかも、このようにＬＳＩの動作クロックを生成するように構成すれば、発振回路の発振周波数が周囲温度や動作電圧の変動に対して影響されないように、抵抗器の抵抗値やコンデンサの容量を十分に大きくして発振周波数を低く設定しても、ＬＳＩには逓倍された後の高い周波数の動作クロックを入力することができ、安価で耐環境性にも優れた発振回路を提供することができるようになる。

【００６１】

【実施例】

以下に本発明の実施例を図面と共に説明する。

まず図１は、第１実施例の周波数逓倍装置としてのクロック逓倍装置１の構成を表すブロック図である。

【００６２】

尚、本実施例のクロック逓倍装置１は、外部から入力される基準信号ＰＲＥＦを、１ビットの逓倍数切換信号ＤＶ１に応じて１６倍又は３２倍に周波数逓倍した出力信号ＰＯＵＴを生成するためのものであり、外部からの動作開始信号ＰＳＴＢを受けて出力信号ＰＯＵＴの出力を開始する。

【００６３】

図１に示すように、本実施例のクロック逓倍装置１は、外部からHighレベルの制御信号ＰＡが入力されているときに、後述するように所定の位相差Ｔｇを有する１６個のパルス信号（以下、クロック信号という）Ｒ１～Ｒ１６を順次出力するリングオシレータを有し、そのクロック信号Ｒ１～Ｒ１６を用いて、１２ビットの周波数制御データＣＤ（ＣＤ１～ＣＤ１２）に対応した周期の出力信号ＰＯＵＴを生成するデジタル制御発振回路（ＤＣＯ）２と、デジタル制御発振回路２のリングオシレータから出力されるクロック信号Ｒ１～Ｒ１６の内の所定のクロック信号（以下、出力クロックという）ＲＣＫを用いて、基準信号ＰＲＥＦの１周期を符号化し、その値に応じた周波数制御データＣＤ１～ＣＤ１２をデジタル制御発振回路２へ出力するカウンタ・データラッチ回路４と、上記両回路２，４の動作タイミングを制御する制御回路６とから構成されている。

【００６４】

尚、以下の説明において、デジタル制御発振回路２のリングオシレータから出力される１６個のクロック信号Ｒ１～Ｒ１６をまとめて多相クロックという。

ここでまず、制御回路６は、図２に示す如く、３個のＤタイプフリップフロップ（以下、ラッチ回路という）ＤＦ８ａ～ＤＦ８ｃにより構成されて基準信号ＰＲＥＦをカウントする３ビットカウンタ８と、３ビットカウンタ８の１ビット目のデータＱ１，２ビット目のデータＱ２，及び３ビット目のデータＱ３の反転値を入力するアンドゲート１０ａと、３

ビットカウンタ８の１ビット目のデータＱ１，２ビット目のデータＱ２の反転値，及び３ビット目のデータＱ３を入力するアンドゲート１０ｂと、３ビットカウンタ８の１ビット目から３ビット目までの全データＱ１～Ｑ３を入力するアンドゲート１０ｃと、外部からの動作開始信号ＰＳＴＢがデータ端子に入力されると共に、アンドゲート１０ｃの出力信号ＣＬＲがクロック端子に入力されたラッチ回路１２とから構成されており、３ビットカウンタ８及びラッチ回路１２は、外部からの制御信号ＰＡがLow レベルのときにリセットされる。

【００６５】

尚、３ビットカウンタ８は、各ラッチ回路ＤＦ８ａ～ＤＦ８ｃのＱバー端子がデータ端子に接続され、且つ、前段のラッチ回路のＱバー端子が次段のラッチ回路のクロック端子に接続された周知の分周カウンタとして構成されており、初段のラッチ回路ＤＦ８ａのクロック端子に基準信号ＰＲＥＦが入力されている。

【００６６】

このように構成された制御回路６においては、制御信号ＰＡがHighレベルであるときに、図４に示す如く、３ビットカウンタ８が基準信号ＰＲＥＦをカウントする。そして、そのカウント値が「３」のときに、アンドゲート１０ａからカウンタ・データラッチ回路４へHighレベルのカウント許可信号ＵＣＥが出力され、カウント値が「５」のときに、アンドゲート１０ｂからデジタル制御発振回路２へHighレベルのデータラッチ信号ＤＬＳが出力され、更に、カウント値が「７」のときに、アンドゲート１０ｃからカウンタ・データラッチ回路４へHighレベルのカウントクリア信号ＣＬＲが出力される。また、外部からHighレベルの動作開始信号ＰＳＴＢが入力されると、その信号ＰＳＴＢは、カウントクリア信号ＣＬＲが出力されるタイミングでラッチ回路１２によりラッチされ、デジタル制御発振回路２へ、発振動作を開始させるための制御信号ＰＣとして出力される。

【００６７】

次に、カウンタ・データラッチ回路４は、図３に示す如く、１３個のラッチ回路ＤＦ１４ａ～ＤＦ１４ｍ（ＤＦ１４ｂ～ＤＦ１４ｌは符号省略）から構成され、制御回路６からカウント許可信号ＵＣＥが出力されているときに、上記リングオシレータからの出力クロックＲＣＫをカウントするクロックカウント手段としての１３ビットカウンタ１４と、１３ビットカウンタ１４から出力される１３ビットのデータＤＴ１～ＤＴ１３をＤＴ１から順に夫々２個単位で入力し、その各信号を外部から入力される逓倍数切換信号ＤＶ１に応じて択一的に出力する、１２個のセレクタＳＬからなるシフト回路１６と、１２個のラッチ回路ＤＦ１８ａ～ＤＦ１８ｌ（ＤＦ１８ｂ～ＤＦ１８ｋは符号省略）からなり、シフト回路１６を構成する各セレクタＳＬからの１２ビットのデータＤＬ１～ＤＬ１２を、デジタル制御発振回路２から出力されるラッチタイミング信号ＤＬＣの立ち上がりタイミングでラッチして、そのラッチした１２ビットのデータを周波数制御データＣＤ１～ＣＤ１２としてデジタル制御発振回路２へ出力する、データ出力手段としてのデータラッチ回路１８とから構成されている。

【００６８】

尚、データラッチ回路１８に入力されるラッチタイミング信号ＤＬＣは、制御回路６からデータラッチ信号ＤＬＳが出力されるタイミングに同期してデジタル制御発振回路２から出力されるものである。

ここで、１３ビットカウンタ１４は、１３個のラッチ回路ＤＦ１４ａ～ＤＦ１４ｍによって、制御回路６内の３ビットカウンタ８と全く同様に構成されているが、初段のラッチ回路ＤＦ１４ａのデータ端子には、そのＱバー出力がアンドゲート２０を介して入力されており、そのアンドゲート２０の他方の入力端子には、制御回路６からのカウント許可信号ＵＣＥが入力されている。そして、各ラッチ回路ＤＦ１４ａ～ＤＦ１４ｍのクリア端子には、制御回路６からのカウントクリア信号ＣＬＲが入力されている。

【００６９】

また、シフト回路１６を構成する１２個の各セレクタＳＬは、逓倍数切換信号ＤＶ１が「１」のときに、図３において左側の入力信号、即ちデータＤＴ１～ＤＴ１３の下位ビット

の方を出力し、逓倍数切換信号ＤＶ１が「０」のときに、図３において右側の入力信号、即ちデータＤＴ１～ＤＴ１３の上位ビットの方を出力するように接続されている。よって、逓倍数切換信号ＤＶ１が「１」のときには、１３ビットカウンタ１４から出力されるデータＤＴ１～ＤＴ１３のうち、下位１２ビットのデータＤＴ１～ＤＴ１２がデータラッチ回路１８へ出力され、逓倍数切換信号ＤＶ１が「０」のときには、１３ビットカウンタ１４から出力されるデータＤＴ１～ＤＴ１３が１ビット左シフトされて、２ビット目から１３ビット目までのデータＤＴ２～ＤＴ１３がデータラッチ回路１８へ出力される。

【００７０】

このように構成されたカウンタ・データラッチ回路４においては、図４に示すように、１３ビットカウンタ１４が、制御回路６からカウント許可信号ＵＣＥが出力されている間だけ、リングオシレータからの出力クロックＲＣＫをカウントする。すると、そのカウント値を表すデータＤＴ１～ＤＴ１２或いはそのカウント値を２で割った値を表すＤＴ２～ＤＴ１３が、シフト回路１６を介してデータラッチ回路１８に入力される。

【００７１】

そして、制御回路６からデータラッチ信号ＤＬＳが出力され、それに同期してデジタル制御発振回路２からラッチタイミング信号ＤＬＣが出力されると、データラッチ回路１８がシフト回路１６からのデータＤＬ１～ＤＬ１２（ＤＴ１～ＤＴ１２又はＤＴ２～ＤＴ１３）をラッチし、そのラッチした１２ビットのデータＣＤ１～ＣＤ１２を周波数制御データとしてデジタル制御発振回路２へ出力する。そしてその後、制御回路６からカウントクリア信号ＣＬＲが出力されると、１３ビットカウンタ１４がクリアされる。

【００７２】

即ち、カウンタ・データラッチ回路４は、動作制御手段としての制御回路６からの各信号に応じて基準信号ＰＲＥＦの８周期を１単位として動作し、基準信号ＰＲＥＦの３周期目の間（ＵＣＥ＝High）で、リングオシレータからの出力クロックＲＣＫをカウントすることにより、基準信号ＰＲＥＦの１周期を計時し、そのカウント値又はそのカウント値を２で割った値を表す１２ビットデータを、基準信号ＰＲＥＦの５周期目（ＤＬＣ＝High）でラッチし、基準信号の７周期目（ＣＬＲ＝High）で、カウントした値をクリアする、といった動作を繰り返す。

次に、カウンタ・データラッチ回路４（データラッチ回路１８）からの周波数制御データＣＤ１～ＣＤ１２に対応した周期の出力信号ＰＯＵＴを発生するデジタル制御発振回路２について説明する。

【００７３】

図５に示すように、本実施例のデジタル制御発振回路２には、後述するように合計３２個の反転回路をリング状に接続して構成され、外部からの制御信号ＰＡがHighレベルになると所定の位相差Ｔｇを有する１６個の多相クロックＲ１～Ｒ１６を出力すると共に、そのうちのクロック信号Ｒ１３を出力クロックＲＣＫとしてカウンタ・データラッチ回路４（１３ビットカウンタ１４）へ出力する、パルス周回回路としてのリングオシレータ２２と、リングオシレータ２２からの多相クロックＲ１～Ｒ１６を受け、後述する４ビットのセレクトデータＤ１～Ｄ４に対応したクロック信号を択一的に選択して、その選択したクロック信号がＲ１～Ｒ８であれば出力端子Ｐ１から出力し、選択したクロック信号がＲ９～Ｒ１６であれば出力端子Ｐ２から出力するパルスセレクタ２４と、カウンタ・データラッチ回路４から入力された周波数制御データＣＤの内の上位８ビット（ＣＤ５～ＣＤ１２＝ＣＤＨ）がプリセットされ、リングオシレータ２２から出力されるクロック信号Ｒ１３の立ち上がりタイミングでダウンカウントを行うダウンカウンタ２６とが備えられている。

【００７４】

尚、ダウンカウンタ２６は、セット端子を備えた周知のカウンタとして構成されており、セット端子に入力されるセット信号ＳＥＴがHighレベルのときに、クロック信号（リングオシレータ２２からのクロック信号Ｒ１３）が立ち上がると、周波数制御データＣＤの上位８ビットＣＤＨがプリセットされる。そして、セット信号がLow レベルのときには、リングオシレータ２２からのクロック信号Ｒ１３が立ち上がる度に、そのカウント値を１ず

つ減少させ、カウント値が「２」のときに出力信号ＣＮ２をHighレベルにし、また、カウント値が「１」のときに出力信号ＣＮ１をHighレベルにする。

【００７５】

また、デジタル制御発振回路２には、後述する第２検出信号ＡＤ２の立ち下がりタイミングで５ビットの入力データをラッチし、そのラッチデータをセレクトデータＤ１～Ｄ５として出力する５ビットレジスタ（以下、単にレジスタという）２８と、レジスタ２８からのセレクトデータの内の下位４ビットＤ１～Ｄ４とカウンタ・データラッチ回路４から入力された周波数制御データＣＤの内の下位４ビット（ＣＤ１～ＣＤ４＝ＣＤＬ）とを加算し、４ビットの加算結果Ｄ１～Ｄ４とキャリー信号Ｄ５からなる５ビットのデータＤ１～Ｄ５をレジスタ２８に入力する加算器３０と、レジスタ２８から出力されるセレクトデータＤ１～Ｄ５の内のキャリー信号Ｄ５が「０」であるときには、ダウンカウンタ２６の出力信号ＣＮ２を選択し、またキャリー信号Ｄ５が「１」であるときには、ダウンカウンタ２６の出力信号ＣＮ１を選択して、出力信号ＳＬＯとして出力するセレクタ３２と、セレクタ３２からの出力信号ＳＬＯをリングオシレータ２２から出力されるクロック信号Ｒ１３の立ち上がりタイミングでラッチして、第１検出信号ＡＤ１として出力するラッチ回路３４と、ラッチ回路３４からの第１検出信号ＡＤ１をリングオシレータ２２から出力されるクロック信号Ｒ５の立ち上がりタイミングでラッチして、第２検出信号ＡＤ２として出力するラッチ回路３６と、ラッチ回路３６からの第２検出信号ＡＤ２を反転してレジスタ２８のクロック端子へ入力させるインバータ３８と、外部からの制御信号ＰＡがLow レベルのときにクリアされ、制御回路６からの制御信号ＰＣをリングオシレータ２２から出力されるクロック信号Ｒ１３の立ち上がりタイミングでラッチするラッチ回路４０と、ラッチ回路４０からの出力信号ＰＣＡを反転させた信号とラッチ回路３４からの第１検出信号ＡＤ１との論理和をとり、その論理和信号をダウンカウンタ２６のセット信号ＳＥＴとして出力するオアゲート４２とが備えられている。

【００７６】

また更に、デジタル制御発振回路２には、ラッチ回路３４からの第１検出信号ＡＤ１を、パルスセレクタ２４の出力端子Ｐ１からクロック信号が出力されるタイミングでラッチするラッチ回路４４と、ラッチ回路３６からの第２検出信号ＡＤ２を、パルスセレクタ２４の出力端子Ｐ２からクロック信号が出力されるタイミングでラッチするラッチ回路４６と、ラッチ回路４４の出力信号ＰＱ１とラッチ回路４６の出力信号ＰＱ２との論理和をとるオアゲート４８と、このオアゲート４８からの出力信号ＡＱを所定時間だけ遅延して、出力信号ＰＯＵＴとして外部に出力するバッファ５０と、オアゲート４８からの出力信号ＡＱとバッファ５０からの出力信号ＰＯＵＴとの否定論理積をとるナンドゲート５２と、ナンドゲート５２からの出力信号とラッチ回路４０からの出力信号ＰＣＡとの論理積をとるアンドゲート５４と、アンドゲート５４の出力信号を増幅して、ラッチ回路４４，４６のクリア信号ＡＣＲとして出力するバッファ５６と、ラッチ回路３４からの第１検出信号ＡＤ１とラッチ回路３６からの第２検出信号ＡＤ２との論理和をとるオアゲート５８と、オアゲート５８からの出力信号ＡＤ３を出力信号ＰＯＵＴの立ち上がりタイミングでラッチするラッチ回路６０と、パルスセレクタ２４の出力端子Ｐ１から出力されるクロック信号を反転した信号，オアゲート４８からの出力信号ＡＱ，及びラッチ回路６０からの出力信号ＰＱ３を入力し、これら各信号の否定論理和信号ＰＳ１を、ラッチ回路４４のクロック端子に入力させるノアゲート６２と、パルスセレクタ２４の出力端子Ｐ２から出力されるクロック信号を反転した信号，オアゲート４８からの出力信号ＡＱ，及びラッチ回路６０からの出力信号ＰＱ３を入力し、これら各信号の否定論理和信号ＰＳ２を、ラッチ回路４６のクロック端子に入力させるノアゲート６４とが備えられている。

【００７７】

そして更に、デジタル制御発振回路２には、カウンタ・データラッチ回路４（データラッチ回路１８）へラッチタイミング信号ＤＬＣを出力するための回路として、制御回路６からのデータラッチ信号ＤＬＳとラッチ回路４０からの出力信号ＰＣＡを反転した信号との論理積をとるアンドゲート６６と、ラッチ回路４０からの出力信号ＰＣＡがLow レベル

のときにクリアされると共に、制御回路６からのデータラッチ信号ＤＬＳを第２検出信号ＡＤ２の立ち下がりタイミングでラッチするラッチ回路６８と、アンドゲート６６の出力信号ＣＫ３とラッチ回路６８の出力信号ＤＬＢとの論理和をとり、その論理和信号をラッチタイミング信号ＤＬＣとして出力するオアゲート７０とが設けられている。

【００７８】

ここで、リングオシレータ２２は、図６に示す如く、反転回路として、２個の２入力ナンドゲート（以下、単にナンドゲートという）ＮＡＮＤ１，３２と、３０個のインバータＩＮＶ２～３１とを備えている。これら各反転回路は、前段の出力端が次段の入力端へと順次リング状に接続されており、ナンドゲートＮＡＮＤ１のナンドゲートＮＡＮＤ３２に接続されない方の入力端子には、外部からの制御信号ＰＡが入力され、また、ナンドゲートＮＡＮＤ３２のインバータＩＮＶ３１に接続されない方の入力端子（以下、この入力端子を制御用端子という）にはインバータＩＮＶ１８の出力信号が入力されている。

【００７９】

そして、ナンドゲートＮＡＮＤ１から数えて偶数段目に接続された反転回路の出力端には、夫々、多相クロックＲ１～Ｒ１６を出力するための出力端子が設けられており、これらの全出力端子がパルスセレクタ２４に接続されると共に、クロック信号Ｒ１３を出力するための出力端子がダウンカウンタ２６及びラッチ回路３４のクロック端子に接続され、クロック信号Ｒ５を出力するための出力端子がラッチ回路３６のクロック端子に接続されている。

【００８０】

このように構成されたリングオシレータ２２の動作については、特開平６－２１６７２１号公報に詳細に記載されているが、図７を用いて簡単に説明すると、まず、制御信号ＰＡがLow レベルであるときは、ナンドゲートＮＡＮＤ１の出力Ｐ０１は強制的にHighレベルとなるため、ナンドゲートＮＡＮＤ１から数えて偶数段目のインバータの出力はLow レベルとなり、奇数段目のインバータの出力はHighレベルとなって安定する。但し、この初期状態において、ナンドゲートＮＡＮＤ３２の制御用端子に入力されたインバータＩＮＶ１８の出力Ｐ１８はLow レベルであるため、ナンドゲートＮＡＮＤ３２だけは、偶数段目に接続されているにも関わらずHighレベルを出力する。

【００８１】

そして、制御信号ＰＡをLow レベルからHighレベルに変化させると、当該リングオシレータ２２には、ナンドゲートＮＡＮＤ１の反転動作の開始に伴い、奇数段目の反転回路の立ち下がり出力及び偶数段目の反転回路の立ち上がり出力として順次伝達するメインエッジ（図７において点印で示すエッジ）と、このメインエッジがインバータＩＮＶ１８からナンドゲートＮＡＮＤ３２の制御用端子に入力されてナンドゲートＮＡＮＤ３２の出力Ｐ３２がインバータＩＮＶ３１の出力Ｐ３１よりも先に反転することに伴い、奇数段目の反転回路の立ち上がり出力及び偶数段目の反転回路の立ち下がり出力として順次伝達するリセットエッジ（図７において×印で示すエッジ）とが、同一周回上に周回する。

【００８２】

即ち、本実施例のリングオシレータ２２においては、同一周回上に発生タイミングの異なる２つのパルス信号（メインエッジとリセットエッジ）を周回させるようにしており、ナンドゲートＮＡＮＤ１は、自己が発生させたメインエッジが戻ってくる前にリセットエッジによって出力が反転され、ナンドゲートＮＡＮＤ３２は、自己が発生させたリセットエッジが戻ってくる前にメインエッジによって出力が反転されるというように、リングオシレータ２２は安定状態になることなく、パルス信号を常に周回させることとなる。

【００８３】

そして、リングオシレータ２２の上記各出力端子からは、各反転回路での反転動作時間Ｔｄの３２倍の時間（３２・Ｔｄ）を１周期とする多相クロックＲ１～Ｒ１６が出力され、しかも隣接する端子から出力されるクロックの位相差は、夫々、反転動作時間Ｔｄの２倍の時間Ｔｇとなる。

【００８４】

一方、パルスセレクタ２４は、図８に示すように、リングオシレータ２２からの多相クロックＲ１～Ｒ８が夫々一方の入力端子に入力され、レジスタ２８から出力されるセレクトデータＤ１～Ｄ５の４ビット目Ｄ４が他方の入力端子に入力された８個のオアゲートＯＲ１～ＯＲ８（ＯＲ２～ＯＲ７は符号省略），及びリングオシレータ２２からの多相クロックＲ９～Ｒ１６が夫々一方の入力端子に入力され、セレクトデータＤ１～Ｄ５の４ビット目Ｄ４の反転値が他方の入力端子に入力された８個のオアゲートＯＲ９～ＯＲ１６（ＯＲ１０～ＯＲ１５は符号省略）からなるオアゲート群７２と、オアゲートＯＲ１～ＯＲ１６からの出力信号を、ＯＲ１から順に夫々２個単位で入力し、その各信号をセレクトデータＤ１～Ｄ５の１ビット目Ｄ１に応じて択一的に出力する、８個のセレクタＳＬからなる第１セレクタ群７４と、第１セレクタ群７４を構成する各セレクタＳＬからの出力信号を夫々２個単位で入力し、その各信号をセレクトデータＤ１～Ｄ５の２ビット目Ｄ２に応じて択一的に出力する、４個のセレクタＳＬからなる第２セレクタ群７６と、第２セレクタ群７６を構成する各セレクタＳＬからの出力信号を夫々２個単位で入力し、その各信号をセレクトデータＤ１～Ｄ５の３ビット目Ｄ３に応じて択一的に出力する、２個のセレクタＳＬからなる第３セレクタ群７８とから構成されている。

【００８５】

そして、第１セレクタ群７４から第３セレクタ群７８までを構成する各セレクタＳＬは、夫々に対応するセレクトデータのビット（Ｄ１～Ｄ３）が「０」のときに、図８において右側の入力信号、即ちオアゲートＯＲ１～ＯＲ１６の番号（１～１６）が小さい方に対応する信号を出力するように接続されている。よって、対応するセレクトデータのビットが「１」のときには、図８において左側の入力信号が出力されることとなる。

【００８６】

また、第３セレクタ群７８を構成する２つのセレクタＳＬのうち、オアゲートＯＲ１～ＯＲ８（クロック信号Ｒ１～Ｒ８）に対応するセレクタＳＬの出力端子Ｐ１が、図５におけるノアゲート６２に接続され、オアゲートＯＲ９～ＯＲ１６（クロック信号Ｒ９～Ｒ１６）に対応するセレクタＳＬの出力端子Ｐ２が、図５におけるノアゲート６４に接続されている。

【００８７】

このように構成されたパルスセレクタ２４において、セレクトデータＤ１～Ｄ４のデジタル値が「０～７」であれば（即ちＤ４＝「０」であれば）、リングオシレータ２２からのクロック信号Ｒ１～Ｒ８のうち、そのデジタル値に「１」を加えた番号のクロック信号が出力端子Ｐ１から出力されると共に、出力端子Ｐ２のレベルはHighレベルに保持される。また、セレクトデータＤ１～Ｄ４のデジタル値が「８～１５」であれば（即ちＤ４＝「１」であれば）、リングオシレータ２２からのクロック信号Ｒ９～Ｒ１６のうち、そのデジタル値に「１」を加えた番号のクロック信号が出力端子Ｐ２から出力されると共に、出力端子Ｐ１のレベルはHighレベルに保持される。

【００８８】

例えば、セレクトデータＤ１～Ｄ４として「５」を表わす「０１０１」が入力されると、まず、第１セレクタ群７４の８個の各セレクタＳＬは、セレクトデータの１ビット目Ｄ１が「１」であることから、夫々、オアゲートＯＲ２，ＯＲ４，ＯＲ６，ＯＲ８，ＯＲ１０，ＯＲ１２，ＯＲ１４，ＯＲ１６からの出力信号を選択して出力し、第２セレクタ群７６の４個の各セレクタＳＬは、セレクトデータの２ビット目Ｄ２が「０」であることから、第１セレクタ群７４からの出力信号のうち、オアゲートＯＲ２，ＯＲ６，ＯＲ１０，ＯＲ１４からの出力信号を夫々選択して出力し、第３セレクタ群７８の２個の各セレクタＳＬは、セレクトデータの３ビット目Ｄ３が「１」であることから、第２セレクタ群７６からの出力信号のうち、オアゲートＯＲ６，ＯＲ１４からの出力信号を夫々選択して出力する。そしてこのとき、セレクトデータの４ビット目Ｄ４が「０」であることから、オアゲートＯＲ９～ＯＲ１６の出力信号は全てHighレベルに固定される。よって、出力端子Ｐ１からはリングオシレータ２２のクロック信号Ｒ６が出力され、出力端子Ｐ２の方はHighレベルに保持される。

【００８９】
また同様に、例えば、セレクトデータＤ１～Ｄ４として「１３」を表わす「１１０１」が入力されると、オアゲートＯＲ１～ＯＲ８の出力信号は全てHighレベルに固定されるため、出力端子Ｐ２からリングオシレータ２２のクロック信号Ｒ１４が出力され、出力端子Ｐ１の方はHighレベルに保持される。
【００９０】
次に、上記のように構成されたデジタル制御発振回路２の動作について、周波数制御データＣＤの下位４ビットＣＤＬ（ＣＤ１～ＣＤ４）として「１」を示す「０００１」が入力されている場合を例に挙げて、図９を用いて説明する。尚、図９は、当該発振回路２が動作を開始して、２周期目の動作に至るまでの状態を表している。また、図９において「ＣＮＴ値」は、ダウンカウンタ２６のカウンタ値を示している。
【００９１】
まず、リングオシレータ２２に入力される制御信号ＰＡがHighレベルになって、リングオシレータ２２がパルス信号の周回動作を開始すると、パルスセレクタ２４には、リングオシレータ２２をメインエッジが１周するのに要する時間（３２・Ｔｄ）を１周期として、位相が夫々Ｔｇ（＝２・Ｔｄ）だけずれた多相クロックＲ１～Ｒ１６が入力される。また、ダウンカウンタ２６及びラッチ回路３４，４０には、リングオシレータ２２から出力される多相クロックＲ１～Ｒ１６のうち、Ｒ１を基準として１３番目の位相を持つクロック信号Ｒ１３が入力され、ラッチ回路３６には、クロック信号Ｒ１３に対してリングオシレータ２２内でパルス信号が半周するのに要する時間（１６・Ｔｄ）だけ位相がずれたクロック信号Ｒ５（Ｒ１を基準として５番目の位相を持つクロック信号）が入力される。尚、リングオシレータ２２からカウンタ・データラッチ回路４（１３ビットカウンタ１４）へは、クロック信号Ｒ１３が出力クロックＲＣＫとして出力される。
【００９２】
そして、当該装置１の外部から制御回路６へ動作開始信号ＰＳＴＢが未だ入力されていないときには、図９に示すように制御回路６からの制御信号ＰＣはLow レベルであるため、ラッチ回路４０はクロック信号Ｒ１３によりLow レベルの制御信号ＰＣをラッチして、Low レベルの出力信号ＰＣＡを出力する。よって、オアゲート４２から出力されるセット信号ＳＥＴがHighレベルになるため、ダウンカウンタ２６には、クロック信号Ｒ１３の立ち上がりタイミングで、カウンタ・データラッチ回路４からの周波数制御データＣＤの上位８ビットＣＤＨ（ＣＤ５～ＣＤ１２）がプリセットされる。また、アンドゲート５４によりバッファ５６からはクリア信号ＡＣＲがLow レベルで出力されるため、ラッチ回路４４，４６はリセットされる。
【００９３】
従って、制御信号ＰＣがLow レベルであれば、ダウンカウンタ２６，セレクタ３２，ラッチ回路３４，３６，４４，４６の各出力ＣＮ１，ＣＮ２，ＳＬＯ，ＡＤ１，ＡＤ２，ＰＱ１，ＰＱ２は全てLow レベルに保持され、出力信号ＰＯＵＴもLow レベルに保持される。また、ラッチ回路３４，３６から夫々出力される第１検出信号ＡＤ１及び第２検出信号ＡＤ２がLow レベルに保持されるため、ラッチ回路６０がクリアされて、その出力信号ＰＱ３もLow レベルになる。
【００９４】
尚、ラッチ回路４０の出力信号ＰＣＡがLow レベルである間は、制御回路６から出力されたデータラッチ信号ＤＬＳは、アンドゲート６６及びオアゲート７０を介して、そのままカウンタ・データラッチ回路４（データラッチ回路１８）へ、ラッチタイミング信号ＤＬＣとして出力されるため、カウンタ・データラッチ回路４から当該デジタル制御発振回路２へは、上述したように基準信号ＰＲＥＦの１周期内にリングオシレータ２２から出力された出力クロックＲＣＫ（Ｒ１３）をカウントした値（即ち、基準信号ＰＲＥＦの１周期を出力クロックＲＣＫを分解能として符号化した値）、或いはその値を２で割った値を表す周波数制御データＣＤ１～ＣＤ１２が入力される。
【００９５】

また、ラッチ回路４０の出力信号ＰＣＡがLow レベルであるときに、レジスタ２８はリセットされるようになっており、パルスセレクタ２４に入力される４ビットのセレクトデータＤ１～Ｄ４及びセレクタ３２に入力されるキャリー信号Ｄ５の初期値は全て「０」になっている。よって、図９の信号ＰＳ１に示すように、ラッチ回路４４のクロック端子には、パルスセレクタ２４の出力端子Ｐ１からノアゲート６２を介して、リングオシレータ２２からの多相クロックＲ１～Ｒ１６のうち位相の最も早いクロック信号Ｒ１が入力され、また、パルスセレクタ２４の出力端子Ｐ２はHighレベルに保持されるため、図９の信号ＰＳ２に示すように、ラッチ回路４６のクロック端子はHighレベルに保持される。

【００９６】

そして、その後、図９に示すように制御信号ＰＣがHighレベルになると、ラッチ回路４０からの出力信号ＰＣＡが次のクロック信号Ｒ１３に同期してHighレベルになるため、ダウンカウンタ２６のセット信号ＳＥＴがLow レベルになると共に、ラッチ回路４４，４６のクリア信号ＡＣＲがHighレベルになる。

【００９７】

すると、それ以後、ダウンカウンタ２６は、その直前にカウンタ・データラッチ回路４から出力された周波数制御データＣＤの上位８ビット分（ＣＤ５～ＣＤ１２）の値を初期値として、クロック信号Ｒ１３が入力される度にダウンカウントを行い、そのカウンタ値が「２」になると出力信号ＣＮ２をHighレベルにし、カウンタ値が「１」になると出力信号ＣＮ１をHighレベルにする。

【００９８】

ここで、制御信号ＰＣが立ち上がった直後には、レジスタ２８からのキャリー信号Ｄ５は「０」であるため、セレクタ３２は、ダウンカウンタ２６の出力信号ＣＮ２，ＣＮ１のうち、ＣＮ２の方を選択して出力する。そして、このようにセレクタ３２から出力される出力信号ＳＬＯは、リングオシレータ２２から出力されるクロック信号Ｒ１３の立ち上がりタイミングでラッチ回路３４によりラッチされるため、ラッチ回路３４からは、セレクタ３２からの出力信号ＳＬＯをリングオシレータ２２内でのパルス信号の１周回時間（１６×Ｔｇ＝３２×Ｔｄ）分遅延した信号が、第１検出信号ＡＤ１として出力されることになる。

【００９９】

よって、ラッチ回路４０の出力信号ＰＣＡが立ち上がって、ダウンカウンタ２６がダウンカウントを最初に開始した場合には、図９に示すように、ダウンカウンタ２６のカウント値が「２」になっているときに、セレクタ３２からの出力ＳＬＯがHighレベルとなり、その後、リングオシレータ２２の１周回時間経過した時点（換言すれば、ダウンカウンタ２６のカウント値が値１になった時点）で、ラッチ回路３４からの第１検出信号ＡＤ１がHighレベルとなる。

【０１００】

そして、ラッチ回路３４からの第１検出信号ＡＤ１はクロック信号Ｒ１３の１周期分だけHighレベルになるため、その間に、パルスセレクタ２４の出力端子Ｐ１からリングオシレータ２２のクロック信号Ｒ１が出力されると、ラッチ回路４４の出力信号ＰＱ１がHighレベルになる。

【０１０１】

すると、オアゲート４８からの出力信号ＡＱがHighレベルになって、ノアゲート６２，６４の出力ＰＳ１，ＰＳ２がLow レベルに保持され、ラッチ回路４４，４６のクロック端子へ立ち上がりエッジが入力されるのが防止されると共に、バッファ５０での動作遅延時間が経過した後、バッファ５０からHighレベルの出力信号ＰＯＵＴが出力される。また、出力信号ＰＯＵＴが出力されると、ラッチ回路６０の出力ＰＱ３もHighレベルとなって、ノアゲート６２，６４からラッチ回路４４，４６のクロック端子へ立ち上がりエッジが入力されるのが防止される。

【０１０２】

そして、このように出力信号ＰＯＵＴが出力されると、ナンドゲート５２の出力がLow レ

ベルになるため、アンドゲート５４及びバッファ５６を介して、ラッチ回路４４，４６のクリア信号ＡＣＲがLow レベルとなり、ラッチ回路４４，４６がクリアされる。すると、オアゲート４８の出力信号ＡＱがLow レベルになって、ラッチ回路４４，４６のクリア信号ＡＣＲがHighレベルに戻ると共に、バッファ５０での動作遅延時間の経過後に、出力信号ＰＯＵＴがLow レベルに戻る。

【０１０３】

尚、ラッチ回路３４からの第１検出信号ＡＤ１は、リングオシレータ２２から次に出力されるクロック信号Ｒ５の立ち上がりタイミングでラッチ回路３６によりラッチされるため、ラッチ回路３６からラッチ回路４６のデータ端子へは、第１検出信号ＡＤ１をリングオシレータ２２内でのパルス信号の１／２周回時間（８×Ｔｇ＝１６×Ｔｄ）だけ遅延した信号が、第２検出信号ＡＤ２として出力される。しかし、この場合には、パルスセレクタ２４に入力されているセレクトデータＤ１～Ｄ４のデジタル値が「０～７」であり、ラッチ回路４６のクロック端子はHighレベルに固定されているため、ラッチ回路４６の出力信号ＰＱ２はLow レベルのままとなる。

【０１０４】

また、ラッチ回路３６からの第２検出信号ＡＤ２がHighレベルからLow レベルに変化すると、ラッチ回路６８が、制御回路６からのデータラッチ信号ＤＬＳをラッチし、そのラッチした信号をラッチタイミング信号ＤＬＣとしてカウンタ・データラッチ回路４へ出力する。よって、制御信号ＰＣがHighレベルに変化して当該発振回路２が発振動作を開始すると、制御回路６からのデータラッチ信号ＤＬＳは、第２検出信号ＡＤ２の立ち下がりタイミングに同期して、カウンタ・データラッチ回路４へ出力されることとなる。

【０１０５】

以上が、制御信号ＰＣが立ち上がってから出力信号ＰＯＵＴが最初にHighレベルに変化するまでの動作、即ち、当該発振回路２の１周期目の動作である。

次に、当該デジタル制御発振回路２の２周期目の動作について説明する。

まず、図９に示すように、ラッチ回路３４からの第１検出信号ＡＤ１がHighレベルになると、ダウンカウンタ２６のセット信号ＳＥＴがHighレベルになるため、リングオシレータ２２から次にクロック信号Ｒ１３が出力されると、ダウンカウンタ２６には周波数制御データＣＤの上位８ビットＣＤＨ（ＣＤ５～ＣＤ１２）が新たにセットされる。

【０１０６】

一方、加算器３０は、パルスセレクタ２４への現在のセレクトデータＤ１～Ｄ４とカウンタ・データラッチ回路４から入力された周波数制御データＣＤの下位４ビットＣＤＬ（ＣＤ１～ＣＤ４）とを加算して、４ビットの加算結果Ｄ１～Ｄ４とキャリー信号Ｄ５からなる５ビットのデータＤ１～Ｄ５をレジスタ２８に出力しているため、ラッチ回路３６からの第２検出信号ＡＤ２がHighレベルからLow レベルに変化すると、レジスタ２８は、その５ビットの入力データをラッチして出力する。

【０１０７】

よって、ラッチ回路３６からの第２検出信号ＡＤ２が立ち下がると、パルスセレクタ２４へは、前回のセレクトデータＤ１～Ｄ４と周波数制御データＣＤの下位４ビットＣＤＬ（ＣＤ１～ＣＤ４）とを加算した４ビットデータが、新たなセレクトデータＤ１～Ｄ４として入力されることとなり、周波数制御データＣＤの下位４ビットＣＤＬとして「０００１」が入力されている場合の２周期目の動作においては、パルスセレクタ２４に、「０００１」のセレクトデータＤ１～Ｄ４が新たに入力されて、パルスセレクタ２４の出力端子Ｐ１からは、リングオシレータ２２から出力される多相クロックＲ１～Ｒ１６のうち、Ｒ１を基準として２番目の位相を持つクロック信号Ｒ２が出力されることとなる。

【０１０８】

そして、その後は上述した１周期目の動作の場合と同様に、ダウンカウンタ２６がクロック信号Ｒ１３の立ち上がりタイミングでダウンカウントを行い、そのカウンタ値が２になってセレクタ３２の出力信号ＳＬＯがHighレベルに変化し、ラッチ回路３４からの第１検出信号ＡＤ１がHighレベルになった後、リングオシレータ２２からクロック信号Ｒ２が出

力されると、ラッチ回路４４の出力信号ＰＱ１がHighレベルになって、バッファ５０からHighレベルの出力信号ＰＯＵＴが出力される。

【０１０９】

また更に、その後の３周期から８周期目までの動作においても、ラッチ回路３６の第２検出信号ＡＤ２が立ち下がる毎に（出力信号ＰＯＵＴがHighレベルになる毎に）、パルスセレクタ２４に入力されるセレクトデータＤ１～Ｄ４が「００１０」，「００１１」，…，「０１１１」といった具合いに１ずつ増加して、リングオシレータ２２のクロック信号Ｒ３，Ｒ４，…，Ｒ８がパルスセレクタ２４により順次選択されてラッチ回路４４のクロック端子へ出力されることとなり、その他は２周期目の動作と同様である。

【０１１０】

一方、このようにパルスセレクタ２４へのセレクトデータＤ１～Ｄ４が更新されていき、そのデジタル値が「７」を超えて「８～１５」の値になると、今度は、パルスセレクタ２４の出力端子Ｐ１がHighレベルに固定されると共に、パルスセレクタ２４の出力端子Ｐ２の方から、セレクトデータＤ１～Ｄ４に対応したクロック信号が出力されるようになる。

【０１１１】

よって、周波数制御データＣＤの下位４ビットＣＤＬとして「０００１」が入力されている場合の９周目から１６周目の動作、即ちセレクトデータＤ１～Ｄ４のデジタル値が「８～１５」であるときの動作においては、今度は、ラッチ回路４４の出力信号ＰＱ１がLowレベルのままとなり、ラッチ回路３６からHighレベルの第２検出信号ＡＤ２が出力されている間に、パルスセレクタ２４の出力端子Ｐ２からクロック信号Ｒ９～Ｒ１６の何れかが出力されると、ラッチ回路４６の出力信号ＰＱ２がHighレベルとなって、バッファ５０からHighレベルの出力信号ＰＯＵＴが出力されるようになる。

【０１１２】

ここで、本実施例のデジタル制御発振回路２において、リングオシレータ２２から出力される多相クロックＲ１～Ｒ１６を、位相が早いものから順にＲ１～Ｒ８とＲ９～Ｒ１６との２つのグループに分けると共に、ダウンカウンタ２６が位相の遅い方のグループに所属するクロック信号Ｒ１３をカウントするようにし、更に、クロック信号の各グループに夫々対応させてラッチ回路４４，４６を設け、セレクトデータＤ１～Ｄ４が、パルスセレクタ２４にてクロック信号Ｒ９～Ｒ１６の何れかを選択する「８～１５」であるときには、ラッチ回路３４からの第１検出信号ＡＤ１に対しリングオシレータ２２内でのパルス信号の１／２周回時間だけ遅れてラッチ回路３６から出力される第２検出信号ＡＤ２を、クロック信号Ｒ９～Ｒ１６の出力タイミングでラッチ回路４６によりラッチし、そのラッチ回路４６の出力信号ＰＱ２がHighレベルになると、出力信号ＰＯＵＴを出力するようにしているのは、以下の理由による。

【０１１３】

即ち、このデジタル制御発振回路２においては、ダウンカウンタ２６が常に同じクロック信号Ｒ１３をカウントするのに対し、パルスセレクタ２４が選択するクロック信号は順次ずれていく。よって、例えば、図５において、ラッチ回路３６，４６を排除すると共に、パルスセレクタ２４が、セレクトデータＤ１～Ｄ４に応じて選択したクロック信号をラッチ回路４４のクロック端子だけへ出力するように構成した場合には、パルスセレクタ２４が、クロック信号Ｒ１３よりも位相の早いクロック信号Ｒ１～Ｒ１２を前回に選択し、その次に、クロック信号Ｒ１３よりも位相の遅いクロック信号Ｒ１４～Ｒ１６を選択する場合に、前回に出力信号ＰＯＵＴが出力されてから次に出力信号ＰＯＵＴが出力されるまでの時間が、リングオシレータ２２内でのパルス信号の１周回時間分だけ短くなってしまう。

【０１１４】

そこで、ダウンカウンタ２６が、位相が最も遅いクロック信号Ｒ１６と位相が最も早いクロック信号Ｒ１との間の位相を持つクロック信号（例えば、図６においてナンドゲートＮＡＮＤ１の出力Ｐ０１を反転したクロック信号）をカウントするように構成することが考えられるが、このようにすると、パルスセレクタ２４が位相の早いクロック信号を選択す

る場合に、ラッチ回路４４においては、データ端子の信号レベルが変化した直後にクロック端子の信号レベルが立ち上がることとなり、ラッチ動作が不安定になってしまう。

【０１１５】

また、上述のようにラッチ回路３６，４６を排除した構成では、パルスセレクタ２４がダウンカウンタ２６でカウントするクロック信号Ｒ１３よりも位相の遅いクロック信号を選択する場合に、ラッチ回路４４においては、データ端子の信号レベルが変化した直後にクロック端子の信号レベルが立ち上がることとなるため、ラッチ動作が不安定になる。

【０１１６】

そこで、本実施例のデジタル制御発振回路２では、ラッチ回路３４，３６から夫々出力される第１検出信号ＡＤ１及び第２検出信号ＡＤ２と、それらが夫々データ端子に入力されるラッチ回路４４，４６とを、クロック信号Ｒ１～Ｒ８のグループとクロック信号Ｒ９～Ｒ１６のグループとに夫々対応させ、パルスセレクタ２４が、セレクトデータＤ１～Ｄ４に応じて選択したクロック信号を、ラッチ回路４４，４６のうち、そのクロック信号が所属するグループに対応したラッチ回路のクロック端子だけへ出力するようにしている。そして、クロック信号Ｒ９～Ｒ１６に対応するラッチ回路４６のデータ端子に出力される第２検出信号ＡＤ２は、クロック信号Ｒ１～Ｒ８に対応するラッチ回路４４への第１検出信号ＡＤ１よりもパルス信号の１／２周回時間（１６・Ｔｄ＝８・Ｔｇ）だけ位相を遅らせるようにして、位相が最も早いクロック信号Ｒ１が出力された後でHighレベルになるようにしている。

【０１１７】

よって、本実施例のデジタル制御発振回路２においては、少なくとも、ダウンカウンタ２６がカウントするクロック信号Ｒ１３及びそのクロック信号Ｒ１３よりも位相が遅いクロック信号Ｒ１４～Ｒ１６については、ラッチ回路３４から第１検出信号ＡＤ１が出力された直後に、そのクロック信号がリングオシレータ２２から出力されても、それは無効となって、次の周回で同位相のクロック信号が出力されたときに、第２検出信号ＡＤ２がラッチ回路４６にてラッチされ、出力信号ＰＯＵＴが出力されることとなる。

【０１１８】

従って、パルスセレクタ２４が、ダウンカウンタ２６でカウントするクロック信号Ｒ１３よりも位相の早いパルス信号Ｒ１～Ｒ１２を前回に選択し、その次に、クロック信号Ｒ１３よりも位相の遅いクロック信号Ｒ１４～Ｒ１６を選択するような場合でも、正確な周期で出力信号ＰＯＵＴを出すことができる。

【０１１９】

しかも、本実施例のデジタル制御発振回路２では、各ラッチ回路４４，４６のデータ端子に第１検出信号ＡＤ１或いは第２検出信号ＡＤ２が入力されてから、そのクロック端子にクロック信号が入力されるまでの時間は、最低でも、リングオシレータ２２内でのパルス信号の１／４周回時間（８・Ｔｄ＝４・Ｔｇ）だけは確保されるため、各ラッチ回路４４，４６は、対応するグループ中の何れかのクロック信号がパルスセレクタ２４から出力されたときに、第１検出信号ＡＤ１或いは第２検出信号ＡＤ２を確実にラッチして出力することができ、この結果、確実な周波数制御が可能となる。

【０１２０】

ところで、上述したようにパルスセレクタ２４へのセレクトデータＤ１～Ｄ４が更新されていき、そのデジタル値がクロック信号Ｒ１６に対応する「１１１１」を超えてキャリー信号Ｄ５が「１」になると、セレクタ３２は、ダウンカウンタ２６の出力信号ＣＮ２，ＣＮ１のうち、カウント値が「１」になったときにHighレベルとなるＣＮ１の方を出力する。よって、ラッチ回路３４は、その後、リングオシレータ２２の１周回時間経過した時点（換言すれば、ダウンカウンタ２６のカウント値が値０になった時点）で、Highレベルの信号を出力する。

【０１２１】

これは以下の理由による。即ち、ダウンカウンタ２６は、リングオシレータ２２から出力されるクロック信号Ｒ１３により常に一定周期（１６×Ｔｇ）でダウンカウントを行うた

め、パルスセレクタ２４がリングオシレータ２２から今回選択するクロック信号が、前回選択したクロック信号よりも前段のものになったとき、つまり、パルスセレクタ２４に入力されるセレクトデータＤ１～Ｄ４の値が前回値よりも小さくなったときに、出力信号ＰＯＵＴの周期が、リングオシレータ２２におけるパルス信号の１周回時間分だけ短くなってしまう。

【０１２２】

そこで、レジスタ２８から出力されるキャリー信号Ｄ５が「１」のときにだけ、セレクタ３２がダウンカウンタ２６の出力信号ＣＮ１を選択するようにして、ラッチ回路３４，３６から各検出信号ＡＤ１，ＡＤ２が出力されるまでにダウンカウンタ２６がカウントするカウント数を実質的に１つ増加させているのである。

【０１２３】

以上のように、本実施例のデジタル制御発振回路２においては、ダウンカウンタ２６がクロック信号Ｒ１３をカウントすることによって、リングオシレータ２２内でのパルス信号の周回回数が周波数制御データＣＤの上位８ビットＣＤＨに対応した回数に達したことを検出し、その検出後に、リングオシレータ２２からパルスセレクタ２４で選択されたクロック信号が出力されると、出力信号ＰＯＵＴをHighレベルに変化させるようにしており、パルスセレクタ２４がクロック信号を選択するためのセレクトデータＤ１～Ｄ４を、出力信号ＰＯＵＴの１周期毎に、周波数制御データＣＤの下位４ビットＣＤＬを累積加算して更新するようにしている。また、そのセレクトデータＤ１～Ｄ４の値が前回値よりも小さくなった場合には、ダウンカウンタ２６がカウントするカウント数を１つ増加させるようにして、発振周期が、リングオシレータ２２をパルス信号が１周する時間だけ短くなってしまうことを防止している。

【０１２４】

よって、２周期目以降の動作においては、パルスセレクタ２４によって選択されるクロック信号の位相番号がＣＤＬの値ずつずれていき、当該発振回路２からは、パルス信号がリングオシレータ２２を周波数制御データＣＤの上位８ビットＣＤＨが示す回数だけ周回する時間（３２・Ｔｄ・ＣＤＨ）と、反転回路２段分の遅延時間（多相クロックの位相差時間Ｔｇ）に周波数制御データＣＤの下位４ビットＣＤＬを乗じた時間（２・Ｔｄ・ＣＤＬ）と、を加算した時間（３２・Ｔｄ・ＣＤＨ＋２・Ｔｄ・ＣＤＬ）毎に、Highレベルの出力信号ＰＯＵＴが出力されることとなる。

【０１２５】

そして、本実施例のデジタル制御発振回路２によれば、外部から入力する周波数制御データＣＤを変更することにより、出力信号ＰＯＵＴの出力周期（当該装置の発振周期）を任意に調整することができ、しかも、その発振周期は、ダウンカウンタ２６のカウント数、即ち周波数制御データＣＤの上位８ビットＣＤＨにより大まかに決定でき、周波数制御データＣＤの下位４ビットＣＤＬにより２個の反転回路の反転動作時間２・Ｔｄ単位で微調整ができるため、発振周期を広範囲に、且つ高分解能でデジタル制御することが可能となる。しかも、リングオシレータ２２を停止させることなく発振動作させることができるため、周波数制御データの値に比例した発振周期を設定することができ、制御性が極めて良好となる。また、リングオシレータ２２を一旦停止させる必要がないため、発振周期をより短く設定することができるようになる。

【０１２６】

尚、本実施例のデジタル制御発振装置２は、請求項１に記載のデジタル制御発振装置を具体化したものであり、ダウンカウンタ２６、セレクタ３２及びラッチ回路３４，３６が、カウント手段に相当し、その中のセレクタ３２が、カウント数変更手段としても機能している。また、パルスセレクタ２４及びラッチ回路４４，４６が、パルス検出手段に相当し、その中で、ラッチ回路４４，４６が複数のラッチ回路に相当し、パルスセレクタ２４がセレクト手段に相当している。そして、レジスタ２８及び加算器３０が、データ更新手段に相当し、オアゲート４８、バッファ５０，５６、ナンドゲート５２及びアンドゲート５４が、信号出力手段に相当している。

【０１２７】
以上のようなデジタル制御発振回路２を備えた本実施例のクロック逓倍装置１においては、外部から制御信号ＰＡを入力すれば、リングオシレータ２２がパルス信号の周回動作を開始して、カウンタ・データラッチ回路４に出力クロックＲＣＫ（クロック信号Ｒ１３）を出力するようになり、外部から基準信号ＰＲＥＦを入力すれば、その３周期目の間に、カウンタ・データラッチ回路４の１３ビットカウンタ１４が、リングオシレータからの出力クロックＲＣＫをカウントするため、出力クロックＲＣＫの１周期（３２・Ｔｄ）を単位として、基準信号ＰＲＥＦの１周期を符号化した１３ビットのデータＤＴ１～ＤＴ１３が生成される。
【０１２８】
そして、逓倍数切換信号ＤＶ１をHighレベル（「１」）で入力すれば、基準信号ＰＲＥＦの５周期目に、上記１３ビットデータＤＴ１～ＤＴ１３の内の下位１２ビットＤＴ１～ＤＴ１２が、カウンタ・データラッチ回路４のデータラッチ回路１８でラッチされ、そのラッチされた１２ビットデータが、デジタル制御発振回路２へ周波数制御データＣＤとして出力される。また、逓倍数切換信号ＤＶ１をLow レベル（「０」）で入力すれば、基準信号ＰＲＥＦの５周期目に、上記１３ビットデータＤＴ１～ＤＴ１３の内の上位１２ビットＤＴ２～Ｔ１３が、カウンタ・データラッチ回路４のデータラッチ回路１８でラッチされ、そのラッチされた１２ビットデータが周波数制御データＣＤとして出力される。
【０１２９】
そして、基準信号ＰＲＥＦの７周期目に、外部からの動作開始信号ＰＳＴＢが制御回路６にてラッチされ、そのラッチされた信号が、デジタル制御発振回路２へ制御信号ＰＣとして出力される。
従って、当該クロック逓倍装置１を作動させる場合には、制御信号ＰＡを立ち上げて基準信号ＰＲＥＦを５個以上入力した後、動作開始信号ＰＳＴＢを立ち上げればよい。すると、基準信号ＰＲＥＦの７周期目に同期して制御信号ＰＣがHighレベルとなり、デジタル制御発振回路２は、カウンタ・データラッチ回路４からの周波数制御データＣＤ（ＣＤ１～ＣＤ１２）に応じた発振周期で、出力信号ＰＯＵＴを出力する。
【０１３０】
尚、デジタル制御発振回路２が発振動作を開始した後も、カウンタ・データラッチ回路４は基準信号ＰＲＥＦの８周期毎に周波数制御データＣＤを生成して出力するため、デジタル制御発振回路２は、その最新の周波数制御データＣＤに基づいて発振動作を行う。
【０１３１】
ここで、１３ビットカウンタ１４からの１３ビットのデータＤＴ１～ＤＴ１３は、基準信号ＰＲＥＦの１周期を、リングオシレータからの出力クロックＲＣＫの１周期（３２・Ｔｄ）を分解能として符号化したものであり、これに対してデジタル制御発振回路２は、入力される周波数制御データＣＤに応じて、多相クロックＲ１～Ｒ１６の位相差時間Ｔｇ（２・Ｔｄ）を分解能として発振周期を制御するため、逓倍数切換信号ＤＶ１が「１」であれば、デジタル制御発振回路２からは、基準信号ＰＲＥＦをリングオシレータ２２から出力されるクロック信号の総数（１６）倍に逓倍した発振信号が出力される。
【０１３２】
また、逓倍数切換信号ＤＶ１を「０」にすれば、デジタル制御発振回路２からは、基準信号ＰＲＥＦを３２（＝１６×２）倍に逓倍した発振信号が出力される。
このように、本実施例のクロック逓倍装置１によれば、基準信号ＰＲＥＦの１周期分の時間内にリングオシレータ２２から出力された出力クロックＲＣＫをカウントする、といった非常に簡単な構成で、基準信号ＰＲＥＦの周波数を所定数倍に逓倍した発振信号を出力できる。そして、本実施例のクロック逓倍装置１によれば、基準信号ＰＲＥＦの周期の符号化と出力周波数の制御とを、共通のリングオシレータ２２を用いて行っているため、周囲温度や電源電圧等の動作条件が変動しても、安定した逓倍動作を行うことができる。
【０１３３】
一方、デジタル制御発振回路２内において多相クロックＲ１～Ｒ１６を発生するための多

相クロック発生源としては、例えば、同じ発振周波数の固定発振器（水晶発振器等）を複数用意し、各発振器の発振開始タイミングを制御することにより、各発振器から所定の位相差で個々にクロック信号を発生させるようにしてもよいが、本実施例では、反転回路をリング状に接続したリングオシレータ２２を使用しているため、装置をより小型化することができる。

【０１３４】

そして、装置構成を小型化することができるため、本実施例のクロック逓倍装置１は、ＬＳＩの動作クロックを発生するためのクロック発生装置として用いることができる。即ち、ＬＳＩの内部に設けられた反転回路と、ＬＳＩの内部又は外部に設けられた抵抗器及びコンデンサとによって発振回路を構成し、この発振回路からの発振信号を、当該クロック逓倍装置１により逓倍してＬＳＩの動作クロックを生成すればよい。

【０１３５】

しかも、このようにＬＳＩの動作クロックを生成するように構成すれば、発振回路の発振周波数が周囲温度や動作電圧の変動に対して影響されないように、抵抗器の抵抗値やコンデンサの容量を十分に大きくして発振周波数を低く設定しても、ＬＳＩには逓倍された後の高い周波数の動作クロックを入力することができ、安価で耐環境性にも優れた発振回路を提供することができる。

【０１３６】

次に、第２実施例として、上記第１実施例のクロック逓倍装置１に対し2^n倍（本実施例ではｎ＝３）の周波数で発振信号を正確に出力できるクロック逓倍装置について説明する。

まず図１０は、第２実施例のクロック逓倍装置８０の構成を表すブロック図である。図１０に示すように、第２実施例のクロック逓倍装置８０は、第１実施例のクロック逓倍装置１に対し、カウンタ・データラッチ回路４から出力される１２ビットの周波数制御データＣＤ（ＣＤ１～ＣＤ１２）を受けて、９ビットの周波数制御データＤＤ（ＤＤ１～ＤＤ９）をデジタル制御発振回路２へ入力させる、周波数微調回路８２を追加して備えている点が異なる。

【０１３７】

そして、本第２実施例では、図５に示したデジタル制御発振回路２において、加算器３０には、周波数制御データＣＤの下位４ビットＣＤＬに代えて、周波数微調回路８２からの周波数制御データＤＤの下位４ビットＤＤ１～ＤＤ４が入力され、また、ダウンカウンタ２６には、周波数制御データＣＤの上位８ビットＣＤＨに代えて、周波数微調回路８２からの周波数制御データＤＤの上位５ビットＤＤ５～ＤＤ９が入力される。つまり、この第２実施例において、デジタル制御発振回路２は、周波数微調回路８２からの９ビットの周波数制御データＤＤに応じた周期で出力信号ＰＯＵＴを出力する。

【０１３８】

ここで、周波数微調回路８２は、図１１に示すように、カウンタ・データラッチ回路４から出力された周波数制御データＣＤの上位９ビットＣＤ４～ＣＤ１２を受け、この上位９ビットデータが表わす値に定数「１」を加算したデジタルデータを出力する定数加算器８０ａと、カウンタ・データラッチ回路４から出力された周波数制御データＣＤの上位９ビットＣＤ４～ＣＤ１２（以下、第１データという）と定数加算器８０ａから出力されたデジタルデータ（以下、第２データという）との内の何れか一方を選択して出力するセレクタ８０ｂと、セレクタ８０ｂから出力される９ビットデータを、デジタル制御発振回路２から出力信号ＰＯＵＴに同期して出力されるクロック信号ＦＤＣの立ち上がりタイミングでラッチし、そのラッチしたデータを周波数制御データＤＤ１～ＤＤ９としてデジタル制御発振回路２へ出力する９ビットレジスタ（以下、単にレジスタという）８０ｃと、カウンタ・データラッチ回路４から出力された周波数制御データＣＤの下位３ビットＣＤ１～ＣＤ３を受け、デジタル制御発振回路２から出力されるクロック信号ＦＤＣ（出力信号ＰＯＵＴ）に同期し、且つ、その下位３ビットＣＤ１～ＣＤ３に対応した頻度で、セレクタ８０ｂに第２データを出力させるためのセレクト信号を出力するパルス発生回路８０ｄと

から構成されている。

【０１３９】

尚、クロック信号ＦＤＣは、図５に示すように、第２検出信号ＡＤ２の反転信号又は出力信号ＰＯＵＴと、アンドゲート６６の出力信号ＣＫ３との論理和をとるオアゲート８３の出力信号である。よって、クロック信号ＦＤＣは、ラッチ回路４０の出力信号ＰＣＡがLow レベルであるとき（即ち、本クロック逓倍装置８０の初期動作時）には、制御回路６からデータラッチ信号ＤＬＳが出力される度に立ち上がり、ラッチ回路４０の出力信号ＰＣＡがHighレベルになった後は、出力信号ＰＯＵＴが出力される度に立ち上がる。そして、この様にオアゲート８３の出力信号を周波数微調回路８２のクロック信号ＦＤＣとして用いているのは、本クロック逓倍装置８０の初期動作時には、デジタル制御発振回路２へ周波数制御データＤＤを設定するためのダミークロックとして、アンドゲート６６の出力信号ＣＫ３を用い、デジタル制御発振回路２が動作を開始した後は、出力信号ＰＯＵＴが出力される度に、デジタル制御発振回路２へ新たな周波数制御データＤＤが入力されるようにするためである。

【０１４０】

また、セレクタ８０ｂは、パルス発生回路８０ｄからセレクト信号が出力されているとき（つまりパルス発生回路８０ｄの出力がHighレベルであるとき）に、定数加算器８０ａからの第２データを選択し、パルス発生回路８０ｄからセレクト信号が出力されていないとき（つまりパルス発生回路８０ｄの出力がLow レベルであるとき）には、カウンタ・データラッチ回路４から直接入力される第１データを選択する。そして、本第２実施例では、セレクタ８０ｂ及びレジスタ８０ｃがデータ切換手段に相当し、パルス発生回路８０ｄが切換制御手段に相当する。

【０１４１】

次に、パルス発生回路８０ｄは、カウンタ・データラッチ回路４から出力される周波数制御データＣＤの下位３ビットＣＤ１～ＣＤ３に夫々対応した３個のセレクタＳ１，Ｓ２，Ｓ３と、デジタル制御発振回路２からのクロック信号ＦＤＣ（出力信号ＰＯＵＴ）をカウントすると共に、上記各セレクタＳ１～Ｓ３に対して、夫々、セレクト信号を出力する３ビットカウンタＣＴとから構成されている。

【０１４２】

ここで、各セレクタＳ１～Ｓ３は、夫々、２つの入力端子を有し、３ビットカウンタＣＴから出力されるセレクト信号に応じて、各入力端子に入力された信号のうちの一方を選択して出力するものである。

そして、セレクタＳ１の一方の入力端子には、カウンタ・データラッチ回路４から出力される周波数制御データＣＤの下位３ビットＣＤ１～ＣＤ３のうちの最下位ビットＣＤ１が、セレクタＳ２の一方の入力端子には、下位３ビットＣＤ１～ＣＤ３のうちの中位ビットＣＤ２が、セレクタＳ３の一方の入力端子には、下位３ビットＣＤ１～ＣＤ３のうちの最上位ビットＣＤ３が、夫々入力されている。

【０１４３】

また、最下位ビットＣＤ１を受けるセレクタＳ１の他方の入力端子は、データ値「０」のレベルとなるように接地されており、セレクタＳ２，Ｓ３の他方の入力端子には、夫々、一方の入力端子に自己が受けるビットより１ビット下位のビットを受けるセレクタからの出力信号、つまりセレクタＳ１，Ｓ２からの出力信号がそのまま入力され、最上位ビットＣＤ３を受けるセレクタＳ３からの出力信号は、セレクト信号としてセレクタ８０ｂに出力される。

【０１４４】

一方、最下位ビットＣＤ１を受けるセレクタＳ１のセレクト信号入力端子には、３ビットカウンタＣＴの３個の出力端子のうち、カウントデータの最上位ビット（Ｑ３＝ＭＳＢ）を出力する出力端子が接続され、中位ビットＣＤ２を受けるセレクタＳ２のセレクト信号入力端子には、３ビットカウンタＣＴの３個の出力端子のうち、カウントデータの中位ビット（Ｑ２）を出力する出力端子が接続され、最上位ビットＣＤ３を受けるセレクタＳ３

のセレクト信号入力端子には、３ビットカウンタＣＴの３個の出力端子のうち、カウントデータの最下位ビット（Ｑ１＝ＬＳＢ）を出力する出力端子が接続されている。

【０１４５】

尚、各セレクタＳ１～Ｓ３は、セレクト信号入力端子に接続された３ビットカウンタＣＴの出力端子から値１を表わす信号（つまりHighレベルの信号）が出力されているときに、カウンタ・データラッチ回路４から直接入力される方のデータ（図１１において上側の入力データ）を選択し、セレクト信号入力端子に接続された３ビットカウンタＣＴの出力端子から値０を表わす信号（つまりLow レベルの信号）が出力されているときには、他方の入力端子に入力されたデータ（図１１において下側の入力データ）を選択して出力する。

【０１４６】

このように構成された周波数微調回路８２において、各セレクタＳ１～Ｓ３のセレクト信号入力端子には、周波数制御データＣＤの上位ビットを受けるセレクタ程、高い周期でカウンタ・データラッチ回路４から直接入力される方のデータを選択するように、３ビットカウンタＣＴの各ビットのカウント値が夫々入力されるため、各セレクタＳ１～Ｓ３が受けるビットが「１」であるとき、パルス発生回路８０ｄからは、そのビットに対応して、最上位ビットＣＤ３からＣＤ１の順に「２のＸ乗（Ｘ：１，２，３）分の１」の頻度で、パルス信号が出力される。

【０１４７】

従って、例えば周波数制御データＣＤの下位３ビットＣＤ１～ＣＤ３が「１０１」である場合には、その最上位ビットＣＤ３と最下位ビットＣＤ１が「１」となっているため、パルス発生回路８０ｄからは、出力信号ＰＯＵＴの２回に１回及び８回に１回の割でパルス信号が出力されることになり、セレクタ８０ｂには、出力信号ＰＯＵＴが８回出力される間に、合計５回、セレクト信号が入力されることになる。

【０１４８】

一方、このようにパルス発生回路８０ｄから出力されるパルス信号をセレクト信号として受けるセレクタ８０ｂは、セレクト信号の入力時に、定数加算器８０ａからの第２データを選択し、セレクト信号が入力されていないときには、周波数制御データＣＤ４の上位９ビットＣＤ４～ＣＤ１２からなる第１データを選択して出力する。

【０１４９】

従って、例えば、カウンタ・データラッチ回路４から入力される周波数制御データＣＤが「１１０００００００１０１」である場合、デジタル制御発振回路２には、出力信号ＰＯＵＴを出力する度に、２回に１回及び８回に１回の割で、上位９ビットデータ「１１００００００００」に値１を加算した「１１０００００００１」が入力され、それ以外は上位９ビットデータ「１１０００００００」がそのまま入力されることになり、デジタル制御発振回路２は、この入力データに応じた周期で出力信号ＰＯＵＴを発生する。

【０１５０】

つまり、第２実施例のクロック逓倍装置８０では、基本的には、カウンタ・データラッチ回路４から出力される周波数制御データＣＤを８（2^n：ｎ＝３）で割った場合の小数点以上の値を表すデータ（第１データ）が、デジタル制御発振回路２へ入力されるようにし、且つ、周波数制御データＣＤの下位３ビットのデータＣＤ１～ＣＤ３が表す値と８との比に応じた頻度、即ち周波数制御データＣＤを８で割った場合の小数点以下の値に応じた頻度で、デジタル制御発振回路２へ入力されるデータ（第１データ）に１が加算されるようにしている。

【０１５１】

よって、カウンタ・データラッチ回路４からの周波数制御データＣＤが８で割り切れない場合（下位３ビットＣＤ１～ＣＤ３のデータ値が０でない場合）には、デジタル制御発振回路２へ、その除算結果のうち小数点以下の値に応じた頻度で、小数点以上のデータ値に１を加算したデータ（第２データ）が、周波数制御データとして入力されることとなり、この結果、出力信号ＰＯＵＴの発生周期の平均値を、周波数制御データＣＤを８で割った値に正確に対応させることができる。そして、これにより、第１実施例のクロック逓倍装

置１に対して、８倍の周波数を有する発振信号が正確に得られる。
【０１５２】
よって、第２実施例のクロック逓倍装置８０によれば、例えば、基準信号ＰＲＥＦの周波数を多相クロックＲ１～Ｒ１６の総数倍（１６倍）した発振信号を出力させる場合に、制御回路６が、基準信号ＰＲＥＦの１６周期を１単位として動作すると共に、基準信号ＰＲＥＦの８周期分だけカウント許可信号ＵＣＥを出力するようにして、カウンタ・データラッチ回路４の１３ビットカウンタ１４が、基準信号ＰＲＥＦの８周期内にリングオシレータ２２から出力された出力クロックＲＣＫをカウントするように構成すれば、基準信号ＰＲＥＦをより正確に逓倍することができる。
【０１５３】
即ち、１３ビットカウンタ１４のカウント値には、最大で出力クロックＲＣＫの１周期分（３２・Ｔｄ）の誤差が生じるため、１３ビットカウンタ１４が出力クロックＲＣＫを基準信号ＰＲＥＦの８周期分カウントするようにして、周波数制御データＣＤのビット数を３ビット増加させ、更に、その周波数制御データＣＤを８で除算したデータをデジタル制御発振回路２へ入力すれば、１３ビットカウンタ１４でのカウント誤差による影響を小さくすることができる。
【０１５４】
そして、第２実施例のクロック逓倍装置８０では、上述したように、周波数制御データＣＤを８で割った値（即ち、この場合には基準信号ＰＲＥＦの１周期分に対応するカウント値）に正確に対応した発振信号を得ることができるため、デジタル制御発振回路２から、基準信号ＰＲＥＦの周波数を１６倍した発振信号を正確に出力させることができるのである。また、発振信号の周期は、周波数制御データＣＤへの１の加算の有無によって変化することになるが、この変化量は、多相クロックＲ１～Ｒ１６の位相差時間Ｔｇだけであるため極めて小さい。
【０１５５】
このように、第２実施例のクロック逓倍装置８０によれば、基準信号ＰＲＥＦをより正確に逓倍した出力信号ＰＯＵＴを得ることができる。
次に、第３実施例のクロック逓倍装置について説明する。
第３実施例のクロック逓倍装置は、第１実施例のクロック逓倍装置１に対して、デジタル制御発振回路の構成だけが異なっている。
【０１５６】
即ち、図１２に示すように、第３実施例のクロック逓倍装置に設けられたデジタル制御発振回路８４は、図５に示した第１実施例のデジタル制御発振回路２に対して、インバータ３８を排除すると共に、レジスタ２８とラッチ回路６８のクロック端子に、バッファ５０からの出力信号ＰＯＵＴを入力するようにしている。
【０１５７】
そして、このようなデジタル制御発振回路８４では、ラッチ回路３６からの第２検出信号ＡＤ２が立ち下がったタイミングではなく、出力信号ＰＯＵＴが立ち上がったタイミングで、パルスセレクタ２４へのセレクトデータＤ１～Ｄ４が更新されると共に、制御回路６からのデータラッチ信号ＤＬＳがカウンタ・データラッチ回路４へ出力される点だけが異なり、その他の動作は、第１実施例のデジタル制御発振回路２と全く同様である。
【０１５８】
よって、このようなデジタル制御発振回路８４を備えた第３実施例のクロック逓倍装置によっても、第１実施例のクロック逓倍装置１と全く同様の効果を得ることができる。
次に、第４実施例のクロック逓倍装置について説明する。尚、第４実施例のクロック逓倍装置も、第１実施例のクロック逓倍装置１に対して、デジタル制御発振回路の構成だけが異なっているため、その相違点を中心に説明する。
【０１５９】
図１３に示すように、第４実施例のクロック逓倍装置に設けられたデジタル制御発振回路８６は、第１実施例のデジタル制御発振回路２（図５）に対して、パルスセレクタ８８が

、レジスタ２８から出力されるセレクトデータＤ１～Ｄ５の内の下位３ビットＤ１～Ｄ３に応じて、多相クロックＲ１～Ｒ１６の内の２つのクロック信号を選択し、その選択した各クロック信号を２つの出力端子Ｐ１，Ｐ２から夫々出力する点、及び、ラッチ回路４４の出力信号ＰＱ１とラッチ回路４６の出力信号ＰＱ２との何れか一方を、レジスタ２８から出力されるセレクトデータＤ１～Ｄ５の内の４ビット目Ｄ４に応じて選択するセレクタ９０を、オアゲート４８に代えて備えている点、だけが異なっている。

【０１６０】

尚、本第４実施例のデジタル制御発振装置８６は、請求項２に記載のデジタル制御発振装置を具体化したものであり、パルスセレクタ８８、セレクタ９０及びラッチ回路４４，４６が、パルス検出手段に相当し、その中で、ラッチ回路４４，４６が複数のラッチ回路に相当し、パルスセレクタ８８が第１のセレクト手段に相当し、セレクタ９０が第２のセレクト手段に相当している。そして、バッファ５０，５６、ナンドゲート５２及びアンドゲート５４が、信号出力手段に相当している。また、第１実施例と同様に、ダウンカウンタ２６、セレクタ３２及びラッチ回路３４，３６が、カウント手段に相当し、その中のセレクタ３２が、カウント数変更手段としても機能している。そして、レジスタ２８及び加算器３０が、データ更新手段に相当している。

【０１６１】

ここで、セレクタ９０は、セレクトデータＤ１～Ｄ５の４ビット目Ｄ４が「０」のときに、ラッチ回路４４の出力信号ＰＱ１をバッファ５０に出力し、セレクトデータＤ１～Ｄ５の４ビット目Ｄ４が「１」のときに、ラッチ回路４６の出力信号ＰＱ２をバッファ５０に出力する。

【０１６２】

一方、パルスセレクタ８８は、図１４に示すように、第１実施例のデジタル制御発振回路２に設けられたパルスセレクタ２４（図８）に対して、オアゲート群７２を備えておらず、第１セレクタ群７４を構成する各セレクタＳＬに、リングオシレータ２２からの多相クロックＲ１～Ｒ１６を、Ｒ１から順に夫々２個単位で直接入力するようにしている点が異なっている。

【０１６３】

よって、このようなパルスセレクタ８８においては、入力されるセレクトデータＤ１～Ｄ３のデジタル値に「１」を加えた番号のクロック信号が出力端子Ｐ１から出力され、また、セレクトデータＤ１～Ｄ３のデジタル値に「９」を加えた番号のクロック信号が出力端子Ｐ２から出力される。例えば、セレクトデータＤ１～Ｄ３として「５」を表わす「１０１」が入力されると、出力端子Ｐ１からはクロック信号Ｒ６が出力され、出力端子Ｐ２からはクロック信号Ｒ１４が出力される。

【０１６４】

つまり、各出力端子Ｐ１，Ｐ２からは、リングオシレータ２２から出力される多相クロックＲ１～Ｒ１６のうち、３ビットのセレクトデータＤ１～Ｄ３に対応するクロック信号と、そのクロック信号に対して位相が半周期だけ遅れたクロック信号（位相番号が「８」だけ大きいクロック信号）とが、夫々出力される。

【０１６５】

このように構成されたデジタル制御発振回路８６において、例えば、レジスタ２８からセレクトデータＤ１～Ｄ５として、「０」を表す「０００００」が出力されている場合には、図１５に示すように、パルスセレクタ８８の各出力端子Ｐ１，Ｐ２から各ラッチ回路４４，４６のクロック端子へは、夫々、クロック信号Ｒ１とクロック信号Ｒ９が出力される。尚、図１５は、図９の場合と全く同様に、周波数制御データＣＤの下位４ビットＣＤＬとして「１」を示す「０００１」が入力されている場合に、当該デジタル制御発振回路８６が動作を開始して、２周期目の動作に至るまでの状態を表している。

【０１６６】

そして、ダウンカウンタ２６のカウント値が「２」になると、セレクタ３２からの出力ＳＬＯがHighレベルになり、更にその後、リングオシレータ２２からクロック信号Ｒ１３が

出力されると（ダウンカウンタ２６のカウント値が「１」になると）、ラッチ回路３４からHighレベルの第１検出信号ＡＤ１が出力されるが、その第１検出信号ＡＤ１がHighレベルになっている間に、パルスセレクタ８８の出力端子Ｐ１からリングオシレータ２２のクロック信号Ｒ１が出力されると、ラッチ回路４４の出力信号ＰＱ１がHighレベルになる。

【０１６７】

すると、この例の場合には、セレクトデータの４ビット目Ｄ４が「０」であり、セレクタ９０は、ラッチ回路４４の出力を選択しているため、図１５に示す如く、ラッチ回路４４からHighレベルの出力信号ＰＱ１が出力されたタイミングで、セレクタ９０の出力ＡＱがHighレベルとなり、バッファ５０での動作遅延時間が経過した後に、出力信号ＰＯＵＴが出力される。

【０１６８】

尚、周波数制御データＣＤの下位４ビットＣＤＬとして「０００１」が入力されている場合の２周期目の動作では、レジスタ２８からのセレクトデータＤ１～Ｄ５が「００００１」に更新されるため、図１５に示すように、パルスセレクタ８８の各出力端子Ｐ１，Ｐ２からは、夫々、クロック信号Ｒ２とクロック信号Ｒ１０が出力されることとなる。

【０１６９】

一方、例えば、レジスタ２８からセレクトデータＤ１～Ｄ５として、「８」を表す「０１０００」が出力されている場合にも、パルスセレクタ８８の各出力端子Ｐ１，Ｐ２からは、夫々、クロック信号Ｒ１とクロック信号Ｒ９が出力される。

【０１７０】

そして、この場合にも、ダウンカウンタ２６でのカウント動作に伴って、ラッチ回路３４からHighレベルの第１検出信号ＡＤ１が出力され、その第１検出信号ＡＤ１がHighレベルになっている間に、パルスセレクタ８８の出力端子Ｐ１からリングオシレータ２２のクロック信号Ｒ１が出力されると、ラッチ回路４４の出力信号ＰＱ１がHighレベルになる。

【０１７１】

ところが、この場合には、セレクトデータの４ビット目Ｄ４が「１」であり、セレクタ９０は、ラッチ回路４６の出力を選択しているため、ラッチ回路４４からHighレベルの出力信号ＰＱ１が出力されても、セレクタ９０の出力ＡＱはLow レベルのままである。

【０１７２】

そしてその後、リングオシレータ２２からクロック信号Ｒ５が出力されて、ラッチ回路３６からの第２検出信号ＡＤ２がHighレベルとなり、その第２検出信号ＡＤ２がHighレベルになっている間に、パルスセレクタ８８の出力端子Ｐ２からリングオシレータ２２のクロック信号Ｒ９が出力されて、ラッチ回路４６の出力信号ＰＱ２がHighレベルになると、そのタイミングでセレクタ９０の出力ＡＱがHighレベルになり、その後、バッファ５０から出力信号ＰＯＵＴが出力される。

【０１７３】

つまり、第１実施例のデジタル制御発振回路２では、パルスセレクタ２４が、４ビットのセレクトデータＤ１～Ｄ４に応じて、多相クロックＲ１～Ｒ１６の内の１つを択一的に選択し、その選択したセレクト信号を、ラッチ回路４４，４６のうち、対応する方のクロック端子へ出力するように構成されていたが、第４実施例のデジタル制御発振回路８６では、パルスセレクタ８８が、セレクトデータＤ１～Ｄ４の内の下位３ビットＤ１～Ｄ３に応じて、多相クロックＲ１～Ｒ８と多相クロックＲ９～Ｒ１６とからなる２つのグループから、夫々１つずつクロック信号を選択して、その選択した各クロック信号を、夫々に対応するラッチ回路４４，４６のクロック端子へ出力し、最終的に、セレクタ９０が、セレクトデータＤ１～Ｄ４の内の４ビット目Ｄ４に応じて、ラッチ回路４４，４６の出力を択一的に選択するようにしている。

【０１７４】

よって、セレクタ９０からは、第１実施例のデジタル制御発振回路２にてラッチ回路４４，４６の何れか一方からHighレベルの信号が出力されるのと全く同じタイミングで、Highレベルの信号が出力される。

従って、このようなデジタル制御発振回路８６によっても、第１実施例のデジタル制御発振回路２と全く同様に、外部から入力される周波数制御データに比例した正確な周期で発振信号を出力できる。よって、このようなデジタル制御発振回路８６を備えたクロック逓倍装置によっても、第１実施例のクロック逓倍装置１と全く同様の効果を得ることができる。

【０１７５】

尚、上記第４実施例のデジタル制御発振回路８６においても、図１２に示した第３実施例のデジタル制御発振回路８４と全く同様に、インバータ３８を排除して、バッファ５０からの出力信号ＰＯＵＴをレジスタ２８とラッチ回路６８のクロック端子に入力するように構成してもよい。

【０１７６】

次に、第５実施例のクロック逓倍装置について説明する。尚、第５実施例のクロック逓倍装置も、第１実施例のクロック逓倍装置１に対して、デジタル制御発振回路の構成だけが異なっているため、その相違点を中心に説明する。

まず図１６に示すように、第５実施例のクロック逓倍装置に設けられたデジタル制御発振回路９２は、第１実施例のデジタル制御発振回路２（図５）に対して、主に、第１検出信号ＡＤ１及び第２検出信号ＡＤ２を夫々ラッチするラッチ回路と、複数の信号からセレクトデータＤ１～Ｄ４に対応した信号を択一的に選択するパルスセレクタとの設け方が異なっている。尚、図１６において、図５に示したラッチ回路４０，６８、アンドゲート６６、及びオアゲート７０からなる部分は省略されている。

【０１７７】

即ち、第５実施例のデジタル制御発振回路９２と第１実施例のデジタル制御発振回路２との相違点は、下記の（１）～（３）である。

（１）まず、本実施例の発振回路９２では、ラッチ回路４４，４６の代わりに、リングオシレータ２２から出力される多相クロックＲ１～Ｒ１６の夫々に対応して設けられた１６個のラッチ回路からなるラッチ回路群９４を備えている。そして、パルスセレクタ９６が、そのラッチ回路群９４から出力される１６個の信号Ｌ１～Ｌ１６の内の１つを、レジスタ２８から出力されるセレクトデータＤ１～Ｄ４に応じて択一的に選択して出力するように構成されている。

【０１７８】

（２）次に、本実施例の発振回路９２では、オアゲート４８，５８、アンドゲート５４、バッファ５６、ラッチ回路６０、ノアゲート６２，６４を備えておらず、その代わりに、パルスセレクタ９６の出力信号ＰＳが立ち上がると（Low レベルからHighレベルに変化すると）、Highレベルの入力信号をラッチして、そのラッチした信号をバッファ５０に出力するラッチ回路９８を備えている。

【０１７９】

そして、図１８に示すように、ラッチ回路９８の出力ＡＱがHighレベルになると、バッファ５０での動作遅延時間経過後にバッファ５０からHighレベルの出力信号ＰＯＵＴが出力され、これと同時にナンドゲート５２からラッチ回路９８のクリア端子へLow レベルのクリア信号が出力されて、ラッチ回路９８がリセットされるように構成されている。つまり、パルスセレクタ９６の出力信号ＰＳが立ち上がると、バッファ５０の動作遅延に応じた時間だけHighレベルの出力信号ＰＯＵＴが出力される。

【０１８０】

（３）また、本実施例の発振回路９２では、ラッチ回路３４から出力される第１検出信号ＡＤ１を、遅延線ＴＬによって、リングオシレータ２２内でのパルス信号の１／２周回時間（１６・Ｔｄ）だけ遅延させることにより、第２検出信号ＡＤ２を生成するようにしている。

【０１８１】

ここで、ラッチ回路群９４は、図１７に示す如く、リングオシレータ２２からの多相クロックＲ１～Ｒ１６が夫々クロック端子に入力される１６個のラッチ回路ＤＦ９４ａ～ＤＦ

９４ｐからなり、クロック端子に多相クロックＲ１～Ｒ８の内の何れかが入力される８個のラッチ回路ＤＦ９４ａ～ＤＦ９４ｈについては、そのデータ端子にラッチ回路３４からの第１検出信号ＡＤ１が入力されるように構成されている。また、クロック端子に多相クロックＲ９～Ｒ１６の内の何れかが入力される８個のラッチ回路ＤＦ９４ｉ～ＤＦ９４ｐについては、そのデータ端子に遅延線ＴＬからの第２検出信号ＡＤ２が入力されるように構成されている。

【０１８２】

そして、各ラッチ回路ＤＦ９４ａ～ＤＦ９４ｐの出力信号Ｌ１～Ｌ１６が、パルスセレクタ９６に出力される。

一方、パルスセレクタ９６は、ラッチ回路群９４からの出力信号Ｌ１～Ｌ１６を夫々入力し、４ビットのセレクトデータＤ１～Ｄ４が示す値に対応した番号の信号を選択して出力するものである。尚、その構成としては、例えば、図１４に示したパルスセレクタ８８に対して、第３セレクタ群７８を構成する各セレクタＳＬからの出力信号を入力するセレクタを追加して設け、そのセレクタが、セレクトデータＤ１～Ｄ４の４ビット目Ｄ４に応じて出力信号を選択するようにしたものである。

【０１８３】

このように構成された第５実施例のデジタル制御発振回路９２においても、図１８に示すように、レジスタ２８からのキャリー信号Ｄ５が「０」であれば、ダウンカウンタ２６のカウント値が「１」になった時点で、ラッチ回路３４からクロック信号Ｒ１～Ｒ８に対応した第１検出信号ＡＤ１がHighレベルで出力される。また、レジスタ２８からのキャリー信号Ｄ５が「１」であれば、ダウンカウンタ２６のカウント値が「０」になった時点で、ラッチ回路３４から第１検出信号ＡＤ１がHighレベルで出力される。そして、このようにHighレベルの第１検出信号ＡＤ１が出力された後、リングオシレータ２２内でのパルス信号の１／２周回時間が経過すると、遅延線ＴＬからクロック信号Ｒ９～Ｒ１６に対応した第２検出信号ＡＤ２がHighレベルで出力される。

【０１８４】

尚、図１８は、図９の場合と全く同様に、周波数制御データＣＤの下位４ビットＣＤＬとして「１」を示す「０００１」が入力されている場合に、当該デジタル制御発振回路９２が動作を開始して、２周期目の動作に至るまでの状態を表している。

【０１８５】

そして、ラッチ回路群９４の各ラッチ回路ＤＦ９４ａ～ＤＦ９４ｐは、各自のデータ端子に入力されている上記検出信号ＡＤ１，ＡＤ２がHighレベルである間に、リングオシレータ２２から自己に対応するクロック信号が出力されると、Highレベルの信号（検出信号ＡＤ１，ＡＤ２）を夫々ラッチして出力するため、ラッチ回路群９４からの出力信号Ｌ１～Ｌ１６は、Ｌ１～Ｌ１６の順で順次Highレベルに変化していくこととなるが、出力信号Ｌ１～Ｌ１６のうち、レジスタ２８からのセレクトデータＤ１～Ｄ４に応じたクロック信号がクロック端子に入力されたラッチ回路の出力信号だけが、パルスセレクタ９６から出力される。

【０１８６】

よって、例えば、セレクトデータＤ１～Ｄ４がクロック信号Ｒ１５に対応した「１１１０」の場合には、ラッチ回路ＤＦ９４ａ～ＤＦ９４ｎの出力信号Ｌ１～Ｌ１４がHighレベルに変化しても、パルスセレクタ９６の出力信号ＰＳはLow レベルのままであり、ラッチ回路ＤＦ９４ｏの出力信号Ｌ１５がHighレベルに変化したタイミングで、パルスセレクタ９６からラッチ回路９８のクロック端子へ、立ち上がりエッジが入力されることとなる。

【０１８７】

このように、パルスセレクタ９６からは、第１実施例のデジタル制御発振回路２にてラッチ回路４４，４６の何れか一方からHighレベルの信号が出力されるのと全く同じタイミングで、Highレベルの信号が出力され、それに伴って出力信号ＰＯＵＴが出力される。

【０１８８】

従って、このようなデジタル制御発振回路９２によっても、第１実施例のデジタル制御発

振回路２と全く同様に、外部から入力される周波数制御データに比例した正確な周期で発振信号を出力できる。よって、このようなデジタル制御発振回路９２を備えたクロック逓倍装置によっても、第１実施例のクロック逓倍装置１と全く同様の効果を得ることができる。

【０１８９】

尚、本第５実施例のデジタル制御発振装置９２は、請求項３に記載のデジタル制御発振装置を具体化したものであり、ラッチ回路群９４及びパルスセレクタ９６が、パルス検出手段に相当し、その中で、ラッチ回路群９４を成すラッチ回路ＤＦ９４ａ～ＤＦ９４ｐが複数のラッチ回路に相当し、パルスセレクタ９６がセレクト手段に相当している。そして、ラッチ回路９８、バッファ５０及びナンドゲート５２が、信号出力手段に相当している。また、ダウンカウンタ２６、セレクタ３２、ラッチ回路３４及び遅延線ＴＬが、カウント手段に相当し、その中のセレクタ３２が、カウント数変更手段としても機能している。また更に、第１実施例と同様に、レジスタ２８及び加算器３０が、データ更新手段に相当している。一方、本第５実施例のデジタル制御発振装置９２においても、図１２に示した第３実施例のデジタル制御発振装置８４と全く同様に、インバータ３８を排除して、バッファ５０からの出力信号ＰＯＵＴをレジスタ２８のクロック端子に入力するようにしてもよい。

【０１９０】

ここで、上述した第１～第５実施例の各クロック逓倍装置に備えられたデジタル制御発振回路２，８４，８６，９２は、多相クロックＲ１～Ｒ１６を発生させるためのリングオシレータ２２を偶数個の反転回路で構成したものであったが、次に第６実施例として、リングオシレータを奇数個の反転回路で構成した場合のデジタル制御発振回路について説明する。

【０１９１】

まず図１９に示すように、第６実施例のデジタル制御発振回路１０２は、図１３に示した第４実施例のデジタル制御発振回路８６とほぼ同様に構成されているが、下記（ａ）～（ｃ）の点で相違している。

（ａ）まず、本実施例の発振回路１０２では、リングオシレータ１０４が、図２０に示す如く１５個の反転回路で構成されており、パルスセレクタ１０６は、リングオシレータ１０４から出力される多相クロックＲ１～Ｒ８の内の１つを、レジスタ２８から出力されるセレクトデータＤ１～Ｄ３に応じて択一的に選択し、その選択した信号を出力端子Ｐ１から出力するように構成されている。

【０１９２】

（ｂ）そして、本実施例の発振回路１０２では、パルスセレクタ１０６の出力端子はＰ１だけであるため、ノアゲート６４が排除されており、ラッチ回路４６のクロック端子には、ノアゲート６２の出力信号ＰＳ１を反転した信号が入力されている。

【０１９３】

（ｃ）また、本実施例の発振回路１０２では、リングオシレータ１０４から出力される多相クロックＲ１～Ｒ８のうち、５番目の位相を持つクロック信号Ｒ５が、カウンタ・データラッチ回路４へ出力されると共に、そのクロック信号Ｒ５を反転した信号が、ダウンカウンタ２６及び第１検出信号ＡＤ１を出力するラッチ回路３４の各クロック端子に入力されている。尚、第２検出信号ＡＤ２を出力するラッチ回路３６のクロック端子には、第４実施例の場合と同様にクロック信号Ｒ５が入力される。

【０１９４】

ここで、リングオシレータ１０４は、図２０に示すように、１個のナンドゲートＮＡＮＤと１４個のインバータＩＮＶとからなる１５個の反転回路を、リング状に接続して構成されており、ナンドゲートＮＡＮＤのインバータＩＮＶとは反対側の入力端子に、外部からの制御信号ＰＡが入力されている。

【０１９５】

そして、ナンドゲートＮＡＮＤから数えて奇数段目に接続された反転回路の出力端には、

夫々、多相クロックＲ１～Ｒ８を出力するための出力端子が設けられている。また、ナンドゲートＮＡＮＤの反転動作時間は、他のインバータＩＮＶの反転動作時間Ｔｄの２倍（２・Ｔｄ）に設定されている。

【０１９６】

このように構成されたリングオシレータ１０４において、制御信号ＰＡがLow レベルのときには、ナンドゲートＮＡＮＤの出力が強制的にHighレベルとなり、次段のインバータＩＮＶの出力がLow レベルとなり、更に次段のインバータＩＮＶの出力がHighレベルとなるというように、各反転回路が順次反転し、ナンドゲートＮＡＮＤには、出力信号と同じレベルの信号が入力されることとなり、リングオシレータ１０４は、この状態で安定する。

【０１９７】

そして、制御信号ＰＡをHighレベルに変化させると、ナンドゲートＮＡＮＤが反転動作を開始し、各インバータＩＮＶの反転動作時間Ｔｄのほぼ１６倍の時間（１６・Ｔｄ）を経過した時点で、ナンドゲートＮＡＮＤに出力信号と同一レベルの信号が入力され、再びナンドゲートＮＡＮＤの出力レベルが反転する、といった動作を繰り返す。

【０１９８】

従って、リングオシレータ１０４の上記各出力端子からは、上記時間（１６・Ｔｄ）の２倍の時間（３２・Ｔｄ）を１周期とする多相クロックＲ１～Ｒ８が出力され、隣接する端子から出力されるクロック信号の位相差は、夫々、上記反転動作時間Ｔｄの２倍の時間（２・Ｔｄ）となる。

【０１９９】

一方、パルスセレクタ１０６は、図１４に示したパルスセレクタ８８と同様のものであるが、本実施例ではリングオシレータ１０４が８本の出力端子しか備えていないため、図１４の構成に対して、第１セレクタ群７４，第２セレクタ群７６，及び第３セレクタ群７８が、夫々、４個，２個，１個のセレクタＳＬからなるように構成されている。

【０２００】

ここで、上述したように、本実施例のリングオシレータ１０４からは、リングオシレータ１０４内でパルスエッジが２周するのに要する時間（３２・Ｔｄ）を１周期とし、且つ、位相がインバータＩＮＶの反転動作時間Ｔｄの２倍の時間（２・Ｔｄ）だけずれた、８個の多相クロックＲ１～Ｒ８が出力されるが、各クロック信号Ｒ１～Ｒ８を夫々反転させた信号をクロック信号Ｒ９～Ｒ１６とすれば、リングオシレータ１０４からは、第１～第５実施例で用いたリングオシレータ２２と全く同様の１６個の多相クロックＲ１～Ｒ１６を取り出すことができる。

【０２０１】

つまり、クロック信号Ｒｎ（ｎ＝１～８）を反転させた信号は、クロック信号Ｒｎに対して位相が半周期ずれたものとなるため、クロック信号Ｒｎを反転させた信号を、夫々、クロック信号Ｒn+8 として用いれば、第１～第５実施例のリングオシレータ２２から出力される多相クロックＲ１～Ｒ１６と全く同じ周期及び位相差を有する１６個の多相クロックを得ることができる。

【０２０２】

よって、本第６実施例のデジタル制御発振回路１０２において、ダウンカウンタ２６及びラッチ回路３４のクロック端子に入力される信号（クロック信号Ｒ５の反転信号）は、第４実施例におけるデジタル制御発振回路８６にてクロック信号Ｒ１３が立ち上がるのと全く同じタイミングで立ち上がることとなる。

【０２０３】

また、パルスセレクタ１０６の出力端子Ｐ１から出力されるクロック信号を反転した信号は、第４実施例にてパルスセレクタ８８の出力端子Ｐ２から出力されるクロック信号と同じ位相のものとなるため、本第６実施例において、ラッチ回路４６のクロック端子には、第４実施例の場合と全く同様に、セレクトデータＤ１～Ｄ３のデジタル値に「９」を加えた番号のクロック信号が入力されることとなる。

【０２０４】

従って、図２１に示すように、本第６実施例のデジタル制御発振回路１０２は、第４実施例のデジタル制御発振回路８６と全く同様に動作することとなる。尚、図２１は、図１５の場合と同様に、周波数制御データＣＤの下位４ビットＣＤＬとして「０００１」が入力されている場合に、当該デジタル制御発振回路１０２が動作を開始して、２周期目の動作に至るまでの状態を表している。

【０２０５】

よって、このようなデジタル制御発振回路１０２によっても、第１～第５実施例のデジタル制御発振回路２，８４，８６，９２と全く同様に、外部から入力される周波数制御データに比例した正確な周期で発振信号を出力できる。

【図面の簡単な説明】

【図１】　第１実施例のクロック逓倍装置の構成を表すブロック図である。

【図２】　図１の制御回路の構成を表す回路図である。

【図３】　図１のカウンタ・データラッチ回路の構成を表す回路図である。

【図４】　制御回路及びカウンタ・データラッチ回路の動作を表すタイムチャートである。

【図５】　図１のデジタル制御発振回路の構成を表す回路図である。

【図６】　図５のリングオシレータの構成を表す回路図である。

【図７】　図６のリングオシレータの動作を表すタイムチャートである。

【図８】　図５のパルスセレクタの構成を表す回路図である。

【図９】　図５のデジタル制御発振回路の動作を表すタイムチャートである。

【図１０】　第２実施例のクロック逓倍装置の構成を表すブロック図である。

【図１１】　図１０の周波数微調回路の構成を表す回路図である。

【図１２】　第３実施例のデジタル制御発振回路の構成を表す回路図である。

【図１３】　第４実施例のデジタル制御発振回路の構成を表す回路図である。

【図１４】　図１３のパルスセレクタの構成を表す回路図である。

【図１５】　図１３のデジタル制御発振回路の動作を表すタイムチャートである。

【図１６】　第５実施例のデジタル制御発振回路の構成を表す回路図である。

【図１７】　図１６のラッチ回路群の構成を表す回路図である。

【図１８】　図１６のデジタル制御発振回路の動作を表すタイムチャートである。

【図１９】　第６実施例のデジタル制御発振回路の構成を表す回路図である。

【図２０】　図１９のリングオシレータの構成を表す回路図である。

【図２１】　図１９のデジタル制御発振回路の動作を表すタイムチャートである。

【符号の説明】

１，８０…クロック逓倍装置　　４…カウンタ・データラッチ回路

２，８４，８６，９２，１０２…デジタル制御発振回路

６…制御回路　　１４…１３ビットカウンタ　　１６…シフト回路

１８…データラッチ回路　　２２，１０４…リングオシレータ

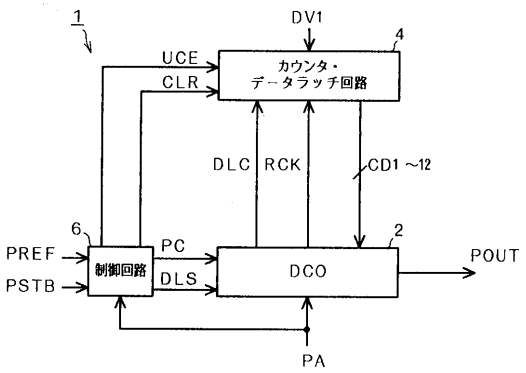
２４，８８，９６，１０６…パルスセレクタ　　２６…ダウンカウンタ

２８…レジスタ　　３０…加算器　　３２，９０…セレクタ

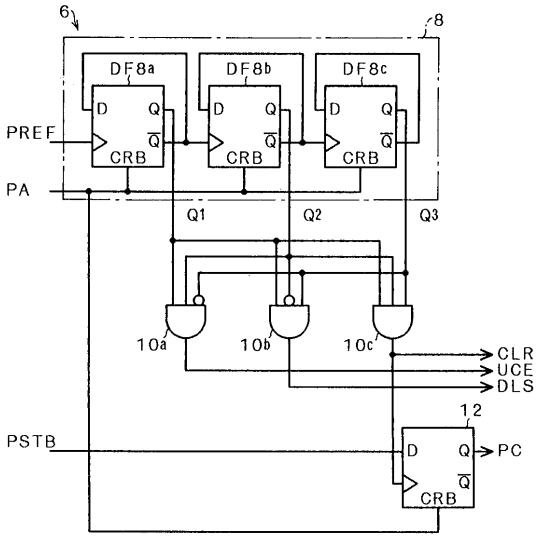
３４，３６，４４，４６…ラッチ回路　　４８…オアゲート

８２…周波数微調回路　　９４…ラッチ回路群　　ＴＬ…遅延線

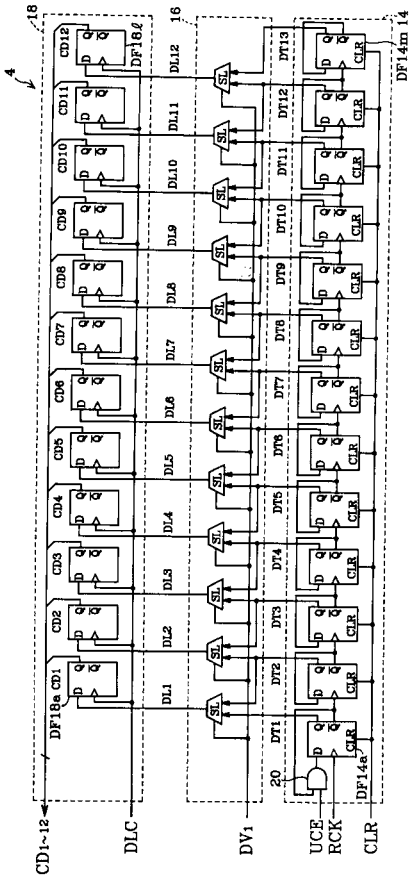
【図１】


1
DV1
4
UCE
CLR
カウンタ・
データラッチ回路
DLC
RCK
CD1～12
6
PC
2
PREF
制御回路
DLS
DCO
POUT
PSTB
PA

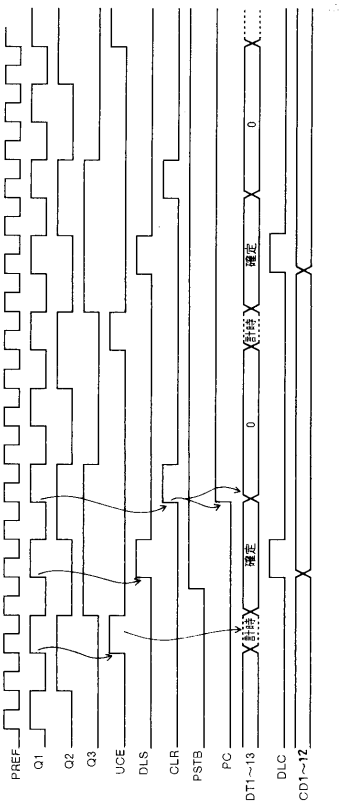
【図２】


6
8
DF8a
DF8b
DF8c
D
Q
CRB
PREF
PA
Q1
Q2
Q3
10a
10b
10c
CLR
UCE
DLS
12
PSTB
PC

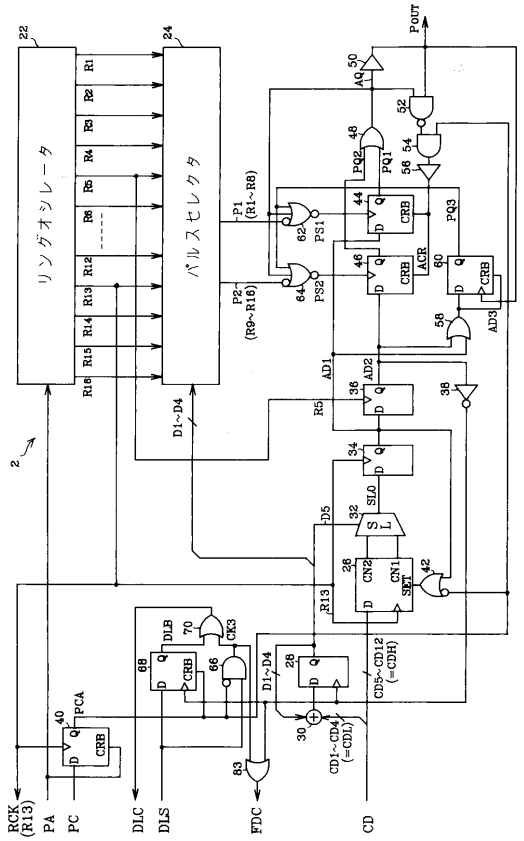
【図３】


18
16
14
4
CD12
CD11
CD10
CD9
CD8
CD7
CD6
CD5
CD4
CD3
CD2
CD1
DF18a
DF18d
DF14m
DL12
DL11
DL10
DL9
DL8
DL7
DL6
DL5
DL4
DL3
DL2
DL1
DT13
DT12
DT11
DT10
DT9
DT8
DT7
DT6
DT5
DT4
DT3
DT2
DT1
SEL
CLR
20
DF14a
CD1~12
DLC
DV1
UCE
RCK
CLR

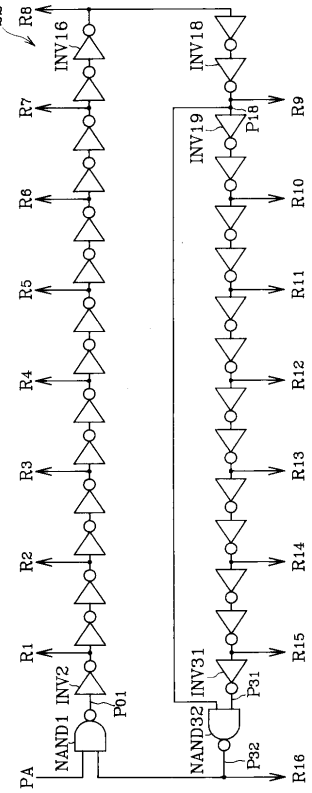
【図４】


PREF
Q1
Q2
Q3
UCE
DLS
CLR
PSTB
PC
DT1~13
DLC
CD1~12
確定
確定

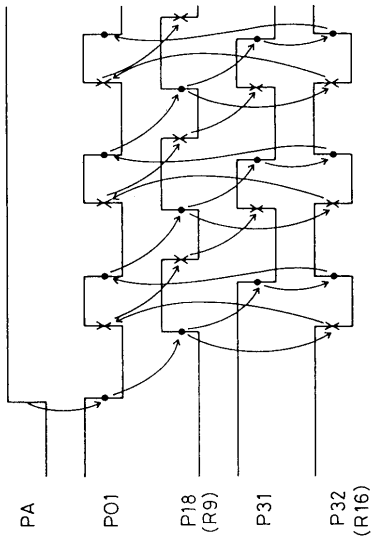
【図５】


リングオシレータ
パルスセレクタ
POUT
RCK (R13)
PA
PC
DLC
DLS
FDC
CD

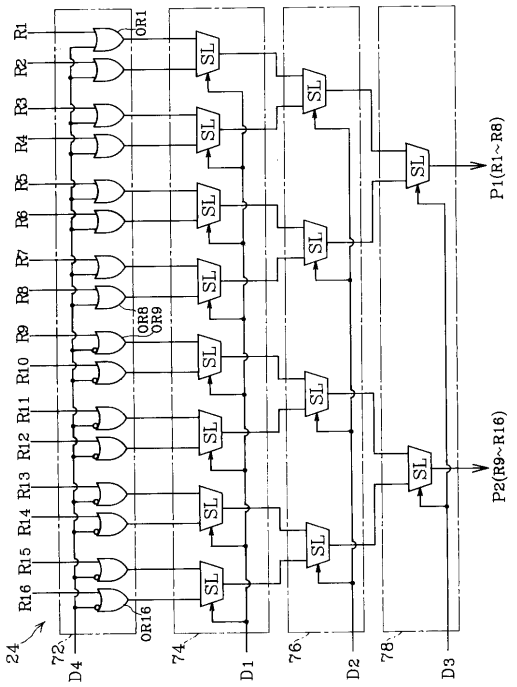
【図６】


INV16
INV18
INV19
INV2
INV31
NAND1
NAND32
PA
P01
P18
P31
P32

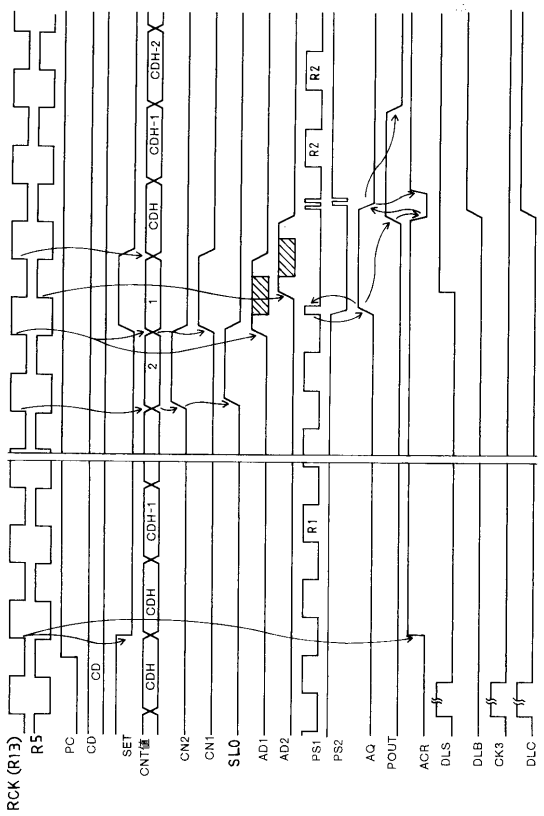
【図７】


PA
P01
P18 (R9)
P31
P32 (R16)

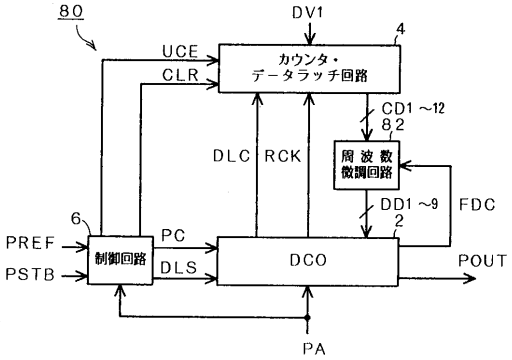
【図８】


SL
P1(R1~R8)
P2(R9~R16)
D1
D2
D3
D4

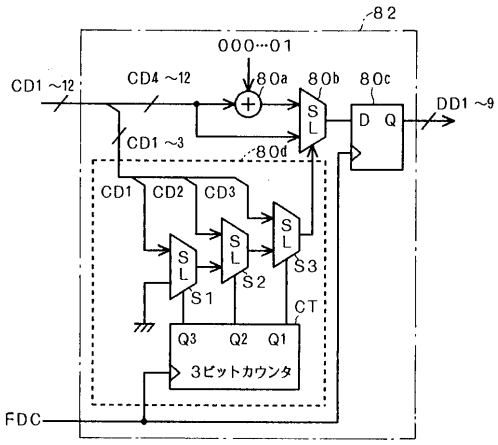
【図９】



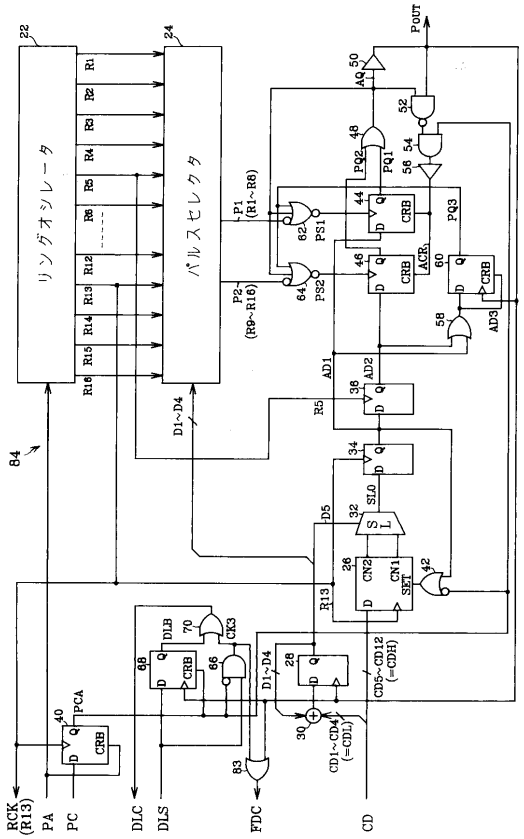
【図１０】



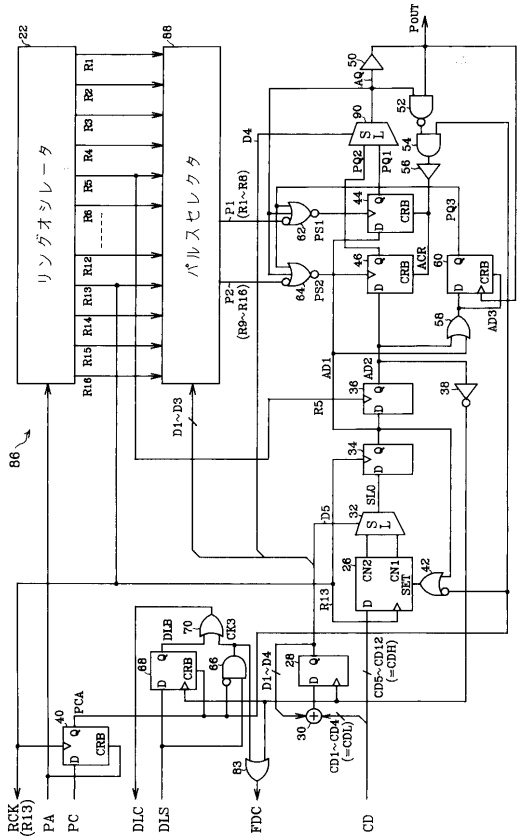
【図１１】



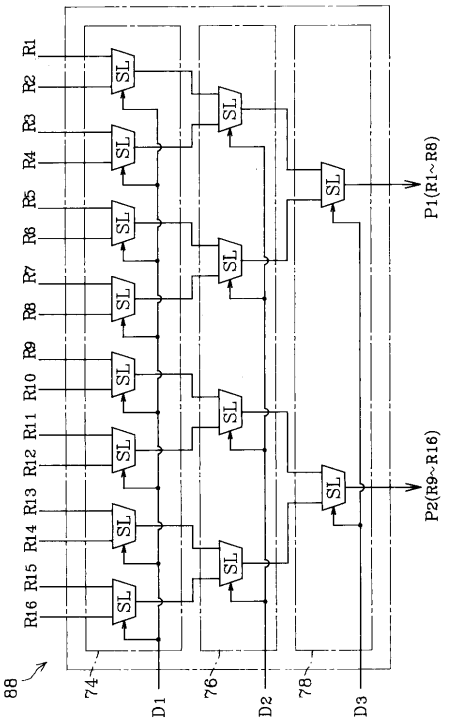
【図１２】



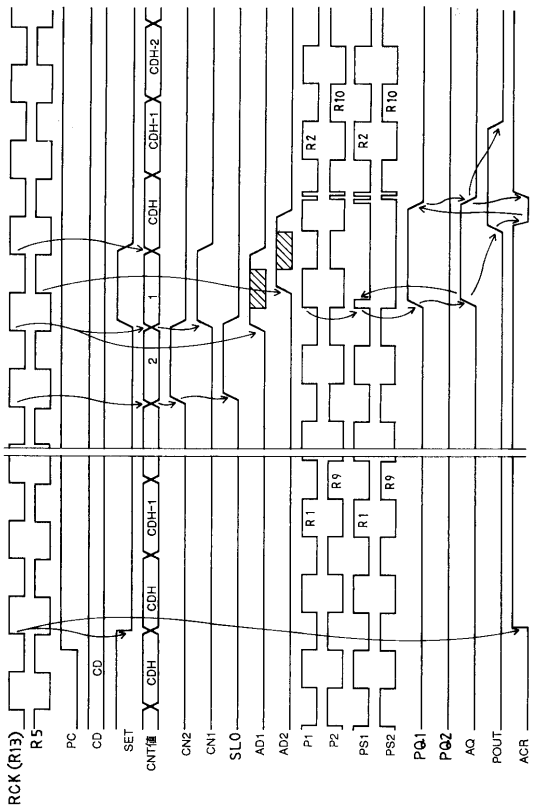
【図１３】



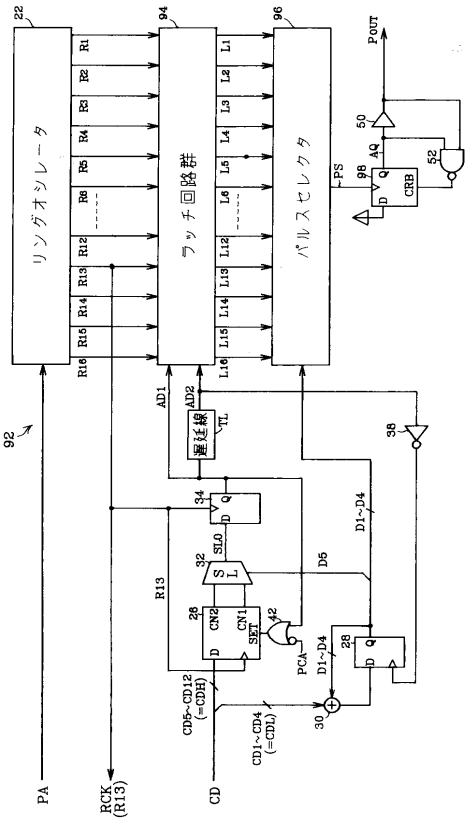
【図１４】



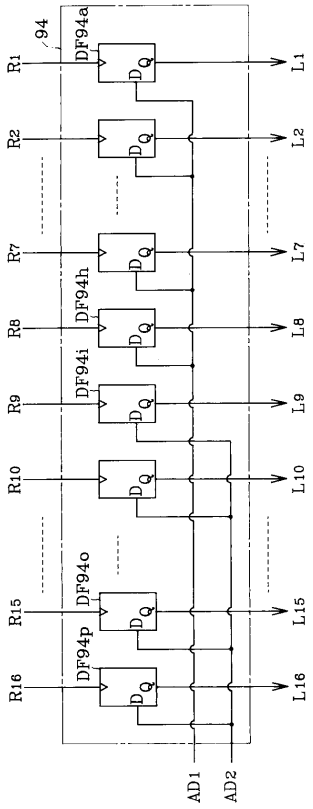
【図１５】



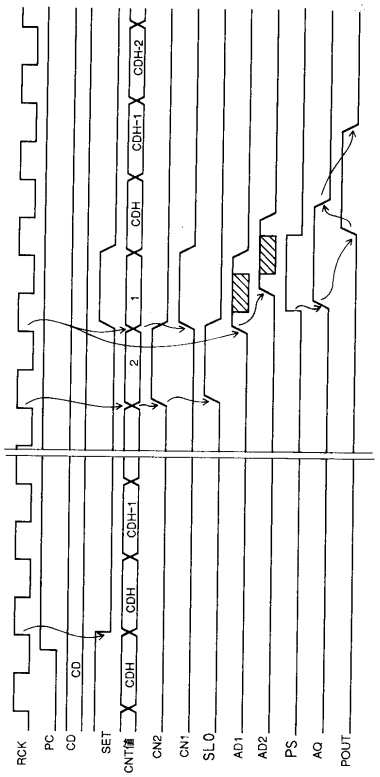
【図１６】



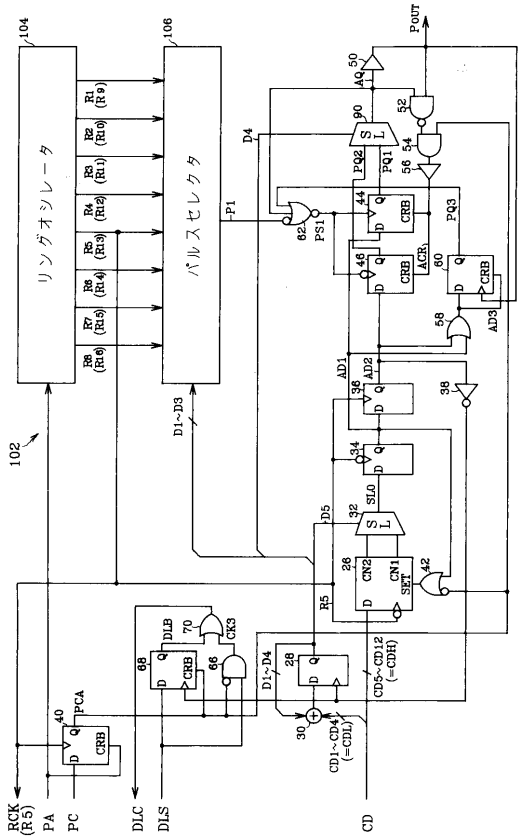
【図１７】



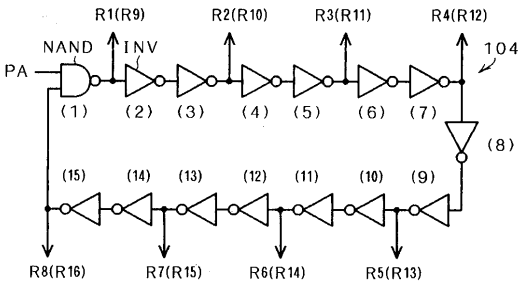
【図１８】



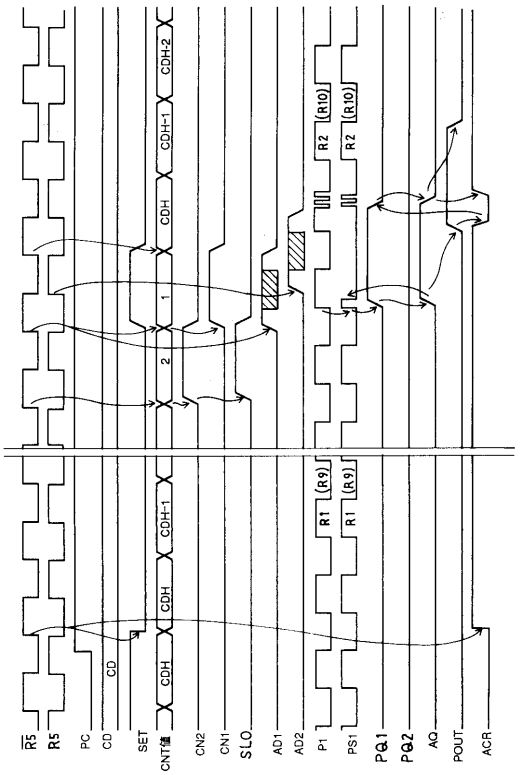
【図１９】



【図２０】



【図２１】


R5
R5
PC
CD
CD
SET
CNT1
CDH
CDH-1
CDH-2
1
2
CN2
CN1
SLO
AD1
AD2
P1
PS1
PQ1
PQ2
AQ
POUT
ACR
R2
(R10)
R1
(R9)

フロントページの続き

(72)発明者　藤橋　好典
愛知県刈谷市昭和町１丁目１番地　　日本電装株式会社内
(72)発明者　柴田　正
愛知県刈谷市昭和町１丁目１番地　　日本電装株式会社内

合議体
審判長　石井　研一
審判官　北村　智彦
審判官　富澤　哲生

(56)参考文献　特開平０５－１０２８０１（ＪＰ，Ａ）
特開平０２－０４８８１７（ＪＰ，Ａ）
特開昭５３－１０８７５３（ＪＰ，Ａ）
実開昭６３－０７４８２９（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03K5/00
H03K3/00
H03K23/00