



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2020-0043342  
(43) 공개일자 2020년04월27일

- (51) 국제특허분류(Int. Cl.)  
H01L 29/66 (2006.01) H01L 27/12 (2006.01)  
H01L 29/786 (2006.01)
- (52) CPC특허분류  
H01L 29/66742 (2013.01)  
H01L 27/1214 (2013.01)
- (21) 출원번호 10-2020-0045944(분할)
- (22) 출원일자 2020년04월16일  
심사청구일자 2020년04월16일
- (62) 원출원 특허 10-2019-0155174  
원출원일자 2019년11월28일  
심사청구일자 2019년11월28일
- (30) 우선권주장  
JP-P-2008-274515 2008년10월24일 일본(JP)

- (71) 출원인  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
수자와 히데오미  
일본 243-0036, 카나가와켄, 아쓰기시, 하세, 398, 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- 사사가와 신야  
일본 243-0036, 카나가와켄, 아쓰기시, 하세, 398, 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- 무라오카 타이가  
일본 243-0036, 카나가와켄, 아쓰기시, 하세, 398, 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인  
장훈

전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **반도체 장치의 제작 방법**

**(57) 요약**

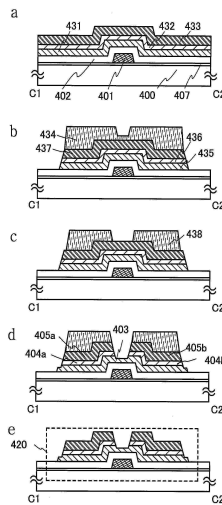
노광 마스크의 매수를 삭감함으로써 포토리소그래피 공정을 간략화하고, 산화물 반도체를 갖는 반도체 장치를 저비용으로 생산성 좋게 제작하는 것을 과제의 하나로 한다.

채널 에치 구조의 역 스텝거형 박막 트랜지스터를 갖는 반도체 장치의 제작 방법에 있어서, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의하여 형성된 마스크층을 사용하여 산화물 반도체막 및 도전막의 에칭 공정을 행한다. 에칭 공정은, 에칭 가스에 의한 드라이 에칭을 사용한다.

[색인어]

산화물 반도체, 채널 에칭, 다계조 마스크, 드라이 에칭, 보텀 게이트

**대표도** - 도1



(52) CPC특허분류

*H01L 27/1225* (2013.01)

*H01L 27/1288* (2013.01)

*H01L 29/7869* (2013.01)

*H01L 29/78696* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치에 있어서,

제 1 트랜지스터를 포함하는 제 1 화소; 및

제 2 트랜지스터를 포함하는 제 2 화소를 포함하고,

상기 제 1 트랜지스터는:

티타늄 및 구리를 포함하는 게이트 전극층;

상기 게이트 전극층 위의 게이트 절연층;

상기 게이트 절연층 위의, 인듐, 갈륨, 및 아연을 포함하는 제 1 산화물 반도체층;

각각이 상기 제 1 산화물 반도체층 위에 있는 제 2 산화물 반도체층 및 제 3 산화물 반도체층으로서, 상기 제 2 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각은 인듐 및 아연을 포함하는, 상기 제 2 산화물 반도체층 및 제 3 산화물 반도체층;

상기 제 2 산화물 반도체층 위의 제 1 도전층; 및

상기 제 3 산화물 반도체층 위의 제 2 도전층을 포함하고,

실리콘 및 산소를 포함하는 절연층은 상기 제 1 도전층 및 상기 제 2 도전층 위에 위치되고, 상기 절연층은 상기 제 1 산화물 반도체층의 상부 표면과 직접 접촉하고,

화소 전극층은 상기 제 1 도전층에 전기적으로 접속되고,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층과 상기 제 3 산화물 반도체층 사이에 오목부를 갖고,

상기 제 2 트랜지스터는:

상기 제 1 산화물 반도체층;

각각이 상기 제 1 산화물 반도체층 위에 있는 제 4 산화물 반도체층 및 상기 제 3 산화물 반도체층으로서, 상기 제 4 산화물 반도체층은 인듐 및 아연을 포함하는, 상기 제 4 산화물 반도체층 및 상기 제 3 산화물 반도체층;

상기 제 4 산화물 반도체층 위의 제 3 도전층; 및

상기 제 3 산화물 반도체층 위의 상기 제 2 도전층을 포함하는, 반도체 장치.

#### 청구항 2

반도체 장치에 있어서,

제 1 트랜지스터를 포함하는 제 1 화소; 및

제 2 트랜지스터를 포함하는 제 2 화소를 포함하고,

상기 제 1 트랜지스터는:

티타늄 및 구리를 포함하는 게이트 전극층;

상기 게이트 전극층 위의 게이트 절연층;

상기 게이트 절연층 위의, 인듐, 갈륨, 및 아연을 포함하는 제 1 산화물 반도체층;

각각이 상기 제 1 산화물 반도체층 위에 있는 제 2 산화물 반도체층 및 제 3 산화물 반도체층으로서, 상기 제 2 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각은 인듐 및 아연을 포함하는, 상기 제 2 산화물 반도체층

및 제 3 산화물 반도체층;

상기 제 2 산화물 반도체층 위의 제 1 도전층; 및

상기 제 3 산화물 반도체층 위의 제 2 도전층을 포함하고,

실리콘 및 산소를 포함하는 절연층은 상기 제 1 도전층 및 상기 제 2 도전층 위에 위치되고, 상기 절연층은 상기 제 1 산화물 반도체층의 상부 표면과 직접 접하고,

화소 전극층은 상기 제 1 도전층에 전기적으로 접속되고,

상기 제 1 산화물 반도체층의 단부들 중 하나는 상기 제 2 산화물 반도체층의 단부를 지나 연장하고, 상기 제 1 산화물 반도체층의 상기 단부들 중 다른 하나는 상기 제 3 산화물 반도체층의 단부를 지나 연장하고,

상기 제 2 산화물 반도체층의 상기 단부는 상기 제 1 도전층의 단부를 지나 연장하고, 상기 제 3 산화물 반도체층의 상기 단부는 상기 제 2 도전층의 단부를 지나 연장하고,

상기 제 2 트랜지스터는:

상기 제 1 산화물 반도체층;

각각이 상기 제 1 산화물 반도체층 위에 있는 제 4 산화물 반도체층 및 상기 제 3 산화물 반도체층으로서, 상기 제 4 산화물 반도체층은 인듐 및 아연을 포함하는, 상기 제 4 산화물 반도체층 및 상기 제 3 산화물 반도체층;

상기 제 4 산화물 반도체층 위의 제 3 도전층; 및

상기 제 3 산화물 반도체층 위의 상기 제 2 도전층을 포함하는, 반도체 장치.

### 청구항 3

반도체 장치에 있어서,

제 1 트랜지스터를 포함하는 제 1 화소; 및

제 2 트랜지스터를 포함하는 제 2 화소를 포함하고,

상기 제 1 트랜지스터는:

티타늄 및 구리를 포함하는 게이트 전극층;

상기 게이트 전극층 위의 게이트 절연층;

상기 게이트 절연층 위의, 인듐, 갈륨, 및 아연을 포함하는 제 1 산화물 반도체층;

각각이 상기 제 1 산화물 반도체층 위에 있는 제 2 산화물 반도체층 및 제 3 산화물 반도체층으로서, 상기 제 2 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각은 인듐 및 아연을 포함하는, 상기 제 2 산화물 반도체층 및 제 3 산화물 반도체층;

상기 제 2 산화물 반도체층 위의 제 1 도전층; 및

상기 제 3 산화물 반도체층 위의 제 2 도전층을 포함하고,

실리콘 및 산소를 포함하는 절연층은 상기 제 1 도전층 및 상기 제 2 도전층 위에 위치되고, 상기 절연층은 상기 제 1 산화물 반도체층의 상부 표면과 직접 접하고,

화소 전극층은 상기 제 1 도전층에 전기적으로 접속되고,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층과 상기 제 3 산화물 반도체층 사이에 오목부를 갖고,

상기 제 1 산화물 반도체층의 단부들 중 하나는 상기 제 2 산화물 반도체층의 단부를 지나 연장하고, 상기 제 1 산화물 반도체층의 상기 단부들 중 다른 하나는 상기 제 3 산화물 반도체층의 단부를 지나 연장하고,

상기 제 2 산화물 반도체층의 상기 단부는 상기 제 1 도전층의 단부를 지나 연장하고, 상기 제 3 산화물 반도체층의 상기 단부는 상기 제 2 도전층의 단부를 지나 연장하고,

상기 제 2 트랜지스터는:

상기 제 1 산화물 반도체층;

각각이 상기 제 1 산화물 반도체층 위에 있는 제 4 산화물 반도체층 및 상기 제 3 산화물 반도체층으로서, 상기 제 4 산화물 반도체층은 인듐 및 아연을 포함하는, 상기 제 4 산화물 반도체층 및 상기 제 3 산화물 반도체층;

상기 제 4 산화물 반도체층 위의 제 3 도전층; 및

상기 제 3 산화물 반도체층 위의 상기 제 2 도전층을 포함하는, 반도체 장치.

#### 청구항 4

반도체 장치에 있어서,

제 1 트랜지스터를 포함하는 제 1 화소; 및

제 2 트랜지스터를 포함하는 제 2 화소를 포함하고,

상기 제 1 트랜지스터는:

티타늄 및 구리를 포함하는 게이트 전극층;

상기 게이트 전극층 위의 게이트 절연층;

상기 게이트 절연층 위의, 인듐, 갈륨, 및 아연을 포함하는 제 1 산화물 반도체층;

각각이 상기 제 1 산화물 반도체층 위에 있는 제 2 산화물 반도체층 및 제 3 산화물 반도체층으로서, 상기 제 2 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각은 인듐 및 아연을 포함하는, 상기 제 2 산화물 반도체층 및 제 3 산화물 반도체층;

상기 제 2 산화물 반도체층 위의 제 1 도전층; 및

상기 제 3 산화물 반도체층 위의 제 2 도전층을 포함하고,

실리콘 및 산소를 포함하는 절연층은 상기 제 1 도전층 및 상기 제 2 도전층 위에 위치되고, 상기 절연층은 상기 제 1 산화물 반도체층의 상부 표면과 직접 접촉하고,

유기 재료를 포함하는 평탄화 절연막은 상기 절연층 위에 위치되고

화소 전극층은 상기 제 1 도전층에 전기적으로 접속되고,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층과 상기 제 3 산화물 반도체층 사이에 오목부를 갖고,

상기 제 1 산화물 반도체층의 단부들 중 하나는 상기 제 2 산화물 반도체층의 단부를 지나 연장하고, 상기 제 1 산화물 반도체층의 상기 단부들 중 다른 하나는 상기 제 3 산화물 반도체층의 단부를 지나 연장하고,

상기 제 2 산화물 반도체층의 상기 단부는 상기 제 1 도전층의 단부를 지나 연장하고, 상기 제 3 산화물 반도체층의 상기 단부는 상기 제 2 도전층의 단부를 지나 연장하고,

상기 제 2 트랜지스터는:

상기 제 1 산화물 반도체층;

각각이 상기 제 1 산화물 반도체층 위에 있는 제 4 산화물 반도체층 및 상기 제 3 산화물 반도체층으로서, 상기 제 4 산화물 반도체층은 인듐 및 아연을 포함하는, 상기 제 4 산화물 반도체층 및 상기 제 3 산화물 반도체층;

상기 제 4 산화물 반도체층 위의 제 3 도전층; 및

상기 제 3 산화물 반도체층 위의 상기 제 2 도전층을 포함하는, 반도체 장치.

#### 청구항 5

제 1 행 내지 제 4 행 중 어느 한 행에 있어서,

다계조 마스크는 상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 상기 제 3 산화물 반도체층, 상기 제 1 도전층, 및 상기 제 2 도전층을 형성하는데 사용되는, 반도체 장치.

**청구항 6**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 제 1 산화물 반도체층은 그 단부들에서 테이퍼 형상을 갖는, 반도체 장치.

**청구항 7**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 제 2 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각은 그 단부들에서 테이퍼 형상을 갖는, 반도체 장치.

**청구항 8**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 제 1 도전층 및 상기 제 2 도전층 각각은 그 단부들에서 테이퍼 형상을 갖는, 반도체 장치.

**청구항 9**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 제 2 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각은 결정립을 포함하는, 반도체 장치.

**청구항 10**

제 9 항에 있어서,  
상기 결정립은 1nm 내지 10nm의 직경을 갖는, 반도체 장치.

**청구항 11**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 게이트 전극층은 상기 티타늄층 위에서 티타늄층 및 구리층을 포함하는, 반도체 장치.

**청구항 12**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 제 1 도전층 및 상기 제 2 도전층 각각은 Al, Cr, Ta, Ti, Mo, 및 W으로부터 선택된 원소를 함유하는, 반도체 장치.

**청구항 13**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 제 2 산화물 반도체층 및 상기 제 1 도전층은 소스 전극 및 드레인 전극 중 하나로서 기능을 하고,  
상기 제 3 산화물 반도체층 및 상기 제 2 도전층은 상기 소스 전극 및 상기 드레인 전극 중 다른 하나로서 기능을 하는, 반도체 장치.

**청구항 14**

제 2 항 또는 제 4 항에 있어서,  
상기 평탄화 절연막은 폴리이미드, 아크릴, 벤조시클로부텐, 폴리이미드, 또는 에폭시로 형성되는, 반도체 장치.

**청구항 15**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 화소 전극층은 산화인듐-산화아연 합금을 포함하는, 반도체 장치.

**청구항 16**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 화소 전극층 위의 액정층을 더 포함하는, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 산화물 반도체를 사용하는 반도체 장치 및 그 제작 방법에 관한 것이다.

**배경 기술**

[0002] 액정 표시 장치로 대표되는 바와 같이, 유리 기판 등의 평판에 형성되는 박막 트랜지스터는, 비정질 실리콘(amorphous silicon), 다결정 실리콘에 의하여 제작되어 있다. 비정질 실리콘을 사용한 박막 트랜지스터는, 전계 효과 이동도가 낮으면서 유리 기판의 대면적화에 대응할 수 있고, 한편으로, 결정 실리콘을 사용한 박막 트랜지스터는, 전계 효과 이동도가 높으면서 레이저 어닐링 등의 결정화 공정이 필요하고, 유리 기판의 대면적화에는 반드시 적용하지는 않는다는 특성을 갖는다.

[0003] 이것에 대하여, 산화물 반도체를 사용하여 박막 트랜지스터를 제작하고, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목을 받고 있다. 예를 들어, 산화물 반도체막으로서, 산화 아연, In-Ga-Zn-O계 산화물 반도체를 사용하여 박막 트랜지스터를 제작하고, 화상 표시 장치의 스위칭 소자 등에 사용하는 기술이 특허 문헌 1 및 특허 문헌 2에서 개시되어 있다.

[0004] [특허문헌 1] 특개2007-123861호 공보

[0005] [특허문헌 2] 특개2007-96055호 공보

**발명의 내용**

**해결하려는 과제**

[0006] 산화물 반도체에 채널 형성 영역을 형성하는 박막 트랜지스터는, 비정질 실리콘을 사용한 박막 트랜지스터보다 높은 전계 효과 이동도가 얻어진다. 산화물 반도체막은, 스퍼터링법 등에 의하여, 300℃ 이하의 온도로 막을 형성할 수 있고, 다결정 실리콘을 사용한 박막 트랜지스터보다 제작 공정이 간단하다.

[0007] 이와 같은 산화물 반도체를 사용하여 유리 기판, 플라스틱 기판 등에 박막 트랜지스터를 형성하고, 액정 디스플레이, 일렉트로루미네센스(electro luminescence)디스플레이, 또는 전자 페이퍼 등에 대한 응용이 기대되고 있다.

[0008] 또한, 박막 트랜지스터의 제작에는, 다수의 노광 마스크(포토 마스크라고도 함)를 사용하여, 포토리소그래피 공정에 의하여 적층 구조를 형성하는 방법이 사용된다. 그렇지만, 포토리소그래피 공정은, 다수의 공정을 포함하는 공정이며, 제작 비용이나 수율, 생산성 등에 영향을 크게 주는 요인의 하나이다. 그 중에서도, 설계나 제작 비용이 비싼 노광 마스크의 매수를 삭감하는 것은 큰 과제이다.

[0009] 상술한 문제를 감안하여, 노광 마스크의 매수를 삭감함으로써 포토리소그래피 공정을 간략화하고, 반도체 장치를 저비용으로 생산성 좋게 제작하는 것을 과제의 하나로 한다.

**과제의 해결 수단**

[0010] 역 스테퍼형의 박막 트랜지스터를 갖는 반도체 장치의 제작 방법에 있어서, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의하여 형성된 마스크층을 사용하여 에칭 공정을 행한다.

[0011] 다계조 마스크를 사용하여 형성한 마스크층은 복수의 막 두께를 갖는 형상이 되고, 에칭을 행함으로써 형상을 더 변형시킬 수 있으므로, 상이한 패턴으로 가공하는 복수의 에칭 공정에 사용할 수 있다. 따라서, 1장의 다계조 마스크에 의하여 적어도 2종류 이상의 상이한 패턴에 대응하는 마스크층을 형성할 수 있다. 따라서, 노광 마스크의 매수를 삭감할 수 있고, 대응하는 포토리소그래피 공정도 삭감할 수 있으므로 공정의 간략화가 가능하다.

다.

- [0012] 역 스테퍼형의 박막 트랜지스터의 제작 공정에 있어서는, 반도체막, 및 도전막을 섬 형상으로 가공하는 에칭 공정(제 1 에칭 공정)과, 도전막과 반도체막을 소스 전극층, 드레인 전극층, 및 오목부를 갖는 반도체층으로 에칭 가공하는 에칭 공정(제 2 에칭 공정)을 행한다. 이 제 1 에칭 공정 및 제 2 에칭 공정을 에칭 가스에 의한 드라이 에칭을 사용하여 행한다.
- [0013] 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어, Cl<sub>2</sub>, BCl<sub>3</sub>, SiCl<sub>4</sub> 등)가 바람직하다. 또한, 상기 가스에 산소나 희 가스(예를 들어, Ar 등)를 첨가한 에칭 가스를 사용하여도 좋다.
- [0014] 본 명세서에서 사용하는 산화물 반도체는, InM<sub>0.3</sub>(ZnO)<sub>m</sub>(m>0)로 표기되는 박막을 형성하고, 그 박막을 반도체층으로서 사용한 박막 트랜지스터를 제작한다. 또한, M는, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn), 및 코발트(Co) 중으로부터 선택된 1종의 금속 원소 또는 복수의 금속 원소를 가리킨다. 예를 들어, M로서, 갈륨(Ga)의 경우가 있는 것 이외에, 갈륨(Ga)과 니켈(Ni), 또는 갈륨(Ga)과 철(Fe) 등, 갈륨(Ga) 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M로서 포함되는 금속 원소 이외에 불순물 원소로서 철(Fe), 니켈(Ni), 그 이외의 전이 금속 원소, 또는 상기 전이 금속의 산화물이 포함되어 있는 것이 있다. 본 명세서에 있어서는, 이 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다.
- [0015] In-Ga-Zn-O계 비단결정막의 결정 구조는, 스퍼터링법으로 형성한 후, 200℃ 내지 500℃, 대표적으로는 300℃ 내지 400℃에서 10분 내지 100분의 가열 처리를 행하기 때문에, 비정질 구조가 XRD(X선 회석)의 분석으로는 관찰된다. 또한, 박막 트랜지스터의 전기 특성도 게이트 전압 ±20V에 있어서, 온/오프 비가 10<sup>9</sup> 이상, 이동도가 10 이상인 것을 제작할 수 있다.
- [0016] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층, 산화물 반도체막, 및 도전막을 적층하여, 게이트 절연층, 산화물 반도체막, 및 도전막 위에 제 1 마스크층을 형성하고, 제 1 마스크층을 사용하여 산화물 반도체막, 및 도전막을 제 1 에칭 공정에 의하여 에칭하여, 산화물 반도체층 및 도전층을 형성하고, 제 1 마스크층을 애싱하여 제 2 마스크층을 형성하고, 제 2 마스크층을 사용하여 산화물 반도체층 및 도전층을 제 2 에칭 공정에 의하여 에칭하여 오목부를 갖는 산화물 반도체층, 소스 전극층, 및 드레인 전극층을 형성하고, 제 1 마스크층은 투과한 광이 복수의 강도가 되는 노광 마스크를 사용하여 형성하고, 제 1 에칭 공정 및 제 2 에칭 공정은 에칭 가스에 의한 드라이 에칭을 사용하고, 오목부를 갖는 산화물 반도체층에 있어서, 소스 전극층 및 드레인 전극층과 중첩하는 영역의 막 두께보다 얇은 막 두께의 영역을 갖는다.
- [0017] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 도전막을 적층하여, 게이트 절연층, 제 1 산화물 반도체막, 제 2 산화물 반도체막 및 도전막 위에 제 1 마스크층을 형성하고, 제 1 마스크층을 사용하여 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 도전막을 제 1 에칭 공정에 의하여 에칭하여, 제 1 산화물 반도체층, 제 2 산화물 반도체층, 및 도전층을 형성하고, 제 1 마스크층을 애싱하여 제 2 마스크층을 형성하고, 제 2 마스크층을 사용하여 제 1 산화물 반도체층, 제 2 산화물 반도체층, 및 도전층을 제 2 에칭 공정에 의하여 에칭하여 오목부를 갖는 산화물 반도체층, 소스 영역, 드레인 영역, 소스 전극층 및 드레인 전극층을 형성하고, 제 1 마스크층은 투과한 광이 복수의 강도가 되는 노광 마스크를 사용하여 형성하고, 제 1 에칭 공정 및 제 2 에칭 공정은 에칭 가스에 의한 드라이 에칭을 사용하고, 오목부를 갖는 산화물 반도체층에 있어서, 소스 영역 및 드레인 영역과 중첩하는 영역의 막 두께보다 얇은 막 두께의 영역을 갖는다.
- [0018] 본 명세서에 개시하는 반도체 장치의 제작 방법은, 상기 과제의 적어도 하나를 해결한다.
- [0019] 또한, 박막 트랜지스터의 소스 영역 및 드레인 영역으로서 사용하는 제 2 산화물 반도체막은, 채널 형성 영역으로서 사용하는 제 1 산화물 반도체막의 막 두께보다 얇고, 또 보다 높은 도전율(전기 전도도)을 갖는 것이 바람직하다.
- [0020] 제 2 산화물 반도체막은, n형의 도전형을 나타내며, 소스 영역 및 드레인 영역으로서 기능한다.
- [0021] 또한, 제 1 산화물 반도체막은 비정질 구조를 갖고, 제 2 산화물 반도체막은 비정질 구조 중에 결정립(나노 크리스트랄)을 포함하는 경우가 있다. 이 제 2 산화물 반도체막 중의 결정립(나노 크리스트랄)은, 직경 1nm 내지

10nm, 대표적으로는 2nm 내지 4nm 정도이다.

- [0022] 소스 영역 및 드레인 영역( $n^+$ 층)으로서 사용하는 제 2 산화물 반도체막으로서 In-Ga-Zn-O계 비단결정막을 사용할 수 있다.
- [0023] 박막 트랜지스터를 덮고, 또 채널 형성 영역을 포함하는 산화물 반도체층에 접하는 절연막을 형성하여도 좋다.
- [0024] 또한, 박막 트랜지스터는, 정전기 등에 의하여 파괴되기 쉽기 때문에, 게이트 선 또는 소스 선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 형성하는 것이 바람직하다. 보호 회로는, 산화물 반도체를 사용한 비선형 소자를 사용하여 구성하는 것이 바람직하다.
- [0025] 또한, 제 1, 제 2 등으로 붙이는 서수사는, 편의적으로 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것이 아니다.
- [0026] 또한, 구동 회로를 갖는 표시 장치로서는, 액정 표시 장치 이외에, 발광 소자를 사용한 발광 표시 장치나, 전기 영동 표시 소자를 사용한 전자 페이퍼라고도 불리는 표시 장치를 들 수 있다.
- [0027] 발광 소자를 사용한 발광 표시 장치에 있어서는, 화소부에 복수의 박막 트랜지스터를 갖고, 화소부에 있어서는 어느 박막 트랜지스터의 게이트 전극과 다른 트랜지스터의 소스 배선, 또는 드레인 배선을 접속시키는 개소를 갖는다. 또한, 발광 소자를 사용한 발광 표시 장치의 구동 회로에 있어서는, 박막 트랜지스터의 게이트 전극과 그 박막 트랜지스터의 소스 배선, 또는 드레인 배선을 접속시키는 개소를 갖는다.
- [0028] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두, 반도체 장치이다.

**발명의 효과**

- [0029] 노광 마스크의 매수를 삭감함으로써 포토리소그래피 공정을 간략화하고, 신뢰성이 있는 반도체 장치를 저비용으로 생산성 좋게 제작할 수 있다.

**도면의 간단한 설명**

- [0030] 도 1a 내지 도 1e는 반도체 장치의 제작 방법을 설명하는 도면.
- 도 2a1 및 도 2a2는 반도체 장치를 설명하는 도면.
- 도 3a 내지 도 3e는 반도체 장치의 제작 방법을 도시하는 도면.
- 도 4a1 및 도 4a2는 반도체 장치를 설명하는 도면.
- 도 5a 내지 도 5c는 반도체 장치의 제작 방법을 설명하는 도면.
- 도 6a 내지 도 6c는 반도체 장치의 제작 방법을 설명하는 도면.
- 도 7은 반도체 장치의 제작 방법을 설명하는 도면.
- 도 8은 반도체 장치의 제작 방법을 설명하는 도면.
- 도 9는 반도체 장치의 제작 방법을 도시하는 도면.
- 도 10은 반도체 장치를 설명하는 도면.
- 도 11a1, 도 11a2, 도 11b1 및 도 11b2는 반도체 장치를 설명하는 도면.
- 도 12는 반도체 장치를 설명하는 도면.
- 도 13은 반도체 장치를 설명하는 도면.
- 도 14a 및 도 14b는 반도체 장치의 블록도를 설명하는 도면.
- 도 15는 신호선 구동 회로의 구성을 설명하는 도면.
- 도 16은 신호선 구동 회로의 동작을 설명하는 타이밍 차트.

- 도 17은 신호선 구동 회로의 동작을 설명하는 타이밍 차트.
- 도 18은 시프트 레지스터의 구성을 설명하는 도면.
- 도 19는 도 18에 도시하는 플립플롭의 접속 구성을 설명하는 도면.
- 도 20은 반도체 장치의 화소 등가 회로를 설명하는 도면.
- 도 21a 내지 도 21c는 반도체 장치를 설명하는 도면.
- 도 22a1, 도 22a2, 및 도 22b는 반도체 장치를 설명하는 도면.
- 도 23은 반도체 장치를 설명하는 도면.
- 도 24a 및 도 24b는 반도체 장치를 설명하는 도면.
- 도 25a 및 도 25b는 전자 페이퍼의 사용 형태의 예를 설명하는 도면.
- 도 26은 전자 서적의 일례를 도시하는 외관도.
- 도 27a 및 도 27b는 텔레비전 장치 및 디지털 포토 프레임의 예를 도시하는 외관도.
- 도 28a 및 도 28b는 유기기의 예를 도시하는 외관도.
- 도 29a 및 도 29b는 휴대 전화기의 일례를 도시하는 외관도.
- 도 30a 내지 도 30d는 다계조 마스크를 설명하는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0031] 본 실시형태에 대하여, 도면을 사용하여 상세하게 설명한다. 다만, 이하의 설명에 한정되지 않고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 이하에 개시되는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면간에서 공통으로 붙이고, 그 반복 설명은 생략한다.
- [0032] (실시형태 1)
- [0033] 본 실시형태의 반도체 장치의 제작 방법을 도 1a 및 도 1b, 도 2a1 및 도 2a2를 사용하여 설명한다.
- [0034] 도 2a1은, 본 실시형태의 반도체 장치가 갖는 박막 트랜지스터(420)의 평면도이고, 도 2a2는 도 2a1의 선 C1-C2에 있어서의 단면도이다. 박막 트랜지스터(420)는, 역 스택거형의 박막 트랜지스터이고, 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 영역 또는 드레인 영역으로서 기능하는 n<sup>+</sup>층(404a, 404b), 소스 전극층 또는 드레인 전극층(405a, 405b)을 포함한다.
- [0035] 도 1a 내지 도 1e는, 박막 트랜지스터(420)의 제작 공정을 도시하는 단면도에 상당한다.
- [0036] 도 1a에 있어서, 하지막이 되는 절연막(407)이 형성된 기판(400) 위에 게이트 전극층(401)을 형성한다. 절연막(407)은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조로 형성할 수 있다. 본 실시형태에서는, 산화 실리콘막(막 두께 100nm)을 사용한다. 게이트 전극층(401)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층 또는 적층으로 형성할 수 있다.
- [0037] 예를 들어, 게이트 전극층(401)의 2층의 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화 티타늄층 또는 질화 탄탈층을 적층한 2층 구조, 질화 티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 실리콘의 합금, 또는 알루미늄과 티타늄의 합금과, 질화 티타늄층 또는 티타늄층을 적층으로 하는 것이 바람직하다.
- [0038] 게이트 전극층(401) 위에 게이트 절연층(402), 제 1 산화물 반도체막(431), 제 2 산화물 반도체막(432), 및 도 전막(433)을 순차적으로 적층한다.

- [0039] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층 또는 질화산화 실리콘층을 단층 또는 적층으로 형성할 수 있다. 또한, 게이트 절연층(402)으로서, 유기 실란 가스를 사용한 CVD법에 의하여, 산화 실리콘층을 형성할 수도 있다. 유기 실란 가스로서는, 규산 에틸(TEOS: 화학식  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ), 테트라메틸실란(TMS: 화학식  $\text{Si}(\text{CH}_3)_4$ ), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ), 트리스티메틸아미노실란( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 등의 실리콘 함유 화합물을 사용할 수 있다.
- [0040] 또한, 제 1 산화물 반도체막(431)을 스퍼터링법에 의하여 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하고, 게이트 절연층(402) 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역 스퍼터링이란, 타깃 측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측에 RF 전원을 사용하여 전압을 인가하여 기판에 플라즈마를 형성함으로써 표면을 개질시키는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용하여도 좋다. 또한, 아르곤 분위기에 산소, 수소,  $\text{N}_2\text{O}$  등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에  $\text{Cl}_2$ ,  $\text{CF}_4$  등을 첨가한 분위기에서 행하여도 좋다.
- [0041] 또한, 제 2 산화물 반도체막(432)과 도전막(433)의 접촉 영역은, 플라즈마 처리에 의하여, 개질되어 있는 것이 바람직하다. 본 실시형태에서는, 도전막(433)을 형성하기 전에 제 2 산화물 반도체막(432)(본 실시형태에서는 In-Ga-Zn-O계 비단결정막)에 아르곤 분위기 하에서 플라즈마 처리를 행한다.
- [0042] 플라즈마 처리는, 아르곤 분위기 대신에 질소, 헬륨 등을 사용하여도 좋다. 또한, 아르곤 분위기에 산소, 수소,  $\text{N}_2\text{O}$  등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에  $\text{Cl}_2$ ,  $\text{CF}_4$  등을 첨가한 분위기에서 행하여도 좋다.
- [0043] 본 실시형태에서는, 제 1 산화물 반도체막(431) 및 제 2 산화물 반도체막(432)으로서 In-Ga-Zn-O계 비단결정막을 사용한다. 제 1 산화물 반도체막(431)과 제 2 산화물 반도체막(432)은, 상이한 성막 조건으로 형성되어, 제 2 산화물 반도체막(432) 쪽이 도전율이 더 높고, 저저항인 산화물 반도체막이다. 예를 들어, 제 2 산화물 반도체막(432)으로서 스퍼터링법으로 아르곤 가스 유량을 40sccm로 한 조건으로 얻어지는 산화물 반도체막으로 형성한다. 제 2 산화물 반도체막(432)은 n형 도전형을 갖고, 활성화 에너지( $\Delta E$ )가 0.01eV 이상 0.1eV 이하이다. 또한, 본 실시형태에서는, 제 2 산화물 반도체막(432)은 In-Ga-Zn-O계 비단결정막이고, 적어도 아모퍼스 성분을 포함하는 것으로 한다. 제 2 산화물 반도체막(432)은 비정질 구조 중에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이 제 2 산화물 반도체막(432) 중의 결정립(나노 크리스탈)은, 직경 1nm 내지 10nm, 대표적으로는 2nm 내지 4nm 정도이다.
- [0044]  $n^+$ 층이 되는 제 2 산화물 반도체막(432)을 형성함으로써, 금속층인 도전막(433)과, 채널 형성 영역이 되는 제 1 산화물 반도체막(431) 사이의 양호한 접합으로서 쇼트키(Schottky) 접합과 비교하여 열적으로도 안정 동작을 갖게 한다. 또한, 채널의 캐리어를 공급하는(소스 측), 또는 채널의 캐리어를 안정적으로 흡수하는(드레인 측), 또는 저항 성분을 배선과의 계면에 형성하지 않기 위해서도 적극적으로  $n^+$ 층을 형성하면 효과적이다. 또한, 저저항화에 의하여, 높은 드레인 전압이라도 양호한 이동도를 유지할 수 있다.
- [0045] 게이트 절연층(402), 제 1 산화물 반도체막(431), 제 2 산화물 반도체막(432), 도전막(433)을 대기에 노출하지 않고 연속적으로 형성할 수 있다. 대기에 노출하지 않고 연속적으로 형성함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 변동을 저감할 수 있다.
- [0046] 게이트 절연층(402), 제 1 산화물 반도체막(431), 제 2 산화물 반도체막(432), 도전막(433) 위에 마스크(434)를 형성한다.
- [0047] 본 실시형태에서는, 마스크(434)를 형성하기 위하여 고계조 마스크를 사용한 노광을 행하는 예를 나타낸다. 마스크(434)를 형성하기 위하여 레지스트를 형성한다. 레지스트는, 포지티브형 레지스트 또는 네거티브형 레지스트를 사용할 수 있다. 여기서는, 포지티브형 레지스트를 사용하여 제시한다.
- [0048] 다음에, 노광 마스크로서 다계조 마스크(59)를 사용하여 레지스트에 광을 조사하여 레지스트를 노광한다.
- [0049] 여기서, 다계조 마스크(59)를 사용한 노광에 대하여 도 30a 내지 도 30d를 사용하여 설명한다.
- [0050] 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분에 3개의 노광 레벨을 행할 수 있는 마스크이고,

투과한 광이 복수의 강도가 되는 노광 마스크이다. 한번의 노광 및 현상 공정에 의하여, 복수(대표적으로는 2 종류)의 두께의 영역을 갖는 레지스트 마스크를 형성하는 것이 가능하다. 따라서, 다계조 마스크를 사용함으로써, 노광 마스크의 매수를 삭감하는 것이 가능하다.

- [0051] 다계조 마스크의 대표적인 예로서는, 도 30a에 도시하는 바와 같은 그레이 톤 마스크(gray tone mask)(59a)와, 도 30c에 도시하는 바와 같은 하프 톤 마스크(half tone mask)(59b)가 있다.
- [0052] 도 30a에 도시하는 바와 같이, 그레이 톤 마스크(59a)는, 투광성 기관(63) 및 그 위에 형성되는 차광부(64) 및 회절 격자(回折格子)(65)로 구성된다. 차광부(64)에 있어서는, 광의 투과율이 0%이다. 한편, 회절 격자(65)는 슬릿, 도트, 메시 등의 광 투과부의 간격을, 노광에 이용하는 광의 해상도 한계 이하의 간격으로 함으로써, 광 투과율을 제어할 수 있다. 또한, 회절 격자(65)는, 주기적인 슬릿, 도트, 메시, 및 비주기적인 슬릿, 도트, 메시의 모두를 사용할 수 있다.
- [0053] 투광성 기관(63)으로서는, 석영 등의 투광성 기관을 사용할 수 있다. 차광부(64) 및 회절 격자(65)는, 크롬이나 산화 크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다.
- [0054] 그레이 톤 마스크(59a)에 노광광을 조사한 경우, 도 30b에 도시하는 바와 같이, 차광부(64)에 있어서는, 광 투과율(66)은 0%이며, 차광부(64) 및 회절 격자(65)가 형성되지 않는 영역에서는 광 투과율(66)은 100%이다. 또한, 회절 격자(65)에 있어서는, 10% 내지 70%의 범위로 조정할 수 있다. 회절 격자(65)에 있어서의 광의 투과율의 조정은, 회절 격자의 슬릿, 도트, 또는 메시의 간격 및 피치의 조정에 의하여 조정할 수 있다.
- [0055] 도 30c에 도시하는 바와 같이, 하프 톤 마스크(59b)는, 투광성 기관(63) 및 그 위에 형성되는 반투과부(68) 및 차광부(67)로 구성된다. 반투과부(68)는 MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용하여 형성할 수 있다. 차광부(67)는 크롬이나 산화 크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다.
- [0056] 하프 톤 마스크(59b)에 노광광을 조사한 경우, 도 30d에 도시하는 바와 같이, 차광부(67)에 있어서는, 광 투과율(69)은 0%이며, 차광부(67) 및 반투과부(68)가 형성되지 않는 영역에서는 광 투과율(69)은 100%이다. 또한, 반투과부(68)에 있어서는, 10% 내지 70%의 범위에서 조정할 수 있다. 반투과부(68)에 있어서의 광 투과율의 조정은 반투과부(68)의 재료를 조정함으로써 가능하다.
- [0057] 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 1b에 도시하는 바와 같이, 막 두께가 상이한 영역을 갖는 마스크(434)를 형성할 수 있다.
- [0058] 다음에, 마스크(434)를 사용하여 제 1 에칭 공정을 행하고, 제 1 산화물 반도체막(431), 제 2 산화물 반도체막(432), 도전막(433)을 에칭하여 섬 형상으로 가공한다. 결과적으로 제 1 산화물 반도체층(435), 제 2 산화물 반도체층(436), 도전층(437)을 형성할 수 있다(도 1b 참조).
- [0059] 다음에, 마스크(434)를 에칭한다. 결과적으로, 마스크의 면적이 축소되고, 두께가 얇아진다. 이 때, 막 두께가 얇은 영역의 마스크의 레지스트(케이스트 전극층(401)의 일부와 중첩하는 영역)는 제거되고, 분리된 마스크(438)를 형성할 수 있다(도 1c 참조).
- [0060] 마스크(438)를 사용하여 제 1 산화물 반도체층(435), 제 2 산화물 반도체층(436), 도전층(437)을 제 2 에칭 공정에 의하여 에칭하여, 반도체층(403), n<sup>+</sup>층(404a, 404b), 소스 전극층 또는 드레인 전극층(405a, 405b)을 형성한다(도 1d 참조). 또한, 반도체층(403)은 일부만이 에칭되고, 홈부(오목(凹)부)를 갖는 반도체층이 되고, 또 단부에 있어서도 일부 에칭되어 노출된 형상이 된다.
- [0061] 본 실시형태에서는, 이 제 1 에칭 공정 및 제 2 에칭 공정을 에칭 가스에 의한 드라이 에칭을 사용하여 행한다.
- [0062] 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어, 염소(Cl<sub>2</sub>), 염화 붕소(BCl<sub>3</sub>), 염화 실리콘(SiCl<sub>4</sub>), 사염화 탄소(CCl<sub>4</sub>) 등)가 바람직하다. 염소를 포함하지 않는 가스를 사용하는 경우와 비교하여, 에칭의 면내 변동을 저감할 수 있기 때문이다.
- [0063] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어, 사불화 탄소(CF<sub>4</sub>), 불화 유황(SF<sub>6</sub>), 불화 질소(NF<sub>3</sub>), 트리플루오로메탄(CHF<sub>3</sub>) 등), 브롬화 수소(HBr), 산소(O<sub>2</sub>), 이들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희 가스를 첨가한 가스 등을 사용할 수 있다.
- [0064] 드라이 에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유

도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관 측의 전극에 인가되는 전력량, 기관 측의 전극 온도 등)은 적절히 조절한다.

- [0065] 본 실시형태에서는, ICP 에칭법에 의하여, 염소( $Cl_2$ )와 산소( $O_2$ )를 사용하여, 에칭 조건은 코일형의 전극에 인가되는 전력량 1500W, 기관 측의 전극에 인가되는 전력량 200W, 압력 1.5Pa, 기관 온도  $-10^{\circ}C$ 로 행한다.
- [0066] 또한, ICP 에칭법에 의하여, 에칭 가스로서  $Cl_2$ (유량 100sccm)를 사용하고, 에칭 조건은 코일형의 전극에 인가되는 전력량 2000W, 기관 측의 전극에 인가되는 전력량 600W, 압력 1.5Pa, 기관 온도  $-10^{\circ}C$ 로 행하여도 좋다.
- [0067] In-Ga-Zn-0계 비단결정막인 제 1 산화물 반도체막(431) 및 제 2 산화물 반도체막(432)의 에칭을 상기 에칭 조건으로 행하면, 반도체층(403)의 단부를 5번 이하의 낮은 테이퍼 각으로 할 수 있고, 적층하는 막의 피복성이 향상된다. 또한, 에칭 처리 중, 플라즈마의 발광 강도를 측정하여 산화물 반도체막 중의 각 원자에 대응하는 파장을 모니터함으로써 에칭의 종점(엔드 포인트라고도 함)을 판단하면 좋다. 상기 방법을 사용하면, 반도체층 아래의 게이트 절연층의 막 감소나, 산화물 반도체층의 에칭 잔사(residue)를 경감하도록 에칭을 제어할 수 있다.
- [0068] 염소계 가스( $Cl_2$ )에 산소 가스( $O_2$ ) (바람직하게는, 에칭 가스 중의 산소 가스의 함유량을 15체적% 이상)를 첨가하여 에칭을 행하면, 게이트 절연층(402)에 산화질화 실리콘막을 사용하는 경우, 제 1 산화물 반도체층(435), 제 2 산화물 반도체층(436)에 사용되는 In-Ga-Zn-0계 비단결정막과의 선택 비율을 높일 수 있으므로, 제 1 산화물 반도체막(431), 제 2 산화물 반도체막(432)만을 보다 선택적으로 에칭할 수 있고, 게이트 절연층(402)에 대한 대미지를 충분히 저감할 수 있기 때문이다.
- [0069] 제 1 산화물 반도체막(431), 제 2 산화물 반도체막(432), 도전막(433)을 제 1 에칭 공정으로 드라이 에칭하면, 제 1 산화물 반도체막(431), 제 2 산화물 반도체막(432), 및 도전막(433)은 이방적으로 에칭되기 때문에, 마스크(434)의 단부와 제 1 산화물 반도체층(435), 제 2 산화물 반도체층(436), 도전층(437)의 단부는 일치하여 연속적인 형상이 된다.
- [0070] 마찬가지로, 제 1 산화물 반도체층(435), 제 2 산화물 반도체층(436), 도전층(437)을 제 2 에칭 공정으로 드라이 에칭하면, 제 1 산화물 반도체층(435), 제 2 산화물 반도체층(436), 도전층(437)은 이방적으로 에칭되기 때문에, 마스크(438)의 단부와, 반도체층(403)의 오목부 및 단부,  $n^+$ 층(404a, 404b), 소스 전극층 또는 드레인 전극층(405a, 405b)의 단부는 일치하여 연속적인 형상이 된다.
- [0071] 또한, 본 실시형태에서는, 반도체층(403),  $n^+$ 층(404a, 404b), 소스 전극층 또는 드레인 전극층(405a, 405b)의 단부는 같은 테이퍼 각으로 연속적으로 적층되어 있는 형상을 나타내지만, 에칭 조건이나 산화물 반도체 및 도전성 재료에 의하여 에칭 레이트가 상이하므로, 각각 상이한 테이퍼 각이나 연속적이지 않은 단부 형상을 갖는 경우도 있다.
- [0072] 그 후, 마스크(438)를 제거한다.
- [0073] 또한, 소스 전극층 또는 드레인 전극층(405a, 405b)의 재료로서, 반도체층(403)보다 에칭 레이트가 높은 재료를 사용하는 것이 바람직하다. 이것은, 드라이 에칭에 의하여 소스 전극층 또는 드레인 전극층(405a, 405b)과 반도체층(403)을 한번에 에칭하는 경우, 반도체층(403)의 에칭 레이트를 소스 전극층 또는 드레인 전극층(405a, 405b)의 에칭 레이트보다 작게 함으로써, 반도체층(403)이 지나치게 에칭되는 것을 억제할 수 있기 때문이다. 결과적으로, 반도체층(403)의 소실을 억제할 수 있게 된다.
- [0074] 그 후,  $200^{\circ}C$  내지  $600^{\circ}C$ , 대표적으로는  $300^{\circ}C$  내지  $500^{\circ}C$ 의 열 처리를 행하면 좋다. 여기서는, 질소 분위기 하에서  $350^{\circ}C$ , 1시간의 열 처리를 행한다. 이 열 처리에 의하여 반도체층(403),  $n^+$ 층(404a, 404b)을 구성하는 In-Ga-Zn-0계 산화물 반도체의 원자 레벨의 재배열이 행해진다. 이 열 처리(광 어닐링 등도 포함함)는, 반도체층(403),  $n^+$ 층(404a, 404b) 중에 있어서의 캐리어의 이동을 방해하는 변형을 해방할 수 있는 점에서 중요하다. 또한, 상술한 열 처리를 행하는 타이밍은, 제 1 산화물 반도체막(431), 제 2 산화물 반도체막(432)의 형성 후라면, 특히 한정되지 않는다.
- [0075] 또한, 노출되어 있는 반도체층(403)의 오목부에 대하여, 산소 라디칼 처리를 행하여도 좋다. 산소 라디칼 처리를 행함으로써, 반도체층(403)을 채널 형성 영역으로 하는 박막 트랜지스터를 노멀리 오프로 할 수 있다. 또한, 라디칼 처리를 행함으로써, 반도체층(403)의 에칭에 의한 대미지를 회복할 수 있다. 라디칼 처리는, 산

소( $O_2$ ), 아산화 질소( $N_2O$ ), 산소를 포함하는 질소( $N_2$ ), 헬륨(He), 아르곤(Ar) 등의 분위기 하에서 행하는 것이 바람직하다. 또한, 상술한 분위기에 염소( $Cl_2$ ), 사불화탄소( $CF_4$ )를 더한 분위기 하에서 행하여도 좋다. 또한, 라디칼 처리는, 기관 측에 바이어스 전압을 인가하지 않고 행하는 것이 바람직하다.

- [0076] 상술한 바와 같은 공정에서, 도 1e에 도시하는 역 스테거형 박막 트랜지스터(420)를 제작할 수 있다.
- [0077] 본 실시형태에서 나타내는 바와 같이, 다계조 마스크에 의하여 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 매수를 저감시킬 수 있으므로, 공정 간략화, 저비용화를 도모할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 저비용으로 생산성 좋게 제작할 수 있다.
- [0078] (실시형태 2)
- [0079] 여기서는, 실시형태 1에 있어서 소스 전극층 및 드레인 전극층과 반도체층이 접하는 구성의 박막 트랜지스터를 갖는 반도체 장치의 예를 도 3a 내지 도 4b에 도시한다.
- [0080] 도 4a1은, 본 실시형태의 반도체 장치가 갖는 박막 트랜지스터(460)의 평면도이고, 도 4a2는 도 4a1의 선 D1-D2에 있어서의 단면도이다. 박막 트랜지스터(460)는 역 스테거형 박막 트랜지스터이고, 게이트 전극층(451), 게이트 절연층(452), 반도체층(453), 소스 전극층 또는 드레인 전극층(455a, 455b)을 포함한다.
- [0081] 도 3a 내지 도 3e는 박막 트랜지스터(460)의 제작 공정을 도시하는 단면도에 상당한다.
- [0082] 도 3a에 있어서, 절연막(457)이 형성된 기관(450) 위에 게이트 전극층(451)을 형성한다. 본 실시형태에서는, 절연막(457)으로서 산화 실리콘막(막 두께 100nm)을 사용한다. 게이트 전극층(451) 위에 게이트 절연층(452), 산화물 반도체막(481) 및 도전막(483)을 순차적으로 적층한다.
- [0083] 산화물 반도체막(481)과 도전막(483)의 접촉 영역은, 플라즈마 처리에 의하여 개질되어 있는 것이 바람직하다. 본 실시형태에서는, 도전막(483)을 형성하기 전에 산화물 반도체막(481)(본 실시형태에서는 In-Ga-Zn-O계 비단결정막)에 아르곤 분위기 하에서 플라즈마 처리를 행한다.
- [0084] 플라즈마 처리는, 아르곤 분위기 대신에 질소, 헬륨 등을 사용하여도 좋다. 또한, 아르곤 분위기에 산소, 수소,  $N_2O$  등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에  $Cl_2$ ,  $CF_4$  등을 첨가한 분위기에서 행하여도 좋다.
- [0085] 게이트 절연층(452), 산화물 반도체막(481), 도전막(483)을 대기에 노출시키지 않고 연속적으로 형성할 수 있다. 대기에 노출시키지 않고 연속적으로 형성함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 변동을 저감할 수 있다.
- [0086] 게이트 절연막(452), 산화물 반도체막(481), 도전막(483) 위에 마스크(484)를 형성한다.
- [0087] 본 실시형태에서는, 마스크(484)를 형성하기 위하여 다계조(고계조) 마스크를 사용한 노광을 행하는 예를 나타낸다. 마스크(484)는 실시형태 1의 마스크(434)와 마찬가지로 형성할 수 있다.
- [0088] 투과한 광이 복수의 강도가 되는 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 3b에 도시하는 바와 같이, 막 두께가 상이한 영역을 갖는 마스크(484)를 형성할 수 있다. 다계조 마스크를 사용함으로써, 노광 마스크의 매수를 삭감할 수 있다.
- [0089] 다음에, 마스크(484)를 사용하여 제 1 에칭 공정을 행하고, 산화물 반도체막(481), 도전막(483)을 에칭하여 섬형상으로 가공한다. 결과적으로 산화물 반도체층(485), 도전층(487)을 형성할 수 있다(도 3b 참조).
- [0090] 다음에, 마스크(484)를 에칭한다. 결과적으로, 마스크의 면적이 축소되고, 두께가 얇아진다. 이 때, 막 두께가 얇은 영역의 마스크의 레지스트(게이트 전극층(451)의 일부와 중첩하는 영역)는 제거되고, 분리된 마스크(488)를 형성할 수 있다(도 3c 참조).
- [0091] 마스크(488)를 사용하여 산화물 반도체층(485), 도전층(487)을 제 2 에칭 공정에 의하여 에칭하여, 반도체층(453), 소스 전극층 또는 드레인 전극층(455a, 455b)을 형성한다(도 3d 참조). 또한, 반도체층(453)은 일부만이 에칭되고, 홈부(오목부)를 갖는 반도체층이 되고, 또 단부에 있어서도 일부 에칭되어 노출된 형상이 된다.
- [0092] 본 실시형태에서는, 이 제 1 에칭 공정 및 제 2 에칭 공정을 에칭 가스에 의한 드라이 에칭을 사용하여 행한다.
- [0093] 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어, 염소( $Cl_2$ ), 염화 붕소( $BCl_3$ ), 염화 실리콘

(SiCl<sub>4</sub>), 사염화 탄소(CCl<sub>4</sub>) 등)가 바람직하다. 염소를 포함하는 가스를 사용하여 에칭을 행함으로써, 염소를 포함하지 않는 가스를 사용하는 경우와 비교하여, 에칭의 면내 변동을 저감할 수 있기 때문이다.

- [0094] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어, 사불화 탄소(CF<sub>4</sub>), 불화 유황(SF<sub>6</sub>), 불화 질소(NF<sub>3</sub>), 트리플루오로메탄(CHF<sub>3</sub>) 등), 브롬화 수소(HBr), 산소(O<sub>2</sub>), 이들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희 가스를 첨가한 가스 등을 사용할 수 있다.
- [0095] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관 축의 전극에 인가되는 전력량, 기관 축의 전극 온도 등)을 적절히 조절한다.
- [0096] 본 실시형태에서는, ICP 에칭법에 의하여, 염소(Cl<sub>2</sub>)와 산소(O<sub>2</sub>)를 사용하고, 에칭 조건은 코일형의 전극에 인가되는 전력량 1500W, 기관 축의 전극에 인가되는 전력량 200W, 압력 1.5Pa, 기관 온도 -10℃로 행한다.
- [0097] 염소계 가스(Cl<sub>2</sub>)에 산소 가스(O<sub>2</sub>)(바람직하게는, 15체적% 이상)를 첨가하여 에칭을 행하면, 게이트 절연층(452)에 산화질화 실리콘막을 사용하는 경우, 산화물 반도체층(485)에 사용되는 In-Ga-Zn-O계 비단결정막과의 선택 비율을 높일 수 있으므로, 산화물 반도체막(481)만을 보다 선택적으로 에칭할 수 있게 된다.
- [0098] 산화물 반도체막(481), 도전막(483)을 제 1 에칭 공정으로 드라이 에칭하면, 산화물 반도체막(481), 도전막(483)은 이방적으로 에칭되므로, 마스크(484)의 단부와, 산화물 반도체층(485), 도전층(487)의 단부는 일치하여 연속적인 형상이 된다.
- [0099] 마찬가지로, 산화물 반도체층(485), 도전층(487)을 제 2 에칭 공정으로 드라이 에칭하면, 산화물 반도체층(485), 도전층(487)은 이방적으로 에칭되기 때문에, 마스크(488)의 단부와, 반도체층(453)의 오목부 및 단부, 소스 전극층 또는 드레인 전극층(455a, 455b)의 단부는 일치하여 연속적인 형상이 된다.
- [0100] 또한, 본 실시형태에서는, 반도체층(453), 소스 전극층 또는 드레인 전극층(455a, 455b)의 단부는 같은 테이퍼 각으로 연속적으로 적층되어 있는 형상을 나타내지만, 에칭 조건이나 산화물 반도체층 및 도전층의 재료에 의하여 에칭 레이트가 상이하므로, 각각 상이한 테이퍼 각이나 연속적이지 않은 단부 형상을 갖는 경우도 있다.
- [0101] 그 후, 마스크(488)를 제거한다.
- [0102] 상술한 바와 같은 공정에서, 도 3e에 도시하는 역 스테거형 박막 트랜지스터(460)를 제작할 수 있다.
- [0103] 본 실시형태에서 나타내는 바와 같이, 다계조 마스크에 의하여 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 매수를 저감시킬 수 있으므로, 공정 간략화, 저비용화를 도모할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 저비용으로 생산성 좋게 제작할 수 있다.
- [0104] (실시형태 3)
- [0105] 본 실시형태에서는, 박막 트랜지스터를 포함하는 표시 장치의 제작 공정에 대하여 도 5a 내지 도 12를 사용하여 설명한다.
- [0106] 도 5a에 있어서, 투광성을 갖는 기관(100)에는, 코닝(CORNING)사의 #7059 유리나 #1737 유리 등으로 대표되는 바륨boro실리케이트유리나, 알루미늄boro실리케이트유리와 같은 유리 기관을 사용할 수 있다.
- [0107] 다음에, 도전층을 기관(100) 전체 면에 형성한 후, 제 1 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의하여 필요하지 않은 부분을 제거하여 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108), 및 제 1 단자(121))을 형성한다. 이 때, 적어도 게이트 전극층(101)의 단부에 테이퍼 형상이 형성되도록 에칭한다. 이 단계에서의 단면도를 도 5a에 도시한다. 또한, 이 단계에서의 상면도가 도 7에 상당한다.
- [0108] 게이트 전극층(101)을 포함하는 게이트 배선과 용량 배선(108), 단자부의 제 1 단자(121)는, 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성하는 것이 바람직하다. 또한, 알루미늄(Al)이나 구리(Cu) 등의 저저항 도전성 재료로 형성하는 경우에는, 알루미늄(Al) 단체로는 내열성이 뒤떨어지고, 또 부식하기 쉽다는 등의 문제점이 있으므로, 상기 내열성 도전성 재료와 조합하여 형성한다.

- [0109] 다음에, 게이트 전극층(101) 위에 게이트 절연층(102)을 전체 면에 형성한다. 게이트 절연층(102)은 스퍼터링법 등을 사용하여 막 두께를 50nm 내지 250nm로 한다.
- [0110] 예를 들어, 게이트 절연층(102)으로서 스퍼터링법에 의하여 산화 실리콘막을 사용하여, 100nm의 두께로 형성한다. 물론, 게이트 절연층(102)은 이와 같은 산화 실리콘막에 한정되지 않고, 산화질화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 탄탈막 등의 다른 절연막을 사용하여, 이들의 재료로 이루어지는 단층 또는 적층 구조로 하여 형성하여도 좋다.
- [0111] 또한, 산화물 반도체막을 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하고, 게이트 절연층 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용하여도 좋다. 또한, 아르곤 분위기에 산소, 수소, N<sub>2</sub>O 등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에 Cl<sub>2</sub>, CF<sub>4</sub> 등을 첨가한 분위기에서 행하여도 좋다.
- [0112] 다음에, 게이트 절연층(102) 위에 제 1 산화물 반도체막(109)(본 실시형태에서는 제 1 In-Ga-Zn-O계 비단결정막)을 형성한다. 플라즈마 처리 후, 대기에 노출시키지 않고 제 1 In-Ga-Zn-O계 비단결정막을 형성하는 것은, 게이트 절연층과 반도체막의 계면에 먼지나 수분을 부착시키지 않는 점에서 유용하다. 여기서는, 직경 8인치의 In, Ga 및 Zn를 포함하는 산화물 반도체 타겟(In<sub>2</sub>O<sub>3</sub>: Ga<sub>2</sub>O<sub>3</sub>: ZnO=1: 1: 1)을 사용하고, 기판과 타겟 사이의 거리를 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 아르곤 또는 산소 분위기 하에서 형성한다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 제 1 In-Ga-Zn-O계 비단결정막의 막 두께는, 5nm 내지 200nm로 한다. 본 실시형태에서는, 제 1 In-Ga-Zn-O계 비단결정막의 막 두께는, 100nm로 한다.
- [0113] 다음에, 대기에 노출시키지 않고, 제 2 산화물 반도체막(111)(본 실시형태에서는 제 2 In-Ga-Zn-O계 비단결정막)을 스퍼터링법으로 형성한다. 여기서는, In<sub>2</sub>O<sub>3</sub>: Ga<sub>2</sub>O<sub>3</sub>: ZnO=1: 1: 1로 한 타겟을 사용하고, 성막 조건은 압력을 0.4Pa로 하고, 전력을 500W로 하고, 성막 온도를 실온으로 하고, 아르곤 가스 유량 40sccm를 도입하여 스퍼터링 성막을 행한다. In<sub>2</sub>O<sub>3</sub>: Ga<sub>2</sub>O<sub>3</sub>: ZnO=1: 1: 1로 한 타겟을 의도적으로 사용하는데도 불구하고, 성막 직후에서 크기가 1nm 내지 10nm의 결정립을 포함하는 In-Ga-Zn-O계 비단결정막이 형성되는 경우도 있다. 또한, 타겟의 성분 비율, 성막 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W: 8인치φ), 온도(실온 내지 100℃), 반응성 스퍼터링의 성막 조건 등을 적절히 조절함으로써, 결정립의 유무나 결정립의 밀도나 직경 크기는, 1nm 내지 10nm의 범위로 조절될 수 있다. 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는, 5nm 내지 20nm로 한다. 물론, 막 중에 결정립이 포함되는 경우, 포함되는 결정립의 크기가 막 두께를 초과하는 크기가 되지 않는다. 본 실시형태에서는 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는 5nm로 한다.
- [0114] 제 1 In-Ga-Zn-O계 비단결정막은, 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건과 상이하게 한다. 예를 들어, 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량과 아르곤 가스 유량의 비율보다 제 1 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는, 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건은, 희 가스(아르곤, 또는 헬륨 등) 분위기 하(또는, 산소 가스 10% 이하, 아르곤 가스 90% 이상)로 하고, 제 1 In-Ga-Zn-O계 비단결정막의 성막 조건은 산소 분위기 하(또는, 산소 가스의 유량이 아르곤 가스의 유량과 동일, 또는 동일 이상)로 한다.
- [0115] 제 2 In-Ga-Zn-O계 비단결정막의 형성은, 먼저 역 스퍼터링을 행한 챔버와 동일 챔버를 사용하여도 좋고, 먼저 역 스퍼터링을 행한 챔버와 상이한 챔버에서 형성하여도 좋다.
- [0116] 스퍼터링법에는, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법과 DC 스퍼터링법이 있고, 또한, 펄스적으로 바이어스를 주는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법에는, 주로 절연막을 형성하는 경우에 사용되고, DC 스퍼터링법은 주로 금속막을 형성하는 경우에 사용된다.
- [0117] 또한, 재료가 상이한 타겟을 복수 설치할 수 있는 다원(多元) 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 챔버에서 상이한 재료막을 적층으로 형성할 수도 있고, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 형성할 수도 있다.
- [0118] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 사용하는 스퍼터링 장치나, 글로우 방전을 사용하지 않고 마이크로파를 사용하여 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법을 사용하는 스퍼터링 장치가 있다.

- [0119] 또한, 스퍼터링법을 사용하는 성막 방법으로서, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 화학 반응시켜, 그들의 화합물 박막을 형성하는 리액티브(Reactive) 스퍼터링법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법도 있다.
- [0120] 다음에, 제 1 산화물 반도체막(109) 및 제 2 산화물 반도체막(111) 위에 금속 재료로 이루어지는 도전막(132)을 스퍼터링법이나 진공 증착법으로 형성한다. 이 단계에서의 단면도를 도 5b에 도시한다.
- [0121] 도전막(132)의 재료로서는, 알루미늄(Al), 크롬(Cr), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W) 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200℃ 내지 600℃의 열 처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. 알루미늄(Al) 자체로는 내열성이 떨어지고, 또 부식하기 쉽다는 등의 문제점이 있으므로, 내열성 도전성 재료와 조합하여 형성한다. 알루미늄(Al)과 조합하는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.
- [0122] 여기서는, 도전막(132)으로서 티타늄막의 단층 구조로 한다. 또한, 도전막(132)은 2층 구조로 하여도 좋고, 알루미늄막 위에 티타늄막을 적층하여도 좋다. 또한, 도전막(132)으로서 티타늄막과, 그 티타늄막 위에 중첩하여 네오디뮴(Nd)을 포함하는 알루미늄(Al-Nd)막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조로 하여도 좋다. 도전막(132)은, 실리콘을 포함하는 알루미늄막의 단층 구조로 하여도 좋다.
- [0123] 다음에, 제 2 포토리소그래피 공정을 행하여 레지스트 마스크인 마스크(133)를 형성한다. 본 실시형태에서는, 마스크(133)를 형성하기 위하여 다계조(고계조) 마스크를 사용한 노광을 행하는 예를 나타낸다. 마스크(133)는, 실시형태 1의 마스크(434)와 마찬가지로 형성할 수 있다.
- [0124] 투과한 광이 복수의 강도가 되는 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 5c에 도시하는 바와 같이, 막 두께가 상이한 영역을 갖는 마스크(133)를 형성할 수 있다. 다계조 마스크를 사용함으로써, 노광 마스크의 매수를 삭감할 수 있다.
- [0125] 다음에, 마스크(133)를 사용하여 제 1 에칭 공정을 행하고, 제 1 In-Ga-Zn-O계 비단결정막인 제 1 산화물 반도체막(109), 제 2 In-Ga-Zn-O계 비단결정막인 제 2 산화물 반도체막(111), 도전막(132)을 에칭하여 섬 형상으로 가공한다. 결과적으로, 제 1 산화물 반도체층(134), 제 2 산화물 반도체층(135), 도전층(136)을 형성할 수 있다(도 5c 참조). 또한, 이 단계에서의 상면도가 도 8에 상당한다.
- [0126] 다음에, 마스크(133)를 애싱한다. 결과적으로, 마스크의 면적이 축소되고, 두께가 얇아진다. 이 때, 막 두께가 얇은 영역의 마스크의 레지스트(게이트 전극층(101)의 일부와 중첩하는 영역)는 제거되고, 분리된 마스크(131)를 형성할 수 있다(도 6a 참조).
- [0127] 마스크(131)를 사용하여 제 1 산화물 반도체층(134), 제 2 산화물 반도체층(135), 도전층(136)을 제 2 에칭 공정으로 에칭하고, 반도체층(103), 소스 영역 및 드레인 영역인 n<sup>+</sup>층(104a, 104b), 소스 전극층 또는 드레인 전극층(105a, 105b)을 형성한다. 또한, 반도체층(103)은 일부만이 에칭되고, 홈부(오목부)를 갖는 반도체층이 되고, 또 단부에 있어서도, 일부 에칭되어 노출된 형상이 된다.
- [0128] 본 실시형태에서는, 이 제 1 에칭 공정 및 제 2 에칭 공정을 에칭 가스에 의한 드라이 에칭을 사용하여 행한다.
- [0129] 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어, 염소(Cl<sub>2</sub>), 염화 붕소(BCl<sub>3</sub>), 염화 실리콘(SiCl<sub>4</sub>), 사염화 탄소(CCl<sub>4</sub>) 등)가 바람직하다. 염소를 포함하는 가스를 사용하여 에칭을 행함으로써, 염소를 포함하지 않는 가스를 사용하는 경우와 비교하여, 에칭의 면내 변동을 저감할 수 있기 때문이다.
- [0130] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어, 사불화 탄소(CF<sub>4</sub>), 불화 유황(SF<sub>6</sub>), 불화 질소(NF<sub>3</sub>), 트리플루오로메탄(CHF<sub>3</sub>) 등), 브롬화 수소(HBr), 산소(O<sub>2</sub>), 이들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희 가스를 첨가한 가스 등을 사용할 수 있다.
- [0131] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)은 적절히 조절한다.

- [0132] 본 실시형태에서는, ICP 에칭법에 의하여, 염소( $Cl_2$ )와 산소( $O_2$ )를 사용하여, 에칭 조건은 코일형의 전극에 인가되는 전력량 1500W, 기관 축의 전극에 인가되는 전력량 200W, 압력 1.5Pa, 기관 온도  $-10^{\circ}C$ 로 행한다.
- [0133] 염소계 가스( $Cl_2$ )에 산소 가스( $O_2$ )(바람직하게는, 15체적% 이상)를 첨가하여 에칭을 행하면, 게이트 절연층(102)에 산화질화 실리콘막을 사용하는 경우, 제 1 산화물 반도체층(134), 제 2 산화물 반도체층(135)에 사용되는 In-Ga-Zn-O계 비단결정막과의 선택 비율을 높일 수 있으므로, 산화물 반도체막만을 보다 선택적으로 에칭할 수 있게 된다.
- [0134] 제 1 산화물 반도체막(109), 제 2 산화물 반도체막(111), 도전막(132)을 제 1 에칭 공정으로 드라이 에칭하면, 제 1 산화물 반도체막(109), 제 2 산화물 반도체막(111), 및 도전막(132)은 이방적으로 에칭되기 때문에, 마스크(133)의 단부와 제 1 산화물 반도체층(134), 제 2 산화물 반도체층(135), 도전층(136)의 단부는 일치하여 연속적인 형상이 된다.
- [0135] 마찬가지로, 제 1 산화물 반도체층(134), 제 2 산화물 반도체층(135), 도전층(136)을 제 2 에칭 공정으로 드라이 에칭하면, 제 1 산화물 반도체층(134), 제 2 산화물 반도체층(135), 도전층(136)은 이방적으로 에칭되기 때문에, 마스크(131)의 단부와, 반도체층(103)의 오목부, n<sup>+</sup>층(104a, 104b), 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부는 일치하여 연속적인 형상이 된다.
- [0136] 다음에,  $200^{\circ}C$  내지  $600^{\circ}C$ , 대표적으로는  $300^{\circ}C$  내지  $500^{\circ}C$ 의 열 처리를 행하는 것이 바람직하다. 여기서는, 노(爐)에 놓고 질소 분위기 하에서  $350^{\circ}C$ , 1시간의 열 처리를 행한다. 이 열 처리에 의하여 In-Ga-Zn-O계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열 처리에 의하여 캐리어의 이동을 방해하는 변형이 해방되므로, 여기서의 열처리(광 어닐링도 포함함)는 중요하다. 또한, 열 처리를 행하는 타이밍은, 제 2 In-Ga-Zn-O계 비단결정막의 형성 후라면, 특히 한정되지 않고, 예를 들어 화소 전극 형성 후에 행하여도 좋다.
- [0137] 또한, 노출되어 있는 반도체층(103)의 채널 형성 영역에, 산소 라디칼 처리를 행하여도 좋다. 산소 라디칼 처리를 행함으로써, 박막 트랜지스터를 노멀리 오프로 할 수 있다. 또한, 라디칼 처리를 행함으로써, 반도체층(103)의 에칭에 의한 대미지를 회복할 수 있다. 라디칼 처리는, 산소( $O_2$ ), 아산화 질소( $N_2O$ ), 바람직하게는 산소를 포함하는 질소( $N_2$ ), 헬륨(He), 아르곤(Ar) 분위기 하에서 행하는 것이 바람직하다. 또한, 상술한 분위기에 염소( $Cl_2$ ), 사불화탄소( $CF_4$ )를 첨가한 분위기 하에서 행하여도 좋다. 또한, 라디칼 처리는, 무(無) 바이어스로 행하는 것이 바람직하다.
- [0138] 상술한 바와 같은 공정에서, 반도체층(103)을 채널 형성 영역으로 하는 박막 트랜지스터(170)를 제작할 수 있다. 이 단계에서의 단면도를 도 6a에 도시한다. 또한, 이 단계에서의 상면도가 도 9에 상당한다.
- [0139] 또한, 제 2 에칭 공정에 있어서, 반도체층(103)과 같은 재료인 단자층(124), n<sup>+</sup>층(104a, 104b)과 같은 재료인 단자(123), 소스 전극층 또는 드레인 전극층(105a, 105b)과 같은 재료인 제 2 단자(122)를 단자부에 남긴다. 또한, 제 2 단자(122)는 소스 배선(소스 전극층 또는 드레인 전극층(105a, 105b)을 포함하는 소스 배선)과 전기적으로 접속된다.
- [0140] 다계조 마스크에 의하여 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 매수를 저감시킬 수 있으므로, 공정 간략화, 저비용화를 도모할 수 있다.
- [0141] 다음에, 마스크(131)를 제거하고, 박막 트랜지스터(170)를 덮는 보호 절연층(107)을 형성한다. 보호 절연층(107)은 스퍼터링법 등을 사용하여 얻어지는 질화 실리콘막, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화 탄탈막 등을 사용할 수 있다.
- [0142] 다음에, 제 3 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 게이트 절연층(102), 및 보호 절연층(107)의 에칭에 의하여 드레인 전극층(105b)에 도달하는 콘택트 홀(125)을 형성한다. 또한, 여기서의 에칭에 의하여 제 2 단자(122)에 도달하는 콘택트 홀(127), 제 1 단자(121)에 도달하는 콘택트 홀(126)도 형성한다. 이 단계에서의 단면도를 도 6b에 도시한다.
- [0143] 다음에, 레지스트 마스크를 제거한 후, 투명 도전막을 형성한다. 투명 도전막의 재료로서는, 산화 인듐( $In_2O_3$ )이나 산화인듐 산화주석 합금( $In_2O_3-SnO_2$ , ITO라고 함) 등을 스퍼터링법이나 진공 증착법 등을 사용하여 형성한다. 이와 같은 재료의 에칭 처리는, 염산계 용액에 의하여 행한다. 그렇지만, 특히 ITO의 에칭은 잔사(殘渣)

가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위하여 산화인듐 산화아연 합금(In<sub>2</sub>O<sub>3</sub>-ZnO)을 사용하여도 좋다.

- [0144] 다음에, 제 4 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의하여 필요하지 않은 부분을 제거하여 화소 전극층(110)을 형성한다.
- [0145] 또한, 이 제 4 포토리소그래피 공정에 있어서, 용량부에 있어서의 게이트 절연층(102) 및 보호 절연층(107)을 유전체로서 용량 배선(108)과 화소 전극층(110)으로 저장 용량이 형성된다.
- [0146] 또한, 이 제 4 포토리소그래피 공정에 있어서, 제 1 단자 및 제 2 단자를 레지스트 마스크로 덮고, 단자부에 형성된 투명 도전막(128, 129)을 남긴다. 투명 도전막(128, 129)은, FPC와의 접속에 사용되는 전극 또는 배선이 된다. 제 1 단자(121) 위에 형성된 투명 도전막(128)은, 게이트 배선의 입력 단자로서 기능하는 접속용의 단자 전극이 된다. 제 2 단자(122) 위에 형성된 투명 도전막(129)은, 소스 배선의 입력 단자로서 기능하는 접속용의 단자 전극이다.
- [0147] 다음에, 레지스트 마스크를 제거하고, 이 단계에서의 단면도를 도 6c에 도시한다. 또한, 이 단계에서의 상면도가 도 10에 상당한다.
- [0148] 또한, 도 11a1, 도 11a2는, 이 단계에서의 게이트 배선 단자부의 상면도 및 단면도를 각각 도시한다. 도 11a1은 도 11a2 중의 E1-E2 선을 따른 단면도에 상당한다. 도 11a1에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 11a1에 있어서, 단자부에서는 게이트 배선과 동일 재료로 형성되는 제 1 단자(151)와, 소스 배선과 동일 재료로 형성되는 접속 전극층(153)이 게이트 절연층(152), 반도체층(157) 및 n<sup>+</sup>층(158)을 사이에 두고 중첩하여, 투명 도전막(155)에서 도통시킨다. 또한, 도 6c에 도시한 투명 도전막(128)과 제 1 단자(121)가 접촉한 부분이 도 11a1의 투명 도전막(155)과 제 1 단자(151)가 접촉하는 부분에 대응한다.
- [0149] 또한, 도 11b1, 및 도 11b2는, 도 6c에 도시하는 소스 배선 단자부와 상이한 소스 배선 단자부의 상면도 및 단면도를 각각 도시한다. 또한, 도 11b1은 도 11b2 중의 F1-F2 선을 따른 단면도에 상당한다. 도 11b1에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 11b1에 있어서, 단자부에서는 게이트 배선과 동일 재료로 형성되는 전극층(156)이 소스 배선과 전기적으로 접속되는 제 2 단자(150)의 아래 쪽으로 게이트 절연층(152), 반도체층(157) 및 n<sup>+</sup>층(158)을 사이에 두고 중첩한다. 전극층(156)은 제 2 단자(150)와 전기적으로 접속되지 않고, 전극층(156)을 제 2 단자(150)와 상이한 전위, 예를 들어, 플로팅, GND(접지 전위), 0V 등으로 설정하면, 노이즈 대책을 위한 용량, 또는 정전기 대책을 위한 용량을 형성할 수 있다. 또한, 제 2 단자(150)는 보호 절연막(154)을 사이에 두고 투명 도전막(155)과 전기적으로 접속된다.
- [0150] 게이트 배선, 소스 배선, 및 용량 배선은, 화소 밀도에 따라 복수 형성된다. 또한, 단자부에 있어서는, 게이트 배선과 같은 전위의 제 1 단자, 소스 배선과 같은 전위의 제 2 단자, 용량 배선과 같은 전위의 제 3 단자 등이 복수 나란히 배치된다. 단자의 개수는, 각각 임의의 개수로 형성하면 좋고, 실시자가 적절히 결정하면 좋다.
- [0151] 상술한 바와 같이, 4번의 포토리소그래피 공정에 의하여, 4장의 포토 마스크를 사용하여 보텀 게이트형의 n채널형 박막 트랜지스터인 박막 트랜지스터(170)를 갖는 화소 박막 트랜지스터부, 저장 용량을 완성시킬 수 있다. 또한, 이들을 개개의 화소에 대응하여, 매트릭스 형상으로 배치하여 화소부를 구성함으로써, 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽의 기관으로 할 수 있다. 본 명세서에서는, 편의상 이와 같은 기관을 액티브 매트릭스 기관이라고 부른다.
- [0152] 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기관과 대향 전극이 형성된 대향 기관 사이에 액정층을 형성하고, 액티브 매트릭스 기관과 대향 기관을 고정한다. 또한, 대향 기관에 형성된 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기관 위에 형성하고, 공통 전극과 전기적으로 접속하는 제 4 단자를 단자부에 형성한다. 이 제 4 단자는, 공통 전극을 고정 전위, 예를 들어, GND, 0V 등으로 설정하기 위한 단자이다.
- [0153] 또한, 도 10의 화소 구성에 한정되지 않고, 도 10과 상이한 상면도의 예를 도 12에 도시한다. 도 12에서는, 용량 배선을 형성하지 않고, 화소 전극을 인접하는 화소의 게이트 배선과 보호 절연막 및 게이트 절연층을 사이에 두고 중첩하여 저장 용량을 형성하는 예이고, 이 경우, 용량 배선 및 용량 배선과 접속하는 제 3 단자는 생략할

수 있다. 또한, 도 12에 있어서, 도 10과 동일 부분에는 동일 부호를 사용하여 설명한다.

- [0154] 액티브 매트릭스형의 액정 표시 장치에 있어서는, 매트릭스 형상으로 배치된 화소 전극을 구동시킴으로써, 화면 상에 화상 패턴이 표시된다. 자세하게는 선택된 화소 전극과 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 배치된 액정층의 광학 변조가 행해지고, 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다.
- [0155] 액정 표시 장치의 동영상 표시에 있어서, 액정 분자 자체의 응답이 느리기 때문에 잔상이 발생하거나, 또는 동영상의 흐릿함이 생긴다는 문제가 있다. 액정 표시 장치의 동영상 특성을 개선하기 위하여, 전체 면 흑색 표시를 1프레임 간격으로 행하는, 소위 흑색 삽입이라고 불리는 구동 기술이 있다.
- [0156] 또한, 수직 주기를 일반적인 수직 주기에 대하여 1.5배 이상(바람직하게는, 2배 이상)으로 함으로써, 동영상 특성을 개선하는, 소위 배속 구동이라고 불리는 구동 기술도 있다.
- [0157] 또한, 액정 표시 장치의 동영상 특성을 개선하기 위하여, 백 라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 사용하여 면 광원을 구성하고, 면 광원을 구성하는 각 광원을 독립적으로 1프레임 기간 내에서 간격 점등 구동하는 구동 기술도 있다. 면 광원으로서 3종류 이상의 LED를 사용하여도 좋고, 백색 발광의 LED를 사용하여도 좋다. 독립적으로 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학 변조의 변환 타이밍에 맞추어 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동 기술은, LED를 부분적으로 소등시킬 수 있으므로, 특히 일 화면을 차지하는 검은 표시 영역의 비율이 많은 영상 표시의 경우에는, 소비 전력의 저감 효과를 도모할 수 있다.
- [0158] 이들의 구동 기술을 조합함으로써, 액정 표시 장치의 동영상 특성 등의 표시 특성을 종래보다 개선할 수 있다.
- [0159] 본 실시형태에서 얻어지는 n채널형 트랜지스터는, In-Ga-Zn-O계 비단결정막을 채널 형성 영역에 사용하여 양호한 동적 특성을 갖기 때문에, 이들의 구동 기술을 조합할 수 있다.
- [0160] 또한, 발광 표시 장치를 제작하는 경우, 유기 발광소자의 한쪽의 전극(캐소드라고도 함)은, 저전원 전위, 예를 들어 GND, 0V 등으로 설정하기 위하여, 단자부에 캐소드를 저전원 전위, 예를 들어 GND, 0V 등으로 설정하기 위한 제 4 단자가 형성된다. 또한, 발광 표시 장치를 제작하는 경우에는, 소스 배선, 및 게이트 배선에 더하여 전원 공급선을 형성한다. 따라서, 단자부에는, 전원 공급선과 전기적으로 접속하는 제 5 단자를 형성한다.
- [0161] 본 실시형태에서 나타내는 바와 같이, 산화물 반도체를 사용한 박막 트랜지스터로 형성함으로써, 제작 비용을 저감할 수 있다.
- [0162] 본 실시형태에서 나타내는 바와 같이, 다계조 마스크에 의하여 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 매수를 저감시킬 수 있으므로, 공정 간략화, 저비용화를 도모할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 저비용으로 생산성 좋게 제작할 수 있다.
- [0163] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0164] (실시형태 4)
- [0165] 본 실시형태에서는, 반도체 장치의 일레인 표시 장치에 있어서, 동일 기관 위에 적어도 구동 회로의 일부와, 화소부에 배치하는 박막 트랜지스터를 제작하는 예에 대하여 이하에 설명한다.
- [0166] 화소부에 배치하는 박막 트랜지스터는, 실시형태 1 내지 실시형태 3에 따라 형성한다. 또한, 실시형태 1 내지 실시형태 3에 나타내는 박막 트랜지스터는, n채널형 TFT이기 때문에, 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기관 위에 형성한다.
- [0167] 반도체 장치의 일레인 액티브 매트릭스형 액정 표시 장치의 블록도의 일례를 도 14a에 도시한다. 도 14a에 도시하는 표시 장치는 기관(5300) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5301)와, 각 화소를 선택하는 주사선 구동 회로(5302)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5303)를 갖는다.
- [0168] 화소부(5301)는, 신호선 구동 회로(5303)로부터 열 방향으로 연장하여 배치된 복수의 신호선S1 내지 Sm(도시하지 않음)에 의하여 신호선 구동 회로(5303)와 접속되고, 주사선 구동 회로(5302)로부터 행 방향으로 연장하여 배치된 복수의 주사선 G1 내지 Gn(도시하지 않음)에 의하여 주사선 구동 회로(5302)와 접속되고, 및 신호선 S1 내지 Sm 및 주사선 G1 내지 Gn에 대응하여 매트릭스 형상으로 배치된 복수의 화소(도시하지 않음)를 갖는다.

그리고, 각 화소는, 신호선 Sj(신호선 S1 내지 Sm 중 어느 하나), 주사선 Gi(주사선 G1 내지 Gn 중 어느 하나)와 접속된다.

- [0169] 또한, 실시형태 1 내지 실시형태 3에 나타내는 박막 트랜지스터는, n채널형 TFT이고, n채널형 TFT로 구성하는 신호선 구동 회로에 대하여 도 15를 사용하여 설명한다.
- [0170] 도 15에 도시하는 신호선 구동 회로는, 드라이버 IC(5601), 스위치 군(5602\_1 내지 5602\_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621\_1 내지 5621\_M)을 갖는다. 스위치 군(5602\_1 내지 5602\_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 갖는다.
- [0171] 드라이버 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621\_1 내지 5621\_M)에 접속된다. 그리고, 스위치 군(5602\_1 내지 5602\_M)의 각각은, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 스위치 군(5602\_1 내지 5602\_M)에 각각 대응한 배선(5621\_1 내지 5621\_M)에 접속된다. 그리고, 배선(5621\_1 내지 5621\_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 사이에 두고, 3개의 신호선에 접속된다. 예를 들어, J열째의 배선(5621\_J; 배선(5621\_1 내지 5621\_M 중 어느 하나))은, 스위치 군(5602\_J)이 갖는 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속된다.
- [0172] 또한, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613)에는 각각 신호가 입력된다.
- [0173] 또한, 드라이버 IC(5601)는 단결정 기판 위에 형성되는 것이 바람직하다. 또한, 스위치 군(5602\_1 내지 5602\_M)은, 화소부와 동일 기판 위에 형성되는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치 군(5602\_1 내지 5602\_M)은 FPC 등을 사이에 두고 접속하면 좋다.
- [0174] 다음에, 도 15에 도시한 신호선 구동 회로의 동작에 대하여 도 16의 타이밍 차트를 참조하여 설명한다. 또한, 도 16의 타이밍 차트는 i행째의 주사선 Gi가 선택되어 있는 경우의 타이밍 차트를 도시한다. 또한, i행째의 주사선 Gi의 선택 기간은, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2, 및 제 3 서브 선택 기간 T3으로 분할되어 있다. 또한, 도 15의 신호선 구동 회로는, 다른 행의 주사선이 선택되는 경우에도 도 16과 같은 동작을 한다.
- [0175] 또한, 도 16의 타이밍 차트는 J열째의 배선(5621\_J)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속되는 경우에 대하여 도시한다.
- [0176] 또한, 도 16의 타이밍 차트는 i행째의 주사선 Gi가 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온 및 오프의 타이밍(5703a), 제 2 박막 트랜지스터(5603b)의 온 및 오프의 타이밍(5703b), 제 3 박막 트랜지스터(5603c)의 온 및 오프의 타이밍(5703c) 및 J열째의 배선(5621\_J)에 입력되는 신호(5721\_J)를 도시한다.
- [0177] 또한, 배선(5621\_1) 내지 배선(5621\_M)에는 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 각각 다른 비디오 신호가 입력된다. 예를 들어, 제 1 서브 선택 기간 T1에 있어서, 배선(5621\_J)에 입력되는 비디오 신호는 신호선 Sj-1에 입력되고, 제 2 서브 선택 기간 T2에 있어서 배선(5621\_J)에 입력되는 비디오 신호는 신호선 Sj에 입력되고, 제 3 서브 선택 기간 T3에 있어서 배선(5621\_J)에 입력되는 비디오 신호는 신호선 Sj+1에 입력된다. 또한, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 배선(5621\_J)에 입력되는 비디오 신호를 각각 Data\_j-1, Data\_j, Data\_j+1로 한다.
- [0178] 도 16에 도시하는 바와 같이, 제 1 서브 선택 기간 T1에 있어서 제 1 박막 트랜지스터(5603a)가 온되고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프된다. 이 때, 배선(5621\_J)에 입력되는 Data\_j-1이, 제 1 박막 트랜지스터(5603a)를 사이에 두고, 신호선 Sj-1에 입력된다. 제 2 서브 선택 기간 T2에서는, 제 2 박막 트랜지스터(5603b)가 온되고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프된다. 이 때, 배선(5621\_J)에 입력되는 Data\_j가, 제 2 박막 트랜지스터(5603b)를 사이에 두고, 신호선 Sj에 입력된다. 제 3 서브 선택 기간 T3에서는, 제 3 박막 트랜지스터(5603c)가 온되고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프된다. 이 때, 배선(5621\_J)에 입력되는 Data\_j+1이, 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(Sj+1)에 입력된다.
- [0179] 이상으로부터, 도 15의 신호선 구동 회로는 1게이트 선택 기간을 3개로 분할하는 것으로, 1게이트 선택 기간 중

에 1개의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 15의 신호선 구동 회로는 드라이버 IC(5601)가 형성되는 기판과 화소부가 형성되어 있는 기판과의 접속수를 신호선의 수와 비교하여 약 1/3로 할 수 있다. 접속수가 약 1/3이 됨으로써, 도 15의 신호선 구동 회로는 신뢰성, 수율 등을 향상시킬 수 있다.

[0180] 또한, 도 15에서 도시하는 바와 같이, 1 게이트 선택 기간을 복수의 서브 선택 기간으로 분할하여, 복수의 서브 선택 기간 각각에 있어서, 어느 1개의 배선으로부터 복수의 신호선 각각에 비디오 신호를 입력할 수 있으면, 박막 트랜지스터의 배치나 개수, 구동 방법 등은 한정되지 않는다.

[0181] 예를 들어, 3개 이상의 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선 각각에 비디오 신호를 입력하는 경우는, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가하면 좋다. 다만, 1 게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1 게이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.

[0182] 다른 예로서, 도 17의 타이밍 차트에 도시하는 바와 같이, 1개의 선택 기간을 프리차지 기간  $T_p$ , 제 1 서브 선택 기간  $T_1$ , 제 2 서브 선택 기간  $T_2$ , 제 3 서브 선택 기간  $T_3$ 으로 분할하여도 좋다. 또한, 도 17의 타이밍 차트는  $i$ 행째의 주사선  $G_i$ 가 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온 및 오프의 타이밍(5803a), 제 2 박막 트랜지스터(5603b)의 온 및 오프의 타이밍(5803b), 제 3 박막 트랜지스터(5603c)의 온 및 오프의 타이밍(5803c) 및  $J$ 열째의 배선(5621 $_J$ )에 입력되는 신호(5821 $_J$ )를 도시한다. 도 17에 도시하는 바와 같이, 프리차지 기간  $T_p$ 에 있어서, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 온된다. 이 때, 배선(5621 $_J$ )에 입력되는 프리차지 전압  $V_p$ 가 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여 각각 신호선  $S_{j-1}$ , 신호선  $S_j$ , 신호선  $S_{j+1}$ 에 입력된다. 제 1 서브 선택 기간  $T_1$ 에 있어서, 제 1 박막 트랜지스터(5603a)가 온되고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프된다. 이 때, 배선(5621 $_J$ )에 입력되는  $Data_{j-1}$ 이, 제 1 박막 트랜지스터(5603a)를 통하여 신호선  $S_{j-1}$ 에 입력된다. 제 2 서브 선택 기간  $T_2$ 에서는, 제 2 박막 트랜지스터(5603b)가 온되고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프된다. 이 때, 배선(5621 $_J$ )에 입력되는  $Data_j$ 가, 제 2 박막 트랜지스터(5603b)를 통하여 신호선  $S_j$ 에 입력된다. 제 3 서브 선택 기간  $T_3$ 에서는, 제 3 박막 트랜지스터(5603c)가 온되고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프된다. 이 때, 배선(5621 $_J$ )에 입력되는  $Data_{j+1}$ 이, 제 3 박막 트랜지스터(5603c)를 통하여 신호선  $S_{j+1}$ 에 입력된다.

[0183] 이상으로부터, 도 17의 타이밍 차트를 적용한 도 15의 신호선 구동 회로는, 서브 선택 기간 전에 프리차지 선택 기간을 설정함으로써, 신호선을 프리차지할 수 있기 때문에, 화소로의 비디오 신호의 기록을 고속으로 행할 수 있다. 또한, 도 17에 있어서, 도 16과 같은 것에 관해서는 공통의 부호를 사용하여 나타내고, 동일 부분 또는 같은 기능을 갖는 부분의 자세한 설명은 생략한다.

[0184] 또한, 주사선 구동 회로의 구성에 대하여 설명한다. 주사선 구동 회로는 시프트 레지스터, 버퍼를 갖는다. 또한, 경우에 따라서는, 레벨 시프터를 가져도 좋다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 있어서 완충 증폭되고, 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트 전극이 접속된다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 온으로 하여야 하기 때문에, 버퍼는 큰 전류를 흘릴 수 있는 것이 사용된다.

[0185] 주사선 구동 회로의 일부에 사용하는 시프트 레지스터의 일 형태에 대하여 도 18 및 도 19를 사용하여 설명한다.

[0186] 도 18에 시프트 레지스터의 회로 구성을 도시한다. 도 18에 도시하는 시프트 레지스터는, 플립플롭(5701 $_1$ ) 내지 플립플롭(5701 $_n$ ) 등의 복수의 플립플롭으로 구성된다. 또한, 제 1 클럭 신호, 제 2 클럭 신호, 스타트 펄스 신호, 리셋 신호가 입력되어 동작한다.

[0187] 도 18의 시프트 레지스터의 접속 관계에 대하여 설명한다. 도 18의 시프트 레지스터는  $i$ 단째의 플립플롭(5701 $_i$ )(플립플롭(5701 $_1$ ) 내지 플립플롭(5701 $_n$ ) 중 어느 하나)은 도 19에 도시한 제 1 배선(5501)이 제 7 배선(5717 $_i-1$ )에 접속되고, 도 19에 도시한 제 2 배선(5502)이 제 7 배선(5717 $_i+1$ )에 접속되고, 도 19에 도시한 제 3 배선(5503)이 제 7 배선(5717 $_i$ )에 접속되고, 도 19에 도시한 제 6 배선(5506)이 제 5 배선(5715)에 접속된다.

- [0188] 또한, 도 19에 도시한 제 4 배선(5504)이 홀수 단층의 플립플롭에서는 제 2 배선(5712)에 접속되고, 짝수 단층의 플립플롭에서는 제 3 배선(5713)에 접속되고, 도 19에 도시한 제 5 배선(5505)이 제 4 배선(5714)에 접속된다.
- [0189] 다만, 1단층의 플립플롭(5701\_1)의 도 19에 도시하는 제 1 배선(5501)은 제 1 배선(5711)에 접속되고, n단층의 플립플롭(5701\_n)의 도 19에 도시하는 제 2 배선(5502)은 제 6 배선(5716)에 접속된다.
- [0190] 또한, 제 1 배선(5711), 제 2 배선(5712), 제 3 배선(5713), 제 6 배선(5716)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 4 배선(5714), 제 5 배선(5715)을, 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다.
- [0191] 다음, 도 18에 도시하는 플립플롭의 자세한 내용에 대하여, 도 19에 도시한다. 도 19에 도시하는 플립플롭은 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)를 갖는다. 또한, 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)는, n채널형 트랜지스터이며, 게이트·소스간 전압(Vgs)이 임계 값 전압(Vth)을 상회하였을 때 도통 상태가 되는 것으로 한다.
- [0192] 다음에, 도 19에 도시하는 플립플롭의 접속 구성에 관하여, 이하에 도시한다.
- [0193] 제 1 박막 트랜지스터(5571)의 제 1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제 4 배선(5504)에 접속되고, 제 1 박막 트랜지스터(5571)의 제 2 전극(소스 전극 또는 드레인 전극의 다른 쪽)이 제 3 배선(5503)에 접속된다.
- [0194] 제 2 박막 트랜지스터(5572)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 2 박막 트랜지스터(5572)의 제 2 전극이 제 3 배선(5503)에 접속된다.
- [0195] 제 3 박막 트랜지스터(5573)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 3 박막 트랜지스터(5573)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 3 박막 트랜지스터(5573)의 게이트 전극이 제 5 배선(5505)에 접속된다.
- [0196] 제 4 박막 트랜지스터(5574)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 4 박막 트랜지스터(5574)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 4 박막 트랜지스터(5574)의 게이트 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0197] 제 5 박막 트랜지스터(5575)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 5 박막 트랜지스터(5575)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 5 박막 트랜지스터(5575)의 게이트 전극이 제 1 배선(5501)에 접속된다.
- [0198] 제 6 박막 트랜지스터(5576)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 6 박막 트랜지스터(5576)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 6 박막 트랜지스터(5576)의 게이트 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0199] 제 7 박막 트랜지스터(5577)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 7 박막 트랜지스터(5577)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 7 박막 트랜지스터(5577)의 게이트 전극이 제 2 배선(5502)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 8 박막 트랜지스터(5578)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 8 박막 트랜지스터(5578)의 게이트 전극이 제 1 배선(5501)에 접속된다.
- [0200] 또한, 제 1 박막 트랜지스터(5571)의 게이트 전극, 제 4 박막 트랜지스터(5574)의 게이트 전극, 제 5 박막 트랜지스터(5575)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 제 2 전극 및 제 7 박막 트랜지스터(5577)의 제 2 전극의 접속 개소를 노드(5543)로 한다. 또한, 제 2 박막 트랜지스터(5572)의 게이트 전극, 제 3 박막 트랜지스터(5573)의 제 2 전극, 제 4 박막 트랜지스터(5574)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 게이트 전극 및 제 8 박막 트랜지스터(5578)의 제 2 전극의 접속 개소를 노드(5544)로 한다.
- [0201] 또한, 제 1 배선(5501), 제 2 배선(5502), 제 3 배선(5503) 및 제 4 배선(5504)을, 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 5 배선(5505)을 제 1 전원선, 제 6 배선(5506)

을 제 2 전원선이라고 불러도 좋다.

- [0202] 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1에 나타내는 n채널형 TFT만으로 제작할 수 있다. 실시형태 1에 나타내는 n채널형 TFT는 트랜지스터의 이동도가 크기 때문에, 구동 회로의 구동 주파수를 높일 수 있게 된다. 또한, 실시형태 1에 나타내는 n채널형 TFT는 In-Ga-Zn-O계 비단결정막인 소스 영역 또는 드레인 영역에 의하여 기생 용량이 저감되므로, 주파수 특성(f 특성이라고 불림)이 높다. 예를 들어, 실시형태 1에 나타내는 n채널형 TFT를 사용한 주사선 구동 회로는, 고속으로 동작시킬 수 있으므로, 프레임 주파수를 높게 하는 것, 또는 흑색 화면 삽입을 실현하는 것 등도 실현할 수가 있다.
- [0203] 또한, 주사선 구동 회로의 트랜지스터의 채널 폭을 크게 하는 것이나, 복수의 주사선 구동 회로를 배치하는 것 등에 의하여, 더욱 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동 회로를 배치하는 경우는, 짝수 행(行)의 주사선을 구동하기 위한 주사선 구동 회로를 한쪽에 배치하고, 홀수 행의 주사선을 구동하기 위한 주사선 구동 회로를 그 반대쪽에 배치함으로써, 프레임 주파수를 높이는 것을 실현할 수 있다. 또한, 복수의 주사선 구동 회로에 의하여, 같은 주사선에 신호를 출력하면, 표시 장치의 대형화에 유리하다.
- [0204] 또한, 반도체 장치의 일레인 액티브 매트릭스형 발광 표시 장치를 제작하는 경우, 적어도 하나의 화소에 복수의 박막 트랜지스터를 배치하기 위하여, 주사선 구동 회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시 장치의 블록도의 일례를 도 14b에 도시한다.
- [0205] 도 14a에 도시하는 발광 표시 장치는, 기관(5400) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5401)와, 각 화소를 선택하는 제 1 주사선 구동 회로(5402) 및 제 2 주사선 구동 회로(5404)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 갖는다.
- [0206] 도 14b에 도시하는 발광 표시 장치의 화소에 입력되는 비디오 신호를 디지털 형식으로 하는 경우, 화소는 트랜지스터의 온 및 오프의 변환에 따라, 발광 상태 또는 비발광 상태가 된다. 따라서, 면적 계조법 또는 시간 계조법을 사용하여 계조의 표시를 행할 수 있다. 면적 계조법은 1화소를 복수의 부(副)화소로 분할하여 각 부화소를 독립적으로 비디오 신호에 의거하여 구동시킴으로써, 계조 표시를 행하는 구동 방법이다. 또한, 시간 계조법은 화소가 발광하는 기간을 제어함으로써 계조 표시를 행하는 구동 방법이다.
- [0207] 발광 소자는 액정 소자 등과 비교하여 응답 속도가 높기 때문에, 액정 소자보다 시간 계조법에 적합하다. 구체적으로 시간 계조법에 의하여 표시를 행하는 경우, 1프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고, 비디오 신호에 따라, 각 서브 프레임 기간에 있어서, 화소의 발광 소자를 발광 상태, 또는 비발광 상태로 한다. 복수의 서브 프레임 기간으로 분할함으로써, 1프레임 기간 중에 화소가 실제로 발광하는 기간의 합계 길이를 비디오 신호에 의하여 제어할 수 있으므로, 계조를 표시할 수 있다.
- [0208] 또한, 도 14b에 도시하는 발광 표시 장치에서는, 하나의 화소에 2개의 스위칭용 TFT를 배치하는 경우, 한쪽의 스위칭용 TFT의 게이트 배선인 제 1 주사선에 입력되는 신호를 제 1 주사선 구동 회로(5402)로 생성하고, 다른 쪽의 스위칭용 TFT의 게이트 배선인 제 2 주사선에 입력되는 신호를 제 2 주사선 구동 회로(5404)로 생성하는 예를 도시하지만, 제 1 주사선에 입력되는 신호와 제 2 주사선에 입력되는 신호를, 양쪽 모두 1개의 주사선 구동 회로로 생성하도록 하여도 좋다. 또한, 예를 들어, 하나의 화소가 갖는 스위칭용 TFT의 개수에 따라, 스위칭 소자의 동작을 제어하기 위하여 사용되는 주사선이, 각 화소에 복수 형성되는 경우도 있다. 이 경우, 복수의 주사선에 입력되는 신호를, 모두 1개의 주사선 구동 회로로 생성하여도 좋고, 복수의 각 주사선 구동 회로로 생성하여도 좋다.
- [0209] 또한, 발광 표시 장치에 있어서도 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기관 위에 형성할 수 있다. 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 실시형태 3에 나타내는 n채널형 TFT만으로 제작할 수도 있다.
- [0210] 또한, 상술한 구동 회로는 액정 표시 장치나 발광 표시 장치에 한정되지 않고, 스위칭 소자와 전기적으로 접속되는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 사용하여도 좋다. 전자 페이퍼는, 전기 영동(泳動) 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기 쉽다는 이점, 다른 표시 장치와 비교하여 저소비 전력, 얇고 가벼운 형상으로 할 수 있는 이점을 갖는다.
- [0211] 전기 영동 디스플레이는 다양한 형태를 고려할 수 있지만, 양 전하를 갖는 제 1 입자와 음 전하를 갖는 제 2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것이고, 마이크로 캡슐에 전계를 인가함으로써 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 모인 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하여, 전계가 없는 경우에 있어서, 이동하지 않는 것이다. 또한, 제 1

입자의 색과 제 2 입자의 색은 다른 것(무색을 포함함)으로 한다.

- [0212] 상술한 바와 같이, 전기 영동 디스플레이는 유전 상수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에는 필요한 편광판, 대향 기판도 전기 영동 표시 장치에는 필요가 없고, 두께나 무게가 반감된다.
- [0213] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 피륙, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써, 컬러 표시도 가능하다.
- [0214] 또한, 액티브 매트릭스 기판 위에 적절히 2개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면, 액티브 매트릭스형의 표시 장치가 완성되어, 마이크로 캡슐에 전계를 인가하면 표시할 수 있다. 예를 들어, 실시형태 1 내지 실시형태 3의 박막 트랜지스터에 의하여 얻어지는 액티브 매트릭스 기판을 사용할 수 있다.
- [0215] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성(磁性) 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네선스 재료, 일렉트로크로믹(electrochromic) 재료, 자기 영동 재료 중으로부터 선택된 일종의 재료, 또는 이들의 복합 재료를 사용하면 좋다.
- [0216] 이상의 공정에 의하여, 반도체 장치로서 신뢰성이 높은 표시 장치를 제작할 수 있다.
- [0217] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0218] (실시형태 5)
- [0219] 박막 트랜지스터를 제작하고, 상기 박막 트랜지스터를 화소부, 또는 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 박막 트랜지스터를 구동 회로의 일부 또는 전체를, 화소부와 동일 기판 위에 일체로 형성하여 시스템 온 패널(system-on-panel)을 형성할 수 있다.
- [0220] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는, 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는, 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는, 무기 EL(Electro Luminescence), 유기EL등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.
- [0221] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 상기 표시 장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관하여, 상기 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며, 에칭하여 화소 전극을 형성하기 전의 상태라도 좋고, 모든 형태가 적합하다.
- [0222] 또한, 본 명세서 중에 있어서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치도 포함함)을 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0223] 본 실시형태에서는, 반도체 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 22a1, 도 22a2, 도 22b를 사용하여 설명한다. 도 22a1, 도 22a2, 도 22b는, 제 1 기판(4001) 위에 형성된 실시형태 1에서 나타낸 In-Ga-Zn-0계 비단결정막을 반도체층으로서 포함한 신뢰성이 높은 박막 트랜지스터(4010, 4011) 및 액정 소자(4013)를, 제 2 기판(4006)과의 사이에 시일재(4005)에 의하여 밀봉한, 패널의 상면도이며, 도 22b는, 도 22a1, 도 22a2의 M-N에 있어서의 단면도에 상당한다.
- [0224] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 시일재(4005)가 형성된다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)란, 제 1 기판(4001)과 시일재(4005)와 제 2 기판(4006)에 의하여, 액정층(4008)과 함께 밀봉된다. 또한, 제 1 기판(4001) 위의 시일재(4005)에 의하여 둘러싸인 영역과는 상이한 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.
- [0225] 또한, 별도로 형성한 구동 회로의 접속 방법은 특별히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB

방법 등을 사용할 수 있다. 도 22a1은, COG 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이고, 도 22a2는, TAB 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.

- [0226] 또한, 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 갖고, 도 22b에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010, 4011) 위에는, 절연층(4020, 4021)이 형성된다.
- [0227] 박막 트랜지스터(4010, 4011)는, In-Ga-Zn-O계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 실시형태 3에 나타내는 박막 트랜지스터를 적용할 수 있다. 또한, 실시형태 1 또는 실시형태 2에 나타내는 박막 트랜지스터를 적용하여도 좋다. 본 실시형태에 있어서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.
- [0228] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은 박막 트랜지스터(4010)와 전기적으로 접속된다. 또한, 액정 소자(4013)의 대향 전극층(4031)은 제 2 기관(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 겹치는 부분이 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 사이에 두고, 액정층(4008)이 개재되어 있다.
- [0229] 또한, 제 1 기관(4001), 제 2 기관(4006)으로서는, 유리, 금속(대표적으로는 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플로라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.
- [0230] 또한, 부호(4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서로서, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭(cell gap))를 제어하기 위하여 형성된다. 또한, 구(球) 형상의 스페이서를 사용하여도 좋다. 또한, 대향 전극층(4031)은 박막 트랜지스터(4010)와 동일 기관 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기관간에 배치되는 도전성 입자를 사이에 두고, 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 또한, 도전성 입자는 시일재(4005)에 함유시킨다.
- [0231] 또한, 배향막을 사용하지 않는 블루상(Blue Phase)을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정을 계속해서 승온하면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도범위에서만 발현하므로, 온도 범위를 개선하기 위하여 5중량% 이상의 키랄제(chiral agent)를 혼합시킨 액정 조성물을 사용하여 액정층(4008)에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 10 $\mu$ s 내지 100 $\mu$ s로 짧고, 광학적 등방성이기 때문에, 배향 처리가 불필요하고 시야각 의존성이 작다.
- [0232] 또한, 본 실시형태는, 투과형 액정 표시 장치의 예이지만, 반사형 액정 표시 장치라도 적용할 수 있고, 반투과형 액정 표시 장치라도 적용할 수 있다.
- [0233] 또한, 본 실시형태의 액정 표시 장치에서는, 기관의 외측(시인 측)에 편광판을 형성하고, 내측에 착색층, 표시 소자에 사용하는 전극층의 순서로 형성하는 예를 나타내지만, 편광판은 기관의 내측에 형성하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 따라, 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 형성하여도 좋다.
- [0234] 또한, 본 실시형태에서는, 박막 트랜지스터의 표면 요철을 저감하기 위하여, 및 박막 트랜지스터의 신뢰성을 향상시키기 위하여, 실시형태 3에서 얻어진 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(4020, 4021)으로 덮는 구성으로 되어 있다. 또한, 보호막은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하기 위한 것이고, 치밀한 막이 바람직하다. 보호막은, 스퍼터링법을 사용하여, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 또는 질화산화 알루미늄막의 단층, 또는 적층으로 형성하면 좋다. 본 실시형태에서는, 보호막을 스퍼터링법으로 형성하는 예를 나타내지만, 특히 한정되지 않고, 다양한 방법으로 형성하면 좋다.
- [0235] 여기서는, 보호막으로서 적층 구조의 절연층(4020)을 형성한다. 여기서는 절연층(4020)의 1층째로서, 스퍼터링법을 사용하여 산화 실리콘막을 형성한다. 보호막으로서, 산화 실리콘막을 사용하면, 소스 전극층 및 드레인

전극층으로서 사용하는 알루미늄막의 힐록(hillock) 방지에 효과적이다.

- [0236] 또한, 보호막의 2층째로서 절연층을 형성한다. 여기서는, 절연층(4020)의 2층째로서 스퍼터링법을 사용하여 질화 실리콘막을 형성한다. 보호막으로서 질화 실리콘막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역 중으로 침입하여, TFT 전기 특성을 변화시키는 것을 억제할 수 있다.
- [0237] 또한, 보호막을 형성한 후에 반도체층의 어닐링(300℃ 내지 400℃)을 행하여도 좋다.
- [0238] 또한, 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의, 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인유리), BPSG(인붕소유리) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성하여도 좋다.
- [0239] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는, 치환기로서 유기기(예를 들어, 알킬기나 아릴기)나 플루오로기를 가져도 좋다. 또한, 유기기는 플루오로기를 가져도 좋다.
- [0240] 절연층(4021)의 형성 방법은, 특히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀코팅, 디핑, 스프레이 도포, 액적 도출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층(4021)을 재료액을 사용하여 형성하는 경우, 베이킹하는 공정에서 동시에 반도체층의 어닐링(300℃ 내지 400℃)을 행하여도 좋다. 절연층(4021)의 소성 공정과 반도체층의 어닐링을 결합함으로써, 효율 좋게 반도체 장치를 제작할 수 있게 된다.
- [0241] 화소 전극층(4030), 대향 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐주석 산화물, 인듐주석 산화물(이하, ITO라고 기재함), 인듐아연 산화물, 산화 실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0242] 또한, 화소 전극층(4030), 대향 전극층(4031)으로서, 도전성 고분자(도전성 중합체라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 10000Ω/□ 이하, 파장 550nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1Ω·cm 이하인 것이 바람직하다.
- [0243] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0244] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급되어 있다.
- [0245] 본 실시형태에서는, 접속 단자 전극(4015)이, 액정 소자(4013)가 갖는 화소 전극층(4030)과 동일 도전막으로 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일 도전막으로 형성되어 있다. 또한, 접속 단자 전극(4015) 및 단자 전극(4016)은, n<sup>+</sup>층(4025) 및 반도체층(4026) 위에 형성되어 있다.
- [0246] 접속 단자 전극(4015)은 FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 사이에 두고, 전기적으로 접속되어 있다.
- [0247] 또한, 도 22a1, 도 22a2, 도 22b에 있어서는, 신호선 구동 회로(4003)를 별도 형성하고, 제 1 기관(4001)에 실장되는 예를 나타내지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.
- [0248] 도 23은, 본 명세서에 개시하는 반도체 장치의 제작 방법에 의하여 제작되는 TFT 기관(2600)을 사용하여 반도체 장치로서 액정 표시 모듈을 구성하는 일례를 도시한다.
- [0249] 도 23은 액정 표시 모듈의 일레이며, TFT 기관(2600)과 대향 기관(2601)이 시일재(2602)에 의하여 서로 고착되고, 그 기관들 사이에, TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 형성되어 표시 영역을 형성하고 있다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적색, 녹색, 청색의 각 색에 대응한 착색층이 각 화소에 대응하여 형성된다. TFT 기관(2600)과 대향 기

관(2601)의 외측에는 편광판(2606), 편광판(2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의하여 구성되고, 회로 기관(2612)은, 플렉시블 배선 기관(2609)에 의하여 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤회로나 전원회로 등의 외부회로가 내장되어 있다. 또한, 편광판과 액정층 사이에 위상차판을 갖는 상태로 적층되어도 좋다.

- [0250] 액정 표시 모듈에는, TN(Twisted Nematic)모드, IPS(In-Plane-Switching)모드, FFS(Fringe Field Switching)모드, MVA(Multi-domain Vertical Alignment)모드, PVA(Patterned Vertical Alignment)모드, ASM(Axially Symmetric aligned Micro-cell)모드, OCB(Optical Compensated Birefringence)모드, FLC(Ferroelectric Liquid Crystal)모드, AFLC(Anti Ferroelectric Liquid Crystal) 등을 사용할 수 있다.
- [0251] 이상의 공정에 의하여, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.
- [0252] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0253] (실시형태 6)
- [0254] 본 실시형태에서는, 반도체 장치로서 전자 페이퍼의 예를 나타낸다.
- [0255] 도 13은, 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 도시한다. 반도체 장치에 사용되는 박막 트랜지스터(581)로서는, 실시형태 3에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, In-Ga-Zn-O계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 1 또는 실시형태 2에서 나타내는 박막 트랜지스터도 본 실시형태의 박막트랜지스터(581)로서 적용할 수도 있다.
- [0256] 도 13의 전자 페이퍼는, 트위스트 볼 표시 방식을 사용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 백색과 흑색으로 나누어 칠한 구형(球形) 입자를 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층 사이에 배치하여, 제 1 전극층 및 제 2 전극층에 전위차를 생기게 한 구형 입자의 방향을 제어함으로써, 표시하는 방법이다.
- [0257] 기관(580) 위에 형성된 박막 트랜지스터(581)는, 보텀 게이트 구조의 박막트랜지스터이고, 소스 전극층 또는 드레인 전극층에 의하여 제 1 전극층(587)과 절연층(583, 584, 585)에 형성되는 개구에서 접하여 전기적으로 접속되어 있다. 제 1 전극층(587)과 제 2 전극층(588) 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 주위에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)가 형성되어 있고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전되어 있다(도 13 참조). 본 실시형태에 있어서는, 제 1 전극층(587)이 화소 전극에 상당하고, 제 2 전극층(588)이 공통 전극에 상당한다. 기관(596)에 형성된 제 2 전극층(588)은, 박막 트랜지스터(581)와 동일 기관(580) 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여 한 쌍의 기관간에 배치되는 도전성 입자를 사이에 두고, 제 2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.
- [0258] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용할 수도 있다. 투명한 액체와, 양(正)으로 대전한 흰 미립자와 음(負)으로 대전한 검은 미립자를 봉입한 직경 10 $\mu$ m 내지 200 $\mu$ m 정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층 사이에 형성되는 마이크로 캡슐은, 제 1 전극층과 제 2 전극층에 의하여, 전장(電場)이 주어지면, 흰 미립자와, 검은 미립자가 반대 방향으로 이동하고, 백색 또는 흑색을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이고, 일반적으로 전자 페이퍼라고 불리고 있다. 전기 영동 표시 소자는, 액정 표시 소자와 비교하여 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또한 소비 전력이 작고, 어두운 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한 번 표시된 상(像)을 유지할 수 있기 때문에, 전파 발신원으로부터 표시 기능이 있는 반도체 장치(간단히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 함)를 멀리한 경우에도, 표시된 상을 보존해 둘 수 있게 된다.
- [0259] 이상의 공정에 의하여, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.
- [0260] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0261] (실시형태 7)
- [0262] 본 실시형태에서는, 반도체 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 갖는 표시 소자로서는, 여기서는 일렉트로 루미네선스를 이용하는 발광 소자를 사용하여 나타낸다. 일렉트로 루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불리고 있다.

- [0263] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되고, 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 여기 상태로 되고, 그 여기 상태에서 기저 상태로 복귀할 때, 유기 화합물이 발광한다. 이와 같은 메커니즘 때문에, 이와 같은 발광 소자는 전류 여기형의 발광 소자라고 불린다.
- [0264] 무기 EL 소자는, 그 소자 구성에 의하여 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 더욱이 그것을 전극으로 끼운 구조이고, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 전이를 이용하는 국제형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0265] 도 20은 반도체 장치의 예로서 디지털 시간 계조 구동을 적용 가능한 화소 구성의 일례를 도시하는 도면이다.
- [0266] 디지털 시간 계조 구동을 적용 가능한 화소의 구성 및 화소의 동작에 대하여 설명한다. 여기서는, 산화물 반도체층(In-Ga-Zn-O계 비단결정막)을 채널 형성 영역에 사용하는 n채널형 트랜지스터를 하나의 화소에 대하여 2개 사용하는 예를 나타낸다.
- [0267] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 갖는다. 스위칭용 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)는 게이트가 용량 소자(6403)를 사이에 두고, 전원선(6407)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다.
- [0268] 또한, 발광소자(6404)의 제 2 전극(공통 전극(6408))에는 저전원 전위가 설정되어 있다. 또한, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위<고전원 전위를 만족하는 전위이고, 저전원 전위로서는 예를 들면 GND, 0V 등이 설정되어 있어도 좋다. 이 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에 인가하여, 발광 소자(6404)에 전류를 흘려 발광 소자(6404)를 발광시키기 위하여, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순방향 임계 값 전압 이상이 되도록 각각의 전위를 설정한다.
- [0269] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대응하여 생략할 수도 있다. 구동용 트랜지스터(6402)의 게이트 용량에 대해서는, 채널 영역과 게이트 전극 사이에서 용량이 형성되어 있어도 좋다.
- [0270] 여기서, 전압 입력 전압 구동 방식의 경우에는 구동용 트랜지스터(6402)의 게이트에는 구동용 트랜지스터(6402)가 충분히 온되거나, 오프되는 2개의 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형 영역에서 동작시킴으로써, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 또한, 신호선(6405)에는, (전원선 전압+구동용 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압을 가한다.
- [0271] 또한, 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행하는 경우, 신호의 입력을 상이하게 함으로써, 도 20과 같은 화소 구성을 사용할 수 있다.
- [0272] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순방향 전압+구동용 트랜지스터(6402)의  $V_{th}$  이상의 전압을 가한다. 발광 소자(6404)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키며, 적어도 순방향 임계 값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)로 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위하여, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘리고, 아날로그 계조 구동을 행할 수 있다.
- [0273] 또한, 도 20에 도시하는 화소 구성은 이것에 한정되지 않는다. 예를 들어, 도 20에 도시하는 화소에 새롭게 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.
- [0274] 다음에, 발광 소자의 구성에 대하여, 도 21을 사용하여 설명한다. 여기서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 21a 내지 도 21c의 반도체 장치에 사용되는 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시형태 3에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, In-Ga-Zn-O

계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 1 또는 실시형태 2에서 나타내는 박막 트랜지스터를 TFT(7001, 7011, 7021)로서 적용할 수도 있다.

- [0275] 발광 소자는, 발광을 추출하기 위하여, 적어도 양극 또는 음극의 한쪽이 투명이면 좋다. 그리고, 기판 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기판과 반대 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판 측 및 기판과 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 화소 구성은 어느 사출 구조의 발광 소자에나 적용할 수 있다.
- [0276] 상면 사출 구조의 발광 소자에 대하여 도 21a를 사용하여 설명한다.
- [0277] 도 21a에, 구동용 TFT인 TFT(7001)가 n형이고, 발광 소자(7002)로부터 발해지는 광이 양극(7005) 측으로 통과하는 경우의, 화소의 단면도를 도시한다. 도 21a에서는, 발광 소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되어 있고, 음극(7003) 위에 발광층(7004)과 양극(7005)이 순차로 적층되어 있다. 음극(7003)은 일 함수가 작고, 또 광을 반사하는 도전막이라면 다양한 재료를 사용할 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 복수의 층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐주석 산화물(이하, ITO라고 제시함), 인듐아연 산화물, 산화 실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 도전막을 사용하여도 좋다.
- [0278] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼운 영역이 발광 소자(7002)에 상당한다. 도 21a에 도시한 화소의 경우, 발광 소자(7002)로부터 방출되는 광은 화살표로 나타내는 바와 같이 양극(7005) 측으로 사출된다.
- [0279] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 21b를 사용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 발해지는 광이 음극(7013) 측에 사출되는 경우의, 화소의 단면도를 도시한다. 도 21b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되어 있고, 음극(7013) 위에 발광층(7014) 및 양극(7015)이 순차로 적층되어 있다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극 위를 덮도록, 광을 반사 또는 차폐하기 위한 차폐막(7016)이 형성되어도 좋다. 음극(7013)은, 도 21a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그 막 두께는, 광을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 막 두께를 갖는 알루미늄막을, 음극(7013)으로서 사용할 수 있다. 그리고 발광층(7014)은, 도 21a와 마찬가지로, 단층으로 구성되어도 좋고, 복수층이 적층되도록 구성되어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 21a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들어, 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색 안료를 첨가한 수지 등을 사용할 수 있다.
- [0280] 음극(7013) 및 양극(7015)으로 발광층(7014)을 끼운 영역이 발광 소자(7012)에 상당한다. 도 21b에 도시하는 화소의 경우, 발광 소자(7012)로부터 발해지는 광은, 화살표로 제시하는 바와 같이 음극(7013) 측으로 사출된다.
- [0281] 다음에, 양면 사출 구조의 발광 소자에 대하여, 도 21c를 사용하여 설명한다. 도 21c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층된다. 음극(7023)은, 도 21a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그 막 두께는, 광을 투과하는 정도로 한다. 예를 들어, 20nm의 막 두께를 갖는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 21a와 마찬가지로, 단수의 층으로 구성되어 있어도 좋고, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이라도 좋다. 양극(7025)은, 도 21a와 마찬가지로, 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다.
- [0282] 음극(7023)과, 발광층(7024)과, 양극(7025)이 겹치는 부분이 발광 소자(7022)에 상당한다. 도 21c에 도시한 화소의 경우, 발광 소자(7022)로부터 발해지는 광은, 화살표로 제시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출된다.
- [0283] 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대하여 기술하였지만, 발광 소자로서 무기 EL 소자를 형성할 수

도 있다.

- [0284] 또한, 본 실시형태에서는 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되어 있는 예를 제시하였지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구성이라도 좋다.
- [0285] 또한, 본 실시형태에서 나타내는 반도체 장치는 도 21a 내지 도 21c에 도시한 구성에 한정되지 않고, 본 명세서에 개시하는 기술적 사상에 의거하는 각종의 변경이 가능하다.
- [0286] 다음에, 반도체 장치의 일 형태에 상당하는 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대하여, 도 24a 및 도 24b를 사용하여 설명한다. 도 24a는, 제 1 기관 위에 형성된 박막 트랜지스터 및 발광 소자를, 제 2 기관과의 사이에 씨일재에 의하여 밀봉한, 패널의 상면도이고, 도 24b는 도 24a의 H-I에 있어서의 단면에 상당한다.
- [0287] 제 1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)를 둘러싸도록, 시일재(4505)가 형성되어 있다. 또한, 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기관(4506)이 형성되어 있다. 따라서, 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 제 1 기관(4501)과 시일재(4505)와 제 2 기관(4506)에 의하여, 층전재(4507)와 함께 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(밀봉)하는 것이 바람직하다.
- [0288] 또한, 제 1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 박막 트랜지스터를 복수 갖고 있고, 도 24b에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시한다.
- [0289] 박막 트랜지스터(4509, 4510)는, In-Ga-Zn-O계 비단결정막을 반도체층으로서 포함한 신뢰성이 높은 실시형태 3에 나타내는 박막 트랜지스터를 적용할 수 있다. 또한, 실시형태 1 또는 실시형태 2에 나타내는 박막 트랜지스터를 적용하여도 좋다. 본 실시형태에 있어서, 박막 트랜지스터(4509, 4510)는 n채널형 박막 트랜지스터이다.
- [0290] 또한, 부호(4511)는 발광 소자에 상당하고, 발광 소자(4511)가 갖는 화소 전극인 제 1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 또한, 발광 소자(4511)의 구성은, 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이지만, 본 실시형태에 나타난 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출되는 광의 방향 등에 맞추어, 발광 소자(4511)의 구성을 적절히 바꿀 수 있다.
- [0291] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 특히, 감광성의 재료를 사용하여, 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0292] 전계 발광층(4512)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도, 어느 쪽이더라도 좋다.
- [0293] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성하여도 좋다. 보호막으로서는, 질화 실리콘막, 질화산화 실리콘막, DLC막 등을 형성할 수 있다.
- [0294] 또한, 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급된다.
- [0295] 본 실시형태에서는, 접속 단자 전극(4515)이, 발광 소자(4511)가 갖는 제 1 전극층(4517)과 같은 도전막으로 형성되고, 단자 전극(4516)은, 박막 트랜지스터(4509, 4510)가 갖는 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다. 또한, 접속 단자 전극(4515) 및 단자 전극(4516)은 n<sup>+</sup>층(4525) 및 반도체층(4526) 위에 형성되어 있다.
- [0296] 접속 단자 전극(4515)은, FPC(4518a)가 갖는 단자와, 이방성 도전막(4519)을 사이에 두고, 전기적으로 접속되어 있다.
- [0297] 발광 소자(4511)로부터의 광의 추출 방향에 위치하는 기관으로서는, 제 2 기관은 투광성이어야 한다. 이 경우

에는, 유리 기판, 플라스틱 기판, 폴리에스테르필름 또는 아크릴필름과 같은 투광성을 갖는 재료를 사용한다.

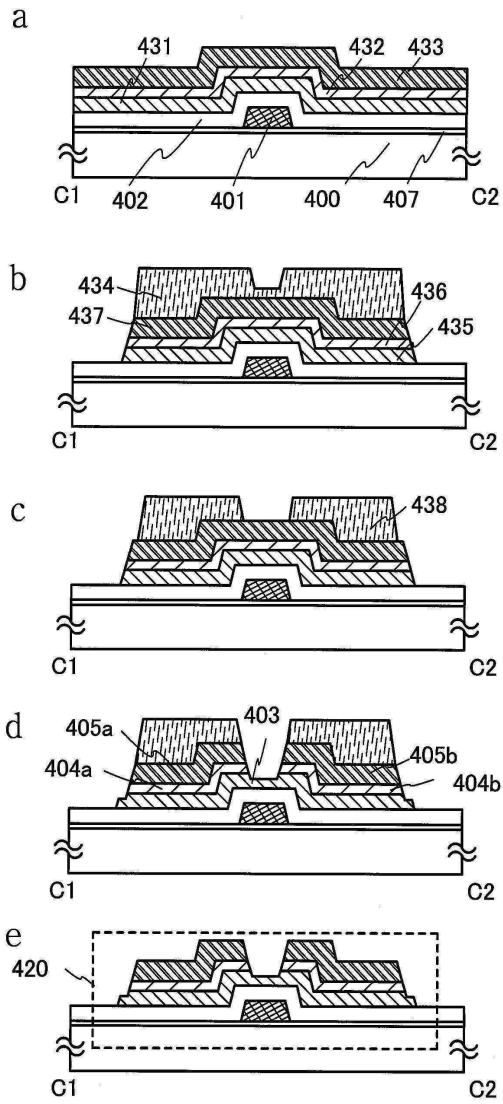
- [0298] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌비닐 아세테이트)를 사용할 수 있다. 본 실시형태는 충전재로서 질소를 사용한다.
- [0299] 또한, 필요하면, 발광 소자의 사출 면에 편광판, 또는 원형 편광판(타원형 편광판을 포함함), 위상차판(1/4 파장판 또는 반파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산함으로써, 눈부심을 저감할 수 있는 눈부심 방지(anti-glare) 처리를 행할 수 있다.
- [0300] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막에 의하여 형성된 구동 회로로 실장되어도 좋다. 또한, 신호선 구동 회로만, 또는 일부, 또는 주사선 구동 회로만, 또는 일부만을 별도 형성하여 실장하여도 좋고, 본 실시형태는 도 24a 및 도 24b의 구성에 한정되지 않는다.
- [0301] 이상의 공정에 의하여, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.
- [0302] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0303] (실시형태 8)
- [0304] 반도체 장치는, 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이라면 모든 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적(전자 북), 포스터, 전차 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 25a 내지 도 26에 도시한다.
- [0305] 도 25a는 전자 페이퍼로 제작된 포스터(2631)를 도시한다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 사람들의 손으로 행해지지만, 본 명세서에서 개시하는 전자 페이퍼를 사용하면, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정된 화상을 얻을 수 있다. 또한, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0306] 또한, 도 25b는 전차 등의 탈 것류의 차내 광고(2632)를 도시한다. 광고 매체가 종이의 인쇄물인 경우는, 광고의 교환은 사람들의 손으로 행해지지만, 본 명세서에서 개시하는 전자 페이퍼를 사용하면, 일 손이 덜 필요하고, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정된 화상을 얻을 수 있다. 또한, 광고는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0307] 또한, 도 26은 전자 서적(2700)의 일례를 도시한다. 예를 들어, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 축(軸)부(2711)에 의하여 일체화되어, 상기 축부(2711)를 축으로 하여 개폐(開閉) 동작을 행할 수 있다. 이와 같은 구성에 의하여 종이의 서적과 같은 동작을 행할 수 있다.
- [0308] 케이스(2701)에는 표시부(2705)가 조립되고, 케이스(2703)에는 표시부(2707)가 조립된다. 표시부(2705) 및 표시부(2707)는 연속된 화면을 표시하는 구성으로 하여도 좋고, 상이한 화면을 표시하는 구성으로 하여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른쪽의 표시부(도 26에서는 표시부(2705))에 문장을 표시하고, 왼쪽의 표시부(도 26에서는 표시부(2707))에 화상을 표시할 수 있다.
- [0309] 또한, 도 26에서는, 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 케이스(2701)에 있어서, 전원(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지로 이동할 수 있다. 또한, 케이스의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 측면에 외부 접속용 단자(이러폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사진으로서의 기능을 갖는 구성으로 하여도 좋다.
- [0310] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성으로 할 수도 있다.
- [0311] (실시형태 9)

- [0312] 본 명세서에서 개시하는 반도체 장치는, 다양한 전자 기기(유기기(遊技機)도 포함함)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코(pachinko)기 등의 대형 게임기 등을 들 수 있다.
- [0313] 도 27a에는 텔레비전 장치(9600)의 일례를 도시한다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 조립된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 케이스(9601)를 지지한 구성을 도시한다.
- [0314] 텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)에 의하여 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의하여 채널이나 음량을 조작할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9610)에 상기 리모트 컨트롤러(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.
- [0315] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반의 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 사이에 두고 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 행할 수도 있다.
- [0316] 도 27b는 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은 케이스(9701)에 표시부(9703)가 조립된다. 표시부(9703)는 각종 화상을 표시할 수 있고, 예를 들어, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 일반적인 포토 프레임과 마찬가지로 기능시킬 수 있다.
- [0317] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들의 구성은 표시부와 동일 면에 조립되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라를 사용하여 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하고, 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.
- [0318] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 원하는 화상의 데이터를 취득하여, 표시시키는 구성으로 할 수도 있다.
- [0319] 도 28a는 휴대형 유기기이며, 케이스(9881)와 케이스(9891) 2개의 케이스로 구성되고, 연결부(9893)에 의하여 개폐가 가능하도록 연결되어 있다. 케이스(9881)에는, 표시부(9882)가 내장되고, 케이스(9891)에는 표시부(9883)가 내장되어 있다. 또한, 도 28a에 도시하는 휴대형 유기기는, 그 이외에 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함한 것), 마이크로 폰(9889)) 등을 포함한다. 물론, 휴대형 유기기의 구성은 상술한 내용에 한정되지 않고, 적어도 본 명세서에 개시되는 반도체 장치를 구비한 구성이면 좋고, 그 이외 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 28a에 도시하는 휴대형 유기기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 28a에 도시하는 휴대형 유기기가 갖는 기능은 상술한 내용에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0320] 도 28b는, 대향 유기기인 슬롯 머신(9900)의 일례를 도시한다. 슬롯 머신(9900)은, 케이스(9901)에 표시부(9903)가 내장되어 있다. 또한, 슬롯 머신(9900)은 그 이외에, 스타트 레버나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비한다. 물론, 슬롯 머신(9900)의 구성은, 상술한 내용에 한정되지 않고, 적어도 본 명세서에 개시되는 반도체 장치를 구비한 구성이면 좋고, 그 이외 부속 설비가 적절히 설치된 구성으로 할 수 있다.
- [0321] 도 29a는 휴대 전화기(1000)의 일례를 도시한다. 휴대 전화기(1000)는 케이스(1001)에 조립된 표시부(1002) 외에, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.
- [0322] 도 29a에 도시하는 휴대 전화기(1000)는 표시부(1002)를 손가락 등으로 터치(touch)함으로써, 정보를 입력할 수 있다. 또한, 전화를 거는 조작, 또는 문자 메시지를 입력하는 등의 조작은 표시부(1002)를 손가락 등으로 터치함으로써 행할 수 있다.



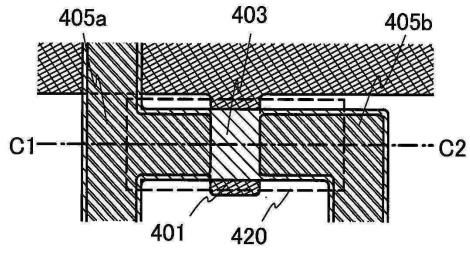
도면

도면1

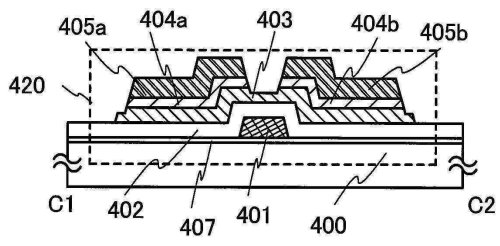


도면2

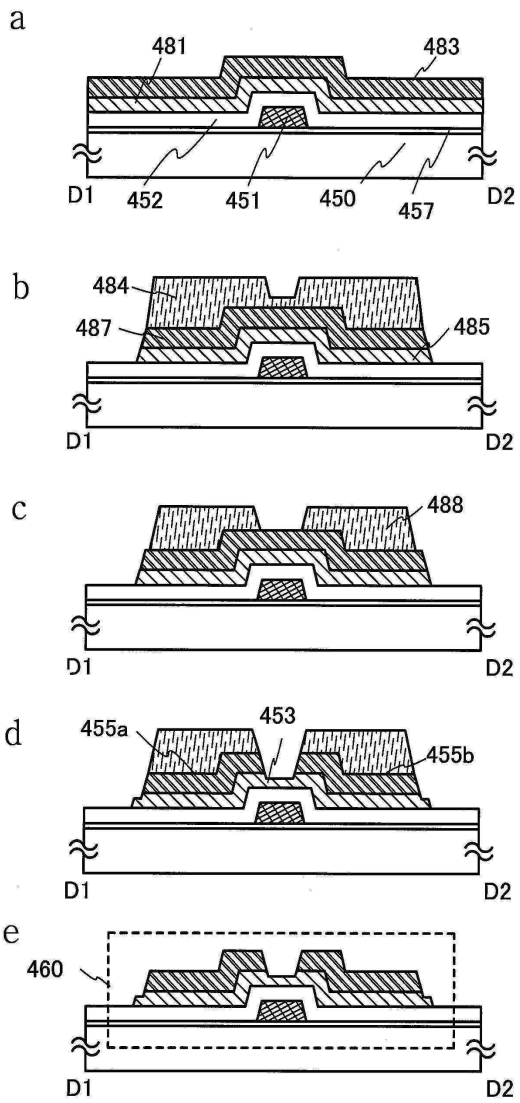
a1



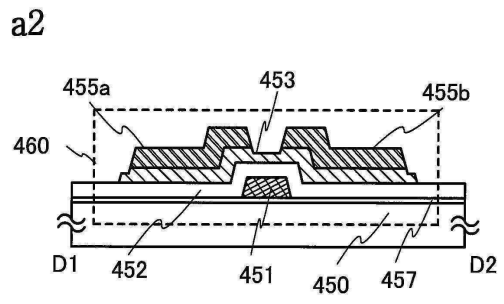
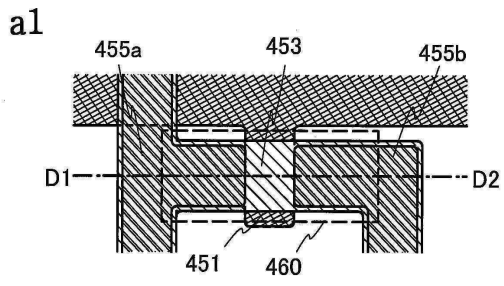
a2



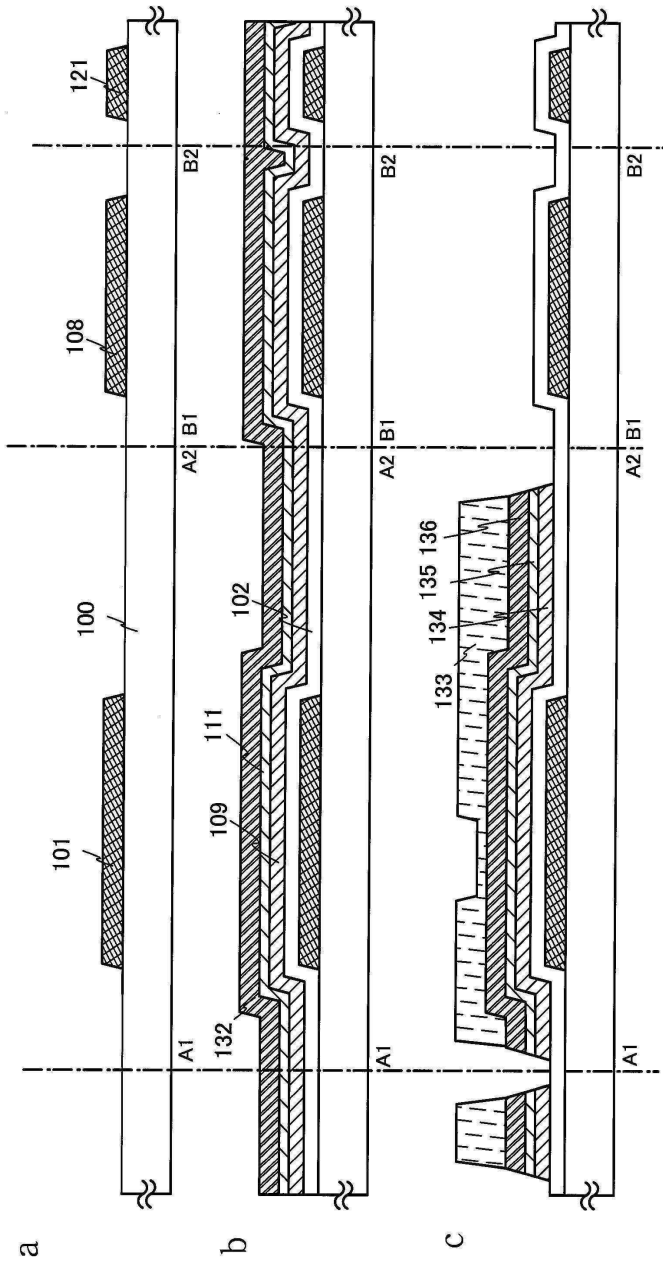
도면3



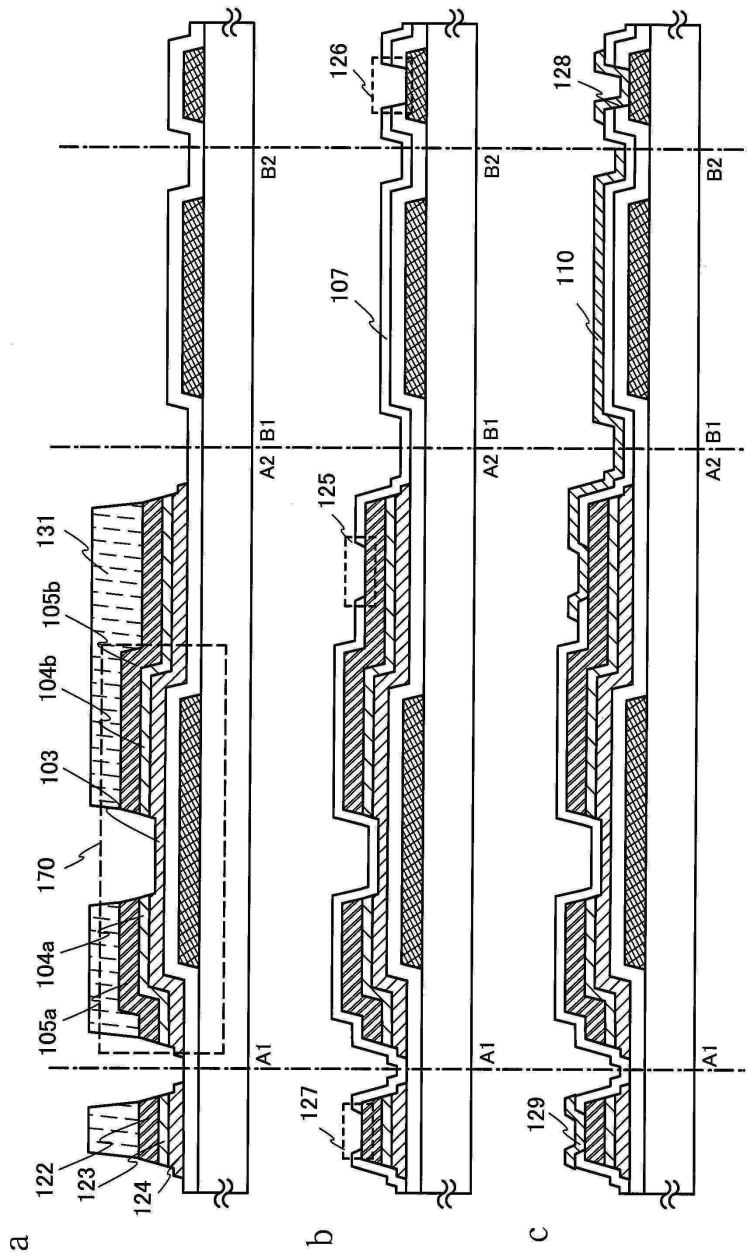
도면4



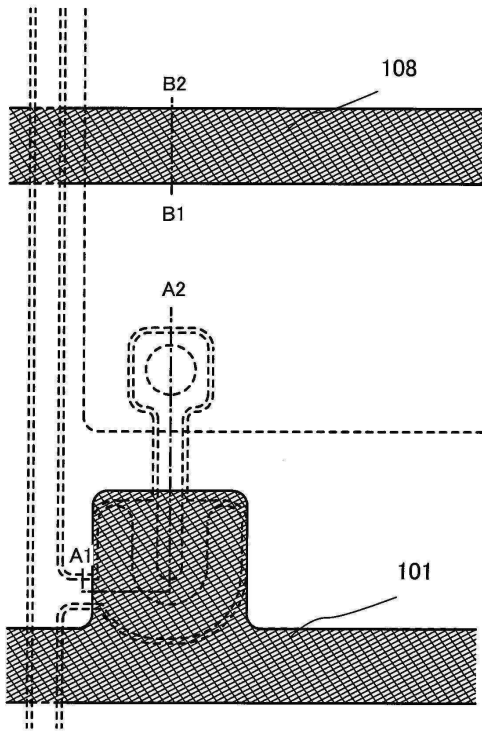
도면5



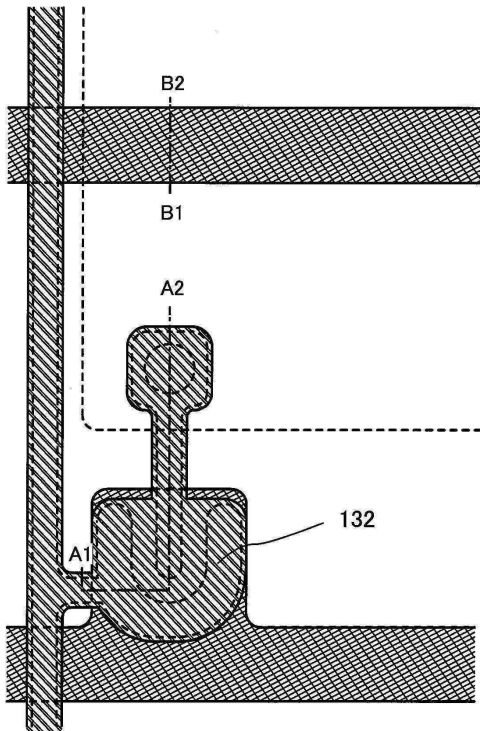
도면6



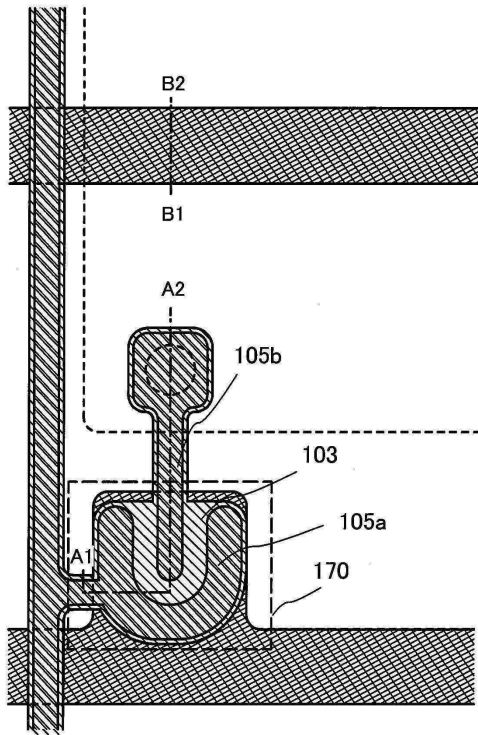
도면7



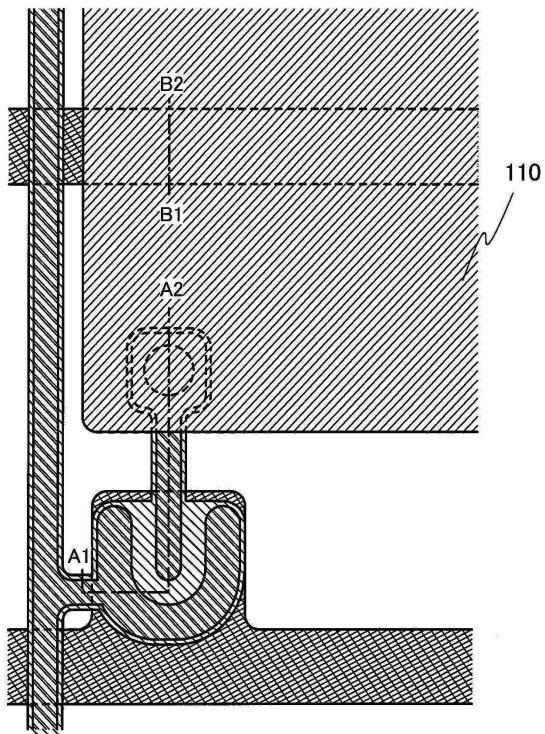
도면8



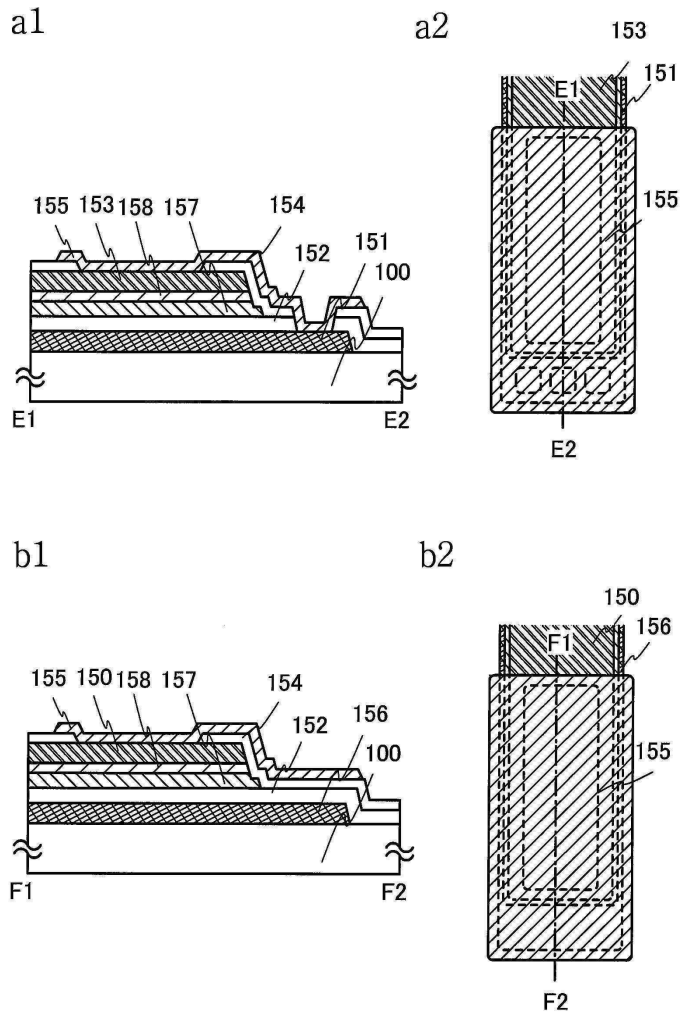
도면9



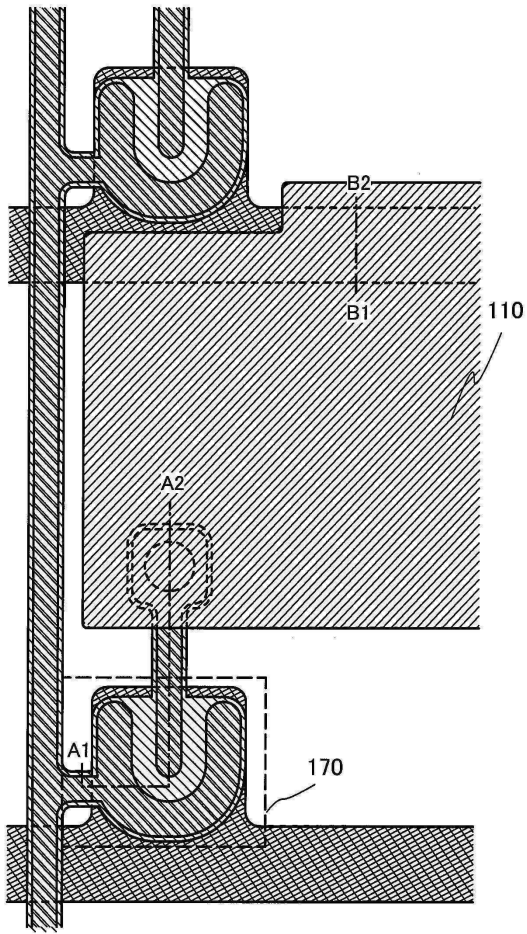
도면10



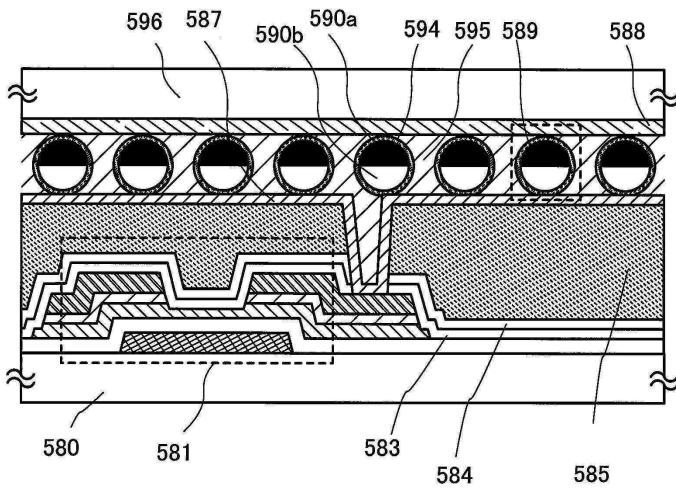
도면11



도면12

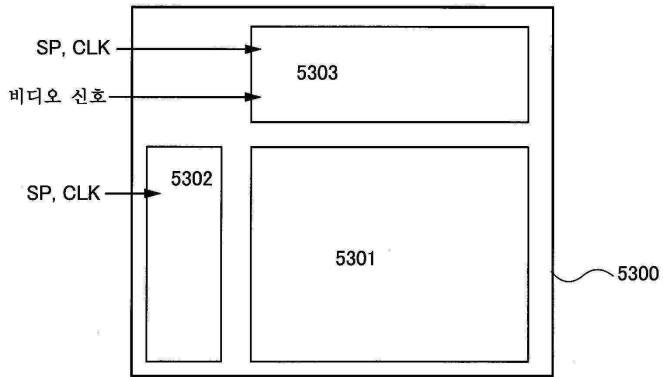


도면13

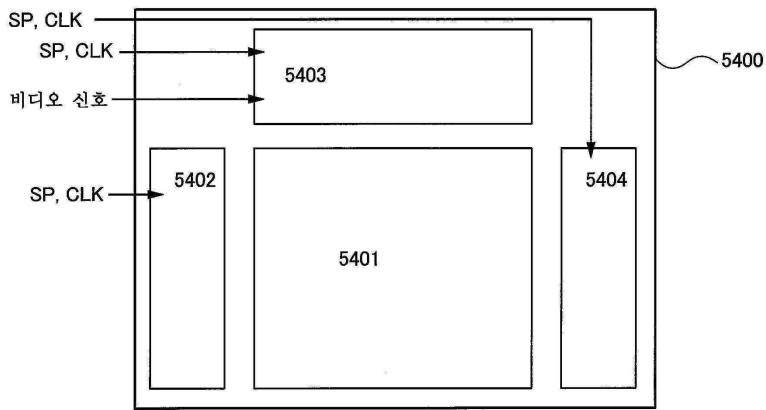


도면14

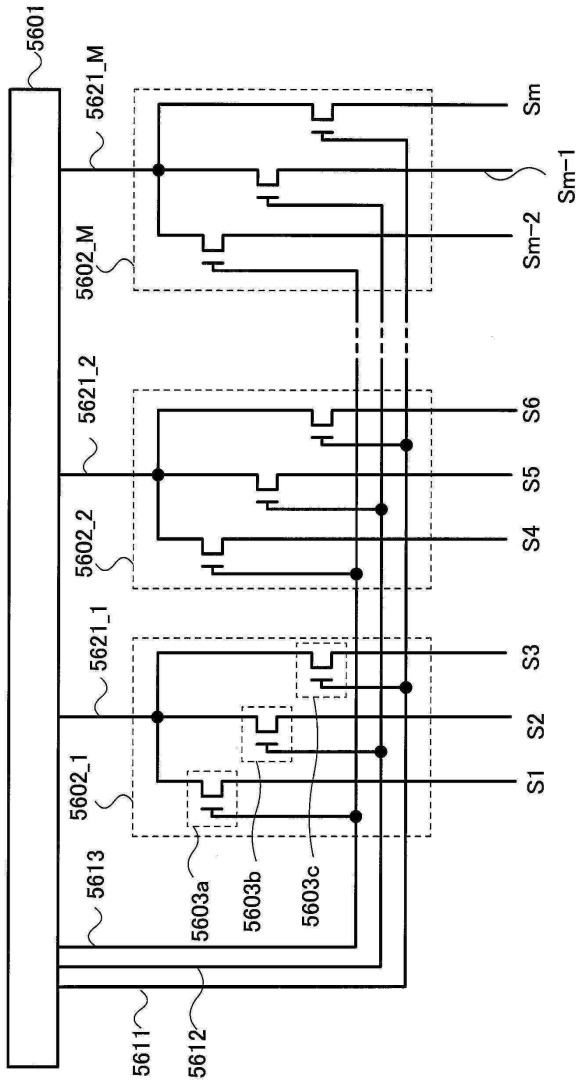
a



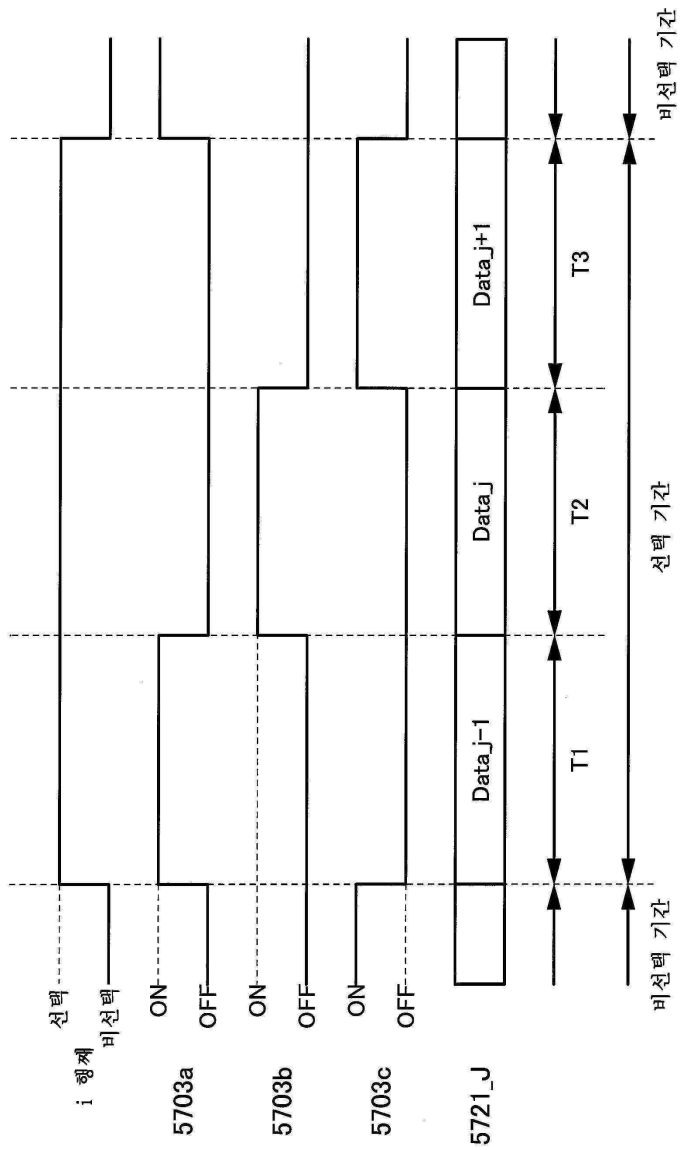
b



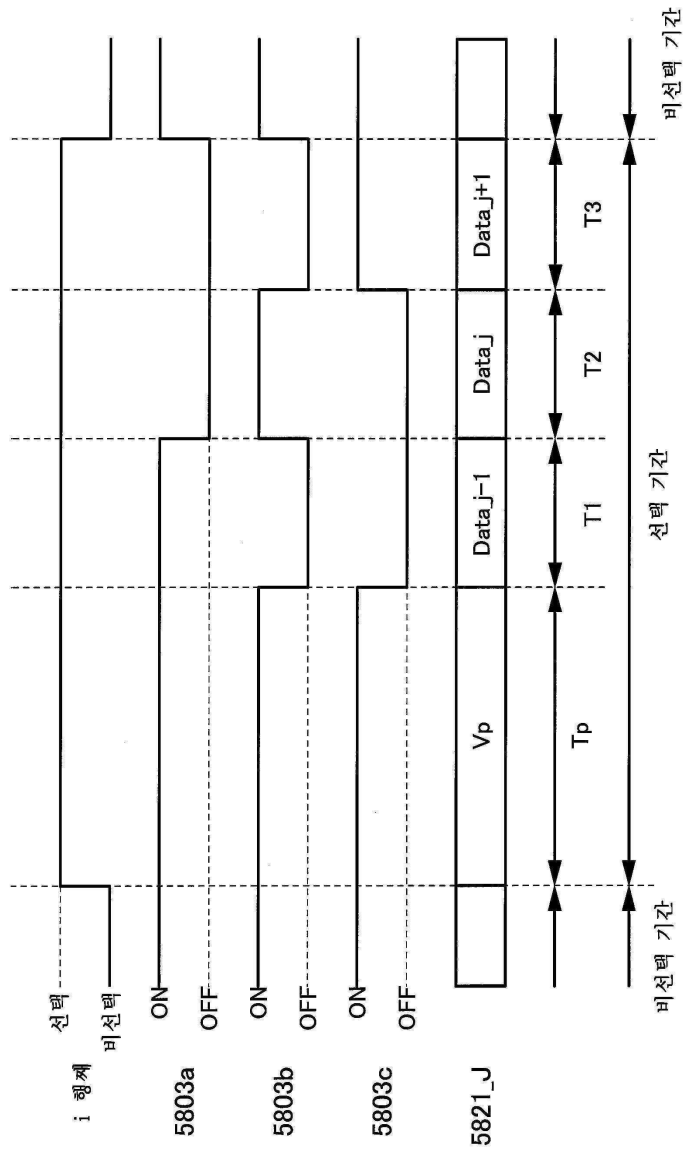
도면15



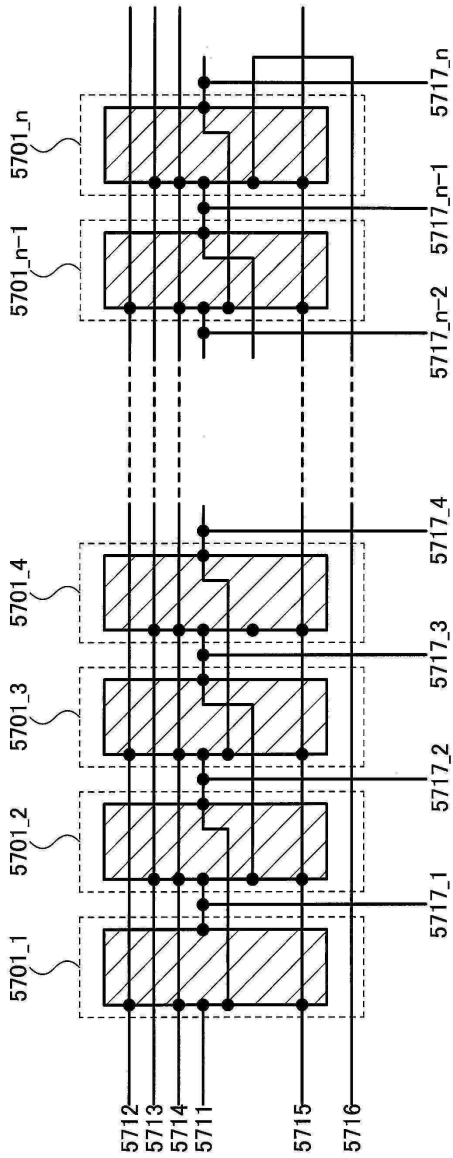
도면16



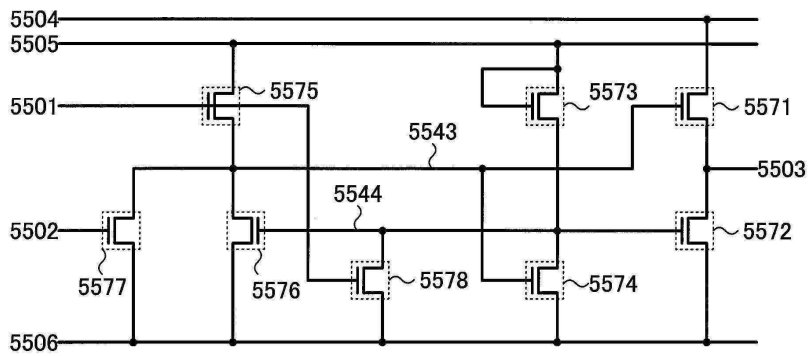
도면17



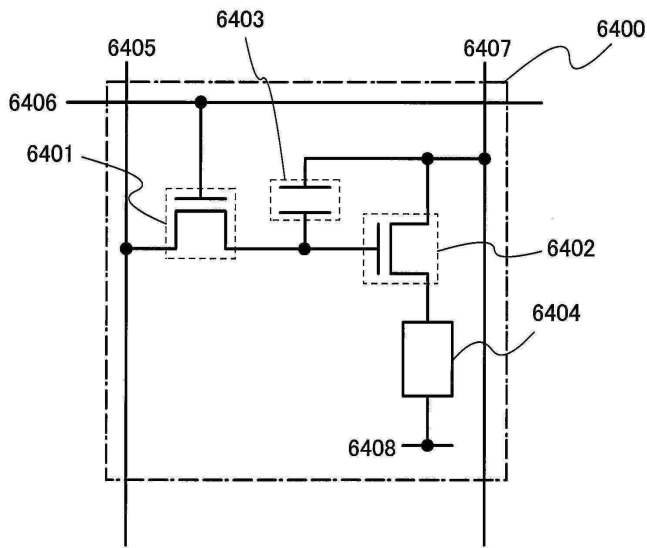
도면18



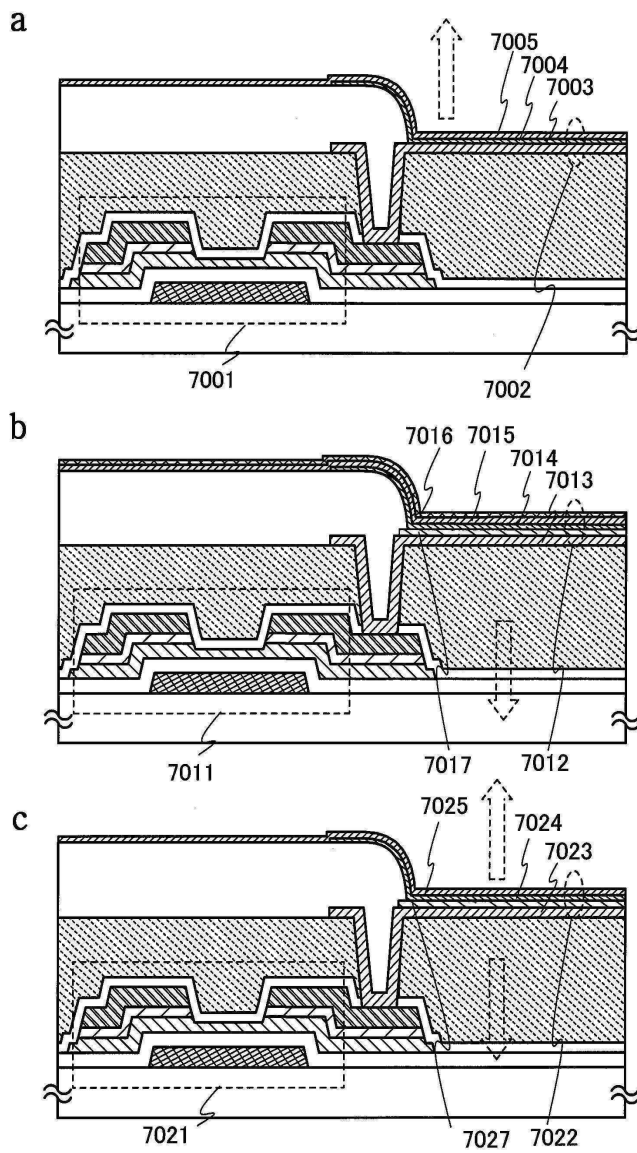
도면19



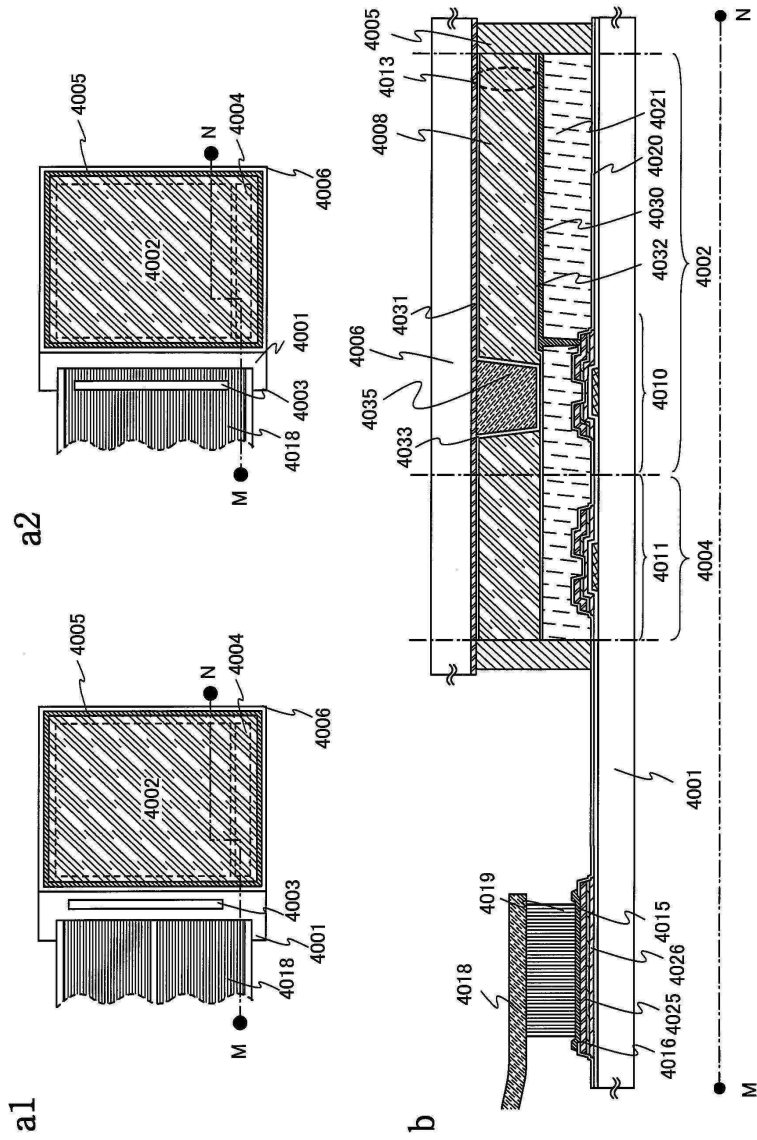
도면20



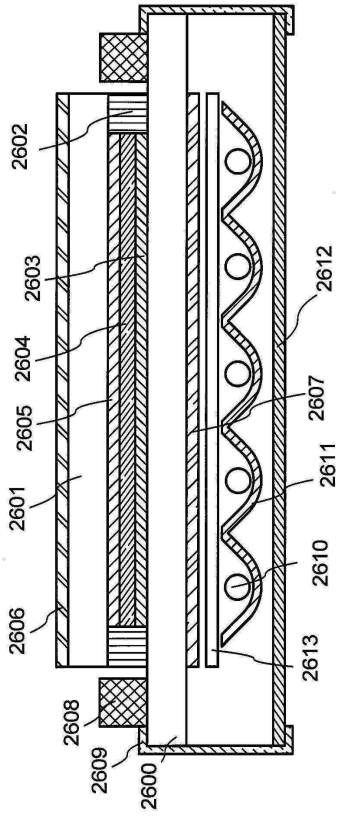
도면21



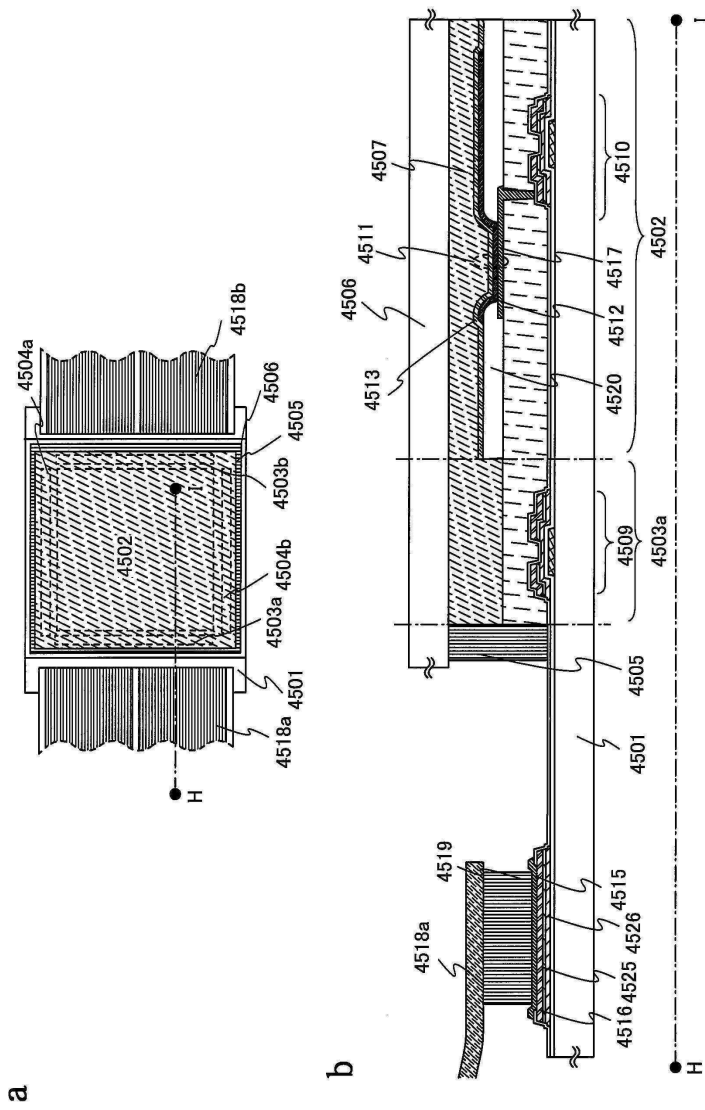
도면22



도면23

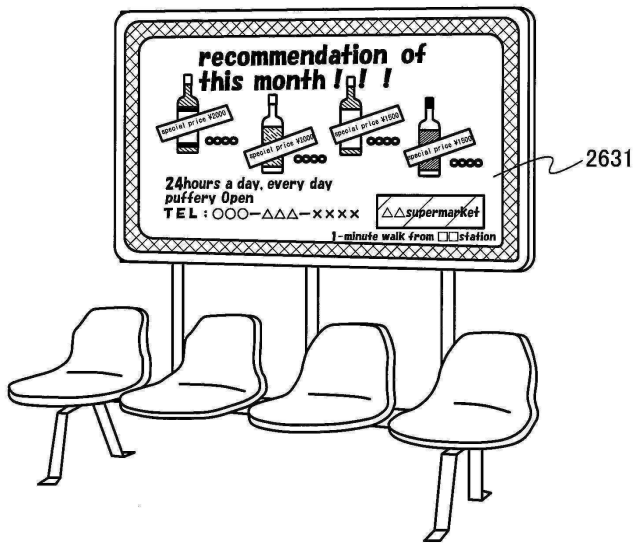


도면24

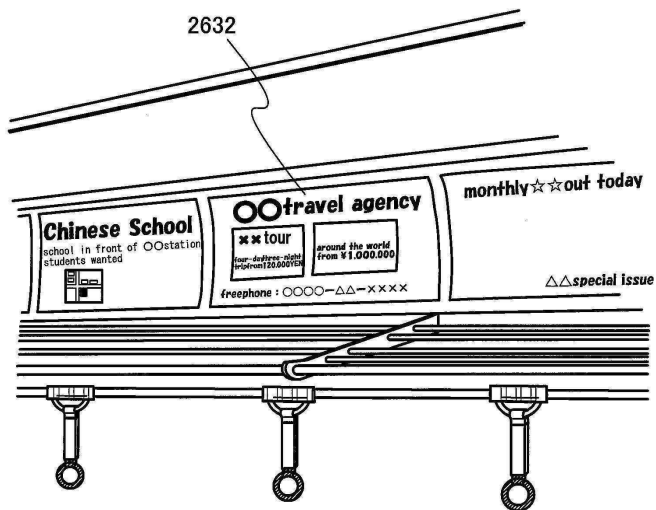


도면25

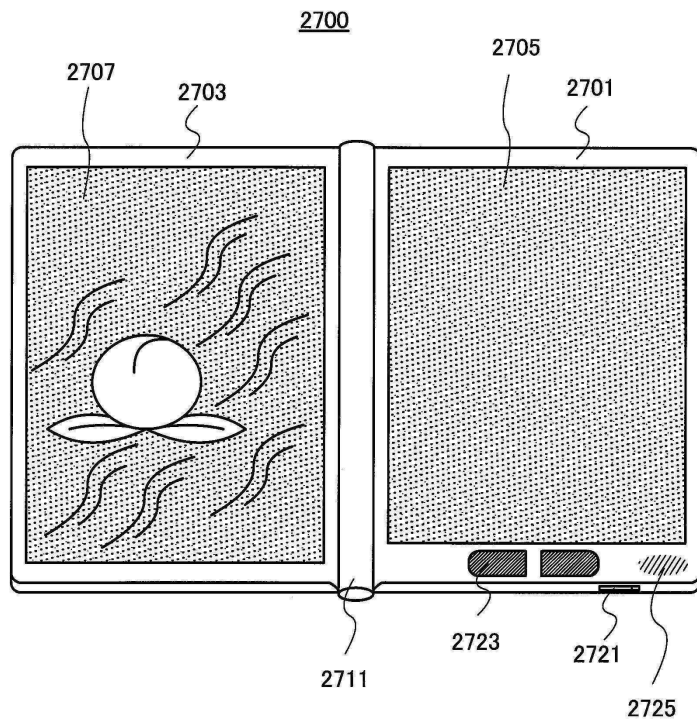
a



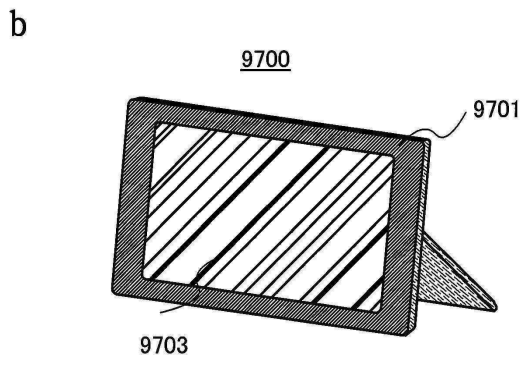
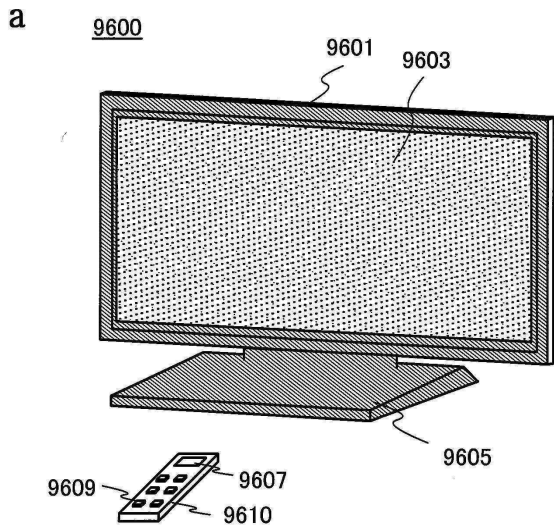
b



도면26



도면27

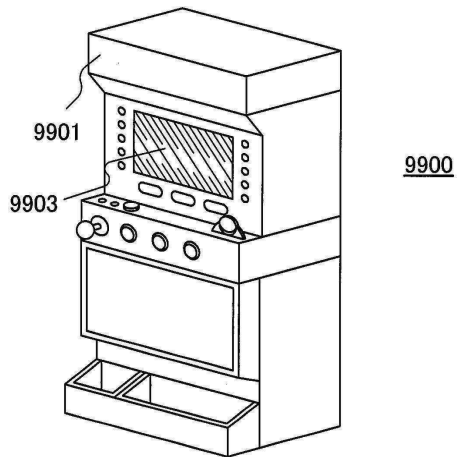


도면28

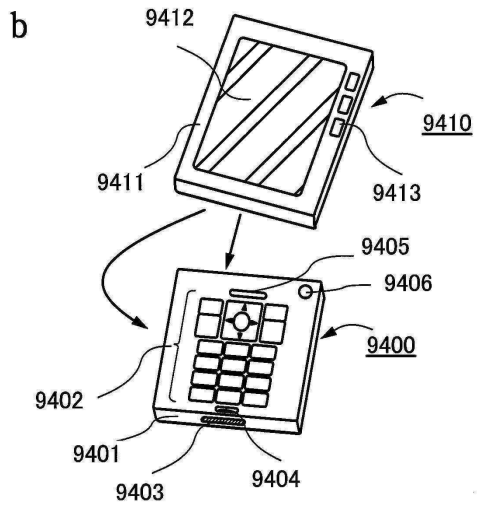
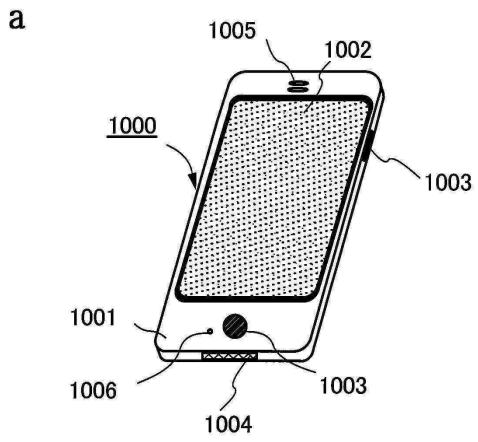
a



b



도면29



도면30

