

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 736 746

②1 N° d'enregistrement national : 95 08518

⑤1 Int Cl<sup>6</sup> : G 11 C 16/02

⑫

## DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 13.07.95.

③0 Priorité :

④3 Date de la mise à disposition du public de la  
demande : 17.01.97 Bulletin 97/03.

⑤6 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule.*

⑥0 Références à d'autres documents nationaux  
apparentés :

⑦1 Demandeur(s) : SGS THOMSON  
MICROELECTRONICS SA SOCIETE ANONYME —  
FR.

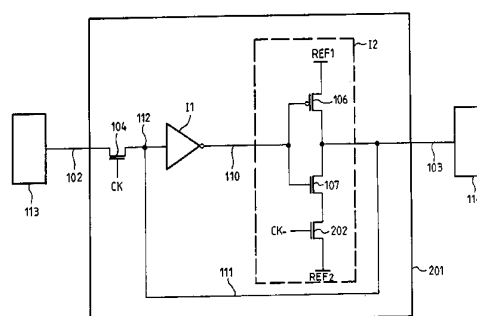
⑦2 Inventeur(s) : NAURA DAVID et ZINK SEBASTIEN.

⑦3 Titulaire(s) :

⑦4 Mandataire : CABINET BALLOT SCHMIT.

⑤4 CIRCUIT DE MEMORISATION D'ETATS.

⑤7 L'invention concerne un circuit de mémorisation (201) d'un état électrique constituant un dispositif de mémorisation dans des mémoires non volatiles programmables et effaçables électriquement (EEPROM). L'invention comporte deux inverseurs (I1 et I2), la sortie de l'inverseur (I1) étant connectée à l'entrée de l'inverseur (I2) et réciproquement, une porte de connexion (P1) constitué d'un premier transistor (104) de type N reliant l'entrée (102) du circuit de mémorisation (201) à l'entrée (112) du premier inverseur (I1). La sortie (103) du circuit (201) est reliée à la sortie du deuxième inverseur (I2). Le deuxième inverseur (I2) comprend un deuxième transistor (106) de type P en série avec un troisième transistor (107) de type N. L'invention se caractérise en ce que l'inverseur (I2) comporte un quatrième transistor (202) en série avec le deuxième transistor (106) et le troisième transistor (107).



FR 2 736 746 - A1



A

## CIRCUIT DE MEMORISATION D'ETATS

La présente invention se rapporte à un circuit de mémorisation d'un état électrique. Elle est utilisée pour mémoriser temporairement une information binaire état haut, 1, ou état bas, 0, présente à l'entrée ou à la sortie d'un circuit logique. L'invention concerne tout particulièrement, bien que non exclusivement, les dispositifs de mémorisation dans les mémoires non volatiles, programmables et effaçables électriquement (EEPROM), à l'entrée ou à la sortie de la mémoire.

Une mémoire comprend un réseau de cellules mémoires arrangées matriciellement en rangées et en colonnes. Les cellules mémoires d'une même colonne sont reliées à un conducteur commun appelé ligne de bit. Ce conducteur sert à transmettre une information sur l'état d'une cellule sélectionnée de la colonne. Une cellule est sélectionnée par un ordre appliqué sur un conducteur commun aux cellules d'une même rangée et appelé ligne de mot.

Dans une mémoire, des circuits de mémorisation peuvent être utilisés en sortie de la mémoire, plus précisément à la sortie d'un circuit de lecture, pour mémoriser une information sur l'état d'une cellule sélectionnée.

Cependant, l'invention est plus particulièrement utilisée pour mémoriser un état électrique en entrée de la mémoire lors de l'opération de programmation d'une mémoire non volatile. Pour cette opération, on peut soit programmer octet par octet, soit programmer plusieurs octets simultanément. Dans ce dernier cas, il est nécessaire de charger tous les octets dans une

première étape afin de pouvoir les programmer simultanément dans une seconde étape. Le circuit de mémorisation de l'invention permet de mémoriser ces octets au fur et à mesure de leur chargement. Un  
5 circuit de mémorisation est associé à chaque ligne de bit. Comme le circuit de mémorisation doit commander le passage d'une haute tension sur la ligne de bit pour l'opération de programmation, il est nécessaire que chaque circuit de mémorisation soit implanté  
10 physiquement dans l'alignement de la ligne de bit qui lui est associée. Cet alignement implique alors une contrainte de surface importante pour le circuit de mémorisation.

On connaît le dispositif de mémorisation  
15 représenté par la figure 1a. Ce circuit 101 comporte deux inverseurs I1 et I2 connectés en série. La sortie 110 du premier inverseur I1 est relié à l'entrée du deuxième inverseur I2, et la sortie du deuxième inverseur I2 est connecté par l'intermédiaire d'une  
20 première porte de connexion P1 à l'entrée 112 du premier inverseur I1. Cette première porte de connexion P1 est constituée d'un transistor de type P 108 et d'un transistor de type N 109 en parallèle. Le circuit 101 comporte également une deuxième porte de connexion P2  
25 reliant un circuit d'entrée 113 à l'entrée 112 du premier inverseur I1. Cette porte P2 est constituée d'un transistor de type P 105 et d'un transistor de type N 104 en parallèle. La sortie 103 du circuit 101 est reliée à la sortie du deuxième inverseur I2. Un  
30 circuit de sortie 114 est directement connecté à cette sortie 103. Un potentiel de référence REF1 de ce circuit 101 est égal à une tension d'alimentation, par exemple Vcc, et un potentiel de référence REF2 de ce circuit 101 est un potentiel de masse.

Ce circuit de mémorisation 101 est un dispositif commandé par deux signaux de commande CK et CK-, produits par une horloge et opposés, c'est-à-dire que lorsque le premier signal passe d'un état haut à un état bas, le deuxième signal passe d'un état bas à un état haut et inversement. Ces deux signaux pourraient également être produits par deux horloges identiques mais décalées dans le temps l'une par rapport à l'autre. On remarque qu'une seule porte de connexion, P1 ou P2, est active à la fois, lors de la mise en marche du dispositif. Dans ce but, les signaux CK et CK- sont appliquées respectivement sur les grilles des transistors 104 et 108, et 105 et 109. Ce circuit 101 admet deux modes de fonctionnement: transparence et mémorisation.

Le mode transparent est actif lorsque le signal de commande CK est à 1 (CK- est alors à 0). Pendant ce mode, la transmission d'un état présent à l'entrée 102 s'effectue dans le circuit 101. La sortie 103 recopie alors le signal présent à l'entrée 102. Toute variation du signal à l'entrée 102 se répercute sur le signal obtenu à la sortie 103. La donnée en sortie peut cependant ne pas être stable si l'entrée 102 est mise en l'air, ou portée à haute impédance.

Le mode mémorisation est actif lorsque le signal de commande CK est à 0 (CK- est à 1). Le circuit 101 mémorise alors la donnée présente à l'entrée 102 au moment du verrouillage c'est-à-dire lorsque le signal de commande CK passe à 0. Pendant ce mode, la donnée échantillonnée est stable même si l'entrée 102 est portée à haute impédance.

Le principal inconvénient de cette structure est qu'elle comporte quatre transistors de type P, un dans chaque inverseur I1 et I2 et les transistors 105 et

108. Or ces transistors occupent une place plus importante sur un substrat en silicium du circuit critiqué que des transistors de type N. En effet, la mobilité des porteurs de charge P étant plus faible que celle des porteurs de charge N, on compense une plus faible mobilité du transistor de type P par une plus grande largeur de canal de conduction donc par l'utilisation d'un transistor plus gros. De plus, quand on utilise des substrats de type P, les transistors de type P doivent être réalisés dans des caissons qui les entourent, et qui donc occupent plus de place. Typiquement, dans le cas d'un inverseur, le rapport de la largeur du canal de conduction sur sa longueur est de 3 pour un transistor de type N alors qu'il est de 6 pour un transistor de type P. Pour remédier à ce problème de place, différentes structures limitant le nombre de transistors de type P existent.

On remarque que l'entrée 102 pourrait être utilisée comme entrée/sortie. On chargerait et on lirait le circuit de mémorisation par l'entrée 102. L'entrée et la sortie serait alors multiplexée. Le gain de place est alors évident car un seul bus d'entrée/sortie serait nécessaire au lieu d'un bus d'entrée et d'un bus de sortie.

Une première variante connue et représentée sur la figure 1b consiste à supprimer les transistors 105 et 108 de type P et le transistor 109 de type N. Dans cette première configuration, la connexion 111 de contre-réaction est toujours active. A chaque changement d'état, la sortance du circuit d'entrée 113 doit vaincre la sortance du deuxième inverseur I2. Le signal d'entrée que l'on veut charger dans le circuit, doit s'opposer à l'état imposé par la sortie 103 du circuit 101 et ramené en entrée par la connexion 111 de

contre-réaction.

On constate également que cette structure ne se comporte pas symétriquement en ce qui concerne les temps de chargement des états électriques haut et bas.

5 Par chargement d'un état électrique, on entend une transmission de l'état électrique présent à l'entrée 102 vers la sortie 103 du circuit de mémorisation.

Lors du chargement d'un état haut dans le circuit de mémorisation 101, l'état présent à l'entrée 102 du  
10 circuit est représentée sous la forme d'un potentiel électrique  $V_{cc}$ . Pour que le transistor 104 transmette ce niveau, il faut que la tension entre sa grille de commande et sa source soit supérieure ou égale à une tension seuil  $V_t$ . On rappelle que le chargement d'un  
15 état électrique dans le circuit s'effectue lorsque le mode transparent est actif ( $CK=1$ ). Le potentiel appliqué sur la grille de commande du transistor 104 est donc égal à  $V_{cc}$ . On obtient alors le potentiel  $V_{cc}-V_t$  à l'entrée 112 de l'inverseur I1. On constate qu'il  
20 y a une perte d'information dans le signal d'entrée.

Lors du chargement d'un état bas, on dispose d'un potentiel nul à l'entrée 102 du circuit. Ce potentiel nul est transmis par le transistor 104 à l'entrée 112 du premier inverseur I1 car la tension  
25 entre la grille et la source de ce transistor est supérieure à  $V_t$ . On constate donc que le transistor 104 dégrade le niveau haut d'entrée mais qu'il est complètement transparent pour le niveau bas. De ce fait, le temps de chargement d'un état haut est  
30 supérieur à celui d'un état bas.

Cette solution comporte un faible nombre de transistors (trois transistors en moins par rapport à la figure 1a) mais le chargement des états présents à l'entrée 102 du circuit n'est pas rapide surtout dans

le cas du chargement d'un état haut à partir d'un état bas.

Une deuxième variante connue représentée sur la figure 1c, consiste à ne supprimer que les deux transistors 108 et 105, de type P présents respectivement dans la première et deuxième porte de connexion. Lors du chargement d'un état ( $CK=1$ ) dans le circuit 101, la connexion 111 de contre-réaction est coupée par l'intermédiaire du transistor 109 dont la grille est commandée par le signal de commande  $CK-$  à 0. L'état présent à la sortie 103 ne s'oppose pas au chargement de l'état présent à l'entrée 102 du circuit.

Toutefois, le fait que la contre-réaction ne soit jamais active pendant le chargement ( $CK=1$  et  $CK-=0$ ) d'un état électrique dans le circuit 101 présente un inconvénient. Lorsque les inverseurs I1 et I2 commencent à basculer, l'état présent à la sortie 103 et résultant de l'état chargé en entrée, ne peut renforcer l'état présent à l'entrée 112. Cette deuxième variante est donc plus sensible au bruit que les structures précédentes, plus particulièrement dans le cas du chargement d'un 1 ( $V_{cc}$ ), car l'état présent à l'entrée 112 de l'inverseur I1 ne vaut plus que  $V_{cc}-V_t$ .

On peut noter également que, dans ce cas, le temps de chargement d'un 1 est toujours supérieur à celui d'un 0. Par ailleurs, en regard de la structure précédente, cette variante comporte un transistor de type N supplémentaire 109. Cette variante est néanmoins plus rapide que la précédente en ce qui concerne les temps de chargement des états à mémoriser car le signal d'entrée n'est pas perturbé par la sortance de l'inverseur I2.

Une dernière variante connue de la structure de départ consiste à modifier la structure de la figure 1c

en rajoutant un transistor 115 de type P pour augmenter la marge de fonctionnement du circuit au regard du bruit lors du chargement d'un 1 à l'entrée 102 du circuit. Cette variante est représentée sur la figure 1d. La grille du transistor supplémentaire 115 est connectée à la sortie 110 de l'inverseur I1, son drain à l'entrée 112 de l'inverseur I1 et sa source à un potentiel de référence REF3, qui est un potentiel d'alimentation, Vcc par exemple. Ce transistor 115 joue alors le rôle d'une contre-réaction.

Ce dispositif permet, lors du chargement d'un état haut dans le circuit 101, de renforcer le niveau haut à l'entrée 112 au moment où le premier inverseur I1 bascule. L'inconvénient de cette solution est que le rajout du transistor 115 ralentit le fonctionnement du circuit 101 lors du chargement d'un état bas à partir d'un état haut. En effet, dans ce cas, le circuit 102 doit vaincre la sortance du transistor 115 avant de pouvoir changer d'état. Pour cette raison, le transistor 115 doit être résistif. C'est un inconvénient car le transistor 115 va alors occuper beaucoup de place sur le silicium.

En ce qui concerne le mode mémorisation ( $CK=0$ ), toutes les variantes présentées ici sont équivalentes.

Donc les structures connues détaillées précédemment ne permettent pas d'allier à la fois compacité, rapidité et faible sensibilité au bruit.

Le but de l'invention est donc d'obtenir une structure ayant ces trois propriétés et en particulier, de réduire le temps de chargement de l'état haut dans le circuit. Ces améliorations auront pour conséquences de diminuer le nombre de transistors dans les circuits de mémorisation et d'améliorer l'intégration de ces circuits dans des architectures plus complexes.

L'invention a pour objet un circuit de mémorisation d'un état électrique comportant une entrée et une sortie de signal destinées à être connectées, à l'extérieur du circuit de mémorisation, respectivement à un circuit d'entrée et à un circuit de sortie, cette entrée et cette sortie pouvant éventuellement être multiplexées en un même point d'accès, ce circuit de mémorisation recevant par ailleurs sur deux entrées de commande une première et une deuxième commande de mémorisation, un premier transistor de type N recevant sur sa grille de commande la première commande de mémorisation, l'entrée du circuit de mémorisation étant reliée au drain du premier transistor de type N, un premier et un deuxième inverseur comportant chacun une entrée et une sortie, l'entrée d'un inverseur étant reliée à la sortie de l'autre et réciproquement, l'entrée du premier inverseur étant reliée à la source du premier transistor de type N, la sortie du circuit de mémorisation étant reliée à la sortie du deuxième inverseur, le deuxième inverseur comportant un deuxième transistor de type P en série avec un troisième transistor de type N, entre un premier et un second potentiel de référence, les grilles de commandes de ce deuxième et de ce troisième transistor étant reliées à la sortie du premier inverseur, caractérisé en ce que le deuxième inverseur comporte un quatrième transistor en série avec le deuxième et le troisième transistor, et recevant sur sa grille de commande la deuxième commande de mémorisation.

Les particularités de l'invention apparaîtront clairement dans la description suivante faite en regard des figures annexées qui représentent :

- les figures 1a, 1b, 1c et 1d, des schémas de l'état de la technique concernant les circuits de

verrouillage;

- la figure 2a, un schéma électronique de la structure préférée;

- les figures 2b et 2c, des schémas concernant respectivement le chargement d'un état bas et le chargement d'un état haut;

- la figure 3, le dessin en coupe des transistors en série 107 et 202;

- la figure 4, un schéma électronique d'une structure particulière introduisant un transistor supplémentaire par rapport au mode de réalisation préféré.

Les figures 1a, 1b, 1c et 1d correspondant à un état de la technique, ont été précédemment décrites.

La figure 2a, représente le schéma électronique du circuit de mémorisation 201 préféré. Nous le décrirons en regard de la figure 1a étant donné qu'il représente une amélioration du circuit de mémorisation 101 connu.

On limite la deuxième porte de connexion P2 au seul transistor 104 de type N et on remplace la première porte de connexion P1 par un court-circuit. Dans le mode de réalisation préféré, on introduit un transistor 202 de type N entre le transistor 107 de type N et le deuxième potentiel de référence REF2 qui est un potentiel de masse. La grille de commande du transistor 202 reçoit la commande de mémorisation CK-. On note que le transistor 202 constitue une contre-réaction de la sortie de l'inverseur I2 à la masse.

Lors du chargement d'un 0 (respectivement 1), le circuit 201 ayant été préalablement chargé avec un 0 (respectivement 1), les états contenus dans le circuit ne sont pas modifiés donc il n'y a ni problème de bruit, ni problème de rapidité.

Le chargement d'un 0, le circuit de mémorisation 201 étant précédemment verrouillé à 1, est représenté à la figure 2.b. Le verrouillage du circuit 201 à 1 implique la présence d'un 1 à l'entrée 112 de l'inverseur I1 et à la sortie 103 de l'inverseur I2 et celle d'un 0 à l'entrée 110 de l'inverseur I2. Lorsque le signal de commande de mémorisation CK passe à 1, le chargement du 0 présent à l'entrée 102 du circuit de mémorisation 201 commence. Comme l'entrée 110 du deuxième inverseur I2 est à 0, le transistor 107 est bloqué et le transistor 106 est passant. De plus, le signal de commande CK- étant à 0 par opposition au signal de commande CK, le transistor 202 est bloqué. De ce fait, la contre-réaction globale de la sortie 103 sur l'entrée 112 est active. Lors du chargement d'un 0, le fonctionnement du circuit de mémorisation 201 est alors similaire à celui de la figure 1b (cas où la contre-réaction est toujours active). Dans ce cas (chargement d'un 0), le transistor 104 ne dégrade pas l'état d'entrée et le temps de chargement du 0 est alors relativement rapide.

Le chargement d'un 1, le circuit de mémorisation 201 étant précédemment verrouillé à 0, est représenté à la figure 2.c. Le verrouillage du circuit de mémorisation 201 à 0 implique la présence d'un 0 à l'entrée 112 de l'inverseur I1 et à la sortie 103 de l'inverseur I2, et celle d'un 1 à l'entrée 110 de l'inverseur I2. Lorsque le signal de commande de mémorisation CK passe à 1, le chargement du 1 présent à l'entrée 102 commence. Comme l'entrée 110 de l'inverseur I2 est à 1, le transistor 106 est bloqué. Le signal de commande CK- étant à 0, le transistor 202 est bloqué. Cela a pour conséquence de bloquer le transistor 107, quel que soit le potentiel sur sa

grille, car il n'y a pas de courant circulant entre son drain et sa source. La contre-réaction à la masse est donc coupée. Le circuit se comporte comme si la contre-réaction globale de la sortie 103 sur l'entrée 112  
5 était ouverte. De ce fait, la sortance de l'inverseur I2 n'a aucune influence sur la sortance du circuit d'entrée 113. Le chargement de l'état haut est par conséquent plus rapide.

De plus, une fois que les inverseurs I1 et I2 ont  
10 commencé à basculer, avant même le changement d'état du signal de commande de mémorisation CK-, la contre-réaction globale est réactivée car le transistor 106 est devenu passant. Dans ce cas, le niveau haut de la sortie 103 contre-réactionnée sur l'entrée 102 vient  
15 confirmer le niveau haut d'entrée. L'incertitude sur le niveau haut à l'entrée 112, due en partie au transistor 104, est par conséquent réduite par la réactivation de la contre-réaction globale en fin de chargement d'un 1. L'influence du bruit sur le fonctionnement du circuit  
20 est donc réduite lors du chargement d'un 1 dans le circuit de mémorisation 201.

Cette structure permet par conséquent d'obtenir une symétrie relative entre les temps de chargement (état haut et état bas). En effet, elle diminue le  
25 temps d'établissement de l'état haut dans le circuit 201 sans pénaliser le temps d'établissement de l'état bas. En terme de surface occupée sur le silicium, le circuit 201 préféré est économique car il comporte un faible nombre de transistors. La surface du circuit de  
30 mémorisation 201 est d'autant plus faible que certains de ces transistors sont en série.

Dans le cas où l'entrée et la sortie sont multiplexées, le chargement et la lecture du circuit de mémorisation 101 se fait par l'entrée 102, qui devient

une entrée/sortie. Le multiplexage est alors commandé par un signal indiquant la lecture ou le chargement du circuit. Dans ce cas, le mode chargement est actif lorsque  $CK = 0$  et  $CK^- = 1$  alors que le mode lecture est  
5 actif lorsque  $CK = 1$  et  $CK^- = 1$ .

La structure préférée possède un transistor 202 de type N en série avec le transistor 107 de type N. La figure 3 représente un dessin en coupe de ces deux transistors de type N en série. Ils sont réalisés à  
10 partir d'une région drain commune 301 et d'une région source commune 302. Ces deux régions sont diffusées dans une région substrat 307. Le canal de conduction 305, reliant ces deux régions, est recouvert sur sa longueur L pour une partie par la grille de commande  
15 303 du transistor 107 et pour une autre partie par la grille de commande 304 du transistor 202. Une zone 306 d'oxyde isole les grilles de commande des transistors du canal de conduction 305.

Par ailleurs, sur la figure 3, une zone de diffusion 308 est diffusée dans le substrat 307. Elle permet de réaliser la jonction entre la partie du canal de conduction qui est sous la grille de commande 303 et l'autre partie du canal de conduction qui est sous la grille de commande 304. Elle joue ainsi le rôle de  
20 court-circuit entre les deux parties du canal de conduction.

Dans un autre mode de réalisation, les grilles de commande sont disposées de manière à ce qu'elles soient indépendantes et que le canal de conduction ne soit pas  
30 coupé dans la zone de substrat située entre les grilles de commande.

On remarque au vu de cette figure 3, que l'encombrement de deux transistors de même type en série est plus faible que celui de deux transistors de

même type apposés l'un à coté de l'autre. De plus, il n'y a pas besoin de connexion pour mettre en série ces deux transistors. Donc, pour un même nombre de transistors, le circuit de mémorisation 201 est plus compact que le circuit 101 présenté à la figure 1c.

Il est à noter que l'on peut adopter une deuxième configuration de circuit en déplaçant le transistor 202 et en l'intercalant entre la sortie 103 du circuit et le transistor 107. Cette modification de l'emplacement du transistor 202 ne change en rien le fonctionnement du circuit de mémorisation 201.

L'invention présente les avantages suivants :

- elle comporte un faible nombre de transistors.
- elle équilibre le temps de chargement de l'état haut et de l'état bas pendant le mode transparent du circuit 201. En effet, elle diminue le temps d'établissement d'un 1 dans le circuit sans pénaliser le temps d'établissement d'un 0.

- elle limite l'influence du bruit sur le fonctionnement du circuit.

- elle optimise les dimensions du circuit 201 sur le silicium par l'association en série de deux transistors de même type.

Cependant, dans le cas où l'on veut diminuer indifféremment le temps de chargement d'un état bas et celui d'un état haut, on peut employer le circuit de mémorisation 401 représenté à la figure 4. Etant donné que ce circuit de mémorisation 401 est une variante du circuit 201 préféré, nous le décrirons en regard de la figure 2a. Ce circuit 401 comporte un transistor supplémentaire 402 de type P connecté entre le potentiel de référence REF1 et le transistor 106 de type P. Le transistor 402 reçoit sur sa grille de commande la commande de mémorisation CK.

Pendant le mode transparent ( $CK=1$ ), période pendant laquelle s'effectue le chargement dans le circuit 401 de l'état (haut ou bas) présent à l'entrée 102 du circuit, le transistor 202 de type N est bloqué ainsi que le transistor 402 de type P. Pendant ce mode, il n'y a de contre-réaction possible de la sortie 103 ni vers la masse ni vers l'alimentation. Donc, quel que soit l'état présent à l'entrée 102 du circuit, le circuit de mémorisation 401 se comporte comme si la contre-réaction globale était ouverte.

Le fonctionnement de ce circuit de mémorisation 401 est identique à celui proposé à la figure 1c. L'unique différence au niveau des caractéristiques du circuit, concerne les dimensions du circuit sur silicium.

Dans le cas de la figure 1c, on utilise un transistor 109 de type N pour bloquer la contre-réaction globale pendant le chargement d'un état dans le circuit 401.

Dans le cas de la figure 4, on rajoute les transistors 202 et 402 associés respectivement en série avec les transistors 107 et 106. Pour cela, on modifie les transistors existants 107 et 106. Ces transistors 202 et 402 coupent la contre-réaction de la sortie du circuit 401 respectivement à la masse et à l'alimentation, lors du chargement d'un état dans le circuit 401. On pourrait se contenter de rajouter uniquement le transistor 402 de type P mais le fonctionnement serait néanmoins moins performant.

L'association en série des transistors 402 et 106 est réalisée à partir d'une région drain commune et d'une région source commune. Ces deux régions sont diffusées dans un caisson, lui-même diffusé dans une région substrat. Le canal de conduction, reliant ces

deux régions, est recouvert sur sa longueur en partie par la grille de commande du transistor 106 et pour une autre partie par la grille de commande du transistor 402. Une zone d'oxyde isole les grilles de commande des transistors du canal de conduction.

En terme de surface, le fait de rajouter un transistor (figure 1c) avec des connexions le reliant au reste du circuit est à peu près équivalent à celui de modifier deux transistors existants en leur insérant une grille supplémentaire.

Cette structure présente l'avantage d'accélérer le chargement d'un état bas dans le circuit par rapport à la structure préférée car la sortance de l'inverseur I2 ne perturbe pas le chargement de la donnée à l'entrée 102 du circuit de mémorisation 401. Cependant, il ne bénéficie pas d'une marge de fonctionnement au regard du bruit aussi importante que le circuit 201 préféré et de plus, il possède un transistor supplémentaire 402.

## REVENDICATIONS

1 - Circuit de mémorisation (201) d'un état électrique comportant une entrée (102) et une sortie (103) de signal destinées à être connectées, à l'extérieur du circuit de mémorisation, respectivement  
5 à un circuit d'entrée (113) et à un circuit de sortie (114), ce circuit de mémorisation (201) recevant par ailleurs sur deux entrées de commande une première commande de mémorisation (CK) et une deuxième commande de mémorisation (CK-), un premier transistor (104) de  
10 type N recevant sur sa grille de commande la première commande de mémorisation (CK), l'entrée (102) du circuit de mémorisation (201) étant reliée au drain du premier transistor (104) de type N, un premier inverseur (I1) et un deuxième inverseur (I2) comportant  
15 chacun une entrée et une sortie, l'entrée d'un inverseur étant reliée à la sortie de l'autre et réciproquement, l'entrée du premier inverseur (I1) étant reliée à la source du premier transistor (104) de type N, la sortie (103) du circuit de mémorisation  
20 étant reliée à la sortie du deuxième inverseur (I2), le deuxième inverseur (I2) comportant un deuxième transistor (106) de type P en série avec un troisième transistor (107) de type N, entre un premier potentiel de référence REF1 et un second potentiel de référence  
25 REF2, les grilles de commandes de ce deuxième transistor (106) et de ce troisième transistor (107) étant reliées à la sortie (110) du premier inverseur (I1), caractérisé en ce que le deuxième inverseur (I2) comporte un quatrième transistor (202) en série avec le  
30 deuxième transistor (106) et le troisième transistor (107), et recevant sur sa grille de commande la

deuxième commande de mémorisation (CK-).

2 - Circuit intégré de mémorisation, selon la revendication 1, comportant un premier et un deuxième inverseur caractérisé en ce que le quatrième transistor du deuxième inverseur est un transistor de type N.

3 - Circuit intégré de mémorisation, selon la revendication 2, comportant un premier et un deuxième inverseur caractérisé en ce que le quatrième transistor de type N du deuxième inverseur est connecté entre le troisième transistor de type N et le deuxième potentiel de référence.

4 - Circuit intégré de mémorisation, selon la revendication 2, comportant un premier et un deuxième inverseur caractérisé en ce que le quatrième transistor de type N du deuxième inverseur est connecté entre la sortie de ce deuxième inverseur et le troisième transistor de type N.

5 - Circuit intégré de mémorisation caractérisé en ce que le deuxième inverseur comporte un cinquième transistor en série avec le deuxième transistor de type P, le troisième transistor de type N et le quatrième transistor.

6 - Circuit intégré de mémorisation, selon la revendication 5, comportant un premier et un deuxième inverseur caractérisé en ce que le cinquième transistor du deuxième inverseur est un transistor de type P.

7 - Circuit intégré de mémorisation, selon la revendication 5 ou la revendication 6, comportant un premier et un deuxième inverseur caractérisé en ce que le cinquième transistor du deuxième inverseur est connecté entre le premier potentiel de référence et le deuxième transistor de type P.

8 - Circuit intégré de mémorisation, selon la revendication 5 ou la revendication 6, comportant un

premier et un deuxième inverseur caractérisé en ce que le cinquième transistor du deuxième inverseur est connecté entre le deuxième transistor de type P et la sortie de ce deuxième inverseur.

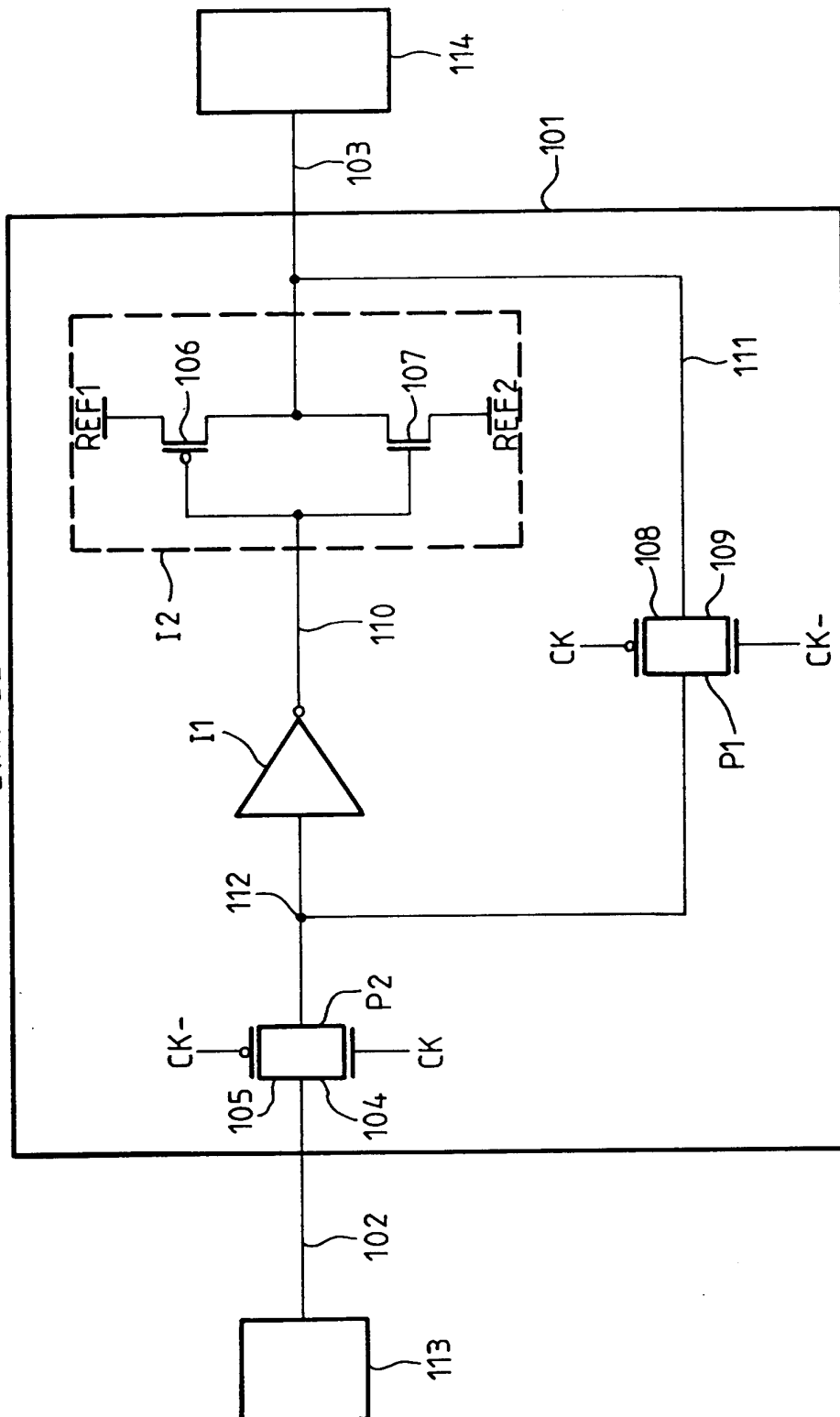
5           9 - Circuit intégré de mémorisation, selon l'une quelconque des revendications 2 à 4, comportant un premier et un deuxième inverseur caractérisé en ce que le troisième transistor de type N du deuxième inverseur et le quatrième transistor de type N du deuxième  
10 inverseur sont réalisés à partir d'une région drain commune et d'une région source commune, le canal de conduction, reliant ces deux régions, étant couvert sur sa longueur en partie par la grille de commande du troisième transistor et pour une autre partie par la  
15 grille de commande du quatrième transistor.

          10 - Circuit intégré de mémorisation, selon l'une quelconque des revendications 5 à 8, comportant un premier et un deuxième inverseur caractérisé en ce que le deuxième transistor de type P du deuxième inverseur et le cinquième transistor de type P du deuxième  
20 inverseur sont réalisés à partir d'une région drain commune et d'une région source commune, le canal de conduction, reliant ces deux régions, étant couvert sur sa longueur en partie par la grille de commande du deuxième transistor et pour une autre partie par la  
25 grille de commande du cinquième transistor.

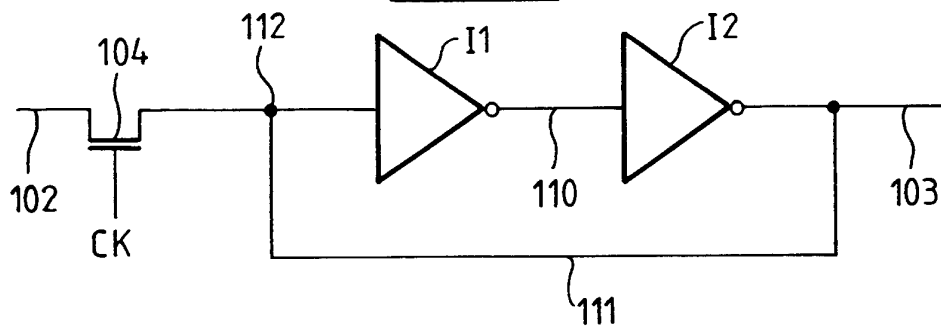
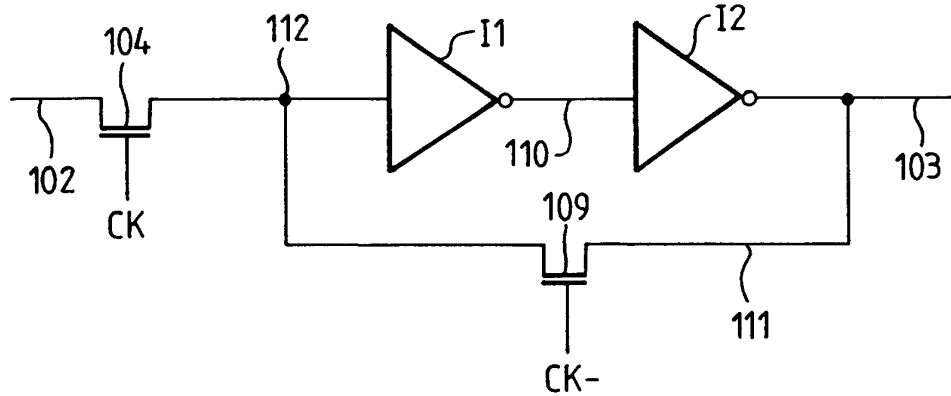
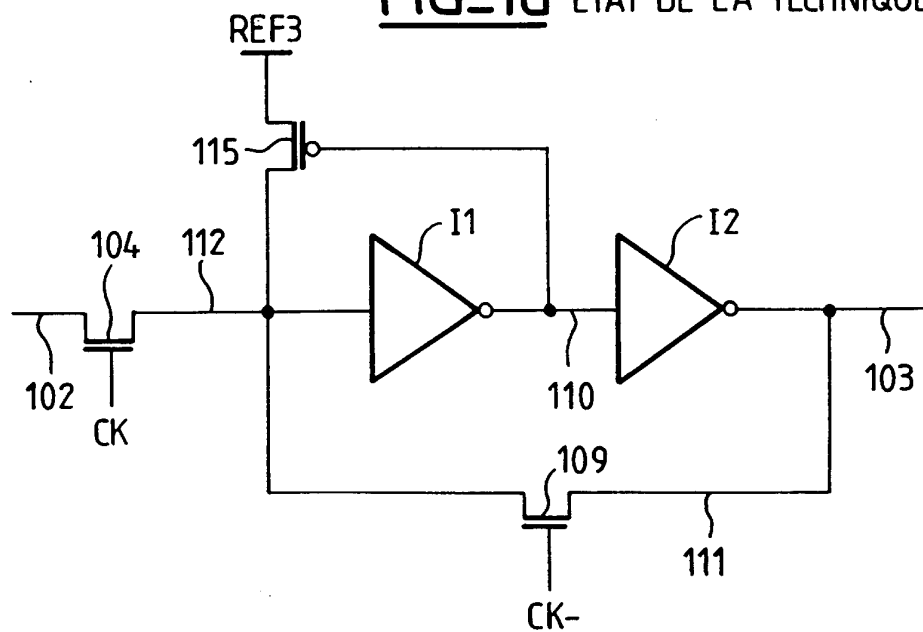
1/5

**FIG\_1a**

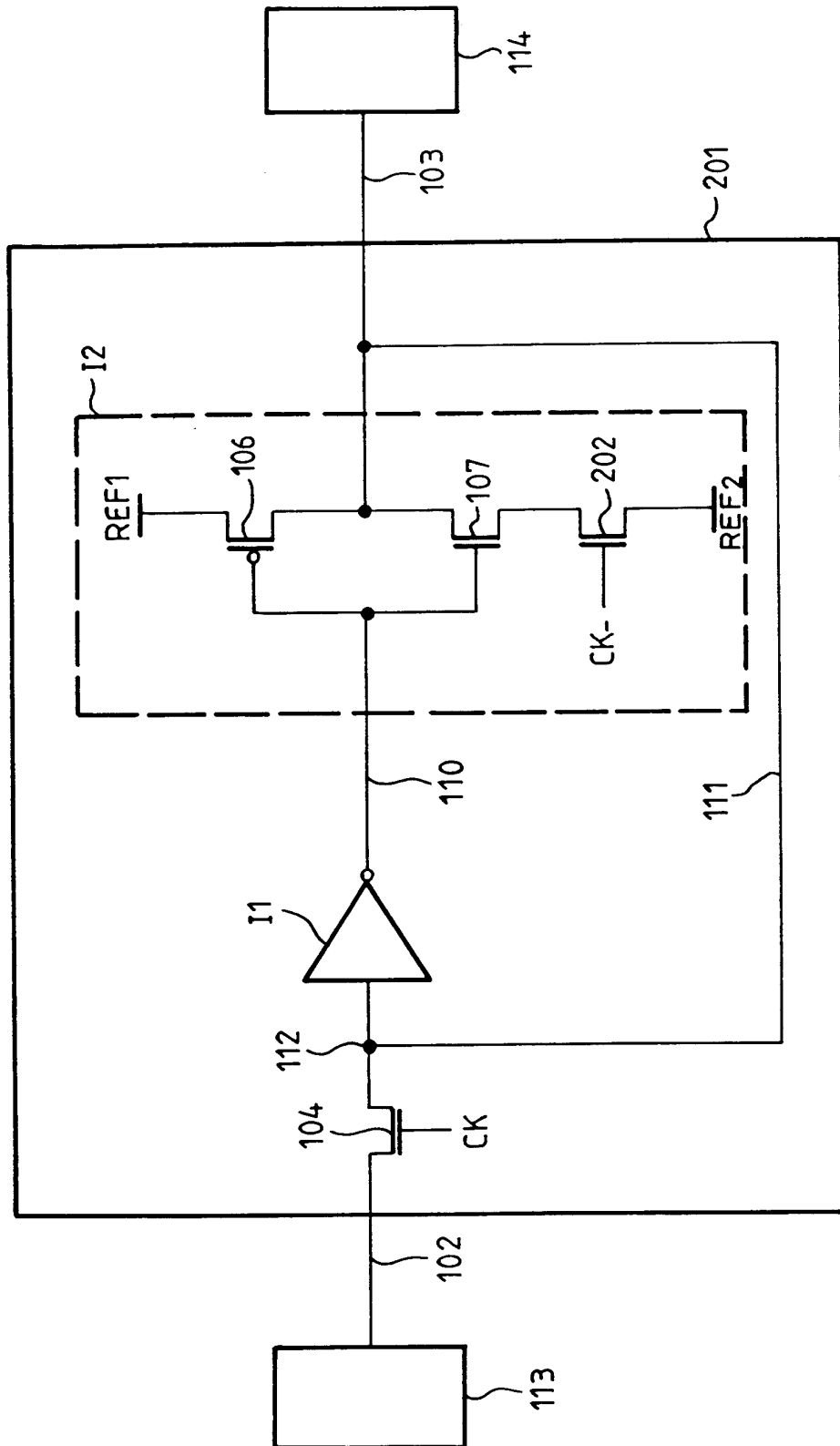
ETAT DE LA TECHNIQUE



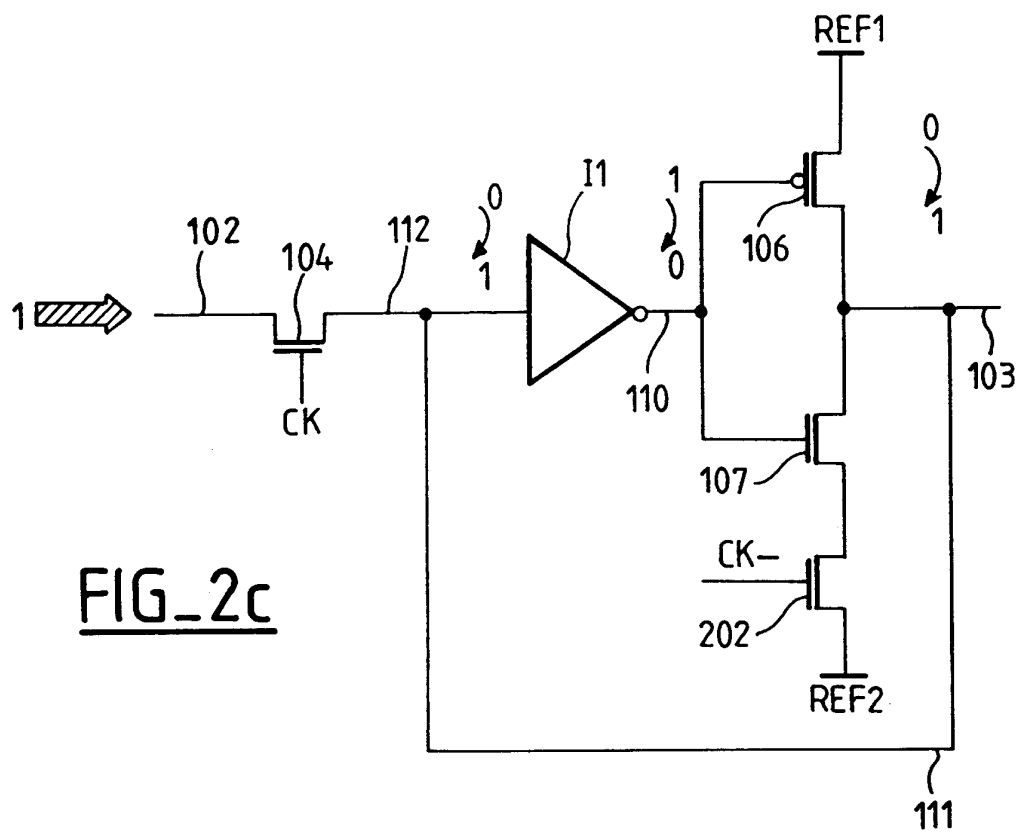
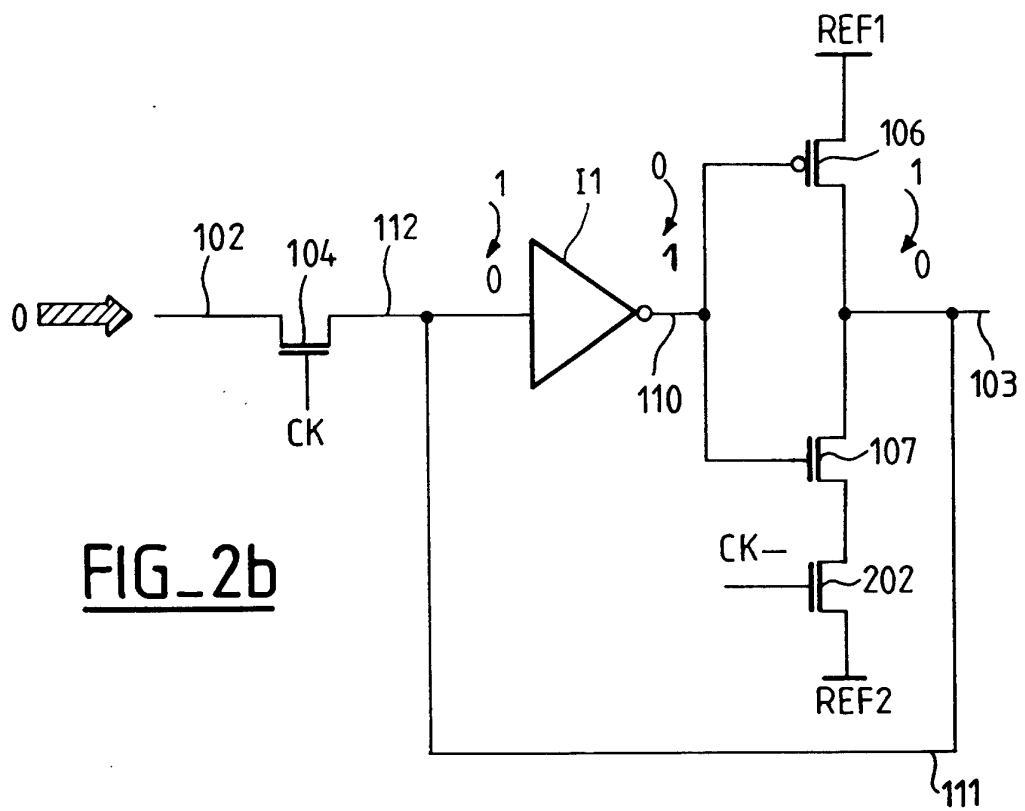
2/5

FIG\_1b ETAT DE LA TECHNIQUEFIG\_1c ETAT DE LA TECHNIQUEFIG\_1d ETAT DE LA TECHNIQUE

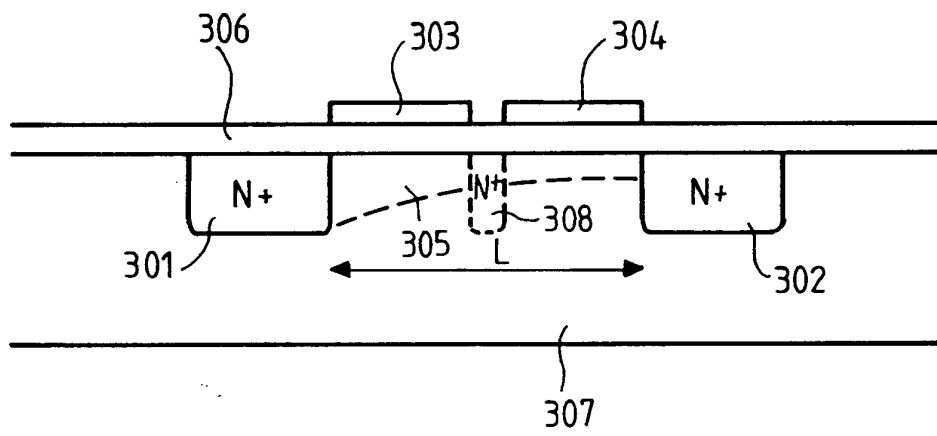
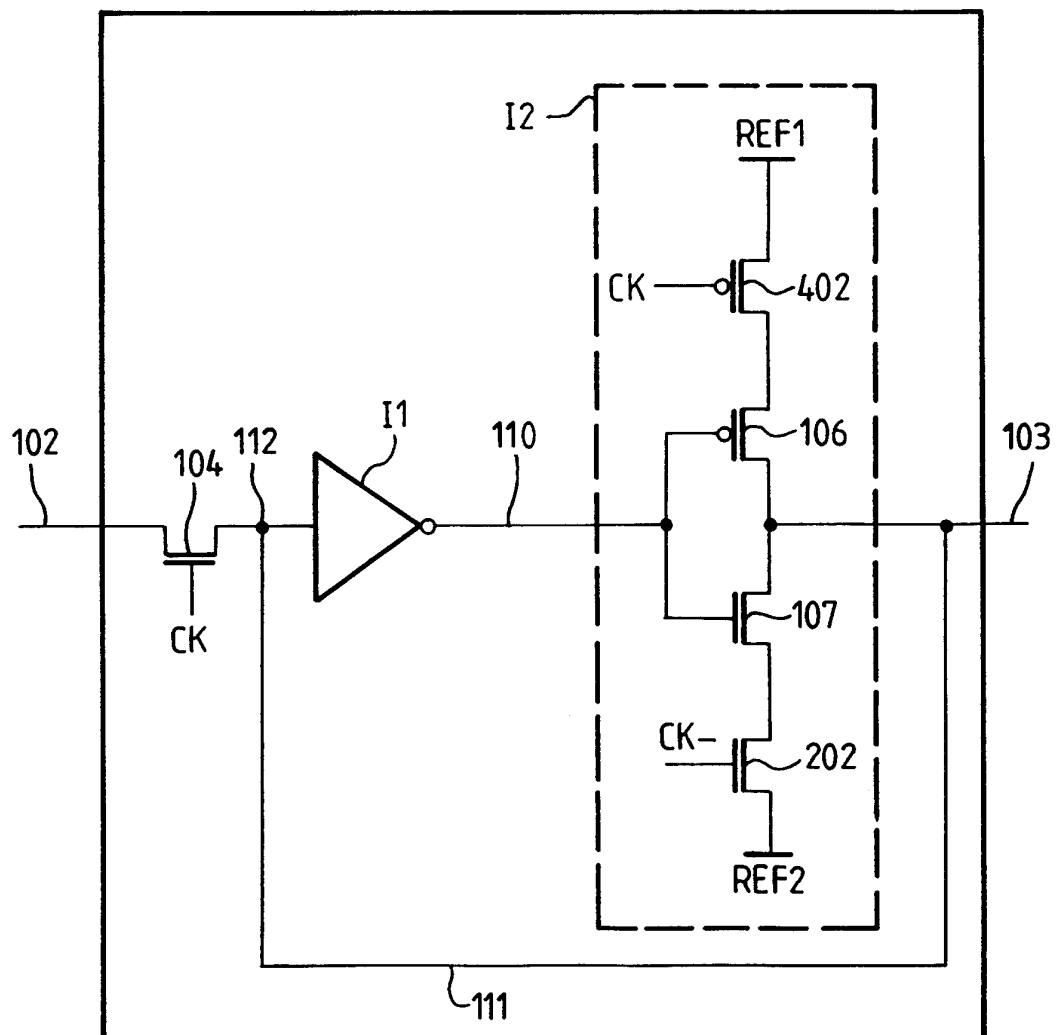
3/5

FIG-2a

4/5



5/5

FIG\_3FIG\_4

**INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE**

# RAPPORT DE RECHERCHE PRELIMINAIRE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 517067  
FR 9508518

| DOCUMENTS CONSIDERES COMME PERTINENTS                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                                                                                                                                                                                                                                          | Revendications<br>concernées<br>de la demande<br>examinée |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------|
| Catégorie                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | Citation du document avec indication, en cas de besoin,<br>des parties pertinentes                                                                                                                                                                                                                       |                                                           |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | WO-A-93 19528 (VLSI TECHNOLOGY INC. ET AL.)<br>* page 6, ligne 9 - ligne 19; figure 1 *                                                                                                                                                                                                                  | 1-3,5-7                                                   |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | ---                                                                                                                                                                                                                                                                                                      | 8-10                                                      |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | IEEE JOURNAL OF SOLID-STATE CIRCUITS,<br>vol. 25, no. 1, Février 1990 NEW YORK US,<br>pages 234-238, XP 000101873<br>DEJHAN ET AL. 'Design of a low-power 32K<br>CMOS programmable delay-line memory'<br>* page 235, colonne de droite, ligne 9 -<br>page 236, colonne de gauche, ligne 2;<br>figure 2 * | 1,2,4                                                     |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | ---                                                                                                                                                                                                                                                                                                      | 8                                                         |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | PROCEEDINGS OF THE IEEE 1985 CUSTOM<br>INTEGRATED CIRCUITS CONFERENCE,<br>Mai 1985 PORTLAND, OREGON,US,<br>pages 160-162,<br>CHU ET AL. 'A 20 MHz flash A/D converter<br>macro cell'<br>* page 160, colonne de droite, ligne 1 -<br>ligne 4; figure 2 *                                                  |                                                           |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | ---                                                                                                                                                                                                                                                                                                      | 9,10                                                      |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | EP-A-0 186 533 (THOMSON-CSF)<br>* page 3, ligne 9 - ligne 18; figure 1 *                                                                                                                                                                                                                                 |                                                           |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | -----                                                                                                                                                                                                                                                                                                    |                                                           |
| Date d'achèvement de la recherche                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                                                                                                                                                                                                          | Examineur                                                 |
| 27 Mars 1996                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                                                                                                                                                                                                          | Cantarelli, R                                             |
| <p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul<br/> Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie<br/> A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général<br/> O : divulgation non-écrite<br/> P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention<br/> E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.<br/> D : cité dans la demande<br/> L : cité pour d'autres raisons</p> <p>.....<br/> &amp; : membre de la même famille, document correspondant</p> |                                                                                                                                                                                                                                                                                                          |                                                           |