



(12) 发明专利

(10) 授权公告号 CN 102547288 B

(45) 授权公告日 2015. 01. 07

(21) 申请号 201210007565. 3

(22) 申请日 2012. 01. 11

(73) 专利权人 山东大学

地址 250061 山东省济南市历城区山大南路
27 号

(72) 发明人 贾智平 刘福财

(74) 专利代理机构 济南圣达知识产权代理有限
公司 37221

代理人 张勇

(51) Int. Cl.

H04N 19/13(2014. 01)

H04N 19/124(2014. 01)

H04N 19/129(2014. 01)

H04N 19/625(2014. 01)

H04N 21/643(2011. 01)

(56) 对比文件

CN 1645414 A, 2005. 07. 27,

CN 102087606 A, 2011. 06. 08,

US 2001028397 A, 2001. 10. 11,

审查员 姚楠

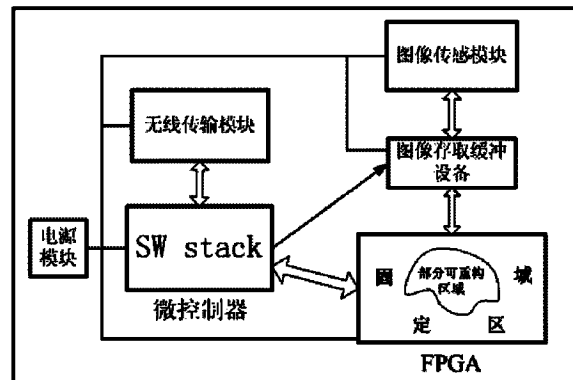
权利要求书2页 说明书5页 附图2页

(54) 发明名称

运行时可重构的嵌入式安全实时图像压缩系统
及工作方法

(57) 摘要

本发明公开了一种运行时可重构的嵌入式安全实时图像压缩系统及方法, 图像采集模块负责采集原始图像并暂存图像; 数据处理模块从图像采集模块中获得原始图像数据并进行压缩编码, 控制压缩后的码流输出到无线通信模块; 无线通信模块负责数据的收发; 供电模块则负责为各相应模块提供所需电源。本发明中 ARM 作为核心控制单元, 负责与上位机通信, 接收从上位机传输的加密的部分可重构配置文件并发送压缩好的图像数据到上位机; 管理重构过程, 解密部分可重构配置文件并控制进行 FPGA 的重构。FPGA 作为 JPEG 图像压缩加速器, 通过并行处理、流水线技术来加速图像压缩过程, 并且通过运行时可重构技术, 动态改变量化模块和 Huffman 编码模块, 增强了安全性。



1. 一种运行时可重构的嵌入式安全实时图像压缩系统,其特征是,它包括图像采集模块、数据处理模块、无线通信模块和供电模块;其中,图像采集模块负责采集原始图像暂存图像;数据处理模块从图像采集模块中获得原始图像数据并进行压缩编码,控制压缩后的码流输出到无线通信模块,所述数据处理模块中包含压缩模块;无线通信模块负责数据的收发;供电模块则负责为各相应模块提供所需电源;

所述图像采集模块主要包含两部分:第一是图像传感芯片及镜头,图像传感芯片输出格式为 RAW RGB、RGB、YUV 或者 YCrCb;第二是图像存储缓冲设备,为 FIFO、SRAM 或 SDRAM 存储设备;

所述数据处理模块主要包含微控制器和 FPGA 两部分,采用微控制器芯片和 FPGA 芯片,其中微控制器芯片通过 GPIO 口与 FPGA 芯片相连,其中部分端口连接到 FPGA 芯片的 JTAG 编程接口;FPGA 芯片与图像采集模块中的图像存储缓冲设备的数据输出端口及控制端口相连;微控制器芯片运行用于控制的协议栈,FPGA 芯片则是图像压缩的核心,所述 FPGA 芯片能够通过 JPEG 编码进行重构,用来加速图像压缩过程;

所述的通过 JPEG 编码进行重构是指将 JPEG 基本模式的量化模块和熵编码模块设计为部分可重构模块方式,其他模块则采用静态模块方式,即分别为顶层模块设计,静态模块设计和可重构模块设计;

顶层模块主要采用黑盒例化,并负责模块之间的连接,模块间采用 Bus Macros 通信;

静态模块包括 2DDCT 模块,Zigzag 扫描模块,预编解码模块和组装模块;2DDCT 模块负责完成二维离散余弦变换;Zigzag 扫描模块主要用来完成之字形扫描,改变交流数据的输出顺序;预编解码模块主要完成对直流系数的差分编码和对交流系数的游程编码,并预解码为带标志位的中间编码格式,为后面的熵编码做准备;组装模块负责将不定长熵编码数据流组装成定长的数据,并输出;

可重构模块包含量化模块和熵编码模块,量化模块负责对之字形扫描后的数据按照量化表进行量化,并将量化后的结果输出给预编解码模块;该模块利用 Bus Macros 从固定区域的 Zigzag 扫描模块读取数据,并将数据输出到固定区域的预编解码模块;熵编码模块负责对预编解码后的数据进行熵编码,并将熵编码后的结果输出到组装模块进行组装;因此同样需要 Bus Macros 与固定区域的相应模块通信。

2. 如权利要求 1 所述的运行时可重构的嵌入式安全实时图像压缩系统,其特征是,所述的无线通信模块主要用来接收上位机加密的数据处理模块中的量化模块和熵编码模块的配置文件,并发送压缩好的图像数据;采用 3G 模块、433MHz 无线通信模块或 2.4GHz 无线通信模块。

3. 如权利要求 1 所述的运行时可重构的嵌入式安全实时图像压缩系统,其特征是,所述的协议栈包括四层,抽象层、控制层、状态描述层和应用层。

4. 如权利要求 3 所述的运行时可重构的嵌入式安全实时图像压缩系统,其特征是,所述的控制层主要是根据已知条件控制重构、数据收发,它负责决定是否可以重构,在不适合重构或重构失败时采取的措施;控制层主要包含四部分内容:

1) 控制无线通信模块接收上位机传来的加密的数据处理模块中的量化模块和熵编码模块的配置文件及发送压缩后的图像数据;在需要重构时,它从无线通信模块接收重构配置信息,并缓存在内存供解密模块使用;在图像压缩完成后,它控制从 FPGA 芯片中读取数

据并控制无线通信模块发送；

2) 通过解密模块来解密收到的重构配置信息；

3) 对图像存储缓冲流量进行控制,因为图像采集模块不停的向缓冲中写数据,为防止数据覆盖,需要进行流量控制;当一幅完整的图像写到缓冲中后,在压缩模块读完数据之前,微控制器芯片将会暂时禁止写时钟信号,等到读取完毕后,再使能该控制信号,从而允许下一幅图像写入；

4) 对重构进行控制,负责判定是否可以重构,如果可以,调用抽象层的编程器进行重构,等待重构完成,并返回重构成功信号;如果不可以或者重构超时,则判断原因,并做相应处理。

5. 如权利要求 3 所述的运行时可重构的嵌入式安全实时图像压缩系统,其特征是,所述的状态描述层主要用于描述现有资源使用情况和正在执行的任务情况;所述的应用层根据需求和状态描述层信息,调用底层服务,完成图像实时采集、压缩和传输任务。

6. 一种采用权利 1-5 任一所述的运行时可重构的嵌入式安全实时图像压缩系统的工作方法,其特征是,它的工作过程为:

1) 系统初始化；

2) 判断是否需要采集并压缩图像;若否,则进入低功耗运行模式,等待中断发生,在中断唤醒时继续判断;若是,则转入下一步；

3) 判断压缩模块是否需要重构;若否,转入步骤 7);若是,则判断部分重构配置文件是否在本机,若否则转入步骤 4),若是则转入步骤 6);

4) 微控制器控制从上位机接收加密的部分可重构配置文件；

5) 微控制器解密获得部分可重构配置文件；

6) 微控制器控制完成部分重构；

7) 采集图像并压缩；

8) 通过无线通信模块发送给上位机。

运行时可重构的嵌入式安全实时图像压缩系统及工作方法

技术领域

[0001] 本发明涉及一种运行时可重构的嵌入式安全实时图像压缩系统。

背景技术

[0002] 随着多媒体技术和网络通信技术的飞速发展,特别是近年来物联网的发展,极大地促进了人们对实时图像和视频信息的需求。传统实时图像及视频的传输主要采用有线的方式,这大大降低了实时图像视频采集设备的移动性和易用性。为解决这个问题,可改用目前正处于快速发展阶段的无线网络,但是无线网络带宽非常有限、安全性较低底,因此必须先解决这些问题,才能使无线网络传输成为可能。对原始图像进行压缩,减少图像大小,无疑是解决带宽问题的一个有效办法。在目前众多图像压缩算法中,又以 JPEG 最为常用。所谓 JPEG,是联合图象专家组 (Joint Picture Expert Group) 的英文缩写,是一个在国际标准组织 (ISO) 下从事静态影像压缩标准制定的委员会。该标准具有较高的压缩效率和较低的图像失真,已成为图像压缩领域国际通用的标准之一,与 JPEG2000 相比,实现复杂度较低,更适合用于资源有限的嵌入式设备中。

[0003] 从技术实现的角度看,目前嵌入式领域主要采用三种方式来实现图像采集压缩。第一种,采用单独的微控制器 (MCU),这种实现方式成本较低,但是 MCU 运算能力有限,远远无法达到实时要求。第二种采用微控制器 + 数字信号处理器 (DSP) 的方式,这种实现一定程度上克服了 MCU 运算能力不足的缺陷,但成本大大提高,而且不利于系统的集成。第三种也是最主流的一种,采用专用图像压缩处理芯片 (ASIC),但是专用图像处理芯片灵活性较差,编码方式固定,且传输中采用的是标准 JPEG 文件交换格式 (JFIF),不仅不安全,而且每幅图像都包含大量相同的文件头信息,占用了宝贵的带宽资源。

发明内容

[0004] 本发明的目的就是为弥补现有技术的不足,本发明提出了一种运行时可重构的嵌入式安全实时图像压缩系统,它适用于采用无线传输的实时图像采集处理的应用环境中,例如无线监控。整套系统基于 ARM 和 FPGA 平台,ARM 作为核心控制单元,提供与无线模块的通信接口,负责与上位机通信,接收从上位机传输的加密的部分可重构配置文件并发送压缩好的图像数据到上位机;另外管理重构过程,解密部分可重构配置文件并控制进行 FPGA 的重构。FPGA 作为 JPEG 图像压缩加速器,通过并行处理、流水线技术来加速图像压缩过程。并且通过运行时可重构技术,动态改变量化模块和 Huffman 编码模块,增强了安全性。

[0005] 为实现上述目的,本发明采用如下技术方案:

[0006] 一种运行时可重构的嵌入式安全实时图像压缩系统,它包括图像采集模块、数据处理模块、无线通信模块和供电模块;其中,图像采集模块负责采集原始图像并暂存图像;数据处理模块从图像采集模块中获得原始图像数据并进行压缩编码,控制压缩后的码流输出到无线通信模块;无线通信模块负责数据的收发;供电模块则负责为各相应模块提供所需电源。

[0007] 所述图像采集模块主要包含两部分：第一是图像传感芯片及镜头，图像传感芯片输出格式为 RAW RGB、RGB、YUV 或者 YCrCb；第二是图像存储缓冲设备，为 FIFO、SRAM 或 SDRAM 存储设备。

[0008] 所述的无线通信模块主要用来接收上位机加密的可重构量化模块和熵编码模块的配置文件，并发送压缩好的图像数据；采用 3G 模块、433MHz 无线模块或 2.4GHz 无线模块。

[0009] 所述数据处理模块主要包含微控制器和 FPGA 两部分，采用微控制器芯片和 FPGA 芯片，其中微控制器芯片通过 GPIO 口与 FPGA 芯片相连，其中部分端口连接到 FPGA 芯片的 JTAG 编程接口；FPGA 芯片与图像存储缓冲设备的数据输出端口及控制端口相连；微控制器芯片运行用于控制的协议栈，FPGA 芯片则是图像压缩的核心，其上是可重构的 JPEG 编码模块，用来加速图像压缩过程。

[0010] 所述的协议栈包括四层，抽象层、控制层、状态描述层和应用层。

[0011] 所述的抽象层主要是为在不同平台间移植而设计，主要包含两部分：第一部分，传统的硬件抽象层，即微控制器芯片、无线通信模块及图像采集模块；第二部分，可重构硬件抽象层，其主要由 3 部分构成：

[0012] 1) 部分可重构系统的架构及 FPGA 描述，包括 FPGA 芯片供应商、芯片型号、可提供的资源；

[0013] 2) 可重构配置文件库，主要包含初始化和采用默认图像压缩方式时所需的部分重构配置文件及全局配置文件；

[0014] 3) FPGA 编程器，主要用来控制对 FPGA 芯片进行编程。

[0015] 所述的控制层主要是根据已知条件控制重构、数据收发，它负责决定是否可以进行重构，在不适合重构或重构失败时采取的措施；其主要包含四部分内容：

[0016] 1) 无线收发模块控制，主要控制接收上位机传来的加密的可重构量化模块和熵编码模块的配置文件及发送压缩后的图像数据；在需要重构时，它从无线模块接收重构配置信息，并缓存在内存供解密模块使用；在图像压缩完成后，它控制从 FPGA 芯片中读取数据并控制无线模块发送；

[0017] 2) 解密模块，该模块主要用来解密收到的重构配置信息；

[0018] 3) 图像存储缓冲流量控制，因为图像采集模块不停的向缓冲中写数据，为防止数据覆盖，需要进行流量控制；当一幅完整的图像写到缓冲中后，在压缩模块读完数据之前，微控制器芯片将会暂时禁止写时钟信号，等到读取完毕后，再使能该控制信号，从而允许下一幅图像写入；

[0019] 4) 重构控制，负责判定是否可以重构，如果可以，调用抽象层的编程器进行重构，等待重构完成，并返回重构成功信号；如果不可以或者重构超时，则判断原因，并做相应处理。

[0020] 所述的状态描述层主要用于描述现有资源使用情况和正在执行的任务情况；所述的应用层根据需求和状态描述层信息，调用底层服务，完成图像实时采集、压缩和传输任务。

[0021] 所述的可重构的 JPEG 编码模块是指将 JPEG 基本模式的量化模块和熵编码模块设计为部分可重构模块方式，其他模块则采用静态模块方式，即分别为顶层模块设计，静态模

块设计和可重构模块设计：

[0022] 顶层模块主要采用黑盒例化，并负责模块之间连接，模块间采用 Bus Macros 通信；

[0023] 静态模块包括 2DDCT 模块，Zigzag 扫描模块，预编解码模块和组装模块；2DDCT 模块负责完成二维离散余弦变换；Zigzag 模块主要用来完成之字形扫描，改变交流数据的输出顺序；预编解码模块主要完成对直流系数的差分编码和对交流系数的游程编码，并预解码为带标志位的中间编码格式，为后面的熵编码做准备；组装模块负责将不定长熵编码数据流组装成定长的数据，并输出；

[0024] 可重构模块包含量化模块和熵编码模块，量化模块负责对之字形扫描后的数据按照量化表进行量化，并将量化后的结果输出给预编解码模块；该模块利用 Bus Macros 从固定区域的 Zigzag 模块读取数据，并将数据输出到固定区域的预编解码模块；熵编码模块负责对预编解码后的数据进行熵编码，并将熵编码后的结果输出到组装模块组装；因此同样需要 Bus Macros 与固定区域的相应模块通信。

[0025] 一种运行时可重构的嵌入式安全实时图像压缩系统的工作方法，它的工作过程为：

[0026] 1) 系统初始化；

[0027] 2) 判断是否需要采集并压缩图像；若否，则进入低功耗运行模式，等待中断发生，在中断唤醒时继续判断；若是，则转入下一步；

[0028] 3) 判断压缩模块是否需要重构；若否，转入步骤 7)；若是，则判断部分重构配置文件是否在本机，若否则转入步骤 4)，若是则转入步骤 6)；

[0029] 4) 微控制器控制从上位机接收加密的部分可重构配置文件；

[0030] 5) 微控制器解密获得部分可重构配置文件；

[0031] 6) 微控制器控制完成部分重构；

[0032] 7) 采集图像并压缩；

[0033] 8) 通过无线模块发送给上位机。

[0034] 本发明的有益效果是：整套系统基于 ARM 和 FPGA 平台。其中 ARM 作为核心控制单元，用于综合控制系统的正确运行。FPGA 作为核心编码器件，采用运行时可重构技术，在加速的同时，也保证了安全性。

附图说明

[0035] 图 1 本发明的系统架构框图；

[0036] 图 2 本发明的协议栈组成图；

[0037] 图 3 本发明的可重构编码模块框图；

[0038] 图 4 系统工作流程图。

具体实施方式

[0039] 下面结合附图与实施例对本发明做进一步说明。

[0040] 如图 1 所示，本实施例包括图像采集模块、数据处理模块、无线通信模块和供电模块。其中，图像采集模块负责采集原始图像暂存图像；数据处理模块从图像采集模块中获得

原始图像数据并进行压缩编码,控制压缩后的码流输出到无线通信模块;无线通信模块负责数据的收发;供电模块则负责为各相应模块提供所需电源。

[0041] 所述的图像采集设备主要包含两部分:第一是图像传感芯片及镜头,传感芯片输出格式可以为 RAW RGB、RGB、YUV 或者 YCrCb。本实施例中图像传感芯片选用 OmniVision 的 OV7670,输出模式选择 YUV422。第二是图像存储缓冲设备,可以采用 FIFO、SRAM、SDRAM 等存储设备。本实施例选择 Averlogic 的 AL422 芯片,大小为 3M 位的 FIFO,通过并行总线与 FPGA 连接。

[0042] 所述的无线通信模块主要用来接收上位机加密的可重构量化模块和熵编码模块的配置文件,并发送压缩好的图像数据。可采用 3G 模块、433MHz 无线模块和 2.4GHz 无线模块等多种实现方式。本实施例选择西门子的 3G 模块,通过 UART 与微控制器连接。

[0043] 所述的供电模块采用 5v 电源或者电池供电。本实施例选择 USB 供电,以方便 PC 机直接供电。

[0044] 所述的数据处理模块是该系统的核心,主要包含微控制器和 FPGA 两部分。考虑嵌入式设备的低成本和低功耗特性,可选用低端的微控制器芯片和 FPGA 芯片。本实施例选择意法半导体公司的低成本微控制器 STM32F103 和 Xilinx 公司的低端 FPGA 芯片 Spartan 3E 系列的 XC3S500E,STM32F103 通过 GPIO 口与 XC3S500E 相连,其中部分端口连接到 XC3S500E 的 JTAG 编程接口。

[0045] STM32F103 是系统控制的核心,其上运行用于控制的协议栈。如图 2 所示,包括四层,抽象层、控制层、状态描述层和应用层。

[0046] 所述的抽象层主要是为在不同平台间移植而设计。本实施例中,传统硬件抽象层主要包含 STM32F103 的部分外设驱动和控制上电初始化、基本的 3G 模块收发数据命令;可重构硬件抽象层包括一个对 XC3S500E 描述的结构体、采用 CCITD 推荐的量化表和 Huffman 表对应的量化模块和熵编码模块的部分可重构配置文件和用于配置 FPGA 芯片的 JTAG 控制器。

[0047] 所述的控制层主要作用是根据已知条件控制重构、数据收发等,它负责决定是否可以进行重构,在不适合重构或重构失败时采取的措施等。本实施例包含四部分内容:

[0048] 1)与 3G 模块通信,通过 UART 从 3G 模块接收加密的部分可重构配置文件并保存到内存或者发送压缩好的图像数据。

[0049] 2)解密模块。加密算法多种多样,考虑 STM32F103 的运算能力,本实施例选用 3DES 加密算法,由于解密的只是部分可重构配置文件,文件较小,使得解密成为可能。

[0050] 3)图像存储缓冲流量控制。本实例中图像传感芯片 OV7670 配置为 30fps 的 VGA 输出模式,压缩模块能够处理所有输出图像,因此不需要复杂流量控制,本实施例将其简化为重置 AL422 的写指针。

[0051] 4)重构控制。本实施例中通过调用抽象层的 JTAG 控制器进行 FPGA 重构,并返回重构成功或失败信号。

[0052] 所述的状态描述层主要用于描述现有资源使用情况和正在执行的任务情况。本实施例中定义了两个数据结构体描述目前可提供的资源和系统目前的任务状态,并定义了相应函数用于改变上述结构体。

[0053] 所述的应用层根据需求和状态描述层信息,调用底层服务,完成图像实时采集、压

缩和传输任务。本实施例中应用层流程如图 4 所示,在无任务时,控制系统转到休眠状态,以节省能量消耗。在需要采集压缩图像时,则判断是否需要重构,如果不需要,则直接开始图像采集压缩。如果需要,则判断重构配置文件是否在本地库中,如果在,则调用重构控制模块完成重构,然后就可以开始图像的采集压缩。如果不在,则从上位机接收加密的重构配置文件,并解密暂存于本地存储器中,然后就可以调用重构控制模块完成重构。

[0054] XC3S500E 是图像压缩的核心,其上是可重构的 JPEG 编码模块,用来加速图像压缩过程。所述的可重构 JPEG 编码模块是指将 JPEG 基本模式的量化模块和熵编码模块设计为部分可重构方式,其他模块则采用静态模块方式。如图 3 所示。本实施例采用 top-down 设计方法,分别为顶层模块设计、静态模块设计和可重构模块设计。

[0055] 顶层模块主要采用黑盒例化,并负责模块之间的连接。

[0056] 静态子模块包括 2DDCT 模块,Zigzag 扫描模块,预编解码模块和组装模块。2DDCT 模块。负责完成二维离散余弦变换。Zigzag 模块主要用来完成之字形扫描,改变交流数据的输出顺序。预编解码模块主要完成对直流系数的差分编码和对交流系数的游程编码,并预解码为带标志位的中间编码格式,为后面的熵编码做准备。组装模块负责将不定长熵编码数据流组装成定长的数据,并输出。

[0057] 可重构模块包含量化模块和熵编码模块。量化模块负责对之字形扫描后的数据按照量化表进行量化,并将量化后的结果输出给预编解码模块。因此该模块需要 Bus Macros 从固定区域的 Zigzag 模块读取数据,并将数据输出到固定区域的预编解码模块。熵编码模块负责对预编解码后的数据进行熵编码,并将熵编码后的结果输出到组装模块组装。因此同样需要 Bus Macros 与固定区域的相应模块通信。

[0058] 在规划阶段,通过用户约束文件定义可重构区域。本实施例中每个可重构区域占四列 CLB,并放置模块间通信所需的 Bus Macros。

[0059] 综上,本实施例实现了可重构的 JPEG 基本模式编码器。

[0060] 本实施例在 STM32F103 采用 72MHZ 主频运行、XC3S500E 采用 50MHZ 时钟输入下,可以达到采集压缩 640*480 的图像 80 帧 / 秒的实时采集压缩速度,而且通过部分可重构实现了动态量化表和 huffman 编码表,大大增强了安全性。另外所用芯片均为低端芯片,价格便宜,成本低廉。

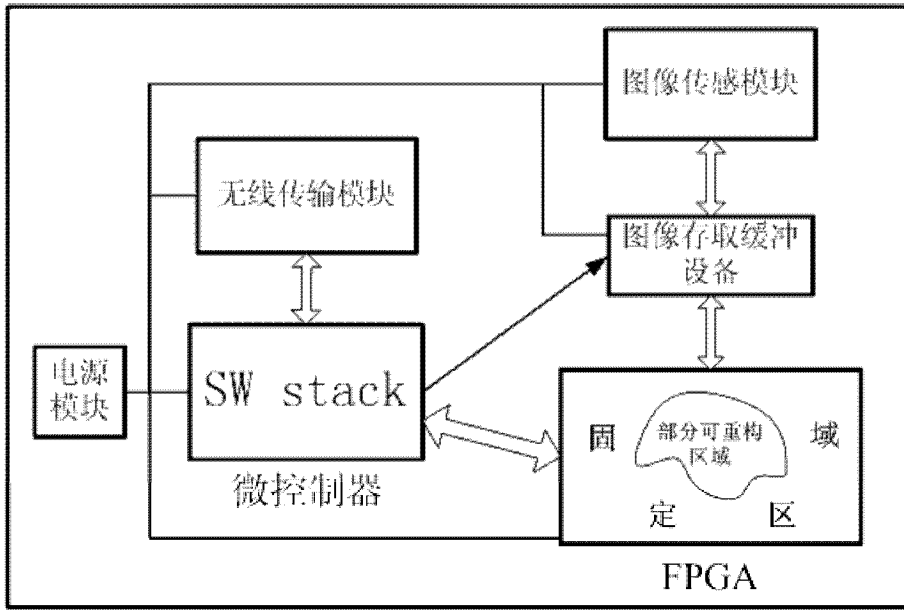


图 1



图 2

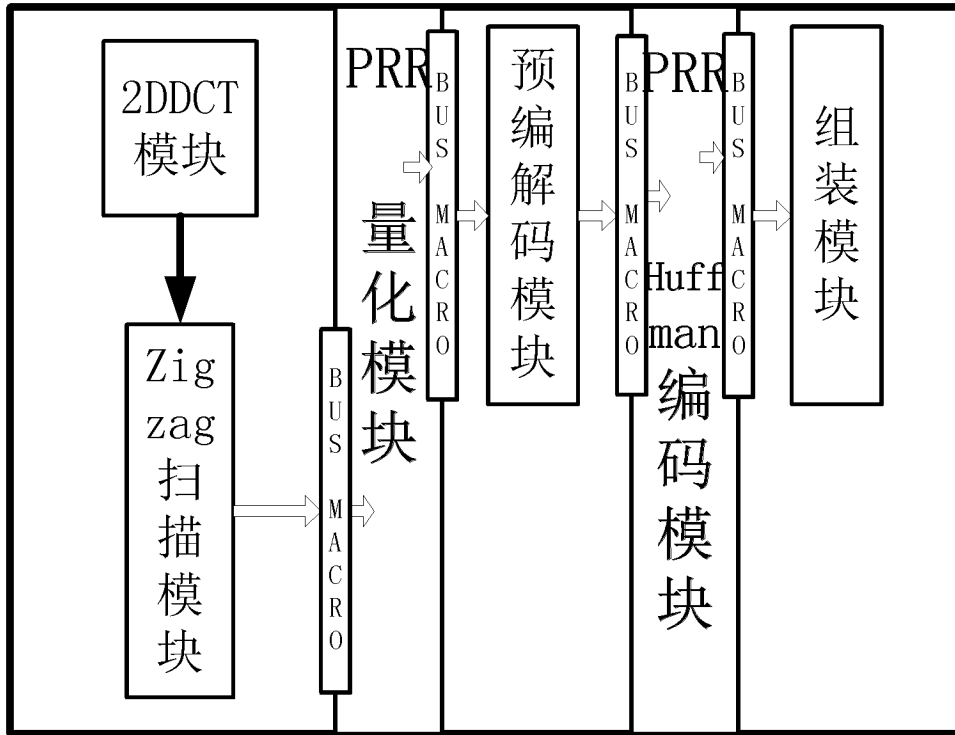


图 3

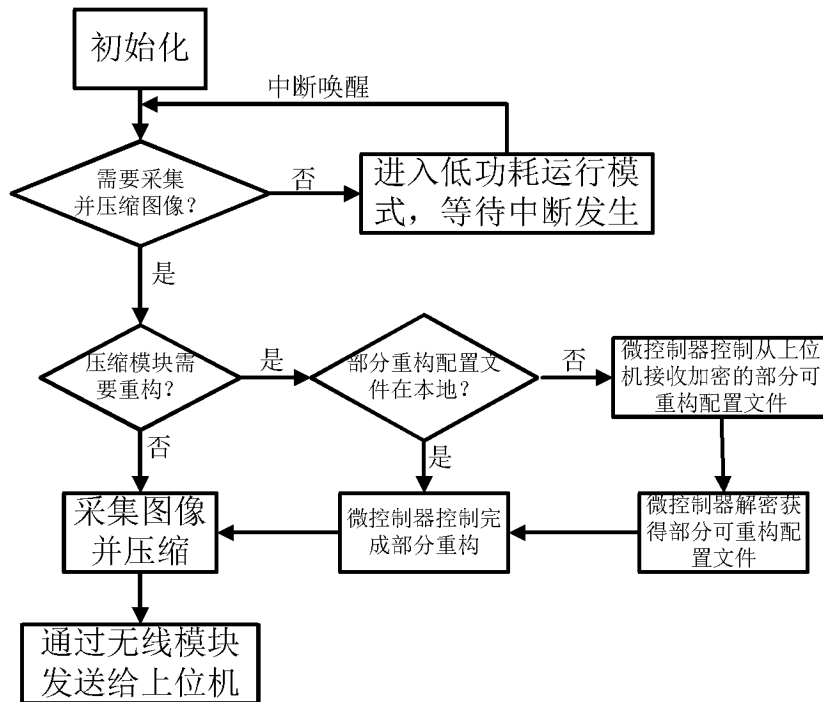


图 4