



(12) 发明专利申请

(10) 申请公布号 CN 103996599 A

(43) 申请公布日 2014. 08. 20

(21) 申请号 201410025833. 3

(51) Int. Cl.

(22) 申请日 2014. 01. 20

H01L 21/02 (2006. 01)

H01L 23/522 (2006. 01)

(30) 优先权数据

13/770, 453 2013. 02. 19 US

(71) 申请人 飞兆半导体公司

地址 美国加利福尼亚州

(72) 发明人 丹尼尔·哈恩 史蒂文·莱比格尔

金成龙 克里斯托弗·纳萨尔

詹姆斯·霍耳

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 张英

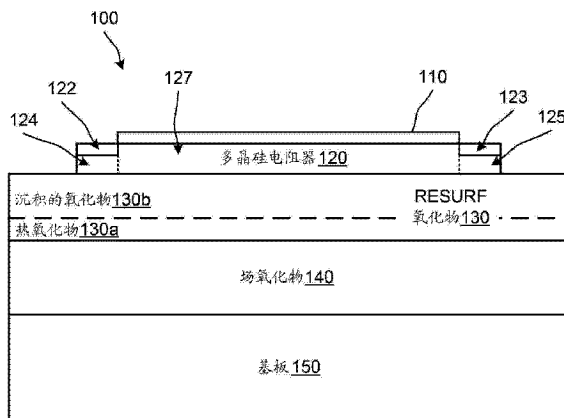
权利要求书3页 说明书18页 附图19页

(54) 发明名称

使用半导体工艺的现有操作生产高性能无源器件

(57) 摘要

本发明在一个总体方面涉及半导体加工方法,所述方法可包括形成设置在P型硅基板内的N型硅区域。所述方法还可以包括在所述P型硅基板中形成场氧化物(FOX)层,其中所述FOX层包括暴露出所述N型硅区域的至少一部分的开口。所述方法还可以包括形成降低表面场(RESURF)氧化物(ROX)层,所述层具有设置在所述暴露的N型硅区域上的第一部分和设置在所述FOX层上的第二部分,其中所述ROX层包括与所述暴露的N型硅区域接触的第一介电层和设置在所述第一介电层上的第二介电层。所述方法还可以包括形成掺杂多晶硅层,所述层具有设置在所述ROX层的所述第一部分上的第一部分和设置在所述ROX层的所述第二部分上的第二部分。



1. 一种方法,包括:
 - 形成设置在 P 型硅基板内的 N 型硅区域;
 - 在所述 P 型硅基板中形成场氧化物层,即 FOX 层,所述 FOX 层包括暴露出所述 N 型硅区域的至少一部分的开口;
 - 形成降低表面场氧化物层,即 RESURF ROX 层,所述层具有设置在所述暴露的 N 型硅区域上的第一部分和设置在所述 FOX 层上的第二部分,所述 ROX 层包括与所述暴露的 N 型硅区域和所述 FOX 层接触的第一介电层和设置在所述第一介电层上的第二介电层;以及
 - 形成掺杂多晶硅层,所述层具有设置在所述 ROX 层的所述第一部分上的第一部分和设置在所述 ROX 层的所述第二部分上的第二部分。
2. 根据权利要求 1 所述的方法,还包括:
 - 形成与所述 N 型硅区域的第一电触点;以及
 - 形成与所述掺杂多晶硅层的所述第二部分的第二电触点,所述第一电触点、所述 N 型硅区域、所述 ROX 的所述第一部分、所述掺杂多晶硅层的所述第一部分和所述第二电触点形成电容器。
3. 根据权利要求 1 所述的方法,其中所述掺杂多晶硅层的所述第二部分包括第一末端和第二末端,所述方法还包括:
 - 形成与所述掺杂多晶硅层的所述第二部分的第一末端的第一电触点;以及
 - 形成与所述掺杂多晶硅层的所述第二部分的第二末端的第二电触点,所述第一电触点、所述掺杂多晶硅层的所述第二部分和所述第二电触点形成电阻器。
4. 根据权利要求 1 所述的方法,其中所述 N 型硅区域包括 N 阱区、高压 N 阱区、掩埋 N 型硅层和高掺杂 N 型硅区域中的至少一种。
5. 根据权利要求 1 所述的方法,其中所述 P 型硅基板包括 P 型外延层和 P 型掩埋层中的至少一种。
6. 根据权利要求 1 所述的方法,其中形成所述 ROX 层包括:
 - 在所述暴露的 N 型硅区域和所述 FOX 层上使所述 ROX 层的所述第一介电层热生长;
 - 将所述 ROX 层的所述第二介电层沉积在所述 ROX 层的所述第一介电层上;
 - 至少在所述 ROX 层的所述第一部分和所述 ROX 层的所述第二部分上形成蚀刻阻挡掩膜;以及
 - 以与所述蚀刻阻挡掩膜相对应的图案蚀刻所述第一介电层和所述第二介电层。
7. 根据权利要求 1 所述的方法,其中形成所述 FOX 层和所述暴露的 N 型硅区域包括:
 - 形成设置在所述 N 型硅区域上的氮化物层;
 - 执行硅局部氧化工艺,即 LOCOS 工艺,以在所述 P 型基板中形成所述 FOX 层;以及
 - 移除所述氮化物层。
8. 根据权利要求 1 所述的方法,其中形成所述掺杂多晶硅层包括:
 - 在所述 ROX 层的所述第一部分、所述 FOX 层和所述 ROX 层的所述第二部分上形成多晶硅层;
 - 至少在与所述掺杂多晶硅层的所述第一部分相对应的区域上和与所述掺杂多晶硅层的所述第二部分相对应的区域上形成蚀刻阻挡掩膜;
 - 以与所述蚀刻阻挡掩膜相对应的图案蚀刻所述多晶硅层;以及

掺杂所述蚀刻的多晶硅层。

9. 一种使用半导体工艺形成的电容器,所述电容器包括:

设置在 P 型硅基板中的 N 型硅区域;

设置在所述 P 型基板中的场氧化物层,即 FOX 层,所述 FOX 层包括暴露出所述 N 型硅区域的至少一部分的开口;

设置在所述暴露的 N 型硅区域上的降低表面场氧化物层,即 RESURF ROX 层,所述 ROX 层包括设置在所述暴露的 N 型硅区域上的第一介电层和设置在所述第一介电层上的第二介电层;以及

设置在所述 ROX 层上的掺杂多晶硅层。

10. 根据权利要求 9 所述的电容器,还包括:

与所述 N 型硅区域耦合的第一电触点,所述第一电触点被配置成用作所述电容器的第一端子;以及

与所述掺杂多晶硅层耦合的第二电触点,所述第二电触点被配置成用作所述电容器的第二端子。

11. 根据权利要求 9 所述的电容器,其中:

所述 ROX 层的所述第一介电层包括设置在所述暴露的 N 型硅区域上的热生长氧化物层;以及

所述 ROX 层的所述第二介电层包括设置在所述热生长氧化物层上的沉积氧化物层。

12. 根据权利要求 9 所述的电容器,其中:

所述 ROX 层的所述第一介电层包括设置在所述暴露的 N 型硅区域上的第一氧化物层;以及

所述 ROX 层的所述第二介电层包括设置在所述第一氧化物层上的第二氧化物层,所述第二氧化物层的厚度为所述第一氧化物层的厚度的至少四倍。

13. 根据权利要求 9 所述的电容器,其中所述 N 型硅区域包括 N 阱区、高压 N 阱区、掩埋 N 型硅层和高掺杂 N 型硅区域中的至少一种。

14. 根据权利要求 9 所述的电容器,其中所述 P 型硅基板包括 P 型外延层和 P 型掩埋层中的至少一种。

15. 一种使用半导体工艺形成的电阻器结构,所述电阻器结构包括:

硅基板;

设置在所述硅基板上的场氧化物层,即 FOX 层;

设置在所述 FOX 层上的降低表面场氧化物层,即 RESURF ROX 层,所述 ROX 层包括设置在所述 FOX 层上的第一介电层和设置在所述第一介电层上的第二介电层;以及

设置在所述 ROX 层上的掺杂多晶硅电阻器。

16. 根据权利要求 15 所述的电阻器结构,其中所述掺杂多晶硅电阻器包括第一末端和第二末端,所述电阻器结构还包括:

与所述掺杂多晶硅电阻器的所述第一末端耦合的第一电触点,所述第一电触点被配置成用作所述电阻器结构的第一端子;以及

与所述掺杂多晶硅电阻器的所述第二末端耦合的第二电触点,所述第二电触点被配置成用作所述电阻器结构的第二端子。

17. 根据权利要求 15 所述的电阻器结构,其中:
所述 ROX 层的所述第一介电层包括热生长氧化物层;以及
所述 ROX 层的所述第二介电层包括沉积的氧化物层。
18. 根据权利要求 15 所述的电阻器结构,其中:
所述 ROX 层的所述第一介电层包括第一氧化物层;以及
所述 ROX 层的所述第二介电层的厚度为所述第一氧化物层的厚度的至少四倍。
19. 根据权利要求 15 所述的电阻器结构,其中所述硅基板包括 P 型外延层、P 型掩埋层、N 型外延层和掩埋 N 型层中的至少一种。

使用半导体工艺的现有操作生产高性能无源器件

技术领域

[0001] 本说明书涉及使用半导体工艺生产无源电气器件。

背景技术

[0002] 在典型的半导体工艺中,使用多个互相排斥的工艺步骤生产单独的半导体器件。例如,在半导体工艺中,通常使用专门的光刻、掩膜和离子注入工艺步骤来产生电阻器结构,诸如多晶硅电阻器结构。又如,在半导体工艺中,可对专门的光刻掩膜和离子注入工艺步骤进行具体调整以产生电容器结构。这些专门的工艺步骤会使各个晶片的成本和周期时间增加多达 5% 或更多,这在产品毛利率和晶圆厂产能方面都会有显著影响。因此,存在对解决现有技术的不足并提供其他新的创新特征的系统、方法和设备的需要。

发明内容

[0003] 在一个总体方面,一种半导体加工方法可包括形成设置在 P 型硅基板内的 N 型硅区域。该方法还可以包括在 P 型硅基板中形成场氧化物 (FOX) 层,其中 FOX 层包括暴露出 N 型硅区域的至少一部分的开口。该方法还可以包括形成降低表面场 (RESURF) 氧化物 (ROX) 层,该层具有设置在暴露的 N 型硅区域上的第一部分和设置在 FOX 层上的第二部分,其中 ROX 层包括与暴露的 N 型硅区域接触的第一介电层和设置在第一介电层上的第二介电层。该方法还可以包括形成掺杂多晶硅层,该层具有设置在 ROX 层的第一部分上的第一部分和设置在 ROX 层的第二部分上的第二部分。

[0004] 一个或多个具体实施例的细节在附图和下文的具体实施方式中示出。其他特征通过具体实施方式和附图以及通过权利要求书将显而易见。

附图说明

[0005] 图 1 是框图,示出了根据实施例的电阻器结构的侧面剖视图。

[0006] 图 2 是示意图,示出了多晶硅电阻器的掩膜层次俯视图。

[0007] 图 3 是框图,示出了根据实施例的另一电阻器结构的侧面剖视图。

[0008] 图 4 是框图,示出了根据实施例的电容器结构的侧面剖视图。

[0009] 图 5 是示意图,示出了电容器结构的掩膜层次俯视图。

[0010] 图 6A 至 6M 是示意图,示出了半导体工艺中的至少一些工艺步骤的剖视图。

[0011] 图 7 是示意图,示出了可使用图 6A 至 6M 中所示的半导体工艺形成的电容器结构的剖视图。

[0012] 图 8 是流程图,示出了根据实施例的半导体加工方法。

[0013] 图 9 是流程图,示出了根据实施例形成电阻器结构的方法。

[0014] 图 10A 和 10B 是流程图,示出了根据实施例在半导体工艺中形成电容器结构的方法。

具体实施方式

[0015] 本公开涉及可使用半导体工艺中的一个或多个工艺步骤生产的半导体器件,这些步骤与用于生产其他半导体器件的一个或多个工艺步骤重叠或对应。例如,用于生产第一半导体器件(例如,有源半导体器件)的一部分的工艺步骤可用于生产第二半导体器件(例如,无源半导体器件)的一部分。换句话讲,给定的工艺步骤可用于生产集成电路内不同半导体器件的不同部分。可以为通常用于生产第一半导体器件的部分的现有工艺步骤的给定工艺步骤可按意想不到的方式用于生产第二半导体器件的一部分。

[0016] 本公开可涉及用于生产多种器件的工艺,这些器件包括多晶硅电阻器、电容器、双极结型晶体管(BJT)器件(例如,NPN BJT 器件、PNP BJT 器件)、互补金属氧化物半导体(CMOS)器件(例如,P型金属氧化物半导体场效应晶体管(MOSFET)(PMOSFET或PMOS)器件、N型MOSFET(NMOSFET或NMOS)器件、横向扩散金属氧化物半导体(LDMOS)器件(例如,N型LDMOS(LNDMOS)器件、P型LDMOS(LPDMOS)器件)等等。包括至少BJT器件、CMOS器件和LDMOS器件的半导体工艺可称为BCDMOS工艺。

[0017] 图1是框图,示出了根据实施例的电阻器结构100的侧面剖视图。电阻器结构100可使用通常用于生产其他类型的半导体器件的半导体工艺中的一个或多个工艺步骤产生。该一个或多个工艺步骤可按意想不到的方式用于产生电阻器结构100。

[0018] 如图1所示,电阻器结构100包括设置在降低表面场(RESURF)氧化物130(也可以称为RESURF氧化物层或ROX层)上的多晶硅电阻器120。RESURF氧化物层130可包括第一氧化物(介电)层130a和第二氧化物(介电)层130b。在图1所示的电阻器结构100中,第一氧化物层130a包括热(热生长的)氧化物层,并且第二氧化物层130b包括沉积的氧化物层,诸如原硅酸四乙酯(TEOS)。RESURF氧化物130可使用其他氧化物和/或氧化物的组合具体实施,并且具体实施RESURF氧化物层130的多种方法在下文例如相对于图6A-6M进行描述。

[0019] 在电阻器结构100中,将RESURF氧化物层130设置在场氧化物140(也可以称为场氧化物层或FOX层)上。场氧化物140可设置在硅基板150上(或中)。在某些实施例中,场氧化物层140可使用硅局部氧化(LOCOS)工艺形成,以氧化硅基板150的一部分。在示例性实施例中,RESURF氧化物层130用于形成高压LDMOS晶体管(例如,LNDMOS晶体管或LPDMOS晶体管)的漂移区场介电板(其也可以称为场板),并且还以意想不到的方式用于电阻器结构100。在图1所示的电阻器结构100中,与传统电阻器(多晶硅电阻器)结构相比,RESURF氧化物层130(设置在多晶硅电阻器120与场氧化物140之间)的使用,导致多晶硅电阻器120具有明显更低的相对基板150的寄生电容(低于20%以上)。

[0020] 取决于特定的实施例,电阻器结构100的硅基板150可包括注入(例如,掺杂)到基板150中的阱区(该区域也可以在一些实施例中称为注入物)。在一些实施例中,这样的阱区可以为包含P型掺杂剂(例如,硼(B))的区域(其可以称为P型阱区或称为P阱区)或可以为包含N型掺杂剂(例如,磷(P)、砷(As))的区域(其可以称为N型阱区或称为N阱区)。在一些实施例中,注入工艺(也可以称为植入工艺)可包括掺杂剂类型(例如,掺杂剂具有N型导电型(也可以称为N型掺杂剂)、掺杂剂具有P型导电型(也可以称为P型掺杂剂)、掺杂剂水平(或剂量)、角度、持续时间、加速度等等。在一些实施例中,N型导电或掺杂剂可称为第一导电型或掺杂剂,而P型导电或掺杂剂可以称为第二导电型或掺杂剂,反之亦然。在

其他实施例中,电阻器结构 100 的硅基板 150 可包括外延层(N 型或 P 型)、掩埋层(N 型或 P 型)或多种其他类型的硅基板。

[0021] 如图 1 所示,多晶硅电阻器 120 (其也可以称为多晶硅层)包括硅化物部分(或层)122、123,并包括掺杂部分 124、125。在一些实施例中,掺杂部分 124、125 的一者或多者可包含 P 型掺杂剂或 N 型掺杂剂。在一些实施例中,掺杂部分 124 和 / 或掺杂部分 125 可以重掺杂,使得硅化物部分 122 和 / 或硅化物部分 123 与掺杂部分 124 和 / 或掺杂部分 125 之间的接触是欧姆接触,而不是与其相对的整流接触。多晶硅 120 的本征区 127 设置在掺杂部分 124、125 之间和硅化物部分 122、123 之间。

[0022] 在一些实施例中,掺杂部分 124、125 可称为接触区。在一些实施例中,多晶硅 120 的本征区 127 (其设置在多晶硅电阻器 120 的中央部分内)可称为本征部分。在其他实施例中,多晶硅电阻器 120 可均匀地重掺杂(以得到较低的薄层电阻以形成具有较低电阻值的电阻器结构)并且硅化物部分 122、123 可设置在多晶硅电阻器 120 的中央部分上而非掺杂部分 124、125 上,从而允许不需要掺杂部分 124、125。这样的布置在图 3 中示出并在下文进一步详细描述。

[0023] 氧化物 110 设置在本征区 127 上,其可以为电阻器保护氧化物 (RPO)、自对准硅化物氧化物、层间电介质或硅化物阻挡氧化物。在一些实施例中,硅化物部分 122、123 (其可以称为自对准硅化物部分)可以与氧化物 110 自对准。

[0024] 在图 1 中,从基板 150 到氧化物 110 或从氧化物 110 到基板 150 的方向可称为垂直方向。与垂直方向正交或基本上正交的方向可称为水平方向或称为横向方向。沿着从氧化物 110 (其朝着图 1 的顶部取向)到基板 150 (其朝着图 1 的底部取向)的垂直方向的深度可以为深度渐增方向。除非另外指明,否则本文所述的侧面剖视图均与刚才描述的图 1 的取向相似地取向。

[0025] 如上指出,使用用在生产其他不同类型半导体器件的半导体工艺中的其他地方的光刻 / 掩膜步骤、蚀刻步骤和 / 或注入步骤(例如,掺杂步骤)产生电阻器结构 100。换句话讲,用于生产其他类型半导体器件(例如,高压 (HV) LDMOS 晶体管)的半导体工艺中的某些工艺步骤(例如,与 RESURF 氧化物层 130 相关的工艺步骤)可与用于产生电阻器结构 100 的工艺步骤相对应(例如,可与之共同进行,可与之同时进行)。这种工艺步骤中的对应可在生产多种不同类型的半导体器件时在半导体工艺中提高效率并且还产生具有改善的性能特性(例如,较低的寄生电容)的电阻器结构。

[0026] 在示例性实施例中,电阻器结构 100 可使用半导体工艺中的一个或多个其他工艺步骤产生,这些工艺步骤与用在用于生产 BJT 器件、CMOS 器件和 LDMOS 器件的 BCDMOS 工艺中的一个或多个工艺步骤重叠或对应。在其中在 BCDMOS 工艺中产生电阻器结构 100 的示例性实施例中,用于掺杂 LDMOS 器件的一部分的注入工艺可用于掺杂多晶硅电阻器 120 的一部分(或全部)。换句话讲,用于掺杂 LDMOS 器件的一部分的注入工艺可以是用于共同(或同时)掺杂电阻器结构 100 的至少一部分的相同注入工艺。

[0027] 具体地讲,对于图 1 所示的电阻器结构 100,用于产生作为 LNDMOS 器件(例如, HV LNDMOS 器件)的主体区的 P- 区域(例如,相对轻的 P 型掺杂剂水平)的注入工艺也可用于产生电阻器结构 100(其可以为高值多晶硅电阻器 (HVPR))的本征区 127。作为另一个具体例子,多晶硅电阻器 100 的掺杂部分 124、125 可使用与 P+ 区域(例如,相对高的 P 型掺杂剂浓

度)相关的注入工艺产生,该工艺可以是与用于产生 PMOS 器件(例如,低压(LV)PMOS 器件)的源极区的 P+ 区域和 / 或漏极区的 P+ 区域相同的注入工艺。作为再一个例子,用于 CMOS 器件、LDMOS 器件和 / 或 BJT 器件的硅化物工艺或自对准硅化物工艺也可用于产生电阻器结构 100 的硅化物部分 122、123。

[0028] 在一些实施例中,HV LDMOS 器件(例如,HV LNDMOS 器件、HVLPMOS 器件)或 LV MOS 器件(例如,LV PMOS 器件、LV NMOS 器件)可被构造成以 10V 至 100V (以绝对值)的电压(例如,击穿电压)工作。在一些实施例中,HV LDMOS 器件或 LV MOS 器件可被构造成以低于 10V 的电压或高于 100V 的电压(以绝对值)工作。在一些实施例中,HV LDMOS 器件可被构造成以低于 10V 的电压或高于 100V 的电压(以绝对值)工作。在一些实施例中, LV LDMOS 器件(例如, LV LNDMOS 器件、LV LPDMOS 器件)或 LV MOS 器件(例如, LV PMOS 器件、LV NMOS 器件)可被构造成以 1V 至 8V (以绝对值)的电压(例如,击穿电压)工作。在一些实施例中, LV LDMOS 器件或 LV MOS 器件可被构造成以低于 1V 的电压或高于 8V 的电压(以绝对值)工作。具体的工作电压和 / 或击穿电压(以及其他器件参数)可取决于特定的技术分代。

[0029] 在一些实施例中,注入工艺可与另外的工艺步骤相关或可包括另外的工艺步骤,这些工艺步骤包括光刻 / 掩膜步骤、蚀刻步骤和 / 或注入步骤。用于共同(或同时)形成两个单独的半导体器件的两个单独特征的工艺(例如,注入工艺)或工艺步骤(例如,注入步骤)可以为用于在共同的时间周期(例如,与第二时间周期重叠或对应的第一时间周期)中在相同的条件下使用单个工艺或单个工艺步骤等形成两个单独特征的工艺或工艺步骤。这不排除另外的(例如,在前、在后的)工艺步骤以进一步加工(例如,限定、修改)一个或多个特征。在一些实施例中,可将工艺称为包括一组工艺步骤。

[0030] 在半导体工艺(例如,BCDMOS 工艺)期间晶片的成本和周期时间可通过使用现有工艺或工艺步骤加以改善以产生电阻器结构 100,诸如以上述方式。在一些实施例中,成本和周期时间可改善多达 5% 或更多。成本和周期时间可得到改善,因为专门用于生产多晶硅电阻器并且已用于生产多晶硅电阻器许多年的光刻 / 掩膜、蚀刻和 / 或离子注入工艺步骤可得以避免或从半导体工艺中消除。因此,现有工艺或工艺步骤以意想不到的方式使用并在产生电阻器结构 100 时实现有益的结果(例如,降低的寄生电容),因为这些现有工艺步骤之前未用于(例如,用于 BCDMOS 工艺)产生多晶硅电阻器结构。总之,目前未用于生产多晶硅电阻器的半导体工艺的现有工艺步骤可有效地用于产生多晶硅电阻器结构 100。在一些实施例中,可将工艺步骤(例如,注入工艺步骤)称为步骤(例如,注入步骤)。

[0031] 如上所述,电阻器结构 100 可以为相对高值多晶硅电阻器 (HVPR),而在其他实施例中,电阻器结构 100 可以为相对低值多晶硅电阻器 (LVPR)。例如,在一些实施例中,多晶硅电阻器 120 的薄层电阻值可以在约 1000 欧姆 (Ω) 每平方 (sq) 与 5000 Ω /sq 之间(例如 1000 Ω /sq、2000 Ω /sq、3000 Ω /sq、4000 Ω /sq、5000 Ω /sq)。在其他实施例中,多晶硅电阻器 120 的电阻值可低于 1000 Ω /sq (例如, LVPR 实施例)或大于 5000 Ω /sq (例如, HVPR 实施例)。

[0032] 图 2 是示意图,示出了多晶硅电阻器结构 200 的掩膜层次俯视图。在示例性实施例中,电阻器结构 200 可与图 1 所示的电阻器结构 100 相对应,或可与其他电阻器结构相对应。如图 2 所示,将多晶硅层 220 设置在 RESURF 氧化物 230 上,后者继而设置在场氧化物(未示出)和硅基板(未示出)上。多晶硅层 220 包括设置在多晶硅层 220 的硅化物部分

222、223 之间的本征区 227。多晶硅层 220 的本征区 227 也设置在多晶硅层 220 的掺杂部分 224、225 之间。如图 2 所示,触点 252、253 (或通孔)在相应的硅化物部分 222、223 和金属部分 262、263 (或层)之间垂直设置(从图中进出)。在该实施例中,未示出设置在多晶硅层 220 上的氧化物(诸如上文相对于图 1 所述的氧化物 110)。

[0033] 图 3 是框图,示出了根据实施例的另一电阻器结构 300 的侧面剖视图。与电阻器结构 100 一样,电阻器结构 300 可使用通常用于生产其他类型的半导体器件的半导体工艺中的一个或多个工艺步骤产生。该一个或多个工艺步骤可按意想不到的方式用于产生电阻器结构 300。

[0034] 如图 3 所示,电阻器结构 300 包括设置在降低表面场 (RESURF) 氧化物 330 上的掺杂多晶硅 320 (其也可以称为掺杂多晶硅层)。与图 1 中的 RESURF 氧化物层 130 一样,RESURF 氧化物层 330 包括第一氧化物(介电)层 330a 和第二氧化物(介电)层 330b。在图 3 所示的电阻器结构 300 中,第一氧化物层 330a 包括热(热生长的)氧化物层,并且第二氧化物层 330b 可包括沉积的氧化物层,诸如 TEOS。在其他实施例中,可以使用其他氧化物和 / 或氧化物组合。具体实施这样的 RESURF 氧化物层的多种方法在下文例如相对于图 6A-6M 进行描述。

[0035] 在电阻器结构 300 中,RESURF 氧化物层 330 设置在场氧化物 340 上。场氧化物 340 可设置在硅基板 350 上(或中)。在某些实施例中,场氧化物层 340 可使用硅局部氧化 (LOCOS) 工艺形成,以氧化硅基板 350 的一部分。在示例性实施例中,以与相对于 RESURF 氧化物 130 讨论的类似方式,将 RESURF 氧化物层 330 用于形成高压 LDMOS 晶体管(例如, LNDMOS 晶体管或 LPDMOS 晶体管)的漂移区场介电板(其也可以称为场板)并且还以意想不到的方式用于电阻器结构 300。在图 3 所示的电阻器结构 300 中,与在电阻器结构 100 中使用 RESURF 氧化物层 130 一样使用 RESURF 氧化物层 330,导致掺杂多晶硅 320 与传统电阻器(多晶硅电阻器)结构相比具有明显更低的相对基板 350 的寄生电容(例如,取决于特定的实施例,可以从 10% 至 70%)。

[0036] 取决于特定的实施例,电阻器结构 300 的硅基板 350 可包括阱区。在其他实施例中,电阻器结构 300 的硅基板 350 可包括外延层(N 型或 P 型)、掩埋层(N 型或 P 型)或多种其他类型的硅基板。

[0037] 也如图 3 所示,掺杂的多晶硅 320 包括硅化物部分(或层) 322、323,它们与(重)掺杂的多晶硅 320 一起可产生欧姆接触。在该实施例中,硅化物部分 322、323 可用作掺杂多晶硅 320 的电触点,其在形成电阻器结构 300 时可以使用通孔 352 和 353 以及金属互连 360 和 365 电连接到其他电路器件。电阻器结构 300 还包括层间绝缘体(电介质)380,其可以在示例性实施例中包括硼磷硅酸盐玻璃 (BPSG)。层间绝缘体 380 也可以用作电阻器保护氧化物。

[0038] 电阻器结构 300 (以与电阻器结构 100 类似的方式)使用用在生产其他不同类型半导体器件的半导体工艺中的其他地方的光刻 / 掩膜步骤、蚀刻步骤和 / 或注入步骤(例如,掺杂步骤)产生。换句话讲,用于生产其他类型半导体器件(例如,高压 (HV) LDMOS 晶体管)的半导体工艺中的某些工艺步骤(例如,与 RESURF 氧化物层 330 相关的工艺步骤)可与用于产生电阻器结构 300 的工艺步骤相对应(例如,可与之共同进行,可与之同时进行)。这种工艺步骤中的对应可在生产多种不同类型的半导体器件时在半导体工艺中提高效率并且还

产生具有改善的性能特性(例如,较低的寄生电容)的电阻器结构。在示例性实施例中,与电阻器结构 100 一样,电阻器结构 300 可使用半导体工艺中的一个或多个其他工艺步骤产生,这些工艺步骤与用在用于生产 BJT 器件、CMOS 器件和 LDMOS 器件的 BCDMOS 工艺中的一个或多个工艺步骤重叠或对应。

[0039] 具体地讲,对于图 3 所示的电阻器结构 300,掺杂多晶硅 320 可使用与 P+ 区域(例如,相对高的 P 型掺杂剂浓度)相关的注入工艺产生,该工艺可以是与用于产生 PMOS 器件(例如,低压(LV)PMOS 器件)的源极区的 P+ 区域和 / 或漏极区的 P+ 区域相同的注入工艺,以产生 LVPR。作为再一个例子,用于 CMOS 器件、LDMOS 器件和 / 或 BJT 器件的硅化物工艺或自对准硅化物工艺也可用于产生电阻器结构 300 的硅化物部分 322、323。当然,用于形成其他半导体器件的特征的其他工艺步骤可用于共同形成电阻器结构 300 的特征。

[0040] 与电阻器结构 100 一样,在半导体工艺(例如,BCDMOS 工艺)期间晶片的成本和周期时间可通过使用现有工艺或工艺步骤加以改善以产生电阻器结构 300,诸如以本文所述的方式。在一些实施例中,成本和周期时间可改善多达 5% 或更多。成本和周期时间可得到改善,因为专门用于生产多晶硅电阻器并且已用于生产多晶硅电阻器许多年的光刻 / 掩膜、蚀刻和 / 或离子注入工艺步骤可得以避免或从半导体工艺中消除。

[0041] 因此,现有工艺或工艺步骤以意想不到的方式使用并在产生电阻器结构 300 时实现有益的结果(例如,降低的寄生电容),因为这些现有工艺步骤之前未用于(例如,用于 BCDMOS 工艺)产生多晶硅电阻器结构。总之,目前未用于生产多晶硅电阻器的半导体工艺的现有工艺步骤可有效地用于产生多晶硅电阻器结构 300。

[0042] 图 4 是框图,示出了根据实施例的电容器结构 400 的侧面剖视图。与电阻器结构 100 和 300 一样,电容器结构 400 可使用通常用于生产其他类型的半导体器件的半导体工艺中的一个或多个工艺步骤产生。该一个或多个工艺步骤可按意想不到的方式用于产生电容器结构 400。

[0043] 如图 4 所示,电容器结构 400 包括设置在降低表面场 (RESURF) 氧化物 430 上的掺杂多晶硅(层) 420。掺杂多晶硅 420 可用作电容器结构 400 中的顶部(上部)导电板。

[0044] 对于图 4 所示的电容器结构 400,掺杂多晶硅 420 可使用与 P+ 区域(例如,相对高的 P 型掺杂剂浓度)相关的注入工艺产生,该工艺可以是与用于产生 PMOS 器件(例如,低压(LV)PMOS 器件)的源极区的 P+ 区域和 / 或漏极区的 P+ 区域相同的注入工艺,以便产生具有较低电阻值的电容器结构 400 的上部导电板。

[0045] 同样在电容器结构 400 中,RESURF 氧化物层 430 可使用本文所述的技术产生(例如,可包括多个氧化物 / 介电层)。RESURF 氧化物层 430 用作电容器结构 400 的介电层(例如,在两个导电板之间)。在示例性实施例中,以与相对于 RESURF 氧化物层 130 和 330 讨论的类似方式,将 RESURF 氧化物层 430 用于形成高压 LDMOS 晶体管(例如,LNDMOS 晶体管或 LPDMOS 晶体管)的漂移区场介电板(其也可以称为场板)并且还以意想不到的方式用于电容器结构 400。在图 4 所示的电容器结构 400 中,以意想不到的方式使用 RESURF 氧化物层 430 产生电容器的介电层允许产生击穿电压在 30V 和 200V 之间(与 5V 和 20V 之间的击穿电压相比)的电容器结构。当然,用于形成其他半导体器件的特征的其他工艺步骤可用于共同形成电容器结构 400 的特征。

[0046] 在电容器结构 400 中,将 RESURF 氧化物层 430 设置在 N 型硅区域 455 上。RESURF

氧化物层 430 可使用多种不同的方法产生,诸如本文所述的那些方法。例如,RESURF 氧化物 430 可以是与 RESURF 氧化物 130 和 / 或 330 相同的 RESURF 氧化物。在电容器结构 400 中,N 型硅区域 455 被用作底部(下部)导电板,并可以多种方式形成,诸如本文所述的那些方式。例如,N 型硅区域 455 可包括 N 阱区、高压 N 阱区、掩埋的 N 型硅层和高掺杂的 N 型硅区域,诸如使用下文相对于图 6A 至 6M 所讨论的工艺步骤产生的那些区域。

[0047] 如图 4 所示,将 N 型硅区域 455 设置在场氧化物区域 440 之间。在某些实施例中,N 型硅区域 455 可设置在场氧化物 440 中的开口内,其中场氧化物 440 中的开口限定周边,在其中暴露出 N 型硅区域 455 (例如,用于随后形成 RESURF 氧化物层 430)。

[0048] 如图 4 所示,N 型硅区域 455 和场氧化物 440 可设置在硅基板 350 内。在某些实施例中,场氧化物 440 可使用硅局部氧化 (LOCOS) 工艺形成以氧化硅基板 450 的一部分,其中场氧化物 440 中的开口使用氮化物(阻挡)掩膜产生以阻挡(或防止)在 N 型硅区域 455 的范围内形成场氧化物。

[0049] 取决于特定的实施例,电容器结构 400 的硅基板 450 可包括 P 型硅基板。例如,硅基板 450 可包括 P 型外延层和 P 型掩埋层或其他基板类型的至少一种。用于产生(或提供)硅基板 450 的多个实施例在下文相对于图 6A 至 6M 进行讨论。

[0050] 也如图 4 所示,N 型硅区域 455 和掺杂多晶硅 420 分别包括产生欧姆接触的硅化物部分(或层)422、423。在示例性实施例中,用于 CMOS 器件、LDMOS 器件和 / 或 BJT 器件的硅化物工艺或自对准硅化物工艺也可用于产生电容器结构 400 的硅化物部分 422、423。在该实施例中,硅化物部分 422、423 可用作掺杂多晶硅 420 和 N 型硅区域 454 的电触点,其在形成电容器结构 400 时可以使用通孔 452 和 453 以及金属互连 460 和 465 电连接到其他电路器件。电容器结构 400 还包括层间绝缘体(电介质)480,其可以在示例性实施例中包括硼磷硅酸盐玻璃 (BPSG)。层间绝缘体 480 也可以用作电容器保护氧化物。

[0051] 电容器结构 400 (以与电阻器结构 100 和 300 类似的方式)使用用在生产其他不同类型半导体器件的半导体工艺中的其他地方的光刻 / 掩膜步骤、蚀刻步骤和 / 或注入步骤(例如,掺杂步骤)产生。换句话说,用于生产其他类型半导体器件(例如,高压 (HV) LDMOS 晶体管)的半导体工艺中的某些工艺步骤(例如,与 RESURF 氧化物层 430 相关的工艺步骤)可与用于产生电容器结构 400 的工艺步骤相对应(例如,可与之共同进行,可与之同时进行)。这种工艺步骤中的对应可在生产多种不同类型的半导体器件时在半导体工艺中提高效率并且还产生具有改善的性能特性(例如,较低的寄生电容)的电阻器结构。在示例性实施例中,电容器结构 400 可使用半导体工艺中的一个或多个其他工艺步骤产生,这些工艺步骤与用在用于生产 BJT 器件、CMOS 器件和 LDMOS 器件的 BCDMOS 工艺中的一个或多个工艺步骤重叠或对应。

[0052] 与电阻器结构 100 和 300 (以及本文所述的其他结构)一样,在半导体工艺(例如,BCDMOS 工艺)期间晶片的成本和周期时间可通过使用现有工艺或工艺步骤加以改善以产生电容器结构 400,诸如以本文所述的方式。在一些实施例中,成本和周期时间可改善多达 5% 或更多。成本和周期时间可得到改善,因为专门用于生产多晶硅电阻器并且已用于生产多晶硅电阻器许多年的光刻 / 掩膜、蚀刻和 / 或离子注入工艺步骤可得以避免或从半导体工艺中消除。

[0053] 因此,现有工艺或工艺步骤以意想不到的方式使用并在产生电容器结构 400 时

实现有益的结果(例如,提高的击穿电压),因为这些现有工艺步骤之前未用于(例如,用于BCDMOS工艺)产生电容器结构。总之,目前未用于产生电容器结构的半导体工艺的现有工艺步骤可有效地用于产生电容器结构400。

[0054] 图5是框图,示出了根据实施例的电容器结构500的掩膜层次俯视图。在示例性具体实施中,电容器结构500可与图4中所示的电容器结构400相对应,或可与其他电容器结构相对应。如图5所示,将掺杂多晶硅层520设置在RESURF氧化物(未示出)上。RESURF氧化物继而又设置在N型硅区域555上。N型硅区域通过场氧化物540中的开口暴露出来,诸如本文所述。多晶硅层520和N型硅区域555包括硅化物部分522和523。如图5所示,触点552、553(或通孔)在相应的硅化物部分522、523与金属部分(或互连层)诸如图4所示的互连层460和465之间垂直设置(从图中进出)。在该实施例中,未示出设置在电容器结构500上的电介质(诸如上文相对于图4所述的电介质480)。

[0055] 图6A至6M是示意图,示出了半导体工艺中的至少一些工艺步骤的剖视图,该工艺可用于生产LDMOS器件610(例如,HV LDMOS器件、LNDMOS器件)、多晶硅电阻器640和/或BJT器件680(各自如图6M中的器件所示)。另外,图6A至6M中所示的工艺步骤也可用于在生产LDMOS器件610、多晶硅电阻器640和BJT器件680的同时在电容器区域701中产生如图7所示的电容器结构700。因此,为了举例说明和清楚起见,图7的电容器结构700将结合图6A至6M的讨论加以描述。

[0056] 具体地讲,在该实施例中,多晶硅电阻器640、电容器700和/或BJT器件680的部分可使用半导体工艺中的一个或多个工艺步骤产生,这些步骤与用于生产LDMOS器件610的一个或多个工艺步骤重叠或对应。LDMOS器件610、多晶硅电阻器640和BJT器件680在器件600(也可以称为集成电路)中集成。在其他实施例中,图7中所示的电容器结构700也可在器件600中集成。

[0057] 在器件600中,LDMOS器件610在器件600的LDMOS区域611内产生,多晶硅电阻器640在器件600的电阻器区域641内产生,并且BJT器件680在器件600的BJT区域681内产生。如图6M所示,BJT器件680包括集电极650、基极660和发射极670。如上指出,电容器700可通过图7中所示的电容器区域701产生。

[0058] 虽然图6A至6M是示出BCDMOS工艺的工艺步骤的剖视示意图,但是本文所述的技术可适用于多种半导体工艺。通过图6A至6M所示的剖视图示出的工艺步骤的顺序以举例的方式给出。

[0059] 因此,简化了多个工艺步骤和/或未示出中间工艺步骤。在一些实施例中,可按与所示的不同的顺序执行本文所述的工艺步骤的至少一些。另外,并非所有的要素都在各附图中用参考编号重新标记以简化附图。在一些实施例中,本文所述的氧化物可包括或可以为电介质(包括低k电介质)、二氧化硅、热生长氧化物、沉积的氧化物等的任何组合。

[0060] 如图6A所示,器件600包括基板603以及设置在LDMOS区域611中的基板603与P型掩埋区601之间的N型掩埋区602。P型掩埋区601和N型掩埋区602可使用一系列工艺步骤形成,这些步骤包括注入工艺步骤、氧化工艺步骤、外延生长步骤等。在一些实施例中,N型掩埋区602和P型掩埋区601的至少一部分可在按顺序形成(例如,以堆叠方式形成,在不同的时间周期中通过居间工艺步骤或层在彼此之上形成)的一个或多个外延层(例如,P型外延层)中形成。例如,第一P型外延层可在基板603上形成,而第二P型外延层可

在第一 P 型外延层上形成。外延层的厚度可为约 $0.5\ \mu\text{m}$ 至 $3\ \mu\text{m}$ 。在一些实施例中，外延层的一个或多个的厚度可低于约 $0.5\ \mu\text{m}$ 或高于约 $3\ \mu\text{m}$ 。在一些实施例中，外延层可具有不同的厚度。

[0061] 外延层(若在基板 603 上形成)和基板 603 可统称为硅器件区域 605。硅器件区域 605 的顶部表面 T 在图 6A 中以虚线示出。硅器件区域 605 的顶部表面 T 可以为在水平方向对准的基本上平的顶部表面 T，并且垂直方向可基本上垂直于顶部表面 T。虽然顶部表面 T 和硅器件区域 605 可能并非在各图中都予以示出，但是这些特征在后续附图中提及。

[0062] 如图 6A 所示，高压 N 阱 (HVNWELL) 区 612 在 P 型掩埋区 601 中形成。在一些实施例中，HVNWELL 区 612 可使用 HVNWELL 光刻工艺和 N 型注入工艺(例如，HVNWELL 注入工艺)形成。

[0063] 如果在基板 603 上形成两个外延层而第一外延层设置在第二外延层与基板 603 之间，则 HVNWELL 区 612 的深度可约等于设置在第一外延层上的第二外延层的深度。在一些实施例中，HVNWELL 区 612 的深度可小于第二外延层的深度，或者可超过第二外延层的深度，使得 HVNWELL 区 612 的至少一部分设置在第一外延层中。在一些实施例中，HVNWELL 区 612 的至少一部分可设置在基板 630 中。

[0064] 在该实施例中，在形成 HVNWELL 区 612 后，形成氮化物层 606。氮化物层 606 的一些部分在 LDMOS 区域 611 中形成，氮化物层 606 的一些部分在 BJT 区域 681 中形成(例如，在集电极、基极和发射极之间的部分)。氮化物层 606 在一些实施例中可以为沉积层，并可使用包括光刻工艺步骤、蚀刻步骤等的多个加工步骤形成。

[0065] 在形成氮化物层 606 后，形成场氧化物 604。场氧化物 604 可具有与氮化物层 606 的部分中的至少一些接触或设置在这些部分之下的部分。如图 6A 所示，场氧化物 604 的至少一部分可设置在硅器件区域 605 的顶部表面 T 之上并且场氧化物 604 的至少一部分可设置在硅器件区域 605 的顶部表面 T 之下。在一些实施例中，场氧化物 604 可使用 LOCOS 工艺作为硅局部氧化 (LOCOS) 而形成。在一些实施例中，场氧化物 604 的厚度可在 $2000\ \text{Å}$ 与 $6000\ \text{Å}$ (例如， $3000\ \text{Å}$ 、 $4500\ \text{Å}$ 、 $5000\ \text{Å}$) 之间。虽然未在图 6A 中示出，但是在一些实施例中，可以进行缓冲氧化、垫氧化、牺牲氧化等。氮化物层 606 可称为形成场氧化物 604 的阻挡掩膜，因为氮化物层 606 阻挡(防止)形成场氧化物 604。氮化物层 606 也可以在形成图 7 所示的电容器结构 700 (或上面讨论的电容器结构 400 和 500) 时使用，以便防止在 N 型硅区域 712 (其可以在形成场氧化物 704 之前或之后形成) 中形成场氧化物 704。电容器结构 700 中的 N 型硅区域 712 被配置成用作电容器结构 700 的两个导电板之一而工作。

[0066] 图 6B 是剖视示意图，示出了移除氮化物层 606 后的器件 600。移除氮化物层 606 后，可在器件 600 的至少一些部分上形成 P 阱(阻挡)掩膜 608 (或其部分)。未被 P 阱掩膜 608 掩膜(或通过 P 阱掩膜 608 暴露出来)的器件 600 的部分将用 P 型掺杂剂掺杂以形成一个或多个 P 阱区 609，其在图 6C 中示出。如图 6B 所示，P 阱掩膜 608 在 LDMOS 区域 611 的至少一些部分上以及在 BJT 区域 681 的至少一些部分上形成。除了包括抗穿透 (APT) 注入、N 阈值电压 (NVT) 注入、深隔离注入等的其他类型的注入外，P 阱区 609 还可以使用 P 阱注入形成。在此整篇说明书中，掩膜(例如，阻挡掩膜)可以为或可以包含光致抗蚀剂或其他材料，诸如氮化物。

[0067] 如图 6C 所示,若干 P 阱区 609 在横向于 HVNWELL 区域 612 的 LDMOS 区域 611 中形成,使得 HVNWELL 区域 612 设置在 P 阱区 609 之间(例如,设置在两个 P 阱区 609 之间)。另外,也如图 6C 所示,P 阱区 609 (例如,P 阱区 609 的另一部分)在场氧化物 604 和电阻器区域 641 之下形成。因此,P 阱区 609 具有至少一个设置在电阻器区域 641 中的场氧化物 604 与 P 型掩埋区 601 之间的部分。虽然未在图 6B 中示出,但是在一些实施例中,P 阱掩膜 608 的至少一些部分可在电阻器区域 641 的至少一些部分上形成,使得 P 阱区 609 的至少一些部分可不在场氧化物 604 之下形成。在一些实施例中,不同类型的 P 型区可在电阻器区域 641 的 P 型掩埋区 601 内形成。相似地,虽然未在图 7 中示出,但是 P 阱掩膜 608 的至少一些其他部分可在电容器区域 701 (在其中形成电容器结构 700) 的至少一些部分上形成,以防止在电容器区域 701 中形成 P 阱区。

[0068] 在一些实施例中,用于形成 P 阱区 609 的 P 阱注入工艺可用于在 BJT 器件(未示出)(例如 NPN BJT 器件)的基极中形成 P 阱区。在该实施例中,用于形成 P 阱区 609 的 P 阱注入工艺不用于形成 BJT 器件 680 的基极 660。在一些实施例中,P 阱掺杂或注入工艺可用于形成 BJT 器件 680 的至少一部分。

[0069] 图 6D 是剖视示意图,示出了在器件 600 的至少一些部分上形成 N 阱掩膜 613 (或其部分)。未被 N 阱掩膜 613 掩膜(或通过 N 阱掩膜 613 暴露出来)的器件 600 的部分(例如,LDMOS 区域 611)将用 N 型掺杂剂掺杂以形成一个或多个 N 阱区 615。在该实施例中,将 N 阱区 615 在 LDMOS 区域 611 的 HVNWELL 区域 612 内形成。除了包括 APT 注入、P 阈值电压 (PVT) 注入等的其他类型的注入外,N 阱区 615 还可以使用 N 阱注入形成。在某些实施例中,N 阱掩膜也可以在图 7 所示的电容器区域 701 的至少一些部分中形成,以阻挡形成 N 阱区 615。在一些实施例中,电容器结构 700 的 N 型硅区域 712 可包括以通过图 6D 所示并相对于图 6D 所述的相似方式形成的 N 阱区 615。在其他实施例中,N 型区域 712 可使用其他工艺或半导体工艺的工艺步骤形成 N 型区域 712 可使用半导体工艺的其他工艺或工艺步骤形成,诸如相对于图 6A-6M 所述的那些。

[0070] 在一些实施例中,用于形成 N 阱区 615 的 N 阱注入工艺可用于在 BJT 器件(未示出)(例如,PNP BJT 器件)的基极中形成 N 阱区。在该实施例中,用于形成 N 阱区 615 的 N 阱注入工艺不用于形成 BJT 器件 680 的基极 660 中的掺杂区。换句话说,将 N 阱掺杂或注入工艺从 BJT 器件 680 中排除。在一些实施例中,N 阱掺杂或注入工艺可用于形成 BJT 器件 680 的至少一部分。

[0071] 如图 6E 所示,RESURF 氧化物 620 在器件 600 上形成。在一些实施例中,RESURF 氧化物 620 可以为热氧化物和沉积氧化物的任何组合。在一些实施例中,RESURF 氧化物 620 可包括设置在热生长的氧化物层上的沉积氧化物层,反之亦然。在一些实施例中,热氧化物的厚度可在约 10\AA 与 1000\AA 之间,并且沉积氧化物的厚度可在约 10\AA 与 1500\AA 之间。例如,RESURF 氧化物 620 可包含约 200\AA 的热氧化物和约 800\AA 的沉积氧化物。在一些实施例中,RESURF 氧化物可包括设置在热生长氧化物层上的沉积氧化物层,其中沉积氧化物层的厚度为热生长氧化物层的厚度的至少四倍。虽然未在图 6E 中示出,但是在一些实施例中,在器件 600 上形成的牺牲氧化物可在器件 600 上形成 RESURF 氧化物 620 之前移除。在一个实施例中,RESURF 氧化物 620 可用于形成 LDMOS 器件 600 的场板并且还以意想不到的方

式用于形成电阻器 640 (或电阻器结构 100、200、300) 的特征和 / 或电容器 700 (或电容器结构 400、500) 的特征, 诸如使用本文所述的方法。

[0072] 图 6F 是剖视示意图, 示出了在移除图 6E 所示的 RESURF 氧化物 620 的至少一些部分以形成 RESURF 氧化物 621、622、623 (或 RESURF 氧化物的部分或 RESURF 氧化物层) 后的器件 600。在一些实施例中, RESURF 氧化物 620 的部分可使用一种或多种掩膜工艺和 / 或一种或多种蚀刻工艺移除。如图 6F 所示, 将 RESURF 氧化物 622 的至少一部分设置在电阻器区域 641 中的场氧化物 604 上。另外, 将 RESURF 氧化物 623 的至少一部分设置在包含在 BJT 区域 681 中的 BJT 器件 680 的发射极 670 上。具体地讲, 将 RESURF 氧化物 622 的至少一部分设置在 BJT 区域 681 中的发射极 670 的暴露硅表面 (例如, 硅器件区域 605 的暴露硅表面 (例如, 顶部表面 T)) 上。另外, 虽然未标记, 但是 RESURF 氧化物 620 的其余部分设置在集电极 650 的至少一部分上。另外, 如图 7 所示, 可将 RESURF 氧化物 722 的至少一部分 (在图 6F 的移除工艺后) 设置在电容器 700 的 N 型硅区域 712 上, 其中 RESURF 氧化物 722 被构造成用作电容器结构 700 的电介质。

[0073] 另外, 也如图 6F 所示, 将 RESURF 氧化物 621 (其衍生自 RESURF 氧化物 620) 的一部分设置在 LDMOS 区域 611 中的 LDMOS 器件 610 的暴露硅表面 (例如, 硅器件区域 605 的暴露硅表面) 上 (例如, 以形成 LDMOS 器件 610 的漂移区场板)。具体地讲, 将 RESURF 氧化物 621 的一部分设置在 HVNELL 区域 612 上和 N 阱区 615 上。

[0074] 图 6G 是剖视示意图, 示出了在器件 600 内与基极注入区 619 共同形成的 N 型掺杂漂移 (NDD) 区域 618 的形成。具体地讲, NDD 区域 618 在 HVNELL 区域 612 中形成, 并且基极注入区 619 在 BJT 区域 681 中共同 (例如, 同时) 形成。NDD 区域 618 可使用以不同的能量进行的多个注入操作形成。NDD 区域 618 可用作 LDMOS 区域 611 中的 LDMOS 器件 610 的漂移区。NDD 区域 618 和基极注入区 619 使用 NDD 掩膜 624 和 N 型注入工艺 (例如, 单一 N 型注入工艺) 形成。在某些实施例中, 电容器 700 的 n 型区域 712 可包括 NDD 区域 618。

[0075] 如图 6G 所示, 用于形成 LDMOS 区域 611 的 LDMOS 器件 610 中的 NDD 区域 618 的 N 型注入工艺是用于形成包含在 BJT 区域 681 的基极 660 中的基极注入区 619 的相同 N 型注入工艺。因此, 如图 6G 所示, 在 NDD 区域 618 (例如, N 型漂移区) 的至少掩膜步骤和注入步骤期间, BJT 器件 680 的基极 660 和发射极 670 也在 NDD 掩膜 624 (其可以称为漂移区掩膜) 中被打开 (例如, 暴露、未掩膜) 并注入。

[0076] 也如图 6G 所示, NDD 区域 618 和基极注入区 619 各自的深度比 N 阱区 615 的深度大 (例如, 1.05 倍、两倍大)。如图 6G 所示, NDD 区域 618 和基极注入区 619 的横向 (或水平) 宽度 R (从左到右, 反之亦然) 比 N 阱区 615 的横向 (或水平) 宽度 Q 大。

[0077] 虽然未在图 6G 中示出, 但是 PDD 区域也可以按 HVLPDMOS 器件或 HVPMOS 器件 (未示出) 和 NPN BJT 器件 (未示出) 相似的方式形成。用于 HVLPDMOS 器件或 HVPMOS 器件的 PDD 区域的 P 型注入也可用于掺杂 NPN BJT 器件的基极。HVLPDMOS 器件或 HVPMOS 器件的 PDD 区域可用作 HVLPDMOS 器件或 HVPMOS 器件的漂移区。换句话说, 在 NPN BJT 器件 (未示出) 中, P 型漂移区注入可用于掺杂 NPN BJT 器件, 并且 P 阱掺杂或注入可从至少一个 NPN BJT 器件中排除。

[0078] 如上所述, 在一些实施例中, 除了使用漂移区注入形成的 BJT 器件 (例如, BJT 器件 680) 外, 一个或多个 BJT 器件 (未示出) 可通过使用 P 阱工艺形成的基极注入区产生 (对于

NPN BJT 器件而言),并且一个或多个 BJT 器件(未示出)可通过使用 N 阱工艺形成的基极注入区产生(对于 PNP BJT 器件而言)。

[0079] 图 6H 是剖视示意图,示出了在器件 600 上形成多晶硅部分。如图 6H 所示,栅极多晶硅 626 (其也可以称为栅电极)在 LDMOS 区域 611 中形成,并且电阻器多晶硅 642 (也可以称为多晶硅部分)在电阻器区域 641 中形成。在某些实施例中,电容器 700 的掺杂多晶硅 742 可与栅极多晶硅 626 和电阻器多晶硅 642 同时形成(例如,使用相同的工艺步骤)。在一些实施例中,栅极多晶硅 626、电阻器多晶硅 642 和掺杂多晶硅 742 可作为多晶硅层的一部分形成。因此,在一些实施例中,栅极多晶硅 626、电阻器多晶硅 642 和掺杂多晶硅 742 可以作为相同多晶硅形成工艺的一部分形成。

[0080] 具体地讲,在一些实施例中,用于形成栅极多晶硅 626 的多晶硅沉积工艺可以与用于形成电阻器多晶硅 642 和掺杂多晶硅 742 的多晶硅沉积工艺相同。因此,电阻器多晶硅 642、栅极多晶硅 626 和电容器 700 的掺杂多晶硅 742 可共同形成,而不是使用不同的多晶硅工艺步骤形成。在一些实施例中,多晶硅沉积工艺可包括一个或多个掩膜工艺步骤、一个或多个蚀刻步骤等。

[0081] 如图 6H 所示,电阻器多晶硅 642 设置在 RESURF 氧化物 622 上,后者设置在场氧化物 604 上。因此,RESURF 氧化物 622 和场氧化物 604 设置在电阻器多晶硅 642 与 P 阱区 609 之间,这导致与传统多晶硅电阻器相比与电阻器结构 600 相关的寄生电容降低。

[0082] 另外,如图 7 所示,掺杂多晶硅 742 设置在 RESURF 氧化物 722 上,后者设置在 N 型区域 712 上。与半导体工艺中实施的当前电容器的 5V 与 20V 之间的击穿电压相比,图 7 所示的电容器 700 (与电容器 400 一样)的结构允许形成击穿电压在 20V 与 300V 之间的高压电容器。

[0083] 在该实施例中,将 BJT 区域 681 从多晶硅形成中排除。虽然未在图 6H 中示出,但是在一些实施例中,电阻器多晶硅 642 可直接在场氧化物 604 上形成。在此类实施例中,RESURF 氧化物 622 可不在电阻器区域 641 中的场氧化物 604 的至少一部分上形成(例如,可从中排除)。换句话讲,在一些实施例中,RESURF 氧化物 622 可不设置在场氧化物 604 与电阻器多晶硅 642 之间。

[0084] 如图 6H 所示,栅极氧化物 625 在栅极多晶硅 626 的至少一部分之下形成(使得栅极氧化物 625 设置在栅极多晶硅 626 与硅器件区域 605 的顶部表面 T 之间)。如图 6H 所示,栅极氧化物 625 与 RESURF 氧化物 621 的至少一部分接触。具体地讲,栅极氧化物 625 的末端与 RESURF 氧化物 621 的至少一个末端接触(例如,邻接、相邻)。在一些实施例中,栅极氧化物 625 的厚度可在 5\AA 与 425\AA 之间(例如, 50\AA 、 120\AA 、 200\AA 、 300\AA 、 400\AA)或更厚。在一些实施例中,栅极氧化物 625 的厚度可小于 RESURF 氧化物 621 的厚度。

[0085] 如图 6H 所示,NDD 区域 618 的边界(例如,如在该图中取向的左侧边界)与硅器件区域 605 的顶部表面 T (其可以为外延层的顶部表面)和 LDMOS 器件 610 的栅极氧化物 625 的底部表面之间的界面相交(例如,终止于该界面)。相比之下,N 阱区 615 的边界(例如,如在该图中取向的左侧边界)可与硅器件区域 605 的顶部表面 T (其可以为外延层的顶部表面)和 LDMOS 器件 610 的 RESURF 氧化物 620 的底部表面之间的界面相交。如图 6H 所示,NDD 区域 618(在栅极氧化物 625 之下)的边界可以大致与 HVNELL 区域 612 的边界相同(例如,与该边界相对应或与该边界相邻)。

[0086] 如图 6H 所示, N 阱区 615 设置在 NDD 区域 618 内, 后者设置在 HVNWELL 区域 612 内, 并且 HVNWELL 区域 612 设置在 P 阱区 609 的部分之间(例如, 横向位于其间)。因此, N 阱区 615、NDD 区域 618 和 HVNWELL 区域 612 具有不同的横截面积。

[0087] 如图 6H 所示, NDD 区域 618 的边界(例如, 如在该图中取向的右侧边界)与场氧化物 604 和硅器件区域 605 之间的界面相交(例如, 终止于该界面)。换句话说讲, NDD 区域 618 的边界(例如, 如在该图中取向的右侧边界)终止于场氧化物 604 的底部表面。相似地, N 阱区 615 的边界(例如, 如在该图中取向的右侧边界)也与场氧化物 604 和硅器件区域 605 之间的界面相交(例如, 终止于该界面)。换句话说讲, N 阱区 615 的边界(例如, 如在该图中取向的右侧边界)终止于场氧化物 604 的底部表面。如图 6H 所示, NDD 区域 618 (在栅极氧化物 625 之下)的边界(例如, 如在该图中取向的右侧边界)不与 N 阱区 615 的边界(例如, 如在该图中取向的右侧边界)或 HVNWELL 区域 612 的边界(例如, 如在该图中取向的右侧边界)相对应(例如, 与之分离)。

[0088] 图 6I 是剖视示意图, 示出了用于形成 P- 区域 632 (其可以为 LNDMOS 器件 610 的主体区)以及用于掺杂图 7 所示的电容器结构 700 的栅极多晶硅 626 的至少一部分 633、电阻器多晶硅 642 的至少一部分 634 和掺杂多晶硅 742 的至少一部分的 P- 注入掩膜 631。P- 区域 632 设置在 P 阱区 609 内。P- 区域 632 的深度小于 P 阱区 609 的深度。如图 6I 所示, 用于掺杂 P- 区域 632 的注入工艺也用于掺杂栅极多晶硅 626 的部分 633、电阻器多晶硅 642 的部分 634, 并可用于掺杂电容器结构 700 的掺杂多晶硅 742。因此, 电阻器多晶硅 642 的部分 634 和掺杂多晶硅 742 可与栅极多晶硅 626 的部分 633 和 P- 区域 632 共同掺杂。P- 区域 632 和部分 633、634 以及掺杂多晶硅 742 的掺杂可以为使用 P 型掺杂剂执行的相对轻的掺杂(例如, 浓度比 P 阱区 609 的浓度低), 或可以具有较高的掺杂浓度, 具体取决于特定的实施例。部分 634 的至少一部分(例如, 沿着顶部的中部)可限定电阻器多晶硅 642 的本征区 635。换句话说讲, 在 LDMOS 器件 610 主体注入期间, P- 注入掩膜可以围绕电阻器多晶硅 642 打开(例如, 暴露、未掩膜), 使得可对电阻器多晶硅 642 进行掺杂。P- 区域 632 设置在 P 阱区 609 的至少一部分内。

[0089] 电阻器多晶硅 642 的部分 634 可包括电阻器多晶硅 642 的本征区 635 的至少一些部分。多晶硅电阻器的本征区的例子在上文结合至少图 1 和图 2 予以示出和描述。在一些实施例中, 可形成 P- 注入掩膜 631 (其可以称为主体注入掩膜)使得只对电阻器多晶硅 642 的本征区 635 掺杂。P- 区域 632 可具有比 P 阱区 609 的掺杂剂浓度低的掺杂剂浓度(例如, 低一个数量级)。

[0090] 在一些实施例中, 电容器 700 的电阻器多晶硅 642 和掺杂多晶硅 742 可通过用于掺杂 P- 区域 632 的相同注入工艺(或其步骤)以及用于掺杂 LDMOS 器件 610 的源极的 N 型注入进行掺杂。在一些实施例中, 源极注入可在与 NMOS 工艺相关的源极 / 漏极 (S/D) 注入期间形成。

[0091] 图 6J 是剖视示意图, 示出了使用 NLDD 注入掩膜 639 形成的 N 型轻掺杂漏极 (NLDD) 区域 636、637。如图 6J 所示, 栅极多晶硅 626 的至少一部分也在 NLDD 注入工艺(其在某些实施例中也可用于掺杂电容器结构 700 的掺杂多晶硅 742)期间掺杂。虽然未在图 6J 中示出, 但是也可以执行 P 型 LDD 注入。在一些实施例中, 可在执行 NLDD 注入工艺前和 / 或在执行 PLDD 注入工艺前执行栅极密封氧化工艺(未示出)。如图 6J 所示, 将电阻器区域 641 和

BJT 区域 681 从 NLDD 注入工艺中排除。在一些实施例中,电阻器区域 641 和 / 或 BJT 区域 681 的至少一些部分可暴露于 NLDD 注入。例如,电阻器多晶硅 642 的至少一部分(例如,本征区)可暴露于 NLDD 注入。

[0092] 如图 6K 所示,执行 TEOS 沉积和蚀刻,以形成 LDMOS 器件 610 的隔片 651 和多晶硅电阻器 640 的隔片 652。隔片 651 和隔片 652 可使用隔片回蚀工艺形成。

[0093] 在形成隔片 651、652 后,将电阻器多晶硅 642 的各末端通过使用 P+ 注入掩膜 653 (其可以称为源极掩膜和 / 或称为漏极掩膜)的 P+ 注入工艺(其为一种类型的源极注入工艺和 / 或漏极注入工艺)掺杂以形成 P+ 区域 655、656。P+ 注入掩膜可与 PMOS 器件(未示出)的 P+ 源极 / 漏极 (S/D) 注入相关。电阻器多晶硅 642 的末端(或接触区域)可进一步用 P 型掺杂剂掺杂,使得可随后使用(或通过)多晶硅电阻器 640 的 P+ 区域 655、656 形成欧姆(而非整流)接触。如图 6K 所示,之前已掺杂的电阻器多晶硅 642 的端部未被 P+ 注入掩膜 653 掩蔽(或通过 P+ 注入掩膜 653 暴露出来)以形成 P+ 区域 655、656。在一些实施例中,P+ 区域可称为多晶硅电阻器 640 的接触区域。本征区 635 (例如,在图 6I 中示出)可设置在 P+ 区域 655、656 之间。在一些实施例中,用于掺杂电阻器多晶硅的末端 655、656 和 PMOS 器件的 S/D 区域的工艺步骤也可用于掺杂电容器 700 的掺杂多晶硅 742。

[0094] 另外,如图 6K 所示,将 BJT 器件 680 的发射极 670 用 P+ 注入掺杂以在基极注入区 619 内形成 P+ 区域 657。因此,多晶硅电阻器 640 的至少一些部分和 BJT 器件 680 的至少一些部分可共同用与 PMOS 器件相关的 P+ 注入工艺掺杂。

[0095] 在该实施例中,只示出了 P+ 注入。在一些实施例中,也可执行与 NMOS 器件(未示出)相关的 N+ 源极 / 漏极注入。虽然未在该实施例中示出,但是多晶硅电阻器(未示出)的至少一些部分、NPN BJT 器件(未示出)的至少一些部分和电容器结构 700 (未示出)的掺杂多晶硅 742 的至少一些部分可共同用与 NMOS 器件相关的 N+ 注入工艺掺杂。

[0096] 在执行 P+ 注入工艺后,如图 6L 所示,在器件 600 上形成(例如,沉积、生长)自对准硅化物阻挡氧化物 661。在一些实施例中,自对准硅化物阻挡氧化物 661 可称为自对准硅化物氧化物。然后可对自对准硅化物阻挡氧化物 661 进行图案化,使得除了在不形成自对准硅化物的器件 600 区域,诸如电阻器多晶硅 642 的中央 P- 掺杂部分中,将自对准硅化物阻挡氧化物 661 移除。在对自对准硅化物阻挡氧化物 661 进行图案化后,可在器件 600 上形成金属层(未示出)。然后可作为自对准硅化物工艺的一部分使该金属层反应(例如,与接触金属层的硅反应)。因此,在自对准硅化物加工期间,自对准硅化物在电阻器多晶硅 642 的 P+ 区域 655、656 上形成,但不在设置在 P+ 区域 655、656 之间的电阻器多晶硅 642 的本征、中央 P- 掺杂部分(其通过 LDMOS P 型主体注入掺杂)上形成。

[0097] 相似地,可对自对准硅化物氧化物 661 进行蚀刻(图案化),使得可如图 6M 所示分别在 LDMOS 器件 610 的栅极、源极和漏极上形成自对准硅化物 691、692 和 693。另外,自对准硅化物 694 和 695 可形成在多晶硅电阻器 640 的各末端上(分别在 P+ 区域 655 和 656 上),以及形成电容器结构 700 的自对准硅化物 722、723。最后,可分别在 BJT 器件 680 的集电极 650、基极 660 和发射极 670 的每一者上形成自对准硅化物 696、697、698。在形成自对准硅化物之后的工艺步骤没有示出,诸如触点形成、钝化、金属化(例如,互连)、电介质和通孔形成。

[0098] 在一些实施例中,可将其他类型的半导体结构包括在器件 600 中。例如,除了 BJT

器件 680、多晶硅电阻器 640 和 LDMOS 器件 610 外,还可以在器件 600 中形成电容器器件,诸如电容器结构 700。在其他实施例中,可将其他构造用于上述各种器件特征。例如,电阻器多晶硅 642 可均匀(例如,重)掺杂,而不是具有重掺杂末端 655、656 和相对轻掺杂的本征(中央)区 635。

[0099] 图 8A-8C 是流程图,根据实施例分别示出了用于半导体加工的方法 800、830 和 860。在某些实施例中,方法 800、830 和 860 可彼此结合而具体实施,并且为了举例说明,将在本文照此予以描述。例如,图 8B 所示的方法 830 包括形成 RESURF 氧化物层的操作,其操作可结合图 8A 的方法 800 具体实施。相似地,图 8C 所示的方法 860 包括形成掺杂多晶硅层的操作,其操作可结合方法 800 具体实施。在示例性实施例中,方法 800 可使用结合图 6A 至 6M 所示和描述的半导体工艺的工艺步骤具体实施。

[0100] 如图 8A 所示,半导体加工的方法 800 包括在方框 805 处形成设置在 P 型硅基板内的 N 型硅区域。例如,N 型硅区域可包括 N 阱区、高压 N 阱区、掩埋 N 型硅层和高掺杂 N 型硅区域等的至少一种。在方法 800 中,P 型硅基板可包括 P 型外延层和 P 型掩埋层和 / 或其他 P 型硅基板的至少一种。在其他实施例中,可以颠倒导电型。例如,在方框 805 处,可在 N 型硅基板中形成 P 型硅区域。

[0101] 在方框 810 处,方法 800 包括在 P 型硅基板中(或上)形成场氧化物层。在方框 810 处形成的场氧化物层可包括将 N 型硅区域的至少一部分暴露出来的开口,其中开口可随后用于形成电容器结构,诸如本文所述的那些。场氧化物层中的开口可使用氮化物层限定,诸如之前所述。

[0102] 在方框 820 处,方法 800 包括形成 RESURF 氧化物层,其具有设置在暴露的 N 型硅区域上的第一部分(例如,用于电容器结构)和设置在场氧化物层上的第二部分(例如,用于电阻器结构)。在方法 800 中,RESURF 氧化物层可包括与暴露的 N 型硅区域和场氧化物层接触的第一介电层。换句话说讲,将方法 800 中的 RESURF 氧化物层的第一介电层设置在暴露的 N 型硅区域和场氧化物层上。方法 800 的 RESURF 氧化物层还包括设置在第一介电层上的第二介电层。

[0103] 在方框 820 处,方法 800 包括形成掺杂多晶硅层(例如,使用本文所述的技术),其中掺杂的多晶硅具有第一部分和第二部分(其可以相似地掺杂或不同地掺杂,具体取决于特定的实施例)。在方法 800 中,将掺杂多晶硅层的第一部分设置在 RESURF 氧化物层的第一部分(其设置在暴露的 N 型区域上)上。在方法 800 中,掺杂多晶硅层的第一部分可形成电容器结构的上部(顶部)导电板(诸如在电容器结构 400、700 中)。

[0104] 另外在方法 800 中,将掺杂多晶硅层的第二部分设置在 RESURF 氧化物层的第二部分上,而 RESURF 氧化物层设置在方框 810 处形成的场氧化物层上。在方法 800 中,掺杂多晶硅层的第二部分可形成电阻器结构(诸如在电阻器结构 640 中)的电阻器多晶硅(例如,电阻器多晶硅 642)。

[0105] 如图 8B 所示,形成 RESURF 氧化物层的方法 830 包括在方框 835 处使(方框 815 的) RESURF 氧化物层的第一介电层在暴露的 N 型硅区域和场氧化物层上热生长。方法 830 还包括在方框 840 处,在 RESURF 氧化物层的第一介电层上沉积(方框 815 的) RESURF 氧化物层的第二介电层。在方框 845 处,方法 830 包括至少在 RESURF 氧化物层的第一部分和 RESURF 氧化物层的第二部分上形成蚀刻阻挡掩膜(例如,使用光刻工艺)。在方框 850 处,方法 830

包括以与蚀刻阻挡掩膜相对应的图案蚀刻第一介电层和第二介电层,例如以便限定 RESURF 氧化物的第一部分(作为电容器结构的电介质)以及限定 RESURF 氧化物的第二部分(作为多晶硅电阻器结构的下层电介质)。

[0106] 如图 8C 所示,形成掺杂多晶硅层的方法 860 包括在方框 865 处,在 RESURF 氧化物层的第一部分、场氧化物层和 RESURF 氧化物层的第二部分上形成多晶硅层,诸如在例如晶片的表面上形成多晶硅层。在方框 870 处,方法 860 包括在至少与掺杂多晶硅层的第一部分(例如,电容器结构的上板)相对应的区域和与掺杂多晶硅层的第二部分(例如,电阻器结构的电阻器多晶硅)相对应的区域上形成蚀刻阻挡掩膜(例如,使用光刻工艺)。

[0107] 在方框 875 处,方法 860 包括以与蚀刻阻挡掩膜相对应的图案蚀刻多晶硅层,例如以便限定掺杂多晶硅层的第一部分(例如,上部电容器板)的多晶硅结构以及限定掺杂多晶硅层的第二部分(例如,电阻器多晶硅)的多晶硅结构。方法 860 包括在方框 880 处对蚀刻的多晶硅层掺杂。取决于特定的实施例,掺杂多晶硅层的第一部分和掺杂多晶硅层的第二部分可相似地掺杂,或可不同地掺杂。用于各结构的具体掺杂将取决于具体的结构和该结构的特定用途。

[0108] 另外,相对于方法 800、830 和 860 所述的半导体工艺步骤可用于共同限定其他半导体器件(例如,非电容器和电阻器)的特征。例如,相对于方法 800、830 和 860 所述的半导体工艺步骤可用于限定 LDMOS 器件的一个或多个特征、BJT 器件的一个或多个特征和 / 或其他器件的一个或多个特征,诸如在本文所述的方法中。

[0109] 图 9 是流程图,示出了根据实施例形成电阻器结构的方法 900。例如,方法 900 可用于形成本文所述的电阻器结构。如图 9A 所示,方法 900 包括在方框 905 处,在 P 型硅基板中,诸如在图 6A 至 6M 所示的电阻器区域 640 中,形成场氧化物层。在方框 910 处,方法 900 包括形成 RESURF 氧化物层,其包括设置在场氧化物层上的第一介电层和设置在第一介电层上的第二介电层。

[0110] 在方框 915 处,方法 900 包括在 RESURF 氧化物层上形成掺杂多晶硅层(电阻器多晶硅),诸如使用本文所述的技术。在方框 920 处,方法 900 包括在掺杂多晶硅层的第一末端形成第一电触点,以及在方框 925 处形成与掺杂多晶硅层的第二末端的第二电触点。在方法 900 中,第一电触点、掺杂多晶硅层和第二电触点形成电阻器结构。然后可进行进一步加工以限定金属互连、通孔和 / 或其他结构以将电阻器结构与包括在同一硅基板中的其他半导体器件和 / 或不包括在同一基板中的其他器件相连。

[0111] 与相对于方法 800、830 和 860 所述的工艺步骤一样,方法 900 的半导体工艺步骤可用于共同限定其他半导体器件(例如,非电阻器)的特征。例如,相对于方法 900 所述的半导体工艺步骤可用于限定 LDMOS 器件的一个或多个特征、BJT 器件的一个或多个特征和 / 或其他器件的一个或多个特征,诸如在本文所述的方法中。

[0112] 图 10A 和 10B 是流程图,根据实施例分别示出了用于在半导体工艺(诸如相对于图 6A 至 6M 所述的半导体工艺)中形成电容器结构的方法 1000 和 1040。在一些实施例中,方法 1000 和 1040 可彼此结合而具体实施,并且为了举例说明,将在本文照此予以描述。例如,图 10B 所示的方法 1040 包括形成场氧化物层的操作,其操作可结合在形成电容器时的方法 1000 具体实施。

[0113] 如图 10A 所示,形成电容器结构的方法 1000 包括在方框 1005 处形成设置在 P 型

硅基板内的N型硅区域。在方框 1005 处形成的N型硅区域可用作电容器结构的下部(底部)板,诸如在图 7 的电容器结构 700 中的N型区域 712。在方框 1010 处,方法 1000 包括在P型硅基板中(或上)形成场氧化物层。在方法 1000 中,在方框 1010 处形成的场氧化物层包括将N型硅区域的至少一部分暴露出来的开口。取决于特定的具体实施,方框 1005 处的N型硅区域可在方框 101 处的场氧化物层之前形成,或可在方框 1010 处的场氧化物层之后形成。

[0114] 在方框 1015 处,方法 1000 包括形成设置在暴露的N型硅区域上的RESURF氧化物层(例如,电容器结构的介电层)。方法 1000 的RESURF氧化物层包括设置在暴露的N型硅区域上的第一介电层和设置在第一介电层上的第二介电层。在方框 1020 处,方法 1000 包括形成设置到在方框 1015 处形成的RESURF氧化物层上的掺杂多晶硅层。掺杂多晶硅层可用作相应电容器结构的上部(顶部)导电板。

[0115] 在方框 1025 处,方法 1000 包括形成与N型硅区域的第一电触点,并且在方框 1030 处包括形成与掺杂多晶硅层的第二电触点。在方法 1000 中,第一电触点、N型硅区域、RESURF氧化物的第一部分、掺杂多晶硅层的第一部分和第二电触点形成电容器结构。

[0116] 如图 10B 所示,形成场氧化物层的方法 1040 包括在方框 1045 处形成设置在方框 1005 处的N型硅区域上的氮化物(阻挡)层。在方框 1050 处,方法 1040 包括执行LOCOS工艺以在P型基板中形成场氧化物层,其中氮化物层防止(阻挡)在其所设置的N型硅区域的部分中形成场氧化物层。在方框 1055 处,方法 1040 包括移除氮化物层,其导致方框 1005 处的N型硅区域通过场氧化物层中的开口暴露出来。

[0117] 与相对于方法 800、830、860 和 900 所述的工艺步骤一样,方法 1000 和 1040 的半导体工艺步骤可用于共同限定其他半导体器件(例如,非电容器)的特征。例如,相对于方法 1000 和 1040 所述的半导体工艺步骤可用于限定LDMOS器件的一个或多个特征、BJT器件的一个或多个特征和/或其他器件的一个或多个特征,诸如在本文所述的方法中。

[0118] 本文所述的各种技术的具体实施可在数字电子电路中或在计算机硬件、固件、软件中或在它们的组合中具体实施。方法的一些部分也可通过以下电路执行,并且设备可作为以下电路具体实施:专用逻辑电路,例如FPGA(现场可编程门阵列)或ASIC(专用集成电路)。

[0119] 具体实施可在包括后端组件(例如,作为数据服务器)或包括中间件组件(例如,应用服务器)或包括前端组件(例如,具有图形用户界面或用户可借以与具体实施交互的Web浏览器的客户端计算机)或此类后端、中间件或前端组件的任何组合的计算机系统中具体实施。组件可通过任何形式的数字数据通信或任何数字数据通信介质(例如,通信网络)互连。通信网络的例子包括局域网(LAN)和广域网(WAN),例如互联网。

[0120] 一些具体实施可使用多种半导体加工和/或封装技术具体实施。一些实施例可使用多种类型的与半导体基板相关的半导体加工技术而具体实施,这些基板包括但不限于例如硅(Si)、砷化镓(GaAs)、碳化硅(SiC)等。

[0121] 虽然已经如本文所述示出了所述具体实施的某些特征,但是本领域的技术人员现在将想到许多修改、替换、变化和等同形式。因此,应当理解,所附权利要求书旨在涵盖落在实施例范围内的所有此类修改和变化。应当理解,它们仅以举例而非限制的方式展示,并且可以作出形式和细节的多种变化。本文所述的设备和/或方法的任何部分除了互相排斥的

组合外可按任何组合加以组合。本文所述的实施例可包括所述不同实施例的功能、组件和 / 或特征的各种组合和 / 或子组合。

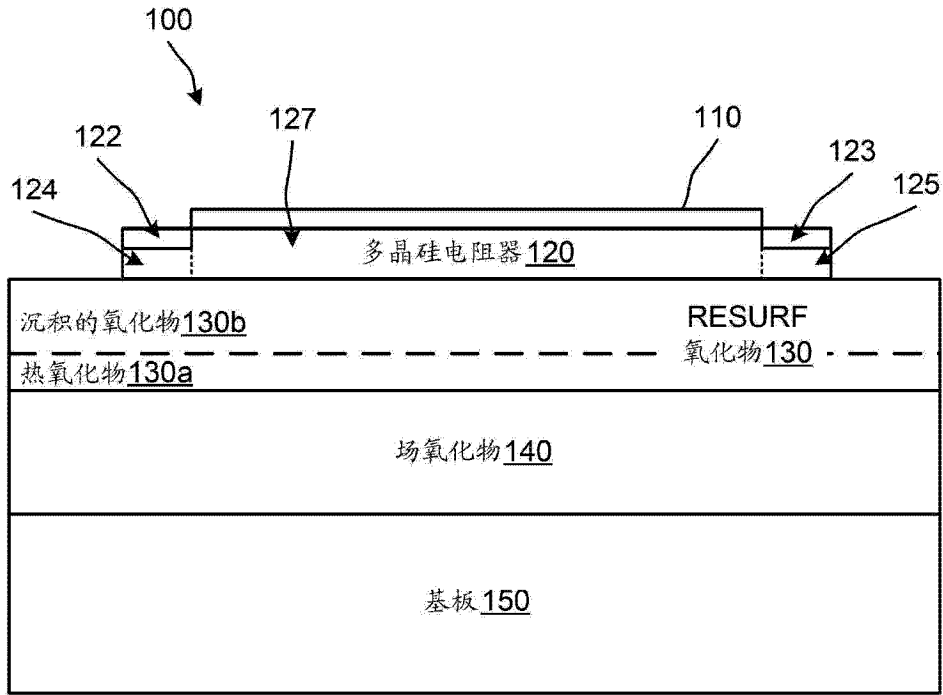


图 1

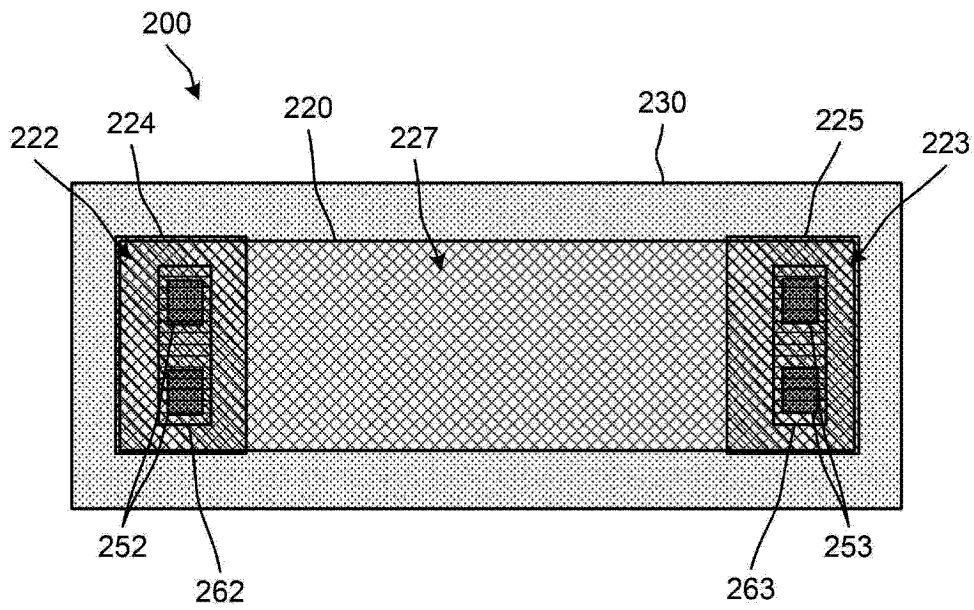


图 2

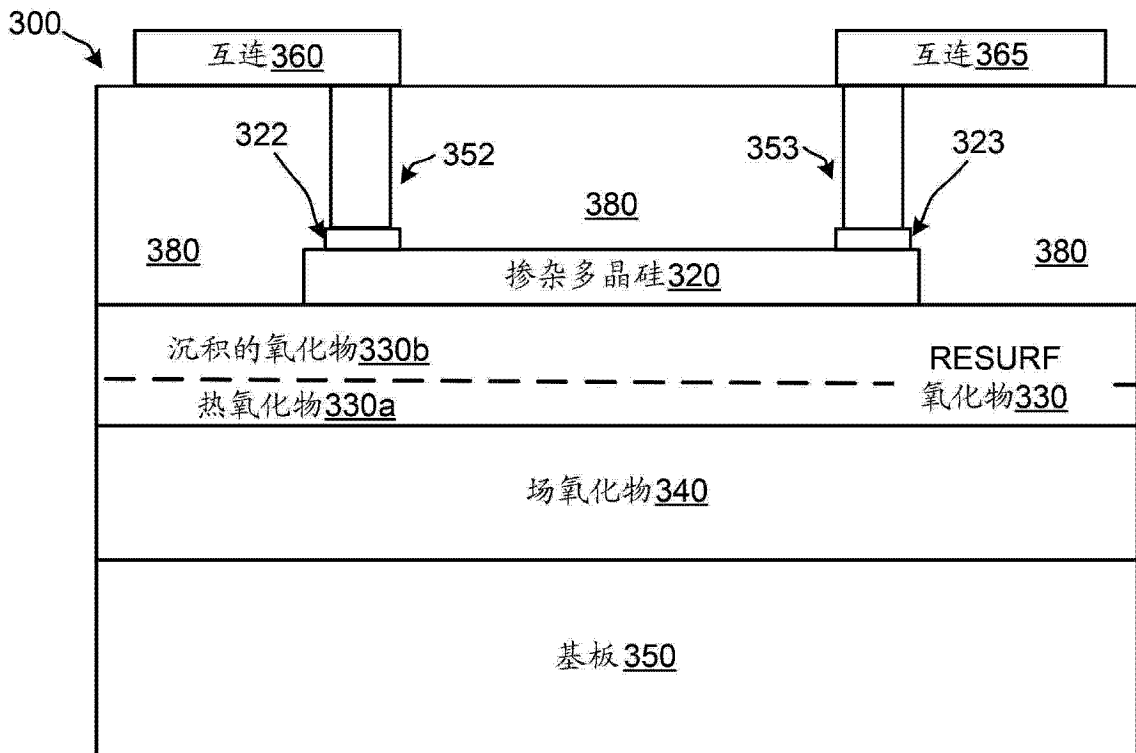


图 3

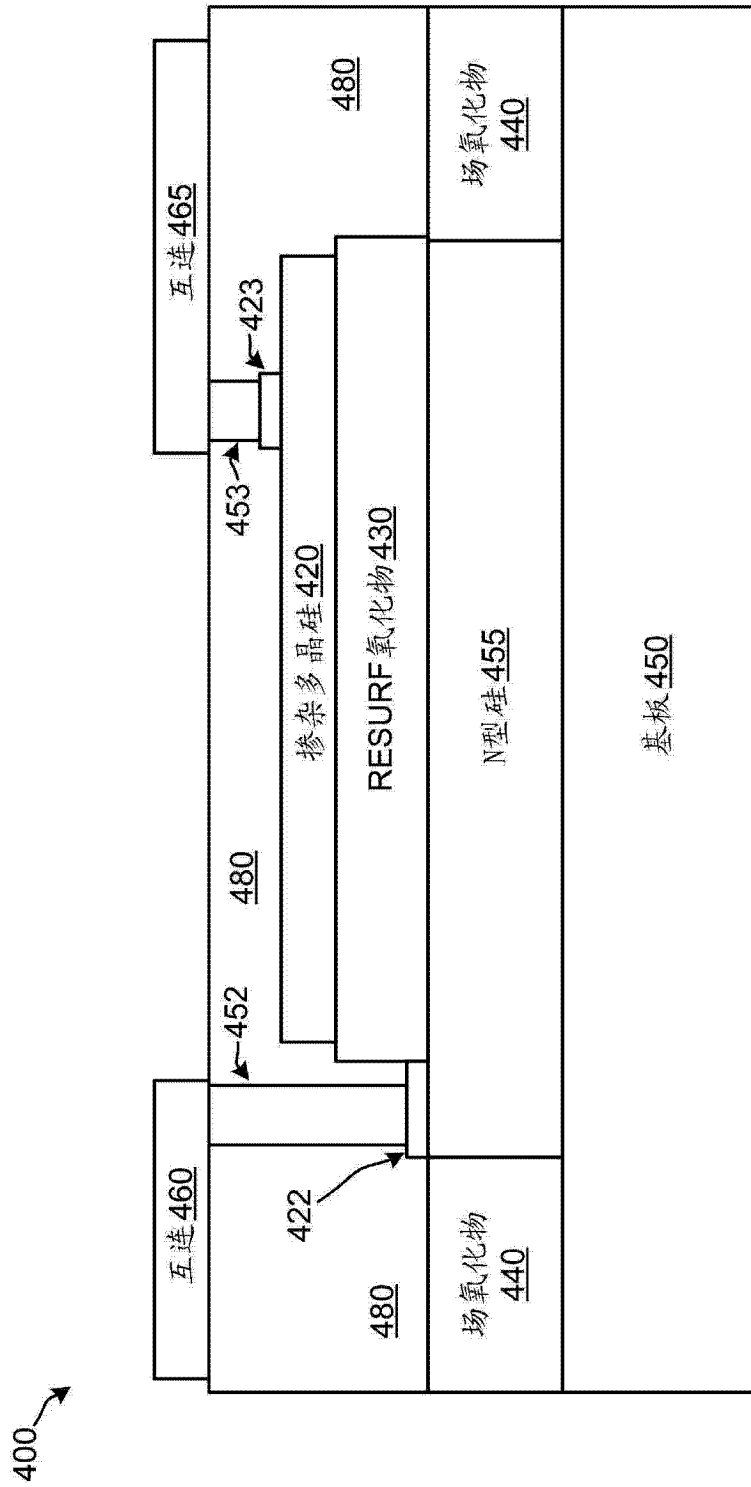


图 4

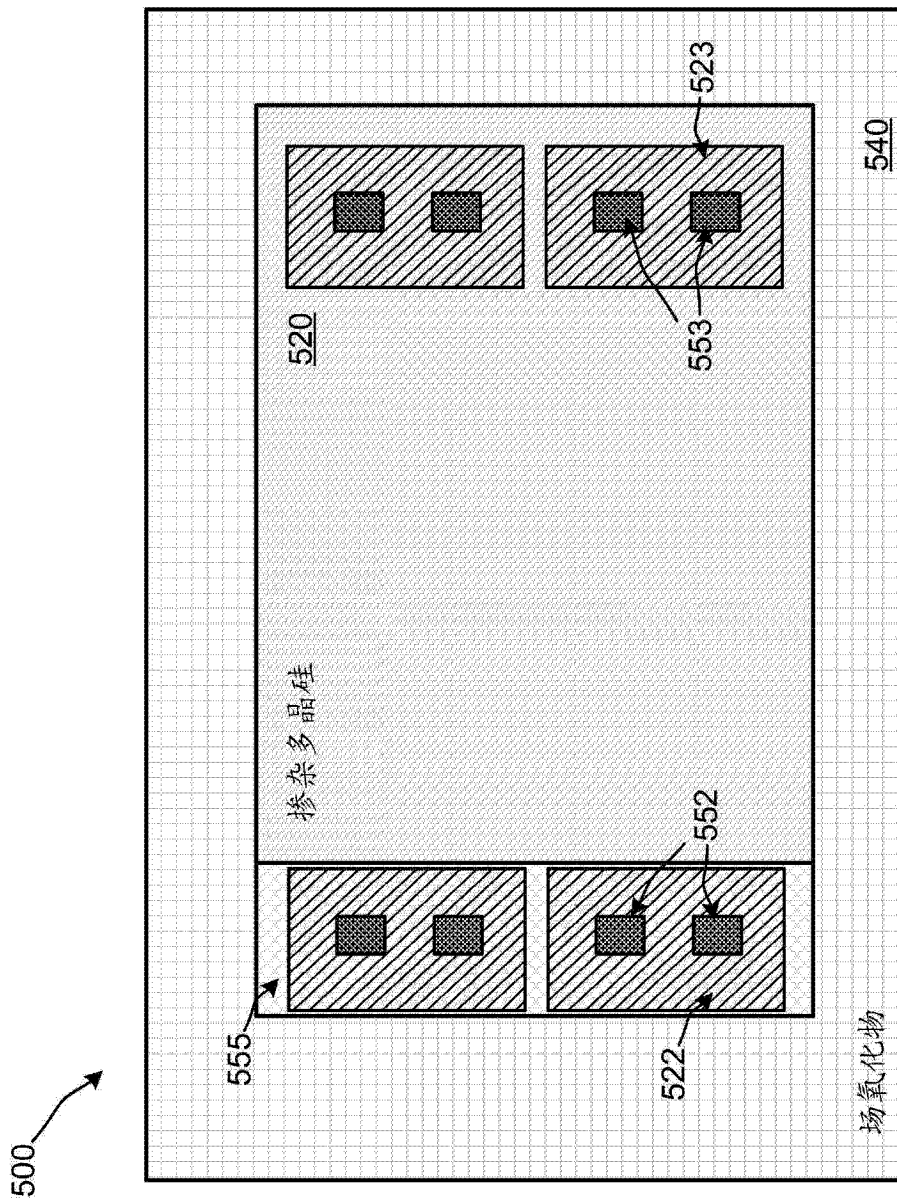


图 5

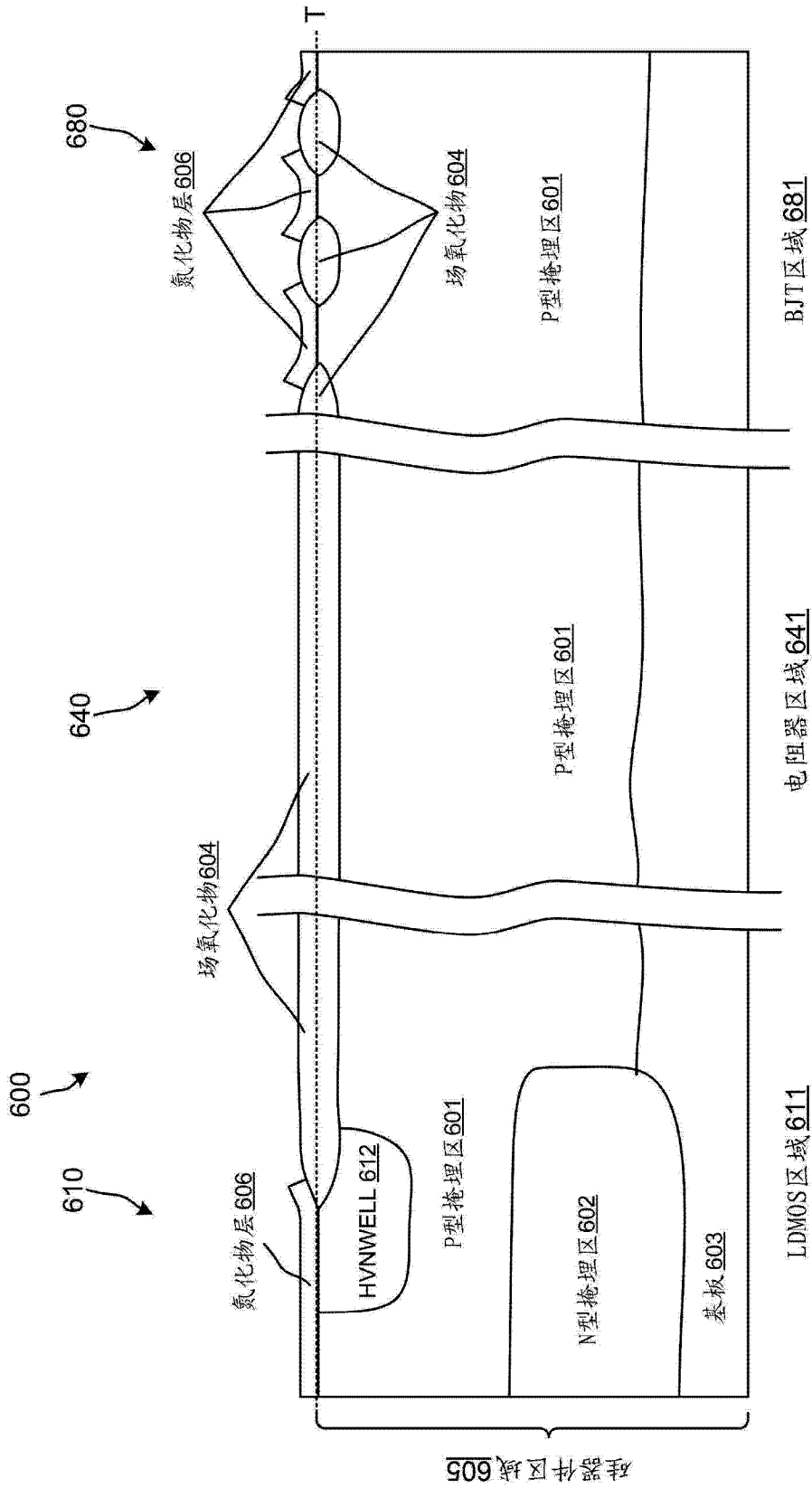


图 6A

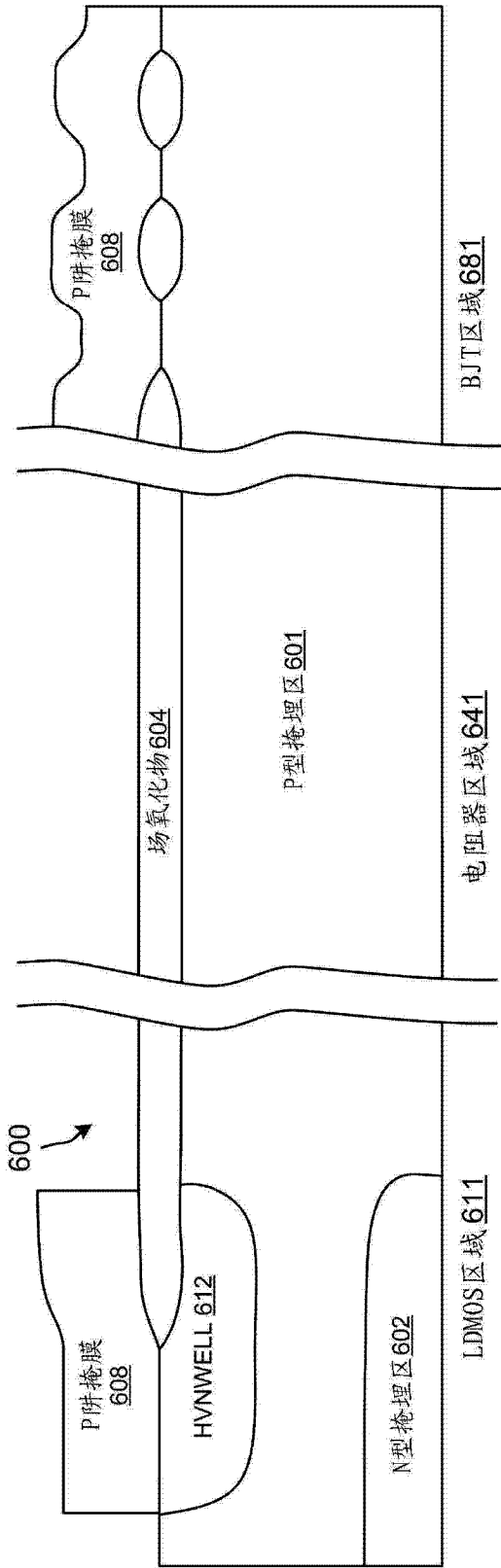


图 6B

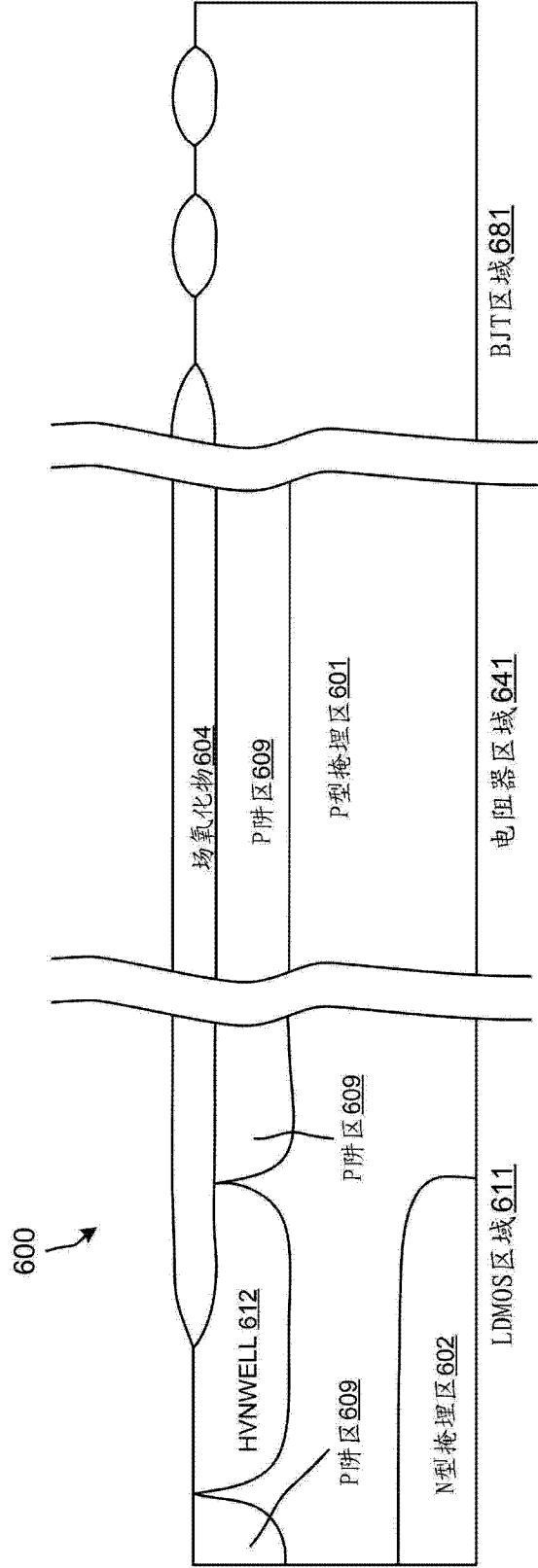


图 6C

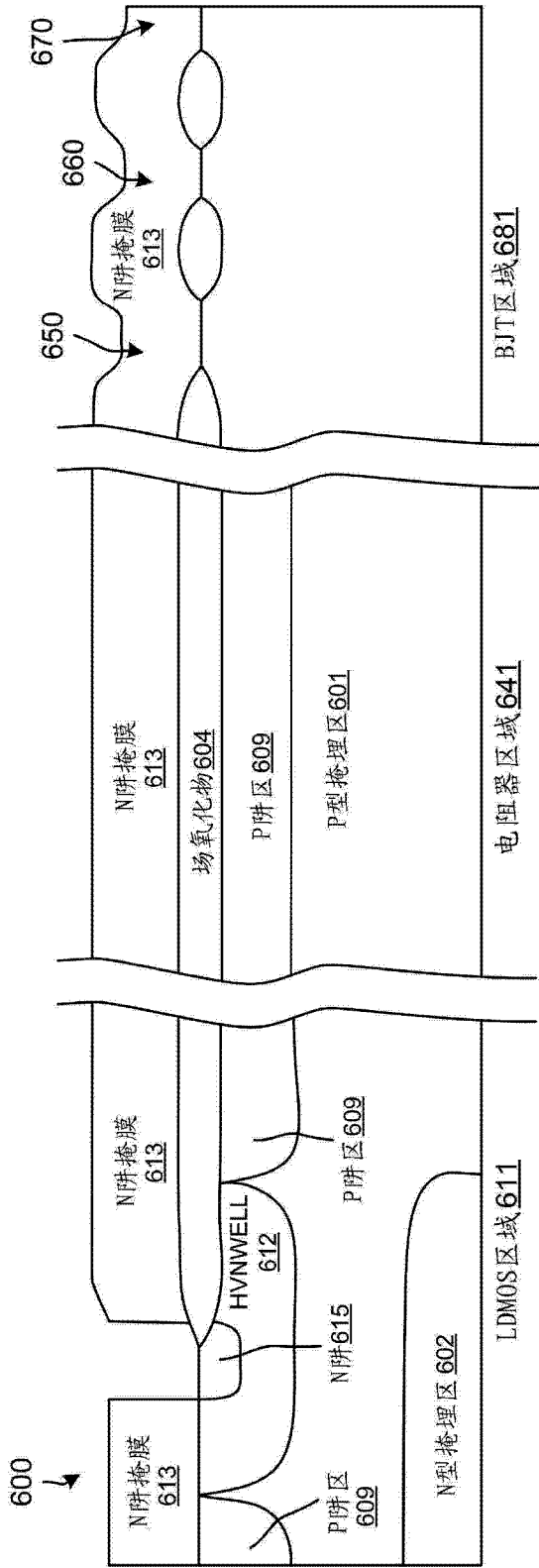


图 6D

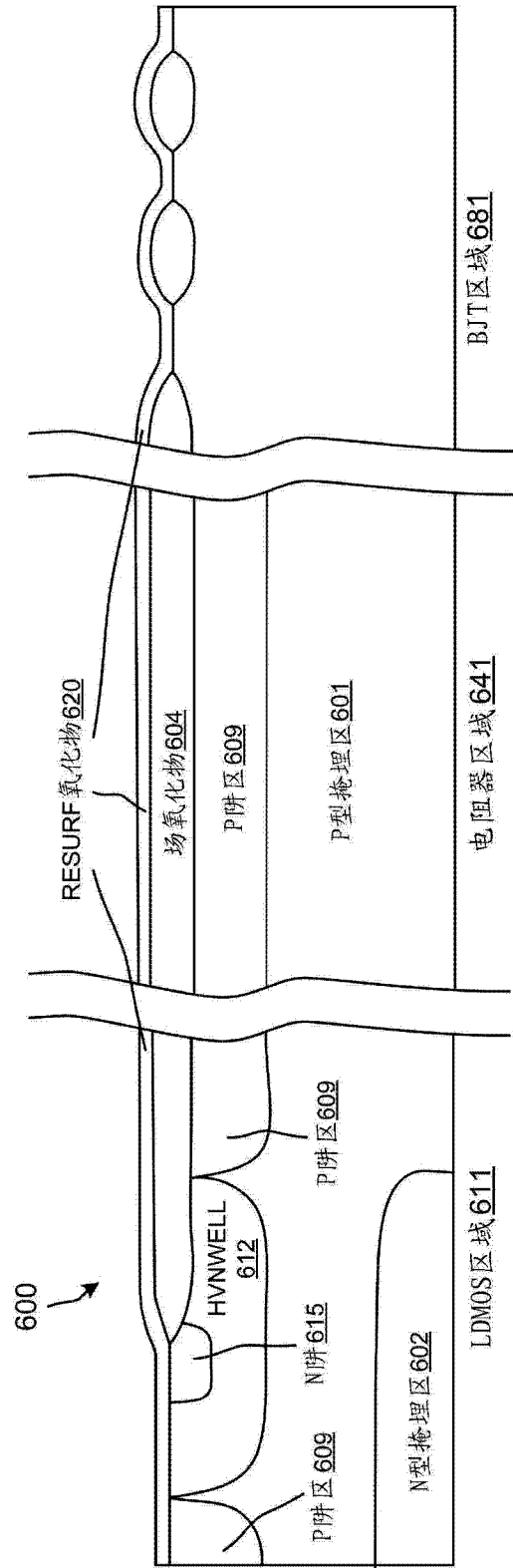


图 6E

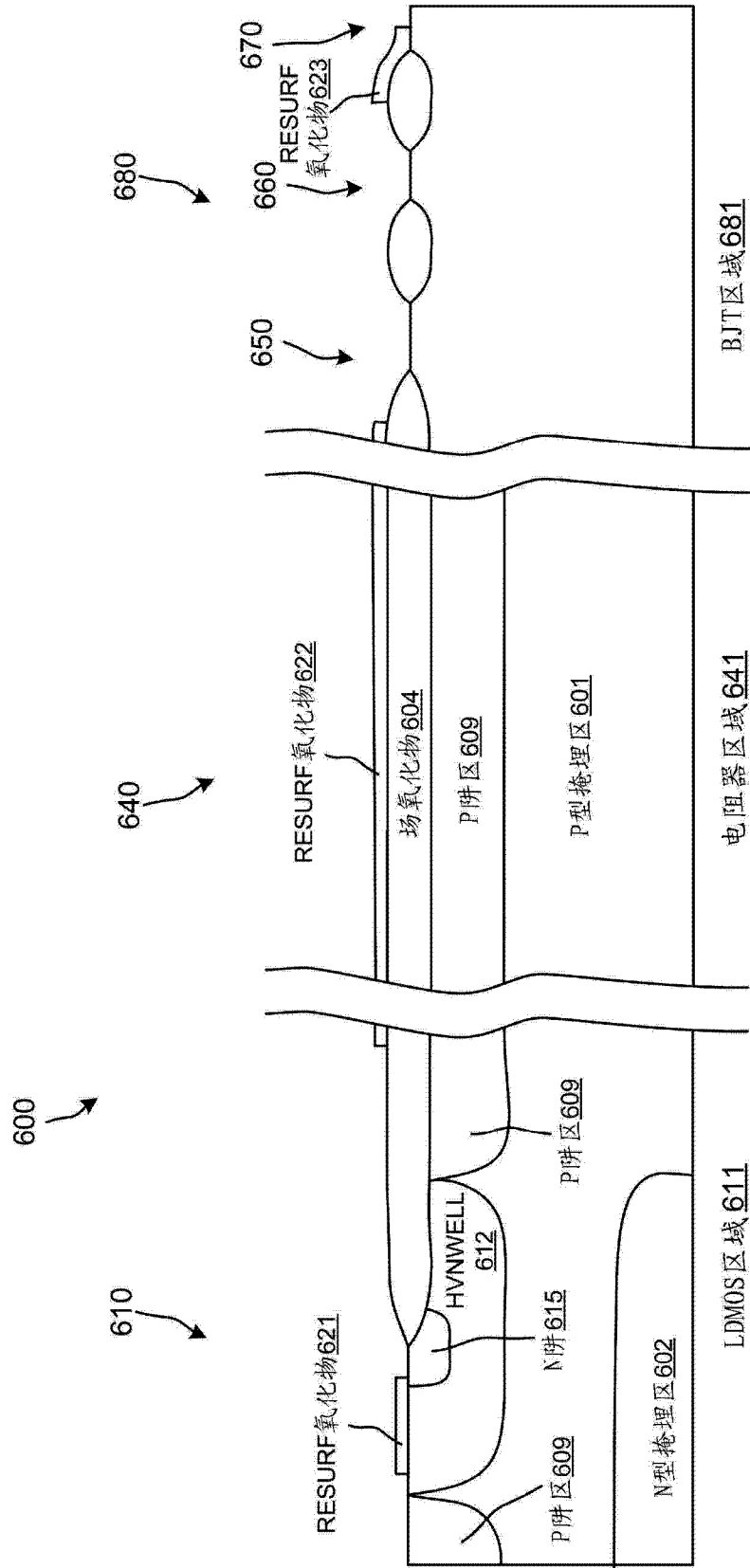


图 6F

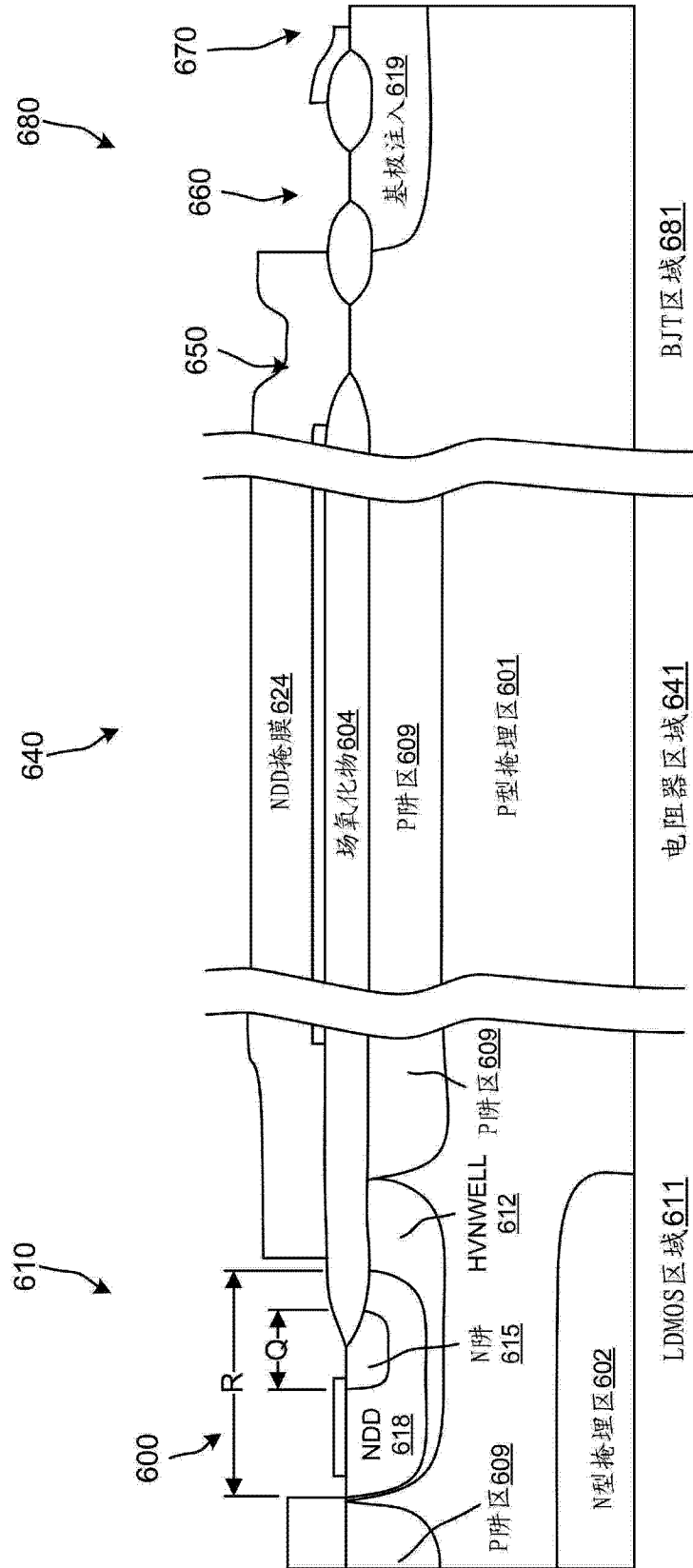


图 6G

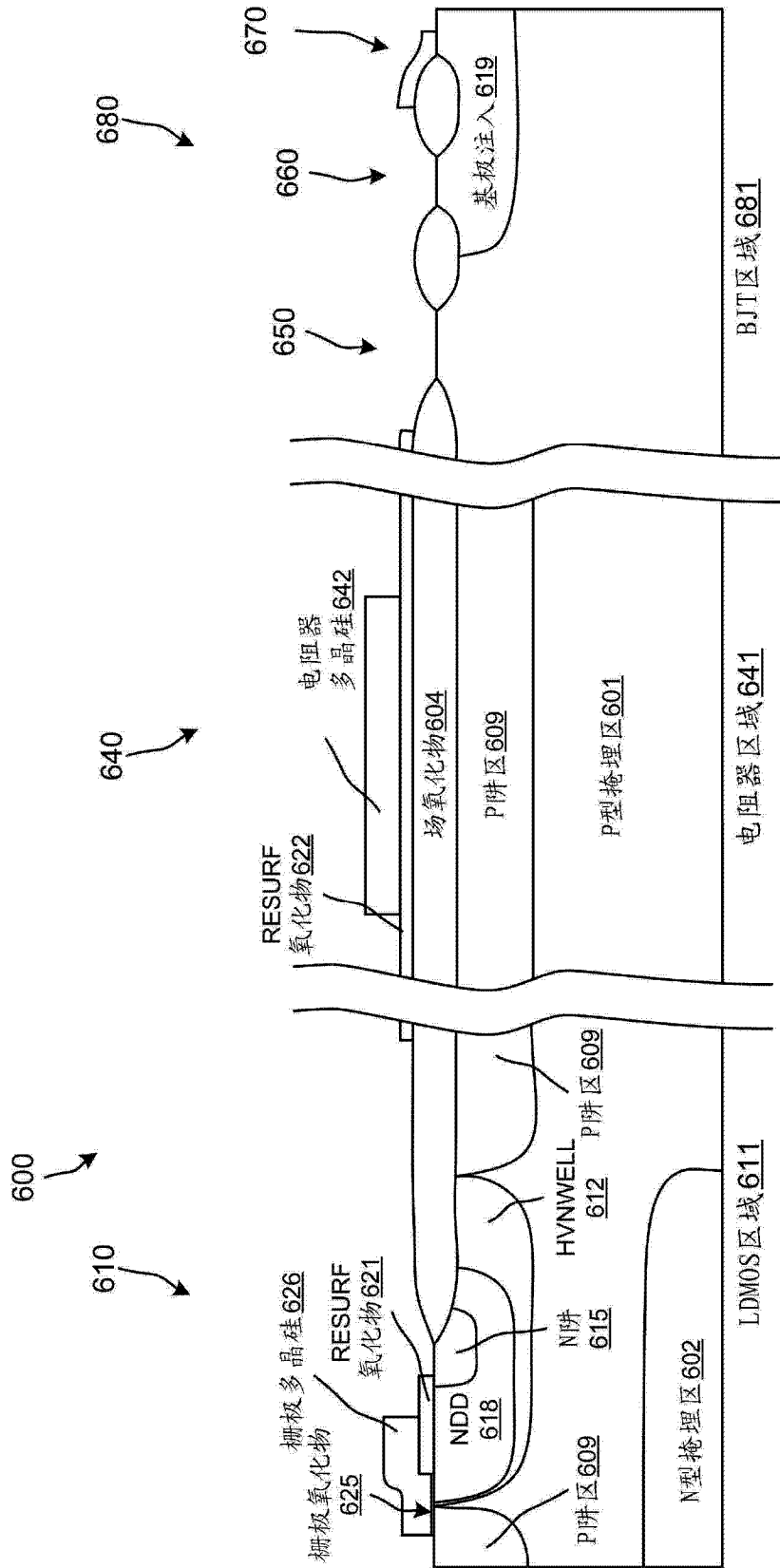


图 6H

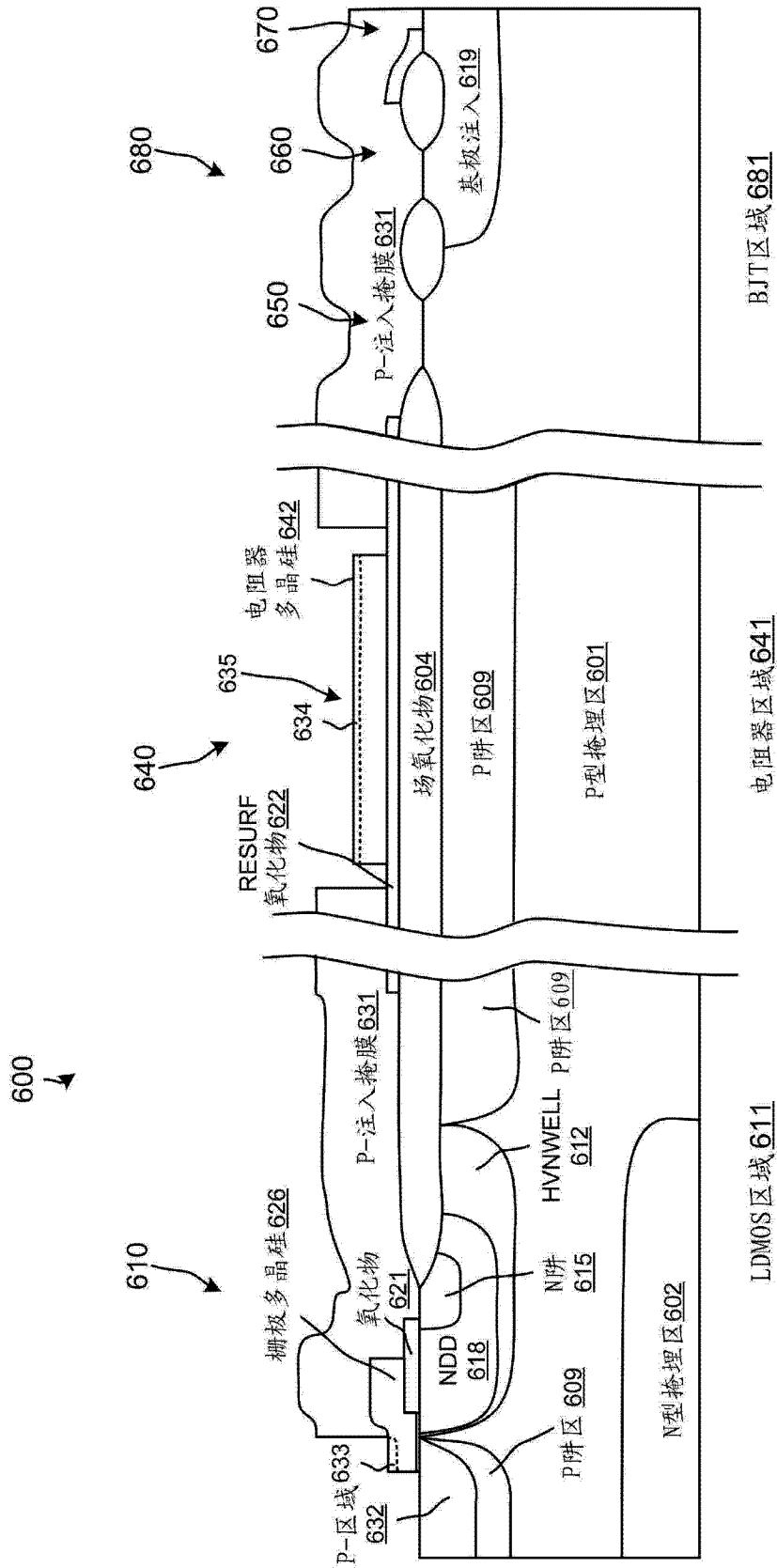


图 61

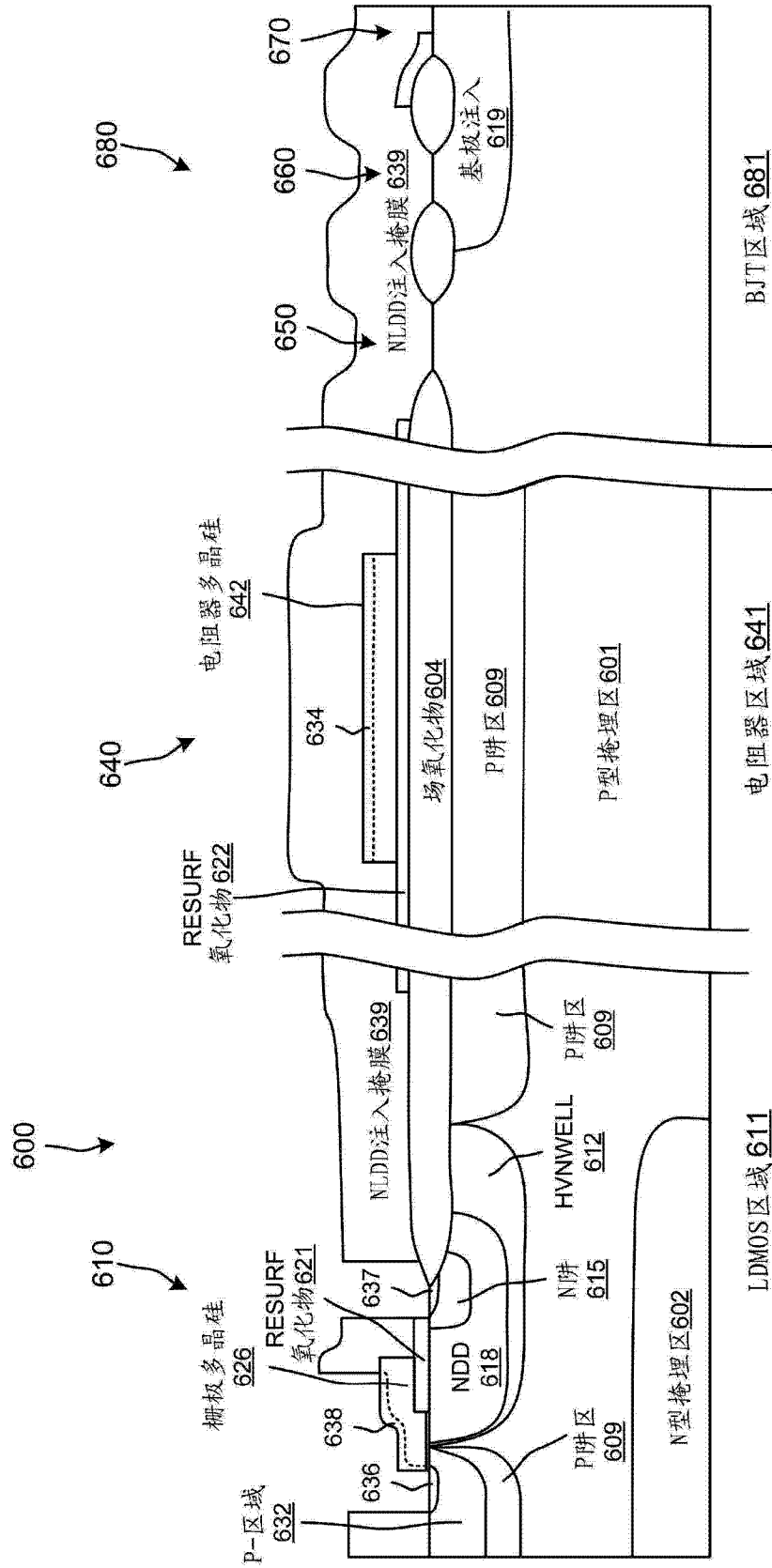


图 6J

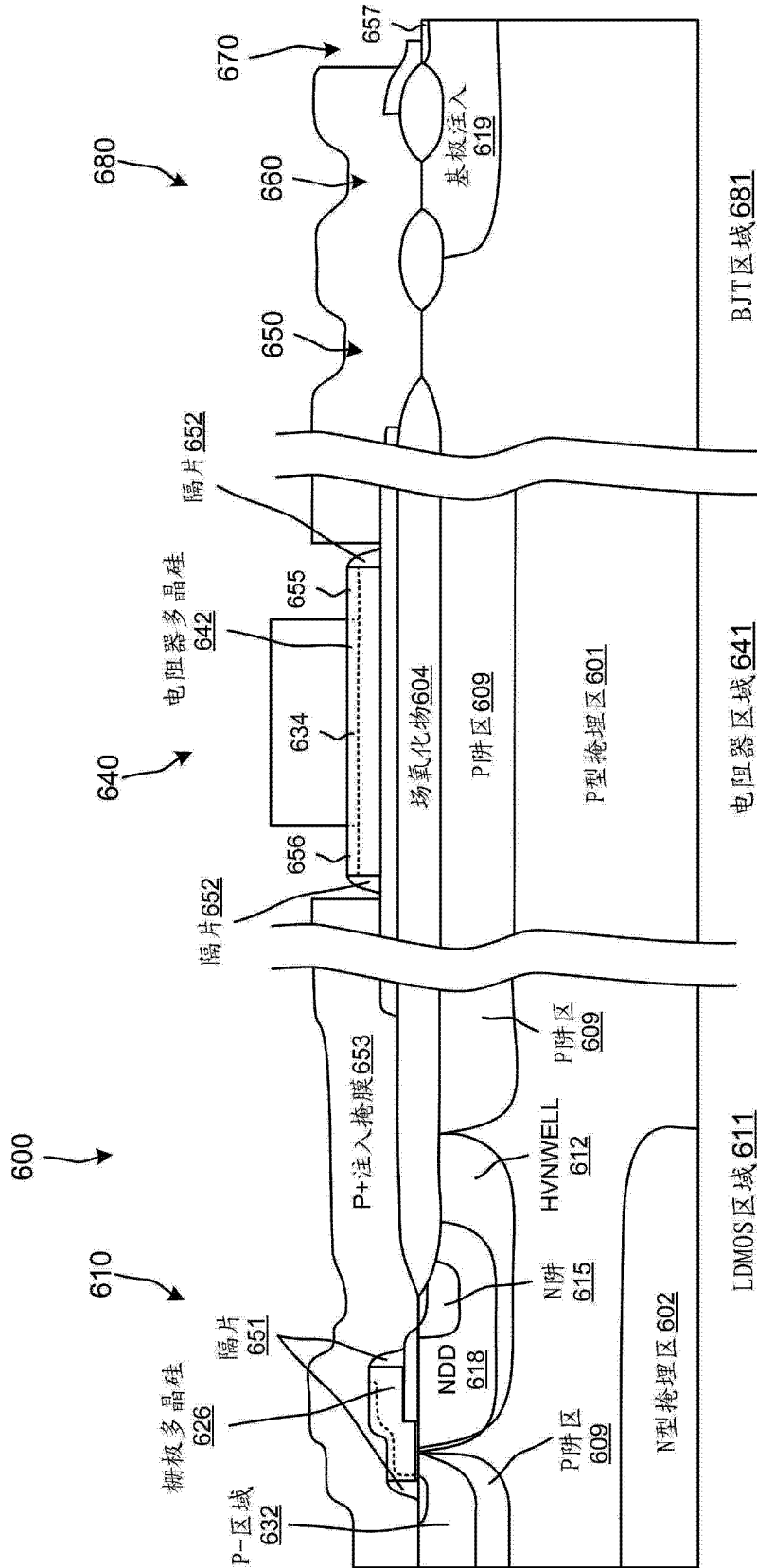


图 6K

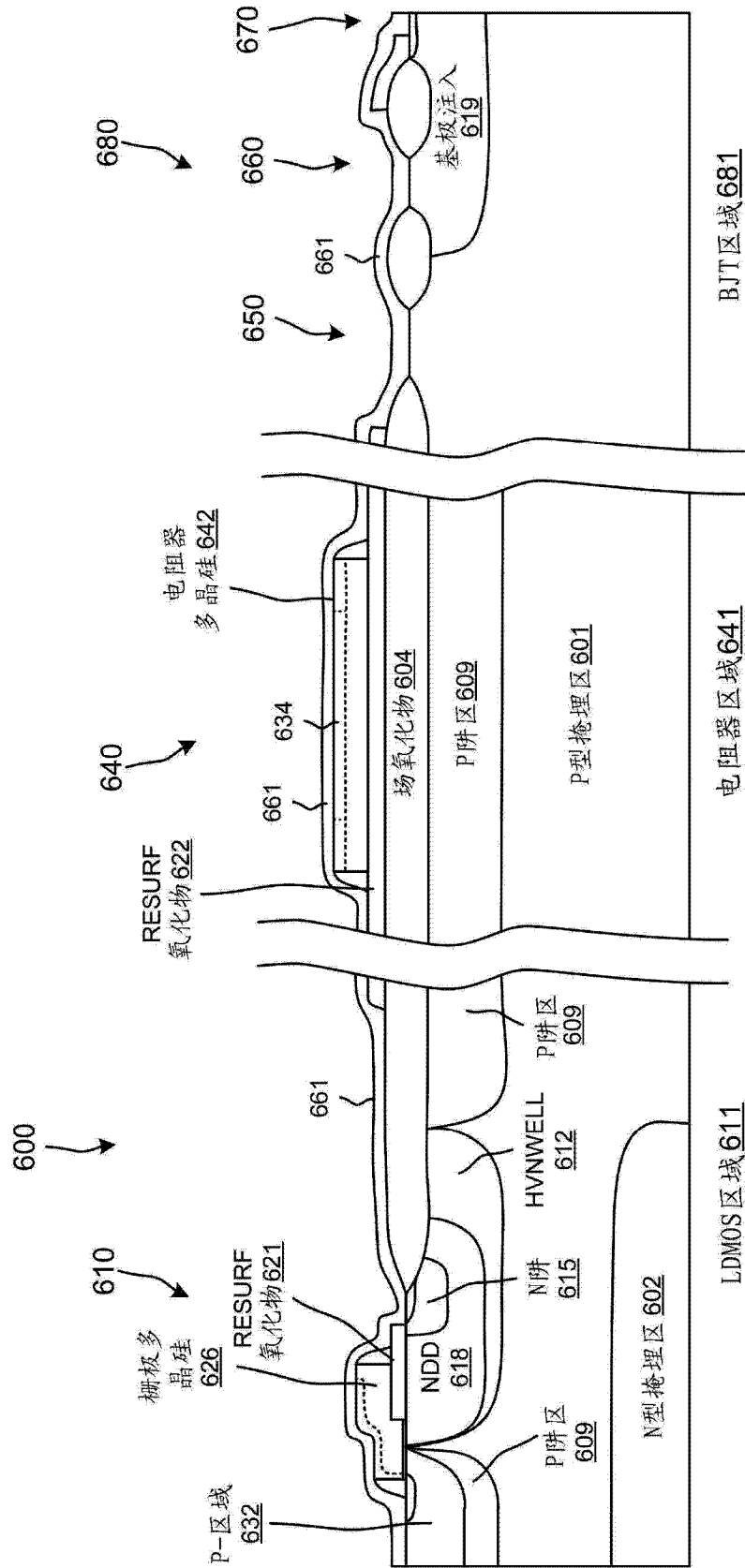


图 6L

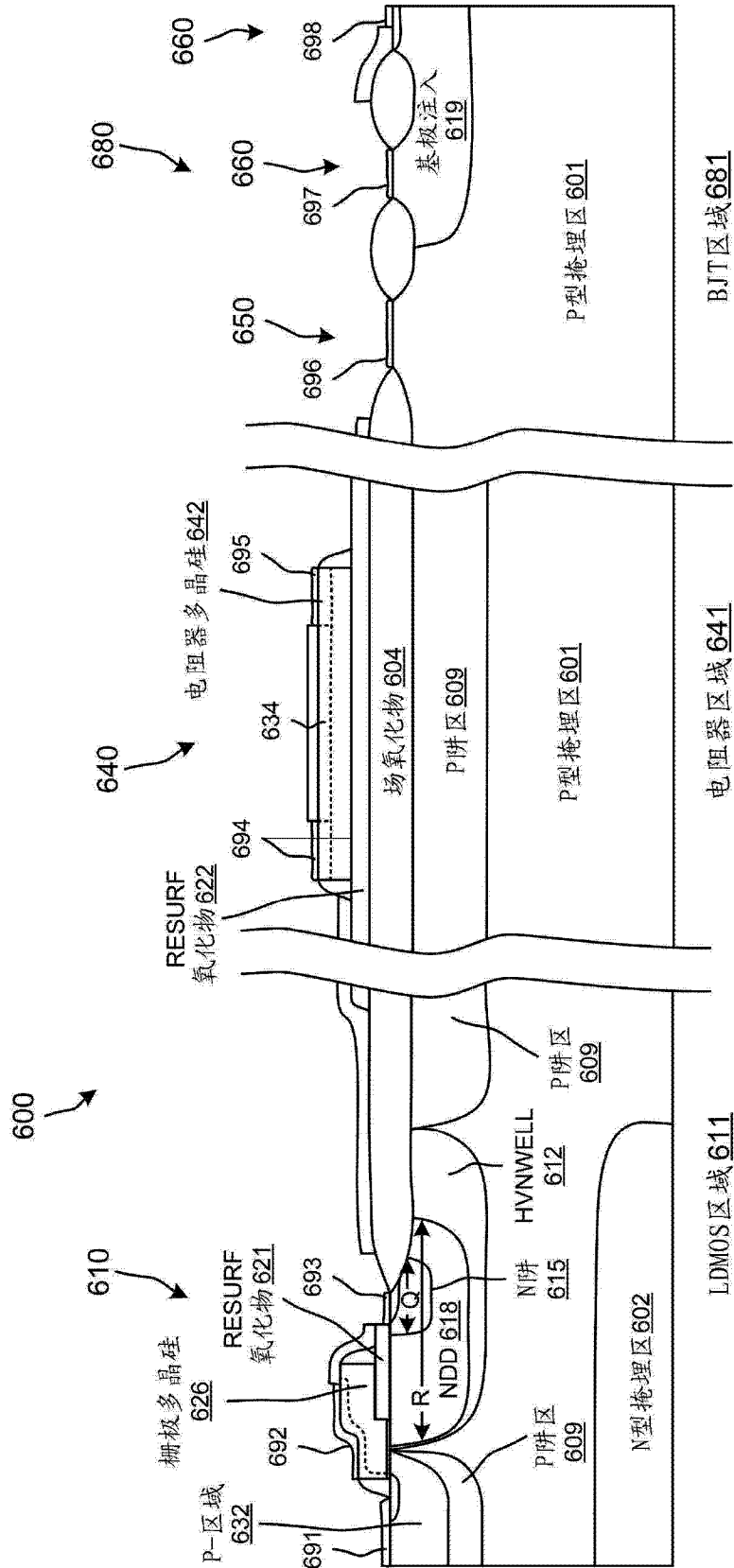


图 6M

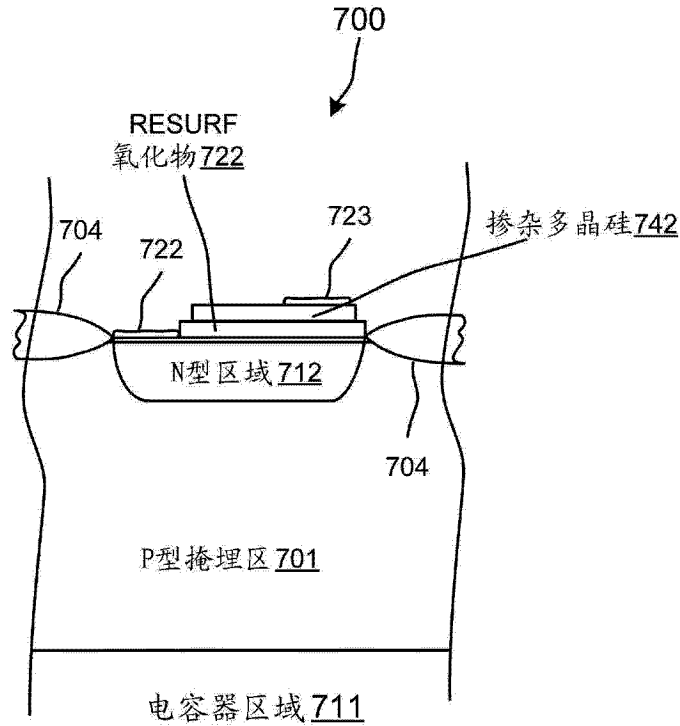


图 7

800

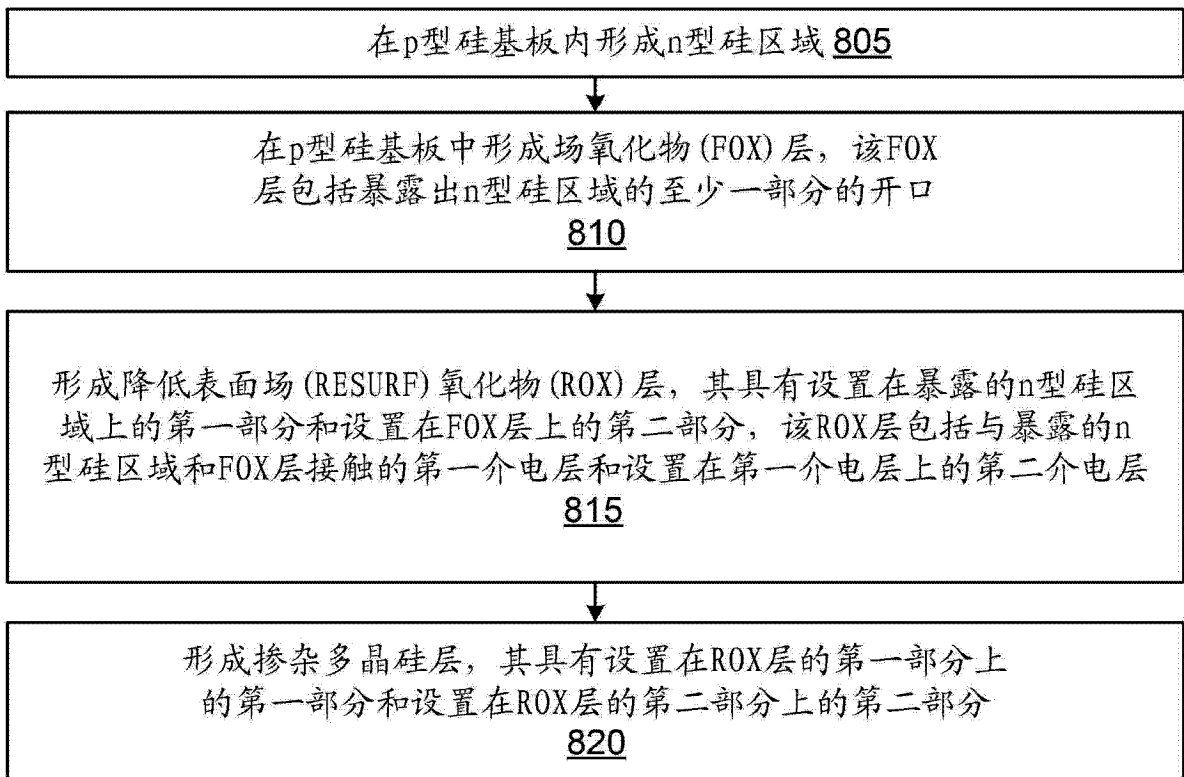


图 8A

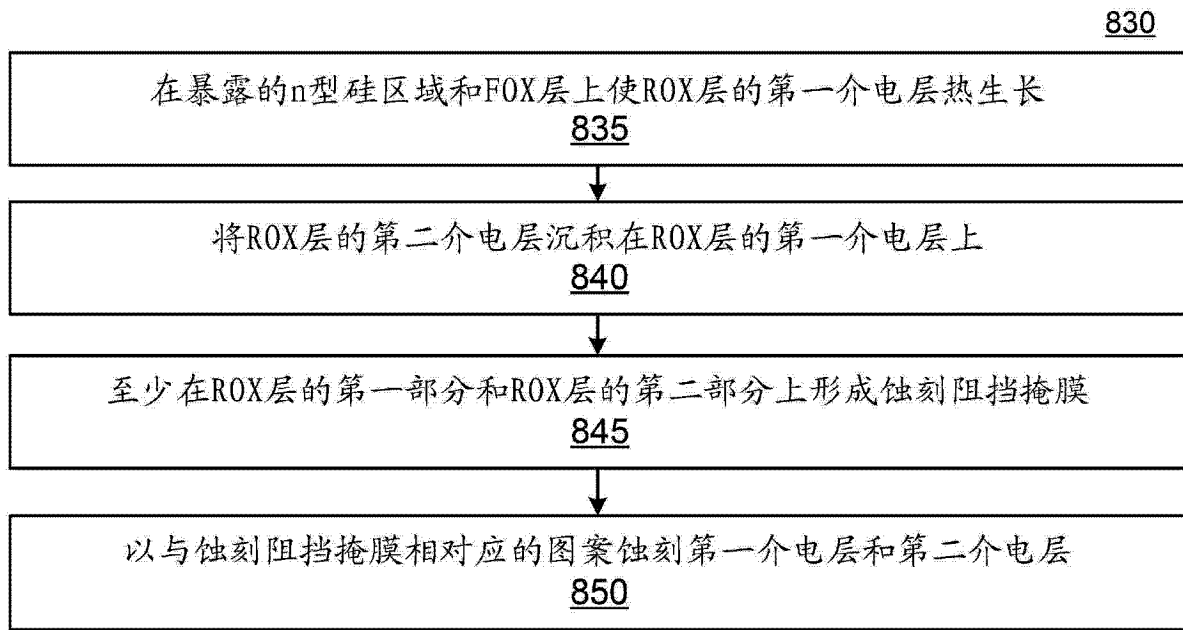


图 8B

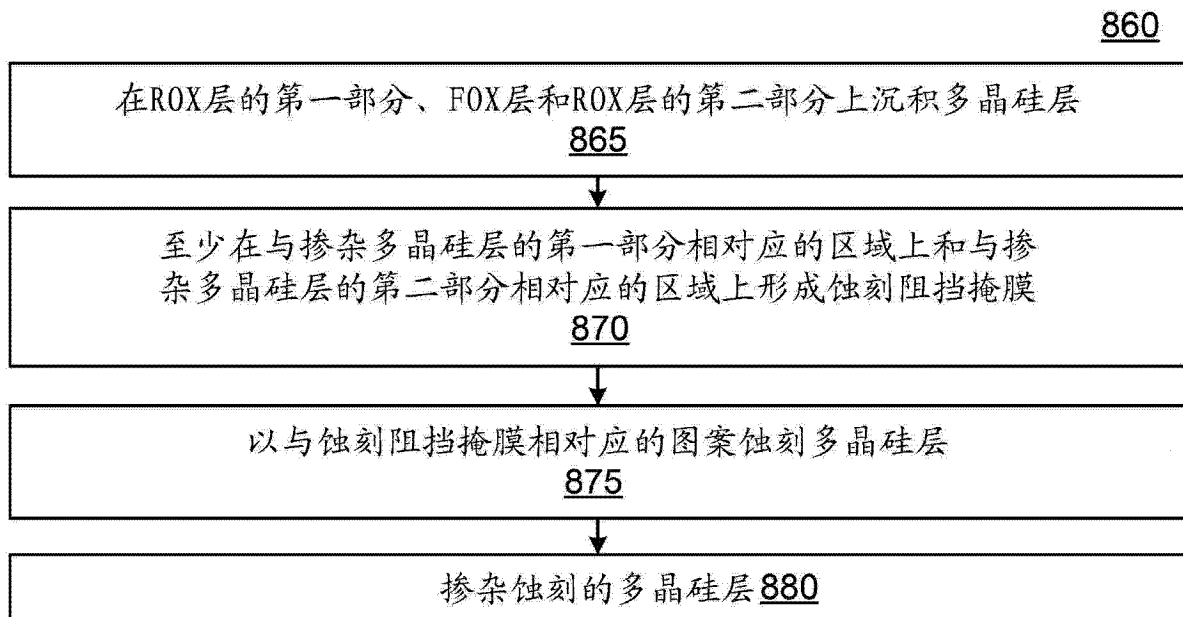


图 8C

900

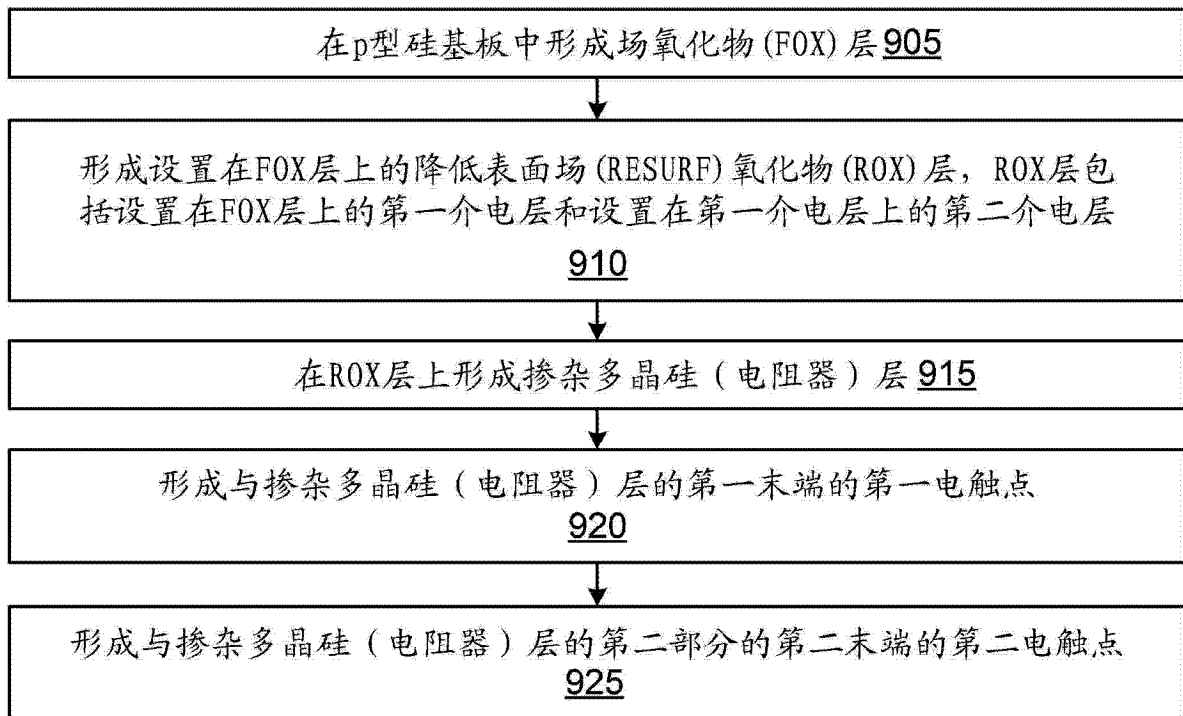


图 9

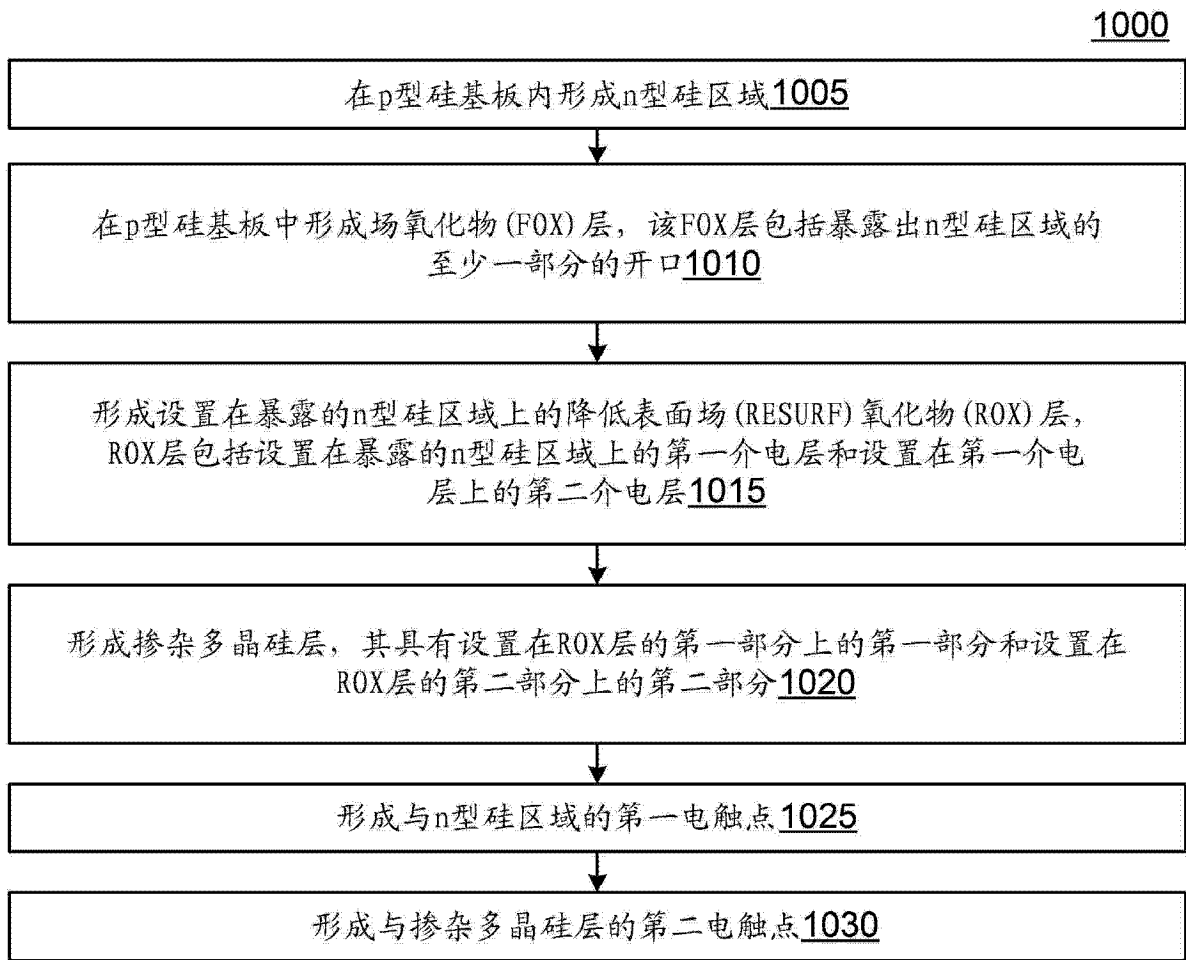


图 10A

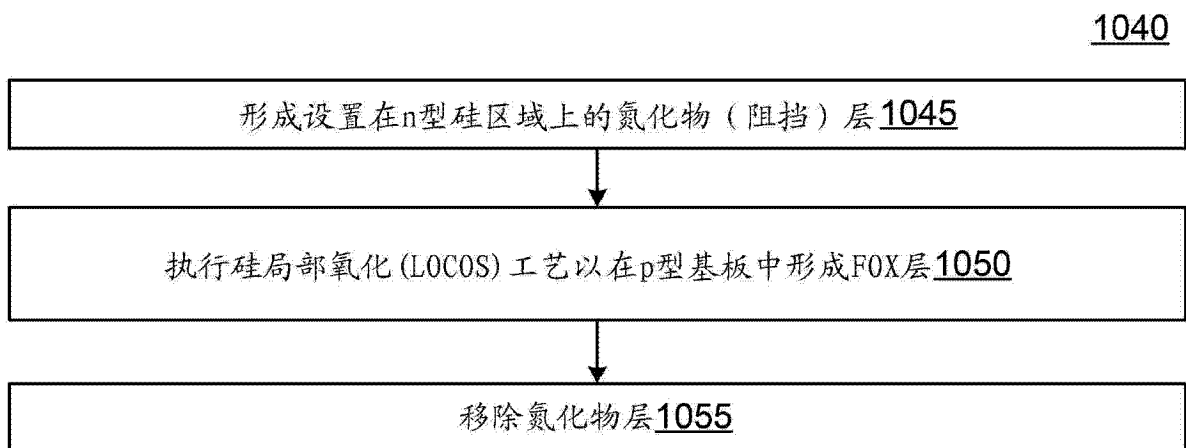


图 10B