

1. 一种半导体器件，包括半导体、用于形成线路的金属箔和半导体上的导体线路。
2. 如权利要求 1 所述的半导体器件，其中所述用于形成线路的金属箔包括铜、铝、镍或两种或更多种所述金属的合金。
3. 如权利要求 1 或 2 所述的半导体器件，其中所述用于形成线路的金属箔厚度为 1 至 50 微米。
4. 在半导体上制造导体线路的方法，包括以下步骤：在半导体的形成电极的表面覆盖用于形成线路的金属箔；光刻金属箔以制作抗蚀布线图案；蚀刻金属箔；清除抗蚀剂以得到线路。
5. 如权利要求 4 所述的制造导体线路的方法，其中所述用于形成线路的金属箔包括铜、铝、镍或两种或更多种所述金属的合金。
6. 如权利要求 4 或 5 所述的制造导体线路的方法，其中所述用于形成线路的金属箔厚度为 1 至 50 微米。
7. 如权利要求 4 至 6 中任何一个所述的制造导体线路的方法，其中半导体具有覆盖在其一个表面上的金属薄膜。
8. 如权利要求 7 所述的制造导体线路的方法，其中所述金属薄膜由镍构成。
9. 一种半导体器件，包括半导体、用于形成线路的多层金属箔、半导体上的凸起以及导体线路。
10. 如权利要求 9 所述的半导体器件，其中所述用于形成线路的多层金属箔是包括铜、铝、镍或两种或更多种所述金属的合金的金属叠层。
11. 如权利要求 9 或 10 所述的半导体器件，其中所述用于形成线路的多层金属箔是包括用于形成凸起的铜或焊锡箔、镍阻蚀层和布线铜箔的金属叠层。
12. 如权利要求 11 所述的半导体器件，其中通过电镀层叠出镍阻蚀层。



[12] 发明专利申请公开说明书

[21] 申请号 00818330.9

[43] 公开日 2003 年 7 月 30 日

[11] 公开号 CN 1433571A

[22] 申请日 2000.12.26 [21] 申请号 00818330.9

[30] 优先权

[32] 2000. 1. 12 [33] JP [31] 4041/2000

[86] 国际申请 PCT/JP00/09255 2000.12.26

[87] 国际公布 WO01/52322 日 2001.7.19

[85] 进入国家阶段日期 2002.7.11

[71] 申请人 东洋钢板株式会社

地址 日本东京

[72] 发明人 西條谨二 大泽真司 冈本浩明

吉田一雄

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

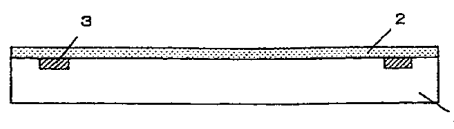
代理人 李德山

权利要求书 3 页 说明书 9 页 附图 3 页

[54] 发明名称 半导体器件,用于在半导体上制造电路的金属叠层板和制造电路的方法

[57] 摘要

以高度精确和经济的方式在半导体上制造线路并且以高度精确和经济的方式在电极上形成凸起的手段。(1)一种半导体器件,包括半导体、用于形成线路的金属箔和半导体上的导体线路,和在半导体上制造导体线路的方法,包括以下步骤:在半导体的形成电极的表面覆盖用于形成线路的金属箔,光刻金属箔以制作抗蚀布线图案,蚀刻金属箔,清除抗蚀剂以得到线路。(2)一种半导体器件,包括用于制造线路的多层金属箔,这种金属箔取代了(1)中描述的半导体器件的用于形成线路的金属箔;在半导体上制造具有凸起的导体线路的方法,包括(1)中描述的方法的步骤,并且还包括以下步骤:对用于形成线路的多层金属箔进行光刻以构成用于形成凸起的抗蚀布线图案,通过有选择的蚀刻形成凸起;清除阻蚀层。



13. 如权利要求 12 所述的半导体器件，其中所述用于形成线路的多层金属箔的用于形成凸起的铜或焊锡箔具有 5 至 100 微米的厚度，电镀镍阻蚀层厚度为 0.5 至 3 微米，布线铜箔厚度为 1 至 100 微米。

14. 如权利要求 11 所述的半导体器件，其中通过包覆箔层构成镍阻蚀层。

15. 如权利要求 14 所述的半导体器件，其中所述用于形成线路的多层金属箔的用于形成凸起的铜或焊锡箔具有 5 至 100 微米的厚度，镍包层阻蚀层厚度为 1 至 10 微米，布线铜箔厚度为 1 至 100 微米。

16. 如权利要求 9 或 10 所述的半导体器件，其中所述用于形成线路的多层金属箔是包括用于形成凸起的铜或焊锡箔，和用于形成线路的铝或银箔的金属叠层。

17. 如权利要求 16 所述的半导体器件，其中所述用于形成线路的多层金属箔的用于形成凸起的铜或焊锡箔具有 5 至 100 微米的厚度，用于形成布线的铝或银箔厚度为 1 至 100 微米。

18. 在半导体上制造具有凸起的导体线路的方法，包括以下步骤：在半导体的形成电极的表面覆盖用于形成线路的多层金属箔；对多层金属箔进行光刻以制作用于形成凸起的抗蚀布线图案；通过选择性的蚀刻制造凸起；清除阻蚀层；制作用于形成线路的抗蚀布线图案；通过蚀刻制作线路；清除抗蚀剂以得到线路。

19. 如权利要求 18 所述在半导体上制造具有凸起的导体线路的方法，其中用于形成线路的多层金属箔是包括铜、铝、镍或两种或更多种所述金属的合金的金属叠层。

20. 如权利要求 18 或 19 所述在半导体上制造具有凸起的导体线路的方法，其中用于形成线路的多层金属箔是包括用于形成凸起的铜或焊锡箔、镍阻蚀层和布线铜箔的金属叠层。

21. 如权利要求 19 所述在半导体上制造具有凸起的导体线路的方法，其中通过电镀层叠出镍阻蚀层。

22. 如权利要求 21 所述在半导体上制造具有凸起的导体线路的方法，其中用于形成线路的多层金属箔的用于形成凸起的铜或焊锡箔具

有 5 至 100 微米的厚度，电镀镍阻蚀层厚度为 0.5 至 3 微米，布线铜箔厚度为 1 至 100 微米。

23. 如权利要求 19 所述在半导体上制造具有凸起的导体线路的方法，其中通过包覆箔层构成镍阻蚀层。

24. 如权利要求 23 所述在半导体上制造具有凸起的导体线路的方法，其中用于形成线路的多层金属箔的用于形成凸起的铜或焊锡箔具有 5 至 100 微米的厚度，镍包层阻蚀层厚度为 1 至 10 微米，布线铜箔厚度为 1 至 100 微米。

25. 如权利要求 18 或 19 所述在半导体上制造具有凸起的导体线路的方法，其中用于形成线路的多层金属箔是包括用于形成凸起的铜或焊锡箔，和用于形成线路的铝或银箔的金属叠层。

26. 如权利要求 25 所述在半导体上制造具有凸起的导体线路的方法，其中用于形成线路的多层金属箔的用于形成凸起的铜或焊锡箔具有 5 至 100 微米的厚度，用于形成线路的铝或银箔厚度为 1 至 100 微米。

27. 如权利要求 18 至 26 中任何一个所述制造导体线路的方法，其中半导体具有覆盖在其一个表面上的金属薄膜。

28. 如权利要求 27 所述制造导体线路的方法，其中金属薄膜由镍构成。

半导体器件，用于在半导体上制造电路 的金属叠层板和制造电路的方法

技术领域

本发明涉及形成有导体线路的半导体器件，制造导体线路的方法，形成有具有凸起(bump)的导体线路的半导体器件，和制造具有凸起的导体线路的方法。

背景技术

近来，涉及 IC 芯片小型化、提高性能和增加封装密度与管脚数量的技术有了显著进步。另一方面，由于芯片体积的减小和管脚数量的增加，芯片的电极间距变得越来越窄。

如果电极阵列的电极间距减小，则在插入件或印刷布线板上安装芯片时需要有较高的精度。这造成不受欢迎的设备成本增加。因此，需要在芯片上重新排列芯片周围具有较小间距的电极以增加电极间距，以便于后续的安装。

为了重新排列电极，需要在形成电极的芯片表面上构成导体线路。传统方法是通过汽相沉积过程形成线路，这导致成本增加。另一方面，有必要在重新排列的电极上形成凸起。形成凸起需要更高的成本。

本发明的目的是解决所述现有技术中的问题，其目标是提供允许以经济和高精度方式在半导体上形成线路并且允许以高精度和廉价的方式在电极上形成凸起的装置。

发明内容

通过使用粘合金属箔和陶瓷的技术，本发明人在形成有电路的半导体芯片或圆片的形成电极的表面覆盖用于形成线路的金属箔，此前已提出了所述粘合技术的专利申请（参见国际待审专利公开说明书 WO99/58470）。接着蚀刻金属箔以形成线路。这样，本发明人得出在半导体上形成线路的解决方案，从而实现了上述目标之一。

在形成凸起方面，本发明人提出，为了允许蚀刻过程单独形成具有凸起的线路，可以在半导体芯片等的形成电极的表面覆盖用于形成线路的多层金属箔。

即，如权利要求 1 所述的发明提供了包括半导体、用于形成线路的金属箔和半导体上的导体线路的半导体器件（此后称作本发明的第一实施例）。

在这种情况下，用于布线的金属箔最好包括铜、铝、镍或两种或更多种所述金属的合金。

在这种情况下，用于布线的金属箔最好是厚度为 1 至 50 微米的金属箔。

如本发明权利要求 4 所述，通过一种在半导体上制造导体线路的方法可以制造这种基于本发明第一实施例的半导体器件，该方法包括以下步骤：在半导体的形成电极的表面覆盖用于布线的金属箔；在金属箔上制作抗蚀布线图案；蚀刻金属箔；清除抗蚀剂以得到线路。

在这种情况下，用于布线的金属箔最好包括铜、铝、镍或两种或更多种所述金属的合金。

在这种情况下，用于布线的金属箔最好是厚度为 1 至 50 微米的金属箔。

在这种情况下，半导体最好具有覆盖在其一个表面上的金属薄膜。金属薄膜最好由镍组成。

权利要求 9 所述的发明提供了一种包括半导体、用于布线的多层金属箔、半导体上的凸起和导体线路的半导体器件（此后称作本发明的第二实施例）。

在这种情况下，用于布线的多层金属箔最好是包括铜、铝、镍或两种或更多种所述金属的合金的金属叠层。

此外，用于布线的多层金属箔最好是包括用于形成凸起的铜或焊锡箔、镍蚀层和布线铜箔的金属叠层。

最好通过电镀层叠出镍蚀层。在这种情况下，用于布线的多层金属箔的用于形成凸起的铜或焊锡箔最好具有 5 至 100 微米的厚度，

电镀镍阻蚀层厚度为 0.5 至 3 微米，布线铜箔厚度为 1 至 100 微米。

在这种情况下，最好通过包覆箔层技术构成镍阻蚀层。用于布线的多层金属箔的用于形成凸起的铜或焊锡箔最好具有 5 至 100 微米的厚度，镍包层阻蚀层厚度为 1 至 10 微米，布线铜箔厚度为 1 至 100 微米。

此外，在这种情况下用于布线的多层金属箔最好是包括用于形成凸起的铜或焊锡箔，和用于布线的铝或银箔的金属叠层。在这种情况下，用于布线的多层金属箔的用于形成凸起的铜或焊锡箔最好具有 5 至 100 微米的厚度，用于形成线路的铝或银箔厚度为 1 至 100 微米。

通过在半导体上制造具有凸起的导体线路的方法可以制造这种基于本发明第二实施例的半导体器件，该方法包括以下步骤：在半导体的形成电极的表面上覆盖用于布线的多层金属箔；对多层金属箔进行光刻以制作用于形成凸起的抗蚀布线图案；通过有选择地蚀刻制造凸起；清除阻蚀层；制作用于布线的抗蚀布线图案；通过蚀刻制作线路；清除抗蚀剂以得到线路。

在这种情况下，用于布线的多层金属箔最好是包括铜、铝、镍或两种或更多种所述金属的合金的金属叠层。

在这种情况下，用于布线的多层金属箔最好是包括用于形成凸起的铜或焊锡箔、镍阻蚀层和布线铜箔的金属叠层。

在这种情况下，最好通过电镀层叠出镍阻蚀层。用于布线的多层金属箔的用于形成凸起的铜或焊锡箔最好具有 5 至 100 微米的厚度，电镀镍阻蚀层厚度为 0.5 至 3 微米，布线铜箔厚度为 1 至 100 微米。

在这种情况下，最好通过包覆箔层技术构成镍阻蚀层。用于布线的多层金属箔的用于形成凸起的铜或焊锡箔最好具有 5 至 100 微米的厚度，镍包层阻蚀层厚度为 1 至 10 微米，布线铜箔厚度为 1 至 100 微米。

此外，在这种情况下用于布线的多层金属箔最好是包括用于形成凸起的铜或焊锡箔，和用于布线的铝或银箔的金属叠层。用于布线的多层金属箔的用于形成凸起的铜或焊锡箔最好具有 5 至 100 微米的厚

度，用于形成线路的铝或银箔厚度为 1 至 100 微米。

在这种情况下，半导体最好具有覆盖在其一个表面上的金属薄膜。金属薄膜最好由镍组成。

附图说明

图 1 是说明基于本发明第一实施例的电路制造过程的一个步骤（在半导体圆片上覆盖用于布线的铜箔）的截面图；

图 2 是说明基于本发明第一实施例的电路制造过程的一个步骤（制作抗蚀布线图案）的截面图；

图 3 是说明基于本发明第一实施例的电路制造过程的一个步骤（有选择地蚀刻铜箔以制造线路）的截面图；

图 4 是说明基于本发明第二实施例的电路制造过程的一个步骤（在半导体圆片上覆盖用于布线的金属叠层）的截面图；

图 5 是说明基于本发明第二实施例的电路制造过程的一个步骤（制作用于形成凸起的抗蚀布线图案）的截面图；

图 6 是说明基于本发明第二实施例的电路制造过程的一个步骤（有选择地蚀刻铜箔）的截面图；

图 7 是说明基于本发明第二实施例的电路制造过程的一个步骤（有选择地蚀刻镍阻蚀层并且制造凸起）的截面图；

图 8 是说明基于本发明第二实施例的电路制造过程的一个步骤（制作用于布线的抗蚀布线图案）的截面图；

图 9 是说明基于本发明第二实施例的电路制造过程的一个步骤（有选择地蚀刻铜箔并且制造线路）的截面图。

具体实施方式

首先描述本发明的第一实施例。

本发明的第一实施例涉及包括半导体、用于形成线路的金属箔和半导体上的导体线路的半导体器件。

用于布线的金属箔的材料没有特别限制，可以包含本领域通常使用的材料。然而优选的金属材料包含铜、铝、镍或两种或更多种所述金属的合金。

用于布线的金属箔的厚度可以为 1 至 50 微米，最好是 5 至 20 微米。

可用半导体的例子包含本领域通常使用的芯片、圆片等等。可以按照需要的形式形成导体线路。

通过一种在半导体上制造导体线路的方法可以制造这种基于本发明第一实施例的半导体器件，该方法包括以下步骤：在半导体的形成电极的表面覆盖用于布线的金属箔；在金属箔上制作抗蚀布线图案；蚀刻金属箔；清除抗蚀剂以完成布线。

可用基底的例子包含本领域通常使用的基底，例如半导体圆片、芯片等等。用于布线的金属箔最好使用厚度为 1 至 50 微米的铜箔（图 1）。

在某些情况下，可以对半导体圆片进行表面清洁，并且接着进行溅射，汽相淀积等处理，从而在其表面覆盖金属薄膜。这利于在半导体上覆盖金属箔。对于制造薄膜的金属，在半导体芯片电极由铝构成的情况下可以把铬、钼、钨等用作防护金属（barrier metal）。然而在后续步骤中难以通过蚀刻清除这种金属。因此，为了易于通过蚀刻清除，最好使用镍。在芯片电极由铜构成的情况下，最好使用铜制成的金属薄膜。

可以使用国际待审专利公开说明书 WO99/58470 中提出的技术将用于布线的金属箔层叠到半导体上（图 1），本发明人此前对该技术提出了专利申请。

在层叠之后，抗蚀涂层被涂在用于布线的金属箔上，接着进行曝光和显影处理以形成抗蚀布线图案。可以根据已知方法执行所述工艺序列（图 2）。

接着，蚀刻用于布线的金属箔。在金属箔由铜构成的情况下，可在市场购买的碱性铜蚀刻溶液可被用来蚀刻铜。

最后，清除抗蚀剂以完成布线（图 3）。这里应当注意，在形成金属薄膜的情况下，通过蚀刻清除薄膜。

下面描述本发明的第二实施例。

本发明的第二实施例提供了包括半导体、用于布线的多层金属箔、半导体上的凸起和导体线路的半导体器件。

这里，用于布线的多层金属箔最好是包括铜、焊锡、铝、镍或两种或更多种所述金属的合金的金属叠层。

首先，用于布线的多层金属箔最好包括用于形成凸起的铜或焊锡箔、镍阻蚀层和布线铜箔。

可以通过电镀层叠出镍阻蚀层，也可以通过包覆箔层技术形成镍阻蚀层。

在通过电镀层叠出镍阻蚀层的情况下，用于布线的多层金属箔的各个层可以具有以下厚度。用于形成凸起的铜或焊锡箔的厚度范围为5至100微米，并且最好为10至50微米；电镀镍阻蚀层厚度范围为0.5至3微米，并且最好为1至2微米；布线铜箔厚度范围为1至100微米，并且最好为5至20微米。

另一方面，在通过包覆箔层技术形成镍阻蚀层的情况下，用于布线的多层金属箔的各个层可以具有以下厚度。用于形成凸起的铜或焊锡箔的厚度范围为5至100微米，并且最好为10至50微米；镍包层阻蚀层厚度范围为1至10微米，并且最好为1.5至5微米；布线铜箔厚度范围为1至100微米，并且最好为5至20微米。

除上述多层金属箔之外，用于布线的多层金属箔还可以使用包括用于形成凸起的铜或焊锡箔，和用于布线的铝或银箔的金属叠层。

在这种情况下，用于形成凸起的铜或焊锡箔的厚度范围为5至100微米，并且最好为10至50微米，用于布线的铝或银箔厚度范围为1至100微米，并且最好为5至20微米。

通过在半导体上制造具有凸起的导体线路的方法可以制造这种半导体器件，该方法包括以下步骤：在半导体的形成电极的表面覆盖用于形成线路的多层金属箔；在多层金属箔上制作用于形成凸起的抗蚀布线图案；通过选择性蚀刻制造凸起；清除阻蚀层；制作用于形成线路的抗蚀布线图案；通过蚀刻制作线路；清除抗蚀剂以得到线路。

具体地，用于形成线路的金属箔被覆盖在半导体圆片等上面（图

4)。

如上所述，用于形成线路的多层金属箔可以使用包括用于形成凸起的铜或焊锡箔、镍阻蚀层和布线铜箔的金属叠层；或包括用于形成凸起的铜或焊锡箔，和用于形成线路的铝或银箔的金属叠层。

可以按照与上述第一实施例相同的方式层叠多层金属箔。与第一实施例类似，可以在层叠金属箔之前提供金属薄膜。

抗蚀涂层被涂在用于形成线路的多层金属箔上，接着进行曝光和显影处理以构成用于形成凸起的抗蚀布线图案（图 5）。可以根据已知方法执行这些处理。

接着，有选择地蚀刻用于形成凸起的层（图 6），从而形成凸起。在用于形成凸起的层是铜箔的情况下，可以使用可在市场购买的铜蚀刻溶液，例如硫酸和过氧化氢。

接着，清除阻蚀层。在阻蚀层由镍构成的情况下，可以使用可在市场购买的镍清除剂（例如米尔泰克斯公司（Meltex Inc.）的 N-950）（图 7）。

接着，按照期望的样式构成用于形成线路的抗蚀布线图案（图 8）。

最后，通过用市场可购买的碱性铜蚀刻溶液进行蚀刻可以形成线路。之后清除抗蚀剂（图 9）。

例子

下面参照例子更加详细地描述本发明。

例子 1（在半导体上制造线路）

1. 材料

半导体圆片 1 被用作基底，其中铜箔（厚度为 15 微米）2 被用于形成线路的金属箔（图 1）。应当注意，一个铝电极 3 被嵌入半导体圆片 1。

2. 在半导体圆片上制造薄膜

在表面清洁之后，对半导体圆片进行溅射，汽相淀积等处理以便在其表面上构成镍（铜）薄膜（未示出）。

3. 层叠

使用国际待审专利公开说明书 WO99/58470 中提出的技术将用于形成线路的铜箔 2 层叠到半导体圆片 1 上, 本发明人此前对该技术提出了专利申请 (图 1)。

4. 制造抗蚀布线图案

抗蚀涂层 4 被涂在铜箔上, 接着进行曝光和显影处理以形成抗蚀布线图案 5 (图 2)。

5. 蚀刻

使用市场可购买的碱性铜蚀刻溶液蚀刻铜箔。(图 3)。

6. 清除抗蚀剂 4 以形成线路 6 (图 3)。最后, 通过蚀刻清除镍薄膜。

例子 2 (在半导体上制造凸起)

1. 材料

基底使用的半导体圆片 1 与例子中的相同。另一方面, 用于形成线路的金属箔使用包含用于形成凸起的铜或焊锡箔 (厚度为 35 微米) 8、电镀镍阻蚀层 (厚度为 1 微米) 和布线铜箔 (15 微米) 的金属叠层 (图 4)。

2. 层叠

按照与例子 1 相同的方式把金属叠层 (由附图标记 8, 7 和 2 表示的多层金属箔) 覆盖在半导体圆片 1 上 (图 4)。

3. 制造用于形成凸起的抗蚀布线图案

抗蚀涂层 4 被涂在金属叠层上, 接着进行曝光和显影处理以构成用于形成凸起的抗蚀布线图案 9 (图 5)。

4. 蚀刻

使用包括硫酸和过氧化氢的市场可购买的铜蚀刻溶液有选择地蚀刻铜箔 (图 6)。

5. 清除镍阻蚀层

使用可在市场购买的镍清除剂 (例如米尔泰克斯公司 (Meltex Inc.) 的 N-950) 清除镍阻蚀层, 从而形成凸起 10 (图 7)。

6. 制造用于形成线路的抗蚀布线图案

抗蚀涂层 4 被涂在金属箔上，接着进行曝光和显影处理以构成用于形成线路的抗蚀布线图案 5（图 8）。

7. 使用市场可购买的碱性铜蚀刻溶液蚀刻铜，从而形成线路。接着清除抗蚀剂 4（图 9）。

工业实用性

本发明的目标是提供允许以高度精确和经济的方式在半导体上形成线路并且允许以高度精确和廉价的方式在电极上形成凸起的线路制造方法。

因此，本发明的半导体器件和线路制造方法可用于半导体制造领域。

图 1

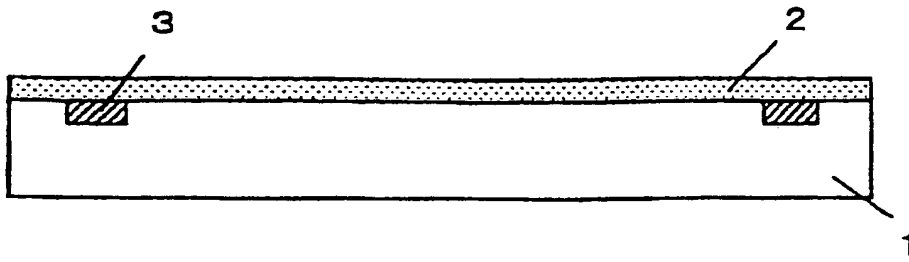


图 2

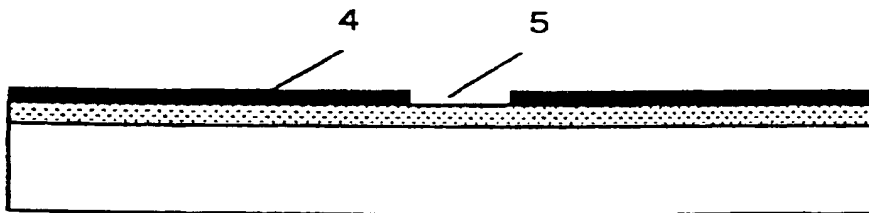


图 3

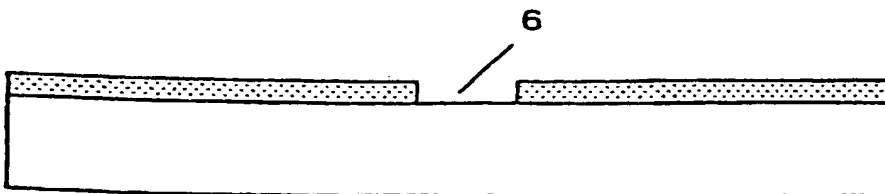


图 4

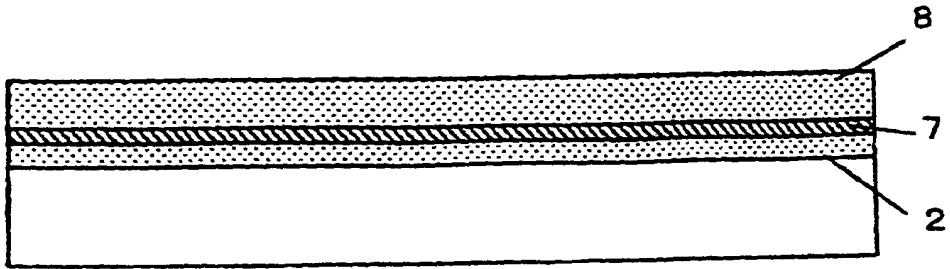


图 5

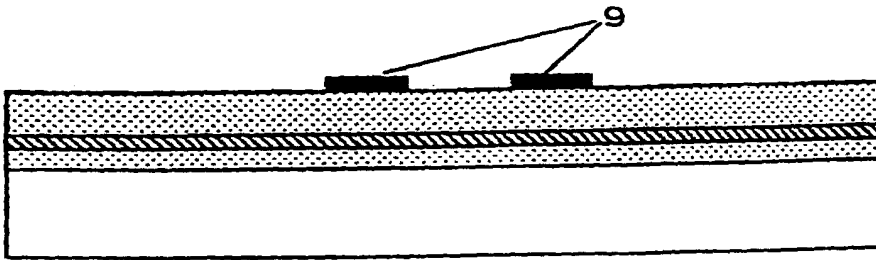


图 6

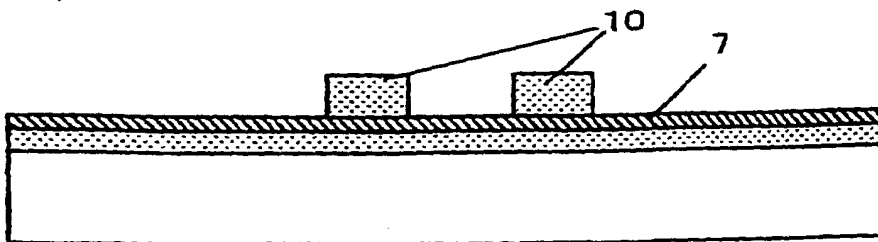


图 7

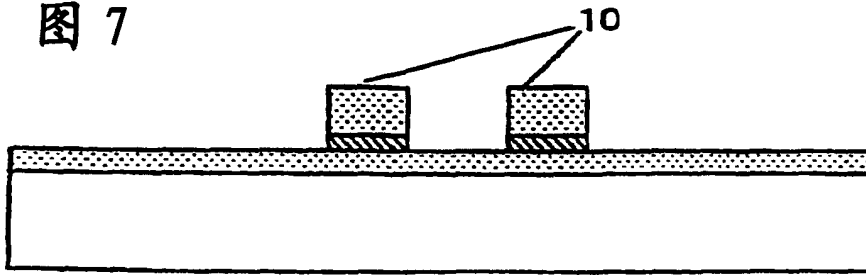


图 8

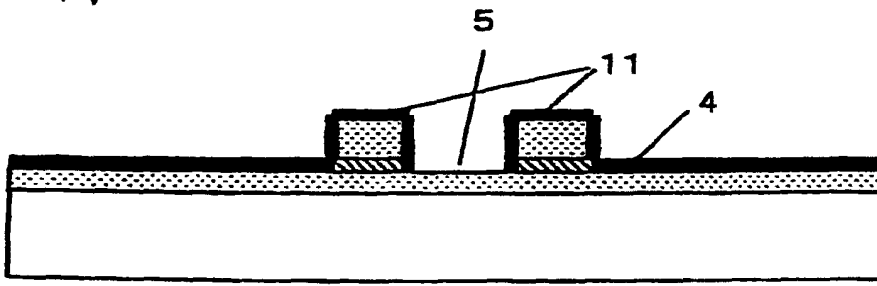


图 9

