



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월30일
(11) 등록번호 10-1812935
(24) 등록일자 2017년12월20일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/12 (2006.01)
H01L 29/06 (2006.01) H01L 29/45 (2006.01)
H01L 29/66 (2006.01) H01L 33/00 (2010.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2017-7005751(분할)
(22) 출원일자(국제) 2009년08월21일
심사청구일자 2017년02월28일
(85) 번역문제출일자 2017년02월28일
(65) 공개번호 10-2017-0027872
(43) 공개일자 2017년03월10일
(62) 원출원 특허 10-2016-7012664
원출원일자(국제) 2009년08월21일
심사청구일자 2016년05월13일
(86) 국제출원번호 PCT/JP2009/065018
(87) 국제공개번호 WO 2010/029859
국제공개일자 2010년03월18일
(30) 우선권주장
JP-P-2008-234603 2008년09월12일 일본(JP)
(56) 선행기술조사문헌
JP2007123861 A*
JP2007150158 A*
KR1020080007813 A*
KR1019980072529 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이샤 한도오파이 에네루기 켄큐쇼 내
야기모토 겐고
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 6 항

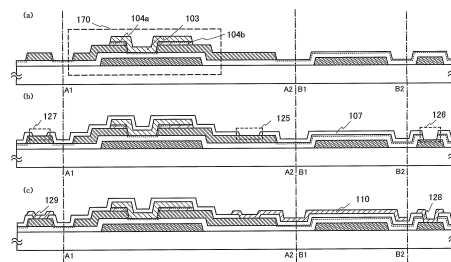
심사관 : 최혜미

(54) 발명의 명칭 디스플레이 장치

(57) 요약

훌륭한 전기적 특성과 높은 신뢰성을 갖는 박막 트랜지스터를 포함하는 반도체 장치와 높은 생산성을 갖는 반도체 장치를 제조하는 방법을 제공하는 것을 목적으로 한다. 주요점은 게이트 절연막 위에 소스 또는 드레인 전극을 형성한 후, 낮은 저항률의 산화물 반도체층을 소스 또는 드레인 영역으로서 형성하고, 반도체층으로서 산화물(뒷면에 계속)

대표도



반도체막을 그 위에 형성하는 것이다. 산소 과잉 산화물 반도체층이 반도체층으로 사용되고 산소 결핍 산화물 층이 소스 영역 및 드레인 영역으로서 사용되는 것이 바람직하다.

(52) CPC특허분류

H01L 29/06 (2013.01)

H01L 29/45 (2013.01)

H01L 29/66742 (2013.01)

H01L 29/78606 (2013.01)

H01L 29/78618 (2013.01)

H01L 33/0041 (2013.01)

(72) 발명자

고모리 시게끼

일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

우오찌 히데끼

일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

디스플레이 장치로서,

제1 도전층;

상기 제1 도전층 위의 제1 절연막;

상기 제1 절연막 위의 제1 산화물 반도체층;

상기 제1 절연막 위의 제2 도전층;

상기 제1 절연막 위의 제3 도전층;

상기 제1 산화물 반도체층, 상기 제2 도전층, 및 상기 제3 도전층 위의 제2 절연막; 및

상기 제2 절연막 위의 제4 도전층을 포함하고,

상기 제1 도전층은 화소부 외부에 있고,

상기 제1 산화물 반도체층은 상기 화소부 내에 포함되고,

상기 제1 도전층은 전기적으로 플로팅 상태에 있고,

상기 제2 도전층은 상기 제1 산화물 반도체층에 전기적으로 접속되고,

상기 제3 도전층은 상기 제1 도전층과 중첩하고, 상기 제1 산화물 반도체층에 전기적으로 접속되는 소스 전극을 포함하는 소스 배선에 전기적으로 접속되고,

상기 제4 도전층은 상기 제2 절연막 내 개구를 통해 상기 제3 도전층에 전기적으로 접속되고,

상기 제4 도전층은 투명 도전 재료를 포함하는, 디스플레이 장치.

청구항 2

디스플레이 장치로서,

제1 도전층;

상기 제1 도전층 위의 제1 절연막;

상기 제1 절연막 위의 제1 산화물 반도체층;

상기 제1 절연막 위의 제2 산화물 반도체층;

상기 제1 절연막 위의 제2 도전층;

상기 제1 절연막 위의 제3 도전층;

상기 제1 산화물 반도체층, 상기 제2 산화물 반도체층, 상기 제2 도전층 및 상기 제3 도전층 위의 제2 절연막; 및

상기 제2 절연막 위의 제4 도전층을 포함하고,

상기 제1 도전층은 전기적으로 플로팅 상태에 있고,

상기 제1 도전층은 화소부 외부에 있고,

상기 제1 산화물 반도체층은 상기 화소부 내에 포함되고,

상기 제2 도전층은 상기 제1 산화물 반도체층에 전기적으로 접속되고,

상기 제3 도전층은 상기 제1 도전층과 중첩하고, 상기 제1 산화물 반도체층에 전기적으로 접속되는 소스 전극을

포함하는 소스 배선에 전기적으로 접속되고,

상기 제2 산화물 반도체층은 상기 제1 산화물 반도체층과 상기 제2 도전층 사이에 있고,

상기 제4 도전층은 상기 제2 절연막 내 개구를 통해 상기 제3 도전층에 전기적으로 접속되고,

상기 제4 도전층은 투명 도전 재료를 포함하는, 디스플레이 장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 제4 도전층에 부착된 FPC(flexible printed circuit)를 더 포함하는, 디스플레이 장치.

청구항 4

제1항 또는 제2항에 있어서, 상기 제2 절연막 위에 있고, 상기 제1 산화물 반도체층과 중첩하고, 소스 배선 단자부와 중첩하지 않는 제3 절연막을 더 포함하는, 디스플레이 장치.

청구항 5

제1항 또는 제2항에 있어서, 상기 제1 도전층, 상기 제3 도전층, 및 상기 제4 도전층은 소스 배선 단자부 내에 포함되는, 디스플레이 장치.

청구항 6

제1항 또는 제2항에 있어서, 상기 제1 산화물 반도체층은 갈륨, 인듐, 및 아연을 포함하는, 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 채널 형성 영역에 산화물 반도체막을 사용한 박막 트랜지스터(이하, TFT라 함)를 포함하는 회로를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다. 예를 들어, 본 발명은 액정 표시 장치 패널로 대표되는 전기 광학 장치 또는 유기 발광 소자를 포함하는 발광 표시 장치를 구성요소로 탑재한 전자 기기에 관한 것이다.

[0002] 본 명세서에서의 반도체 장치는, 반도체 특성을 이용함으로써 기능할 수 있는 모든 장치를 가리키며, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치에 포함된다.

배경 기술

[0003] 최근 들어, 매트릭스 형상으로 배치된 표시 화소 각각에 TFT를 포함하는 스위칭 소자가 제공된 액티브 매트릭스 형 표시 장치들(액정 표시 장치, 발광 표시 장치 및 전기 영동식 표시 장치 등)이 활발히 개발되고 있다. 액티브 매트릭스형의 표시 장치에는, 각 화소(또는 각 도트)마다 스위칭 소자가 제공되고, 화소 밀도가 증가된 경우에 패시브 매트릭스 표시 소자보다 낮은 전압으로 구동할 수 있다는 이점이 있다.

[0004] 또한, 채널 형성 영역에 산화물 반도체막을 사용하여 박막 트랜지스터(TFT) 등을 제조하고, 이러한 TFT 등을 전자 디바이스 또는 광학 디바이스에 응용하는 기술이 주목을 받고 있다. 예를 들어, 산화물 반도체막으로서 산화아연(ZnO)을 사용하는 TFT 또는 산화물 반도체막으로서 $\text{InGaO}_3(\text{ZnO})_m$ 을 사용하는 TFT를 들 수 있다. 이러한 산화물 반도체막을 사용한 TFT를 투광성을 갖는 기판 위에 형성하고, 화상 표시 장치의 스위칭 소자 등으로 사용하는 기술은, 특허문헌 1 및 2에 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) JP 2007-123861 A

(특허문헌 0002) JP 2007-96055 A

발명의 내용

해결하려는 과제

- [0006] 채널 형성 영역에 산화물 반도체막을 이용하는 박막 트랜지스터에 대해서는, 고속 동작, 상대적으로 용이한 제조 공정 및 충분한 신뢰성이 요구된다.
- [0007] 박막 트랜지스터를 형성하는데 있어, 소스 전극 및 드레인 전극에는 저저항 금속이 사용된다. 특히, 대면적의 표시를 행하는 표시 장치를 제조하는 경우, 배선의 저항에 따른 신호의 지연 문제가 현저하게 된다. 따라서, 배선과 전극의 재료로서, 전기 저항값이 낮은 금속 재료를 사용하는 것이 바람직하다. 전기 저항값이 낮은 금속 재료로 이루어지는 소스 전극 및 드레인 전극과 산화물 반도체막이 직접 접촉하는 박막 트랜지스터 구조인 경우, 콘택 저항이 높아질 우려가 있다. 콘택 저항이 높아지는 것에 대한 고려 가능한 원인의 하나는, 소스 전극 및 드레인 전극과, 산화물 반도체막과의 접촉면에서의 쇼트키 접합(schottky junction)이 형성되는 것이다.
- [0008] 나아가, 소스 전극 및 드레인 전극과, 산화물 반도체막이 직접 접촉하는 부분에는 용량(capacitance)이 형성되어, 주파수 특성("f특성"이라 함)이 낮아지고 박막 트랜지스터의 고속 동작이 방해될 우려가 있다.
- [0009] 본 발명의 일 실시예의 목적은, 산화물 반도체막을 사용하는 박막 트랜지스터에 있어서, 소스 전극 또는 드레인 전극의 콘택 저항을 저감한 박막 트랜지스터 및 그 제조 방법을 제공하는 것이다.
- [0010] 또 다른 목적은, 산화물 반도체막을 사용하는 박막 트랜지스터의 동작 특성과 신뢰성을 향상시키는 것이다.
- [0011] 나아가, 또 다른 목적은, 산화물 반도체막을 사용하는 박막 트랜지스터의 전기 특성의 편차를 저감시키는 것이다. 특히, 액정표시장치에 있어 개별 소자 사이의 편차가 큰 경우, 그 TFT 특성의 편차에 기인한 표시 불균형(display unevenness)이 발생할 우려가 있다.
- [0012] 또한, 발광소자를 포함하는 표시장치에 있어서도, 화소전극에 일정한 전류가 흐르도록 배치된 TFT(구동회로에 제공된 TFT 또는 화소에 배치되는 발광소자에 전류를 공급하는 TFT)의 온 전류(I_{on})의 편차가 큰 경우, 표시 화면에 있어 휘도의 편차가 발생할 우려가 있다.
- [0013] 본 발명의 일 실시예는, 상술한 목적들 중 적어도 하나를 달성하는 것이다.

과제의 해결 수단

- [0014] 본 발명의 일 실시예는, 게이트 절연층 위에, 소스 전극층 또는 드레인 전극층을 형성한 후, 저저항 산화물 반도체층을 소스 영역 또는 드레인 영역으로서 형성하고, 그 위에 반도체층으로서 산화물 반도체막을 형성하는 것을 요지로 한다. 바람직하게는, 반도체층으로서 산소 과다 산화물 반도체층을 사용하고, 소스 영역 또는 드레인 영역으로서 산소 결핍 산화물 반도체층을 사용한다. 이 소스 영역 및 드레인 영역의 산소 결핍 산화물 반도체층은 직경 1nm~10nm, 대표적으로는 2nm~4nm 정도의 결정립(crystal grain)을 포함할 수 있다.
- [0015] 또한, 저저항 산화물 반도체층으로 이루어지는 소스 영역 및 드레인 영역을, 게이트 절연층과 소스 및 드레인 전극층과의 사이에 형성해도 좋다. 이 경우, 소스 전극층 및 드레인 전극층은 제1 소스 영역 또는 제1 드레인 영역과, 제2 소스 영역 또는 제2 드레인 영역 사이에 끼워지는 구조로 된다.
- [0016] 반도체층으로서 사용되는 산화물 반도체층(제1 산화물 반도체층)은, 소스 영역 및 드레인 영역으로서 사용되는 산화물 반도체층(제2 산화물 반도체층)보다 산소 농도가 높다. 제1 산화물 반도체층은 산소 과다 산화물 반도체층이고, 제2 산화물 반도체층은 산소 결핍 산화물 반도체층이라 할 수 있다.
- [0017] 제2 산화물 반도체층은 n형의 도전형을 나타내고, 제1 산화물 반도체층보다 전기 전도도가 높다. 따라서 소스 영역 및 드레인 영역은, 반도체층보다 낮은 저항을 갖는다.
- [0018] 또한, 제1 산화물 반도체층은 비정질 구조를 갖고, 제2 산화물 반도체층은 비정질 구조 내에 결정립을 포함하는 경우가 있다.
- [0019] 한편, 제1, 제2로 부여되는 서수사는 편의상 사용하는 것으로서, 공정 순서 또는 적층 순서를 나타내는 것은 아

니다. 또한, 본 명세서에 있어 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것도 아니다.

- [0020] 소스 전극층과 산화물 반도체층 사이에는, 오믹 콘택이 필요하며, 나아가 그 콘택 저항은 가능한 저감되는 것이 바람직하다. 마찬가지로, 드레인 전극층과 산화물 반도체층 사이에는, 오믹 콘택이 필요하며, 나아가 그 콘택 저항은 가능한 저감되는 것이 바람직하다.
- [0021] 소스 전극층 및 드레인 전극층과 게이트 절연층의 사이에, 산화물 반도체층보다 캐리어 농도가 높은 소스 영역 및 드레인 영역을 의도적으로 형성함으로써 오믹 콘택이 형성된다. 소스 영역 및 드레인 영역으로서 기능하는 저저항 산화물 반도체층은, n형의 도전형을 갖고, n^+ 영역이라고도 한다. 또한, 소스 영역 및 드레인 영역을 n^+ 영역이라고 하는 경우, 채널 형성 영역으로서 기능하는 산화물 반도체층은 i형 영역이라고도 한다.
- [0022] 본 발명의 반도체 장치의 일 실시예는, 게이트 전극층과, 게이트 전극층 위에 게이트 절연층과, 게이트 절연층 위에 소스 전극층 및 드레인 전극층과, 소스 전극층 및 드레인 전극층 위에 소스 영역 및 드레인 영역과, 게이트 절연층, 소스 전극층, 드레인 전극층, 소스 영역 및 드레인 영역 위에 산화물 반도체층을 포함하는 박막 트랜지스터를 포함한다. 산화물 반도체층은 게이트 절연층을 개재하여 게이트 전극층과 중첩되고, 산화물 반도체층의 산소 농도는 소스 영역 및 드레인 영역의 산소 농도보다 높다.
- [0023] 본 발명의 반도체 장치의 다른 실시예는, 게이트 전극층과, 게이트 전극층 위에 게이트 절연층과, 게이트 절연층 위에 제1 소스 영역 및 제1 드레인 영역과, 제1 소스 영역 및 제1 드레인 영역 위에 소스 전극층 및 드레인 전극층과, 소스 전극층 및 드레인 전극층 위에 제2 소스 영역 및 제2 드레인 영역과, 게이트 절연층, 제1 소스 영역, 제1 드레인 영역, 소스 전극층, 드레인 전극층, 제2 소스 영역 및 제2 드레인 영역 위에 산화물 반도체층을 포함하는 박막 트랜지스터를 포함한다. 산화물 반도체층은 게이트 절연층을 개재하여 게이트 전극층과 중첩되고, 산화물 반도체층의 산소 농도는, 제1 소스 영역, 제1 드레인 영역, 제2 소스 영역 및 제2 드레인 영역의 산소 농도보다 높다.
- [0024] 본 발명은 상술한 목적들 중 적어도 하나를 달성하는 것이다.
- [0025] 상기 구성에 있어서, 소스 영역 및 드레인 영역(제1 소스 영역, 제1 드레인 영역, 제2 소스 영역 및 제2 드레인 영역)은, 인듐, 갈륨 및 아연을 포함하는 산화물 반도체층이고, 또한 크기가 1nm 이상 10nm 이하의 결정립을 포함하는 경우가 있는, 반도체층에 비해 저저항인 막이다. 또한, 소스 영역(제1 소스 영역, 제2 소스 영역)의 단면(end face)과, 상기 소스 영역의 단면과 대향하는 드레인 영역(제1 드레인 영역, 제2 드레인 영역)의 단면은, 반도체층과 접하고 있다.
- [0026] 반도체층 또는 소스 영역 및 드레인 영역(제1 소스 영역, 제1 드레인 영역, 제2 소스 영역 및 제2 드레인 영역)으로서 인듐, 갈륨 및 아연을 포함하는 산화물 반도체막을 사용할 수 있다. 또한, 인듐, 갈륨 및 아연 중 어느 하나를 텅스텐, 몰리브덴, 티탄, 니켈 또는 알루미늄과 치환해도 좋다.
- [0027] 본 명세서에 있어서, 인듐, 갈륨 및 아연을 포함하는 산화물 반도체막을 사용하여 형성된 반도체층을 "IGZO 반도체층"이라고 표기한다. IGZO 반도체층은, 비단결정 반도체층(non-single-crystal semiconductor layer)이고, 적어도 비정질 성분을 포함한다.
- [0028] 반도체 장치의 제조 방법도 본 발명의 일 실시예로서, 소스 전극층 및 드레인 전극층, 소스 영역 및 드레인 영역을 형성한 후, 플라즈마 처리를 행한다. 나아가 플라즈마 처리 후에 대기에 노출됨이 없이 스퍼터링법으로 반도체층을 성막한다. 반도체층의 성막 전에 성막될 기판이 대기에 노출되면, 수분 등이 부착하여 계면 상태에 악영향을 주기 때문에, 임계 전압의 편차, 전기특성의 열화, 노멀리 온(normally-on) TFT로 되어버리는 증상 등이 발생할 우려가 있다. 플라즈마 처리는 산소 가스 또는 아르곤 가스를 사용한다. 아르곤 가스 대신 다른 희가스를 사용해도 좋다.
- [0029] 본 발명의 반도체 장치의 제조 방법의 일 실시예는, 기판 위에 게이트 전극층을 형성한다. 게이트 전극층 위에 게이트 절연층을 형성한다. 게이트 절연층 위에 소스 전극층 및 드레인 전극층을 형성한다. 소스 전극층 및 드레인 전극층 위에 소스 영역 또는 드레인 영역을 형성한다. 게이트 절연층, 소스 전극층, 드레인 전극층, 소스 영역 및 드레인 영역에 플라즈마 처리를 행한다. 게이트 전극층과 중첩되어, 또한 플라즈마 처리된 게이트 절연층, 소스 전극층, 드레인 전극층, 소스 영역 및 드레인 영역 위에, 대기에 노출되지 않고 산화물 반도체층을 형성한다. 산화물 반도체층의 산소 농도는 소스 영역 및 드레인 영역의 산소 농도보다 높다.
- [0030] 본 발명의 반도체 장치의 제조 방법의 다른 실시예는, 기판 위에 게이트 전극층을 형성한다. 게이트 전극층 위에 게이트 절연층을 형성한다. 게이트 절연층 위에 제1 소스 영역 및 제1 드레인 영역을 형성한다. 제1 소스

영역 및 제1 드레인 영역 위에 소스 전극층 또는 드레인 전극층을 형성한다. 소스 전극층 및 드레인 전극층 위에 제2 소스 영역 및 제2 드레인 영역을 형성한다. 게이트 절연층, 제1 소스 영역, 제1 드레인 영역, 소스 전극층, 드레인 전극층, 제2 소스 영역 및 제2 드레인 영역에 플라즈마 처리를 행한다. 게이트 전극층과 중첩되고, 또한 플라즈마 처리를 행한 게이트 절연층, 제1 소스 영역, 제1 드레인 영역, 소스 전극층, 드레인 전극층, 제2 소스 영역 및 제2 드레인 영역 위에 대기에 노출되지 않고 산화물 반도체층을 형성한다. 산화물 반도체층의 산소 농도는 제1 소스 영역, 제1 드레인 영역, 제2 소스 영역 및 제2 드레인 영역보다 높다.

[0031] 플라즈마 처리에 의해, 노출된 게이트 절연층의 표면, 소스 전극층의 표면, 드레인 전극층의 표면, 소스 영역 및 드레인 영역의 표면을 세정할 수 있다. 반도체층(IGZO 반도체층)의 형성에 앞서 소스 전극층, 드레인 전극층, 소스 영역 및 드레인 영역을 포토리소그래피 기술에 의해 에칭 가공하기 때문에, 표면에 남은 유기물과 반응시켜 유기물 등의 먼지를 제거하는 플라즈마 처리를 행하는 것이 유용하다.

[0032] 특히, 플라즈마 처리 후에 대기에 노출되지 않고 스퍼터링법으로 반도체층(IGZO 반도체층)을 성막하기 위해, 플라즈마 처리와 반도체층(IGZO 반도체층)의 성막을 동일한 챔버에서 행하는 것이 가능한 역 스퍼터라고 불리는 플라즈마 처리의 일종을 행하는 것이 바람직하다. 역 스퍼터란, 타겟 측에 전압을 인가하지 않고, 산소 또는 산소 및 아르곤 분위기 하에서 기판 측에 전압을 인가하여 기판에 플라즈마를 생성하여 표면을 개질하는 방법이다.

[0033] 또한, 챔버에 산소 가스를 사용하는 플라즈마 처리를 행하는 경우, 게이트 절연층 표면에 산소 라디칼이 조사됨으로써, 게이트 절연층 표면을 산소 과다 영역으로 개질하고, 후에 성막하는 반도체층(IGZO 반도체층)과의 계면에서의 산소 농도를 높게 한다. 게이트 절연층에 산소 라디칼 처리를 행하여 반도체층을 적층하고, 열처리를 행하면, 반도체층(IGZO 반도체층)의 게이트 절연층 측의 산소 농도도 고농도로 할 수 있다. 따라서, 게이트 절연층과 반도체층(IGZO 반도체층)의 계면에 산소 농도의 피크를 갖고, 또한 게이트 절연층의 산소 농도가 농도 기울기를 가지며, 그 기울기는 게이트 절연층과 반도체층(IGZO 반도체층)과의 계면에 가까워짐에 따라 증가한다. 산소 과다 영역을 갖는 게이트 절연층과 산소 과다 산화물 반도체층(IGZO 반도체층)은 상성이 좋으며, 양호한 계면 특성을 제공할 수 있다.

[0034] 산소 라디칼은 산소를 포함하는 가스를 사용하여 플라즈마 발생 장치에 의해 공급되어도 좋고, 또는 오존 발생 장치에 의해 공급되어도 좋다. 공급된 산소 라디칼 또는 산소를 박막으로 조사하는 것에 의해 막 표면을 개질할 수 있다.

[0035] 또한, 본 발명은 산소 라디칼 처리에 한정되지 않으며, 아르곤과 산소의 라디칼 처리를 행하여도 좋다. "아르곤과 산소의 라디칼 처리"란, 아르곤 가스와 산소 가스를 도입하여 플라즈마를 발생시켜 박막 표면의 개질을 행하는 것이다.

[0036] 전계가 인가된 방전 플라즈마가 발생된 반응 공간 내의 Ar 원자(Ar)는, 방전 플라즈마 내의 전자(e)에 의해 여기 또는 전리되고, 아르곤 라디칼(Ar^*)과 아르곤 이온(Ar^+)과 전자(e)로 된다. 아르곤 라디칼(Ar^*)은 에너지가 높은 준안정상태(metastable state)이며, 주변에 존재하는 동종 또는 이종의 원자와 반응하고, 이들 원자를 여기 또는 전리시켜 안정상태로 되돌아가려고 하여, 눈사태 현상(avalanche phenomenon)과 같은 반응이 발생한다. 그 때 주변에 산소가 존재하면, 산소 원자(O)가 여기 또는 전리되어, 산소 라디칼(O^*)과 산소 이온(O^+)과 산소(O)로 된다. 이 산소 라디칼(O^*)이 피처리물인 박막 표면의 재료와 반응하여, 표면 개질이 이루어져, 표면에 있는 유기물과 반응하여 유기물을 제거하는 플라즈마 처리가 행해진다. 또한, 아르곤 가스의 라디칼은, 반응성 가스(산소 가스)의 라디칼과 비교하여 준안정상태가 오래 유지되는 특징이 있는바, 플라즈마를 발생시키기 위해서는 아르곤 가스가 통상적으로 사용된다.

[0037] 또한, 산소 가스를 사용하는 경우, 플라즈마 처리의 조건에 따라서는, 소스 전극층 및 드레인 전극층의 표면이 산화된다. 본 발명은, 소스 전극층 및 드레인 전극층 위에 소스 영역 및 드레인 영역을 형성한 후 플라즈마 처리를 행하므로, 소스 전극층 및 드레인 전극층의 노출된 단부만이 산화된다. 따라서 소스 전극층 및 드레인 전극층은 반도체층에 접하는 영역만 산화되며, 다른 영역은 산화되지 않기 때문에 저저항으로 유지될 수 있다. 또한, 소스 영역 및 드레인 영역과 반도체층과의 접촉 면적이 넓으므로, 소스 영역 또는 드레인 영역이 반도체층과 전기적으로 접속될 수 있다.

[0038] 사용하는 포토 마스크의 매수를 저감하기 위해, 소스 영역 또는 드레인 영역의 에칭 가공 후에, 소스 영역과 드레인 영역을 마스크로 하여 자기 정합적으로 소스 전극층 및 드레인 전극층을 형성해도 된다. 이 경우, 소스

영역(또는 드레인 영역)의 단면이 소스 전극층(또는 드레인 전극층)의 단면과 거의 일치하기 때문에, 소스 영역과 드레인 영역 사이의 간격이 소스 전극층과 드레인 전극층 사이의 간격과 거의 동일하게 된다.

- [0039] IGZO 반도체층, 소스 전극층 및 드레인 전극층, 소스 영역 및 드레인 영역은 스퍼터링법으로 형성할 수 있다.
- [0040] 스퍼터링법의 예로는 스퍼터용 전원에 고주파 전원을 사용하는 RF 스퍼터링법과, DC 스퍼터링법이 있고, 나아가 펄스적으로 바이어스를 부여하는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 사용된다.
- [0041] 또한, 재료가 서로 다른 타겟을 복수 설치할 수 있는 멀티 소스(multi-source) 스퍼터 장치도 있다. 멀티 소스 스퍼터 장치는, 동일 챔버에서 서로 다른 재료막을 적층 성막할 수 있고, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다
- [0042] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 사용한 스퍼터 장치와, 글로 방전을 사용하지 않고 마이크로파를 사용하여 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법을 사용한 스퍼터 장치가 있다.
- [0043] 스퍼터링법을 사용하는 성막방법으로서, 성막 중에 타겟 물질과 스퍼터 가스 성분을 화학 반응시켜 이들 화합물 박막을 형성하는 리액티브 스퍼터링법과, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법도 있다.
- [0044] 이들의 다양한 스퍼터링법을 사용하여, 반도체층, 소스 영역 및 드레인 영역, 소스 전극층 및 드레인 전극층을 형성한다.
- [0045] 반도체층에 IGZO 반도체층을 사용하는 경우, 소스 영역 및 드레인 영역도 인듐, 갈륨 및 아연을 포함하는 산화물층이며, IGZO 반도체층의 성막 조건과는 상이한 성막 조건으로 형성된다. 소스 영역 및 드레인 영역의 성막 조건은, 성막 직후에 있어 크기가 1nm 이상, 10nm 이하의 결정립을 포함하는 조건이 포함된다. 예를 들어, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ 인 타겟을 사용하고, DC 스퍼터링법으로 아르곤 가스 유량:산소 유량을 2:1의 비율로 챔버에 도입하는 성막 조건, 또는 아르곤 가스만을 도입하는 성막 조건으로 한 경우, 성막 직후에 있어 크기가 1nm 이상, 10nm 이하의 결정립을 포함하는 막을 얻을 수 있다. 또한, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ 인 타겟은 비정질 형상의 산화물 반도체막을 얻기 위해 이 비율로 의도적으로 설계한 것이기 때문에, 소스 영역 및 드레인 영역에 대해 보다 결정성이 높은 막을 얻기 위해 타겟의 조성비를 변경해도 좋다. 프로세스의 간략화, 또는 낮은 비용을 실현하기 위해서는, 동일한 타겟을 사용하여 도입 가스를 변경하는 것만으로, IGZO 반도체층에 사용하는 막과, 소스 영역 및 드레인 영역에 사용하는 막을 구분하여 제조하는 것이 바람직하다.
- [0046] 산소 결핍 산화물 반도체층을 소스 영역 또는 드레인 영역으로서 적극적으로 형성하는 것에 의해, 금속층인 소스 전극층 또는 드레인 전극층과, IGZO막과의 사이를 양호한 접합으로 하여 쇼트키 접합에 비해 열적으로도 높은 동작 안정성을 갖게 할 수 있다. 또한, 채널의 캐리어를 공급하거나(소스측), 채널의 캐리어를 안정시켜 흡수하거나(드레인측), 또는 저항 성분을 소스 전극층(또는 드레인 전극층)과의 계면에 만들지 않기 위해서 적극적으로 소스 영역 또는 드레인 영역을 형성하는 것이 중요하다. 높은 드레인 전압에서 양호한 이동도를 유지하기 위해 저항의 감소가 또한 중요하다.
- [0047] 또한, 소스 전극층 및 드레인 전극층에 티탄막을 사용하는 것이 바람직하다. 예를 들어, 티탄막, 알루미늄막, 티탄막의 적층은 낮은 저항을 가지며, 또한 알루미늄막에 힐록(hillock)이 발생되기 어렵다.
- [0048] 또한, 스퍼터링법은 타겟에 대해 강한 에너지를 Ar 이온에 의해 부여하기 때문에, 성막된 IGZO 반도체층 내에는 강한 변형 에너지(strain energy)가 존재하는 것으로 생각된다. 이 변형 에너지를 해방하기 위해 200℃ 이상 600℃ 이하, 대표적으로는 300℃ 이상 500℃ 이하의 열처리를 행하는 것이 바람직하다. 이 열처리에 의해 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형 에너지가 해방되기 때문에, 성막과 열처리(광어닐링을 포함)가 중요하다.

발명의 효과

- [0049] 본 발명의 실시예에 따르면, 광전류가 적고, 기생 캐패시턴스가 작고, 온-오프 비율이 높은 박막 트랜지스터를 얻을 수 있으며, 양호한 동작 특성을 갖는 박막 트랜지스터를 제조할 수 있다. 따라서, 전기적 특성이 높고 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0050]

도 1a 내지 1c는 반도체 장치의 제조 방법을 도시한 도면.
 도 2a 내지 2c는 반도체 장치의 제조 방법을 도시한 도면.
 도 3은 반도체 장치의 제조 방법을 도시한 도면.
 도 4는 반도체 장치의 제조 방법을 도시한 도면.
 도 5는 반도체 장치의 제조 방법을 도시한 도면.
 도 6은 반도체 장치를 도시한 도면.
 도 7a 내지 7d는 반도체 장치를 도시한 도면.
 도 8은 반도체 장치를 도시한 도면.
 도 9a 내지 9c는 반도체 장치의 제조 방법을 도시한 도면.
 도 10a 내지 10c는 반도체 장치의 제조 방법을 도시한 도면.
 도 11은 반도체 장치를 도시한 도면.
 도 12a 및 12b는 반도체 장치를 도시한 블록도.
 도 13은 신호선 구동 회로의 구성을 도시한 도면.
 도 14는 신호선 구동 회로의 동작을 도시한 타이밍 차트.
 도 15는 신호선 구동 회로의 동작을 도시한 타이밍 차트.
 도 16은 시프트 레지스터의 구성을 도시한 도면.
 도 17은 도 16에 도시한 플립-플롭(flip-flop)의 접속을 도시한 도면.
 도 18은 반도체 장치의 화소 등가 회로를 도시한 도면.
 도 19a 내지 19c는 반도체 장치를 도시한 도면.
 도 20a 내지 20c는 반도체 장치를 도시한 도면.
 도 21은 반도체 장치를 도시한 도면.
 도 22a 및 22b는 반도체 장치를 도시한 도면.
 도 23a 및 23b는 전자 종이의 사용 패턴의 예를 도시한 도면.
 도 24는 전자 서적 구독기의 일례를 도시한 외관도.
 도 25a는 텔레비전 장치의 일례의 외관도이고, 도 25b는 디지털 포토 프레임의 일례를 도시한 외관도.
 도 26a 및 26b는 오락 기기의 예를 도시한 외관도.
 도 27은 휴대 전화기의 일례를 도시한 외관도.

발명을 실시하기 위한 구체적인 내용

[0051]

본 발명의 실시예들이 도면들을 참조하여 이하에서 상세히 설명된다. 다만, 본 발명이 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하는 일 없이 그 형태 및 상세를 다양한 형태로 변경할 수 있음은 당업자에게 명백할 것이다. 따라서 본 발명은 이하에 도시한 실시예들의 기재 내용에 한정하여 해석되지 않는다. 또한, 이하에서 설명하는 본 발명의 구성에 있어, 동일 부분 또는 유사한 기능을 갖는 부분에는 동일 부호를 서로 다른 도면 사이에서 공통으로 사용하고, 반복되는 설명은 생략한다.

[0052]

(실시예 1)

[0053]

본 실시예에서는, 박막 트랜지스터 및 그 제조 공정에 대해 도 1a 내지 1c, 도 2a 내지 2c, 도 3 내지 6 및 도 7a 내지 7d를 참조로 설명한다.

[0054]

도 1a에서, 투광성을 갖는 기관(100)에는 코닝(Corning) 주식회사에 의해 제조된 #7059 유리, #1737 유리 등에

대표되는 바륨 붕규산(barium borosilicate) 유리, 알루미늄 붕규산(alumino borosilicate) 유리 등의 유리 기판이 사용될 수 있다.

[0055] 다음으로, 도전층을 기판(100) 전면(entire area)에 형성한 후, 제1 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거한 배선 및 전극(게이트 전극(101)을 포함하는 게이트 배선, 캐패시터 배선(108) 및 제1 단자(121))을 형성한다. 이 때 적어도 게이트 전극(101)의 단부에 테이퍼 형상(tapered shape)이 형성되도록 에칭한다. 이 단계에서의 단면도를 도 1(A)에 도시하였다. 또한, 이 단계에서의 상면도가 도 3에 대응한다.

[0056] 게이트 전극(101)을 포함하는 게이트 배선과 캐패시터 배선(108), 단자부의 제1 단자(121)는, 알루미늄(Al)과 구리(Cu) 등의 저저항 도전성 재료로 형성하는 것이 바람직하지만, Al 단체는 내열성이 낮고, 또한 부식하기 쉬운 등의 문제점이 있으므로, 내열성 도전성 재료와 조합하여 형성한다. 내열성 도전성 재료로는, 티탄(Ti), tantalum(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.

[0057] 다음으로, 게이트 전극(101) 위에 게이트 절연층(102)을 전면에 성막한다. 게이트 절연층(102)은 스퍼터 법 등을 사용하여, 막 두께를 50~250nm로 한다.

[0058] 예를 들어, 게이트 절연층(102)이 스퍼터링법에 의해 산화 실리콘막을 사용하여 100nm의 두께로 형성된다. 물론 게이트 절연층(102)은 이러한 산화 실리콘막에 한정되지 않으며, 산화질화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 탄탈막 등의 다른 절연막을 이용하여, 이들 재료로 이루어지는 단층 또는 적층구조로 형성해도 좋다.

[0059] 다음으로, 게이트 절연층(102) 위에 금속 재료로 이루어지는 도전막을 스퍼터링법과 진공증착법으로 형성한다. 도전막의 재료로는, Al, Cr, Ta, Ti, Mo, W으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금, 상술한 원소를 조합한 합금 등을 들 수 있다. 본 실시예에서는, 도전막으로 Ti막과 이 Ti막 위에 알루미늄(Al)막을 적층하고, 나아가 그 위에 Ti막을 성막한 3층 구조로 한다. 또한, 도전막은, 2층 구조로 해도 좋으며, 알루미늄막 위에 티탄막을 적층해도 좋다. 또한, 도전막은, 실리콘을 포함하는 알루미늄막의 단층구조 또는 티탄막의 단층구조로 해도 좋다.

[0060] 다음으로, 도전막 위에 제1 산화물 반도체막(본 실시예에서는 제1 IGZO막)을 스퍼터링법으로 성막한다. 본 실시예에서는, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ 인 타겟을 사용하고, 성막조건은, 압력을 0.4Pa, 전력을 500W, 성막온도를 실온, 아르곤가스 유량을 40sccm 도입하여 스퍼터 성막을 행한다. $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ 인 타겟을 의도적으로 사용하고 있음에도 불구하고, 성막 직후에 크기 1nm~10nm의 결정립을 포함하는 IGZO 막이 형성되는 경우가 있다. 또한, 타겟의 성분비, 성막압력(0.1Pa~2.0Pa), 전력(250W~3000W: 8인치φ), 온도(실온~100℃), 반응성 스퍼터의 성막조건 등을 적절히 조절함으로써 결정립의 유무 또는 결정립의 밀도가 조절되고, 직경의 크기는 1nm~10nm의 범위에서 조절된다고 할 수 있다. 제1 IGZO막은 5nm~20nm의 막 두께를 갖는다. 물론, 막 내에 결정립이 포함되는 경우, 포함되는 결정립의 크기가 막 두께를 초과하지 않는다. 본 실시예에 있어 제1 IGZO막의 막 두께는 5nm이다.

[0061] 게이트 절연막, 도전막 및 제1 IGZO막은, 스퍼터링법으로 챔버에 도입하는 가스 또는 설치하는 타겟을 적절히 전환함으로써 대기에 노출됨이 없이 연속 성막할 수 있다. 대기에 노출됨이 없이 연속 성막하면, 불순물의 혼입을 방지할 수 있다. 대기에 노출됨이 없이 연속 성막하는 경우, 멀티 챔버 방식의 제조 장치를 사용하는 것이 바람직하다.

[0062] 다음으로, 제2 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 제1 IGZO막을 에칭한다. 본 실시예에서는, ITO-07N(관동화학 주식회사 제조)을 사용한 웨트 에칭에 의해, 제1 IGZO막의 불필요한 부분을 제거하고 IGZO층(111a, 111b)을 형성한다. 또한, 여기서의 에칭은, 웨트 에칭에 한정되지 않고 드라이 에칭을 사용해도 좋다.

[0063] 다음으로, 제1 IGZO막의 에칭과 동일한 레지스트 마스크를 사용하여, 에칭에 의해 불필요한 부분을 제거하고 소스 전극층(105a) 및 드레인 전극층(105b)을 형성한다. 이 때의 에칭 방법으로는 웨트 에칭 또는 드라이 에칭을 사용한다. 본 실시예에서는, SiCl_4 와 Cl_2 와 BCl_3 의 혼합가스를 반응가스로 사용한 드라이 에칭에 의해, Ti막과 Al막과 Ti막을 순차 적층한 도전막을 에칭하여 소스 전극층(105a) 및 드레인 전극층(105b)을 형성한다. 이 단계에서의 단면도를 도 1(B)에 도시된다. 또한, 이 단계에서의 상면도가 도 4에 대응된다.

- [0064] 제2 포토리소그래피 공정에 있어, 소스 전극층(105a) 및 드레인 전극층(105b)과 동일한 재료인 제2 단자(122)가 단자부에 남겨진다. 또한, 제2 단자(122)는 소스 배선(소스 전극층(105a)을 포함하는 소스 배선)과 전기적으로 접속되어 있다.
- [0065] 캐패시터부에 있어, 캐패시터 배선(108)과 중첩되는 제1 IGZO막이 제거된다. 단자부에 있어서는, 제2 단자(122)의 상방에 존재하고, 또한 제2 단자와 중첩되는 제1 IGZO막의 일부인 IGZO층(123)이 잔존한다.
- [0066] 다음으로, 레지스트 마스크를 제거한 후, 플라즈마 처리를 행한다. 이 단계에서의 단면도를 도 1c에 도시한다. 본 실시예에서는, 산소 gas와 아르곤 gas를 도입하여 플라즈마를 발생시키는 역 스퍼터링법을 행하여, 노출되어 있는 게이트 절연층에 산소 라디칼 또는 산소를 조사한다. 이렇게 하여 표면에 부착되어 있는 먼지를 제거하고, 나아가 게이트 절연층 표면을 산소 과다 영역으로 개질한다. 게이트 절연층의 표면에 산소 라디칼 처리를 행하여 표면을 산소 과다 영역으로 하는 것은, 그 후의 공정에서의 신뢰성 향상을 위한 열처리(200℃~600℃)에 있어, IGZO 반도체층 계면의 개질을 위한 산소의 공급원을 형성함에 있어 유효하다.
- [0067] 플라즈마 처리의 조건에 따라서는, 노출되어 있는 소스 전극층(105a) 및 드레인 전극층(105b)의 측면에 산화막(도시하지 않음)이 형성되지만, 본 구조에 있어서는 소스 전극층(105a) 및 드레인 전극층(105b)이 채널 형성 영역과 직접 접촉하지 않기 때문에 문제가 생기지 않는다고 할 수 있다. 오히려, 이 산화막에 의해 소스 영역 또는 드레인 영역을 개재하여 소스 전극층(105a) 및 드레인 전극층(105b)이 채널 형성 영역과 접하는 구조로 할 수 있다. 또한, 소스 전극층 및 드레인 전극층 위에 소스 영역 및 드레인 영역을 형성한 후, 플라즈마 처리를 행하므로, 소스 전극층 및 드레인 전극층이 노출된 단부만 산화된다. 따라서 소스 전극층 및 드레인 전극층은 반도체층에 접촉하는 영역만이 산화되고 다른 영역은 산화되지 않으므로, 저항이 낮게 유지될 수 있다. 또한, 소스 영역 및 드레인 영역과 반도체층과의 접촉 면적이 넓으므로, 소스 영역 또는 드레인 영역은 반도체층과 전기적으로 접속될 수 있다.
- [0068] 다음으로, 플라즈마 처리 후에, 대기에 노출됨이 없이 제2 산화물 반도체막(본 실시예에서는 제2 IGZO막)을 성막한다. 플라즈마 처리 후, 대기에 노출됨이 없이 제2 IGZO막을 성막하는 것은, 게이트 절연층과 반도체막의 계면에 먼지와 수분을 부착시키지 않는 점에서 유용하다. 본 실시예에서는, 직경 8인치의 In, Ga 및 Zn을 포함하는 산화물 반도체 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$)을 사용하여, 기판과 타겟 사이의 거리를 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 아르곤 또는 산소 분위기 하에서 성막한다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지가 저감되고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 제2 IGZO막은 5nm~200nm의 막 두께를 갖는다. 본 실시예에서, 제2 IGZO막의 막 두께는 100nm이다.
- [0069] 제1 IGZO막의 성막조건과 다르게 제2 IGZO막을 형성함으로써, 제1 IGZO막의 막 내의 산소농도보다 많은 산소가 제2 IGZO막 내에 포함된다. 예를 들어, 제1 IGZO막의 성막조건에서의 산소가스 유량과 아르곤가스 유량의 비보다도 제2 IGZO막의 성막조건에서의 산소가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는 제1 IGZO막은 희 가스(아르곤, 또는 헬륨 등) 분위기(또는 산소가스 10% 이하, 아르곤 가스 90% 이상)에서 성막되고, 제2 IGZO막은, 산소 분위기(또는 산소가스 유량이 아르곤가스 유량과 같거나 그 이상)에서 성막된다. 많은 산소가 제2 IGZO막 내에 포함되도록 함으로써, 제1 IGZO막보다도 도전율을 낮게 할 수 있다. 또한, 많은 산소가 제2 IGZO막 내에 포함되도록 함으로써 오프 전류의 저감을 도모할 수 있고, 따라서 높은 온-오프비를 갖는 박막 트랜지스터를 얻을 수 있다.
- [0070] 제2 IGZO막의 성막은, 먼저 역 스퍼터를 행한 챔버와 동일한 챔버를 사용해도 좋고, 대기에 노출됨이 없이 성막하는 것이라면, 먼저 역 스퍼터를 행한 챔버와 다른 챔버에서 성막해도 좋다.
- [0071] 다음으로, 200℃~600℃, 대표적으로는 300℃~500℃의 열처리를 행하는 것이 바람직하다. 본 실시예에서는 로에 넣고 질소 분위기에서 350℃, 1시간의 열처리를 행한다. 이 열처리에 의해 IGZO막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형 에너지가 해방되기 때문에, 여기서의 열처리(광어닐링을 포함)가 중요하다. 또한, 열처리를 행하는 타이밍은, 제2 IGZO막의 성막후이면 특별히 한정되지 않으며, 예를 들어 화소 전극 형성 후에 행해도 좋다.
- [0072] 다음으로, 제3 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 IGZO 반도체층(103)을 형성한다. 본 실시예에서는 ITO-07N(관동화학주식회사 제조)을 사용한 웨트 에칭에 의해, 제2 IGZO막을 제거하고 IGZO 반도체층(103)을 형성한다. 또한, 제1 IGZO막과 제2 IGZO막은 동일한 부식제(etchant)를 사용하기 때문에, 이 에칭에 의해 제1 IGZO막이 제거된다. 따라서, 제2 IGZO막으로 덮인 제1 IGZO막의 측면은 보호되지만, 노출된 제1 IGZO막(IGZO층(111a, 111b))은 에칭되고, 소스 영역(104a), 드레인

영역(104b)이 형성된다. 또한, IGZO 반도체층(103)의 에칭은, 웨트 에칭에 한정되지 않고 드라이 에칭을 사용해도 된다. 이상의 공정에 의해 IGZO 반도체층(103)을 채널 형성 영역으로 하는 박막 트랜지스터(170)가 제조된다. 이 단계에서의 단면도가 도 2a에 도시된다. 또한, 이 단계에서의 상면도가 도 5에 대응된다.

[0073] 다음으로, 레지스트 마스크를 제거하고, IGZO 반도체층을 덮는 보호 절연막(107)을 형성한다. 보호 절연막(107)으로는 스퍼터링법 등을 사용하여 얻어지는 질화 실리콘막, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화 탄탈막 등이 사용될 수 있다.

[0074] 다음으로, 제4 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 보호 절연막(107)의 에칭에 의해 드레인 전극층(105b)에 도달하는 컨택 홀(125)을 형성한다. 또한, 이 에칭에 의해 제2 단자(122)에 도달하는 컨택 홀(127)도 형성한다. 또한, 마스크 수를 저감하기 위해, 동일한 레지스트 마스크를 사용하여 나아가 게이트 절연층을 에칭하여 게이트 전극에 도달하는 컨택 홀(126)도 동일한 레지스트 마스크로 형성하는 것이 바람직하다. 이 단계에서의 단면도가 도 2b에 도시된다.

[0075] 이어서, 레지스트 마스크를 제거한 후, 투명 도전막을 성막한다. 투명 도전막의 재료로는, 산화인듐(In_2O_3)와 산화인듐 및 산화주석의 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라 함) 등을 스퍼터링법과 진공증착법 등을 사용하여 형성한다. 이러한 재료의 에칭 처리는 염산계의 용액으로 행한다. 그러나, 특히 ITO의 에칭은 잔여물이 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해 산화인듐 및 산화아연의 합금($\text{In}_2\text{O}_3\text{-ZnO}$)을 사용해도 좋다.

[0076] 다음으로, 제5 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소전극(110)을 형성한다.

[0077] 상기 제5 포토리소그래피 공정에 있어서, 캐패시터부에서의 게이트 절연층(102) 및 보호절연막(107)을 유전체로 하여, 캐패시터 배선(108)과 화소전극(110)으로 저장 캐패시터(storage capacitor)가 형성된다.

[0078] 또한, 상기 제5 포토리소그래피 공정에 있어서, 제1 단자 및 제2 단자를 레지스트 마스크로 덮어 단자부에 투명 도전막(128, 129)을 남긴다. 투명 도전막(128, 129)은 FPC와의 접속에 사용되는 전극 또는 배선이 된다. 제2 단자(122) 위에 형성된 투명 도전막(129)은, 소스 배선의 입력단자로서 기능하는 접속 단자 전극이다.

[0079] 다음으로, 레지스트 마스크를 제거하고, 이 단계에서의 단면도가 도 2c에 도시된다. 또한, 이 단계에서의 상면도가 도 6에 대응된다.

[0080] 도 7a 및 7b는, 이 단계에서의 게이트 배선 단자부의 상면도 및 단면도를 각각 도시하고 있다. 도 7a는 도 7b 내의 C1-C2 선에 따른 단면도에 대응된다. 도 7a에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로 기능하는 접속용 단자 전극이다. 도 7a의 단자부에 있어, 게이트 배선과 동일한 재료로 형성되는 제1 단자(151)와, 소스 배선과 동일한 재료로 형성되는 접속 전극(153)이 게이트 절연층(152)을 개재하여 중첩되고, 투명 도전막(155)에 의해 전기적으로 접속된다. 또한, 도 2c에 도시한 투명 도전막(128)과 제1 단자(121)가 접촉하고 있는 부분은, 도 7a의 투명 도전막(155)과 제1 단자(151)가 접촉하는 부분에 대응된다.

[0081] 또한, 도 7c 및 도 7d는, 도 2c에 도시한 소스 배선 단자부와 상이한 소스 배선 단자부의 상면도 및 단면도를 각각 도시하고 있다. 또한, 도 7c는 도 7d 내의 D1-D2 선에 따른 단면도에 해당된다. 도 7c에 있어, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로 기능하는 접속 단자 전극이다. 또한, 도 7c에 있어, 단자부에서는, 게이트 배선과 동일한 재료로 형성되는 전극(156)이, 소스 배선과 전기적으로 접속되는 제2 단자(150)의 아래에 게이트 절연층(102)을 개재하여 중첩된다. 전극(156)은 제2 단자(150)와 전기적으로 접속되어 있지 않고, 전극(156)이 제2 단자(150)와 상이한 전위, 예를 들어 플로팅, GND, 0V 등으로 설정되면, 노이즈에 대한 수단으로서의 캐패시터 또는 정전기에 대한 수단으로서의 캐패시터가 형성될 수 있다. 또한, 제2 단자(150)는, 보호 절연막(154)에 의해 투명 도전막(155)과 전기적으로 접속된다.

[0082] 게이트 배선, 소스 배선 및 캐패시터 배선은 화소 밀도에 따라 복수 개 제공된다. 또한 단자부에 있어, 게이트 배선과 동일한 전위의 제1 단자, 소스배선과 동일한 전위의 제2 단자, 캐패시터 배선과 동일한 전위의 제3 단자 등이 복수로 나란히 배치된다. 각 타입의 단자의 수는, 실시자에 의해 적절히 선택적으로 결정될 수 있다.

[0083] 이러한 5회의 포토리소그래피 공정에 의해, 5매의 포토마스크를 사용하여, 바텀-게이트(bottom-gate) n 채널형 박막 트랜지스터인 박막 트랜지스터(170)를 포함하는 화소 박막 트랜지스터부와 저장 캐패시터를 완성시킬 수 있다. 그리고, 이들을 각 화소에 대응하여 매트릭스 형상으로 배치하여 화소부를 구성하는 것에 의해 액티브 매트릭스형의 표시 장치를 제조하기 위한 일방의 기관으로 할 수 있다. 본 명세서에서는 이러한 기관을 편의상

액티브 매트릭스 기관이라 한다.

- [0084] 액티브 매트릭스형 액정 표시 장치를 제조하는 경우에는, 액티브 매트릭스 기관과, 대향 전극이 형성된 대향 기관과의 사이에 액정층이 제공되고, 액티브 매트릭스 기관과 대향 기관이 서로 고정된다. 또한, 대향 기관에 형성된 대향 전극과 전기적으로 접속된 공통 전극을 액티브 매트릭스 기관 위에 형성하고, 공통 전극과 전기적으로 접속된 제4 단자를 단자부에 형성한다. 이 제4 단자는, 공통 전극을 고정 전위, 예를 들어 GND 또는 0V 등으로 설정하기 위한 단자이다.
- [0085] 화소 구성은 도 6에 한정되지 않으며, 도 6과 상이한 상면도의 예를 도 8에 도시한다. 도 8에서는 캐패시터 배선이 제공되지 않고, 화소 전극과 인접하는 화소의 게이트 배선과 보호 절연막 및 게이트 절연층을 개재하여 중첩되어 저장 캐패시터를 형성하는 예를 도시한다. 이 경우 캐패시터 배선 및 캐패시터 배선과 접속하는 제3 단자는 생략할 수 있다. 도 8에 있어, 도 6과 동일한 부분에는 동일한 부호를 사용하여 설명한다.
- [0086] 액티브 매트릭스형의 액정 표시 장치에 있어서는, 매트릭스 형상으로 배치된 화소 전극을 구동함으로써, 화면 위에 표시 패턴이 형성된다. 상세하게는 선택된 화소 전극과 당해 화소 전극이 대응하는 대향 전극과의 사이에 전압이 인가됨으로써 화소 전극과 대향 전극 사이에 배치된 액정층이 광학적으로 변조된다. 이 광학 변조는 표시 패턴으로서 관찰자에게 인식된다.
- [0087] 액정 표시 장치의 구동 표시에 있어, 액정 분자 자체의 응답이 늦기 때문에, 잔상이 발생되거나, 또는 동화상의 일그러짐이 발생하는 문제가 있다. 액정 표시 장치의 동화상 특성을 개선하기 위해, 전면 흑표시를 1프레임 간격으로 행하는, 소위 흑삽입(black insertion)이라 불리는 구동기술이 있다.
- [0088] 나아가, 소위 배속구동이라 불리는 또 다른 구동기술도 있다. 배속구동에 있어서는, 통상의 수직 주기가 1.5배 또는 2배 이상으로 설정됨으로써 동화상 특성이 개선된다.
- [0089] 또한, 액정 표시 장치의 동화상 특성을 개선하기 위해, 백라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 사용하여 면광원을 구성하고, 면광원을 구성하는 각 광원을 독립하여 1 프레임 주기 내에서 간헐 점등 구동하는 구동 기술도 있다. 면광원으로는 3종류 이상의 LED를 사용해도 좋고, 백색 발광의 LED를 사용해도 좋다. 독립하여 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학 변조가 스위칭되는 타이밍에 맞춰 LED의 발광 타이밍이 동기화될 수 있다. 이 구동 기술에서는, LED가 부분적으로 소등될 수 있다. 따라서, 특히 한 화면 내에서의 흑 표시 영역의 비율이 높은 영상을 표시하는 경우에, 낮은 소비 전력으로 액정 표시 장치가 구동될 수 있다.
- [0090] 이들 구동 기술을 조합시키는 것에 의해, 액정 표시 장치의 동화상 특성 등의 표시 특성을 종래보다 개선시킬 수 있다.
- [0091] 본 실시예에서 얻어지는 n채널형의 트랜지스터는, 채널 형성 영역으로서 IGZO 반도체층을 포함하며, 우수한 동화상 특성을 구비하고 있기 때문에, 이들 구동 기술들이 조합될 수 있다.
- [0092] 또한, 발광 표시 장치를 제조하는 경우, 유기 발광 소자의 일측의 전극(캐소드라 함)은, 저전원 전위, 예를 들면 GND, 0V 등으로 설정되기 때문에, 단자부에 캐소드를 저전원 전위, 예를 들면 GND, 0V 등으로 설정하기 위한 제4 단자가 제공된다. 또한, 발광 표시 장치를 제조하는 경우에는, 소스 배선 및 게이트 배선에 더해서 전원 공급선이 제공된다. 따라서, 단자부에는 전원 공급선과 전기적으로 접속되는 제5 단자가 제공된다.
- [0093] 본 실시예에 따르면, 광전류가 적고, 기생 캐패시턴스가 작으며, 온-오프비가 높은 박막 트랜지스터를 얻을 수 있으며, 양호한 동작 특성을 갖는 박막 트랜지스터를 제조할 수 있다. 따라서, 우수한 전기적 특성과 높은 신뢰성을 갖는 박막 트랜지스터를 포함하는 반도체 장치가 제공될 수 있다.
- [0094] (실시예 2)
- [0095] 본 실시예는, 실시예 1의 박막 트랜지스터에 있어 소스 영역 및 드레인 영역을 소스 전극층 및 드레인 전극층의 상하에 형성하는 예이다. 실시예 1과 다른 구조를 갖는 박막 트랜지스터 및 그 제조 공정에 대해, 도 9a 내지 9c 및 도 10a 내지 10c를 참조하여 설명한다.
- [0096] 본 실시예는, 실시예 1과 일부만 다르기 때문에, 도 1a 내지 1c, 도 2a 내지 2c, 도 3 내지 6, 도 7a 내지 7d 및 도 8과 동일한 부분에는 동일한 부호를 사용하고 동일한 공정의 반복 설명은 생략하여, 이하에 설명한다.
- [0097] 우선, 실시예 1과 유사하게, 기관(100) 위에 도전층을 형성한 후, 제1 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 배선 및 전극(게이트 전극(101)을 포함하는 게이트

배선, 캐패시터 배선(108) 및 제1 단자(121))을 형성한다. 이 단계에서의 단면도가 도 9a이고, 도 9a는 도 1a와 동일하다. 따라서 도 3의 상면도는 도 9a와 대응한다.

[0098] 이어서, 실시예 1과 유사하게, 게이트 전극(101) 위에 게이트 절연층(102)을 전면에 형성한다. 게이트 절연층(102)은 스퍼터링법 등에 의해 50~250nm의 막 두께로 형성된다. 예를 들어, 게이트 절연층(102)은 스퍼터링법에 의해 산화 실리콘막을 사용하여 110nm의 두께로 형성된다.

[0099] 다음으로, 게이트 절연층(102) 위에 제1 산화물 반도체막(본 실시예에서는 제1 IGZO막)을 스퍼터링법으로 성막한다. 본 실시예에서는, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ 인 타겟을 사용하고, 성막조건은, 압력을 0.4Pa, 전력을 500W, 성막온도를 실온, 아르곤 가스 유량을 40sccm 도입하여 스퍼터 성막을 행한다. $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ 인 타겟을 의도적으로 사용하고 있음에도 불구하고, 성막 직후에 크기 1nm~10nm의 결정립을 포함하는 IGZO막이 형성되는 경우가 있다. 또한, 타겟의 성분비, 성막압력(0.1Pa~2.0Pa), 전력(250W~3000W: 8인치Φ), 온도(실온~100℃), 반응성 스퍼터의 성막조건 등을 적절히 조절함으로써 결정립의 유무 또는 결정립의 밀도가 조절되고, 직경의 크기는 1nm~10nm의 범위에서 조절된다고 할 수 있다. 제1 IGZO막은 5nm~20nm의 막 두께를 갖는다. 물론, 막 내에 결정립이 포함되는 경우, 포함되는 결정립의 크기가 막 두께를 초과하지 않는다. 본 실시예에 있어 제1 IGZO막의 막 두께는 5nm이다.

[0100] 이어서, 스퍼터링법이나 진공 증착법에 의해 제1 IGZO막 위에 금속 재료로 이루어지는 도전막을 형성한다. 도전막의 재료로서는, Al, Cr, Ta, Ti, Mo, 및 W로부터 선택된 원소, 상술한 원소를 구성요소로 포함하는 합금, 상술한 원소를 조합한 합금 등을 들 수 있다. 본 실시예에서, 도전막은, Ti막이 형성되고, 그 Ti막 위에 알루미늄(Al)막이 적층되고, 또한 그 위에 Ti막이 더 형성된 3층 구조를 갖는다. 대안적으로, 도전막은, 2층 구조를 가질 수 있고, 알루미늄 막 위에 티타늄 막이 적층될 수 있다. 또한 대안적으로, 도전막은, 실리콘을 포함하는 알루미늄 막의 단층 구조나, 티타늄 막의 단층 구조를 가질 수 있다.

[0101] 이어서, 스퍼터링법으로 도전막 위에 제2 산화물 반도체막(본 실시예에서는 제2 IGZO막)을 성막한다. 이러한 제2 IGZO막은, 제1 IGZO막과 같은 성막 조건 하에서 형성될 수 있다. 제2 IGZO막으로서, 성막 직후에 크기 1nm 내지 10nm의 결정입자(crystal grain)를 포함할 수 있는 IGZO막을 사용한다. 제2 IGZO막은 5nm 내지 20nm의 두께를 갖는다. 본 실시예에서는 제2 IGZO막의 두께는 5nm이다.

[0102] 게이트 절연층, 제1 IGZO막, 도전막 및 제2 IGZO막은, 스퍼터링법을 사용하여 챔버에 도입될 가스 또는 설치할 타겟을 적절히 전환함으로써 대기에 노출되지 않고 연속적으로 성막될 수 있다. 대기에 노출되지 않고 연속 성막하면, 불순물의 혼입을 방지할 수 있다. 대기에 노출되지 않고 연속 성막하는 경우, 바람직하게는 멀티 챔버 제조 장치를 사용한다.

[0103] 이어서, 제2 포토리소그래피 단계를 행하여, 제2 IGZO막 위에 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여, 제1 소스 영역(106a)과 제1 드레인 영역(106b), 소스 전극층(105a)과 드레인 전극층(105b), 및 제2 IGZO막으로 이루어진 IGZO층(111a 및 111b)을 형성한다. 이 경우의 에칭 방법으로서, 습식 에칭 또는 건식 에칭을 사용한다. 여기에서, ITO-07N (칸토 케미칼(KANTO CHEMICAL Co., INC.) 제조)을 사용한 습식 에칭에 의해, IGZO 층(111a 및 111b)을 형성한 후, SiCl_4 , Cl_2 , 및 BCl_3 의 혼합 가스를 반응 가스로 사용한 건식 에칭에 의해, Ti막, Al막, 및 Ti막을 순차 적층한 도전막을 에칭하여 소스 전극층(105a) 및 드레인 전극층(105b)을 형성한다. 그 후, 동일한 레지스트 마스크를 사용하여, ITO-07N (칸토 케미칼 제조)을 사용한 습식 에칭에 의해, 제1 소스 영역(106a) 및 제1 드레인 영역(106b)을 형성한다. 이 단계에서의 단면도를 도 9b에 도시한다. 이 단계에서의 상면도는 도 4에 해당한다.

[0104] 캐패시터부에 있어서는, 캐패시터 배선(108)과 중첩하는 제1 IGZO막 및 제2 IGZO막의 일부가 제거된다. 단자부에 있어서는, 제2 IGZO막의 일부인 IGZO 층(123)이 제2 단자(122)위에 잔존한다. 또한, 제2 단자(122)의 아래에 위치하고, 제2 단자와 중첩하는 제1 IGZO 막의 일부인 IGZO 층(130)이 잔존한다.

[0105] 이어서, 레지스트 마스크를 제거한 후, 플라즈마 처리를 행한다. 이 단계에서의 단면도를 도 9c에 도시한다. 본 실시예에서는, 산소 가스와 아르곤 가스를 도입해서 플라즈마를 발생시키는 역 스퍼터링(reverse sputtering)을 행하고, 게이트 절연층의 노출된 부분에는 산소 라디칼 또는 산소를 조사(照射)한다. 따라서, 표면에 부착된 먼지가 제거되고, 또한, 게이트 절연층의 표면을 산소 과잉 영역으로 개질(改質)한다. 게이트 절연층의 표면에 행하여 표면을 산소 과잉 영역으로 바꾸는 산소 라디칼 처리는, 이후의 공정에서의 신뢰성 향상을 위한 열처리(200℃ 내지 600℃) 중에 IGZO 반도체층의 계면의 개질을 위한 산소의 공급원을 형성함에 있어

서 효과적이다.

- [0106] 소스 전극층(105a) 및 드레인 전극층(105b) 위에는 IGZO 층(111a 및 111b)이 제공되기 때문에, 플라즈마 손상이 저감된다. 또한, IGZO 층(111a 및 111b) 제공되기 때문에, 소스 전극층(105a) 및 드레인 전극층(105b)의 산화로 인한 배선 저항의 증가를 억제할 수 있다.
- [0107] 플라즈마 처리의 조건하에서는, 소스 전극층(105a) 및 드레인 전극층(105b)의 노출된 측면들 위에 산화막 (도시하지 않음)이 형성되지만, 본 구조에 있어서는, 소스 전극층(105a) 및 드레인 전극층(105b)이 채널 형성 영역과 직접 접촉하지 않기 때문에, 문제를 일으키지 않는다고 말할 수 있다. 대신, 이러한 산화막은, 채널 형성 영역과 소스 전극층(105a) 및 드레인 전극층(105b)이, 그 사이에 소스 영역 및 드레인 영역을 두고 접하는 구조를 가능하게 한다.
- [0108] 이어서, 플라즈마 처리 후, 대기에 노출되지 않고 제3 산화물 반도체막(본 실시예에서는 제3 IGZO막)이 형성된다. 플라즈마 처리 후, 대기에 노출되지 않고 제3 IGZO막을 형성하는 것은, 게이트 절연층과 반도체막 간의 계면에 먼지나 수분이 부착되지 않도록 한다는 점에서 효과적이다. 본 실시예에서는, 직경이 8인치이고 In, Ga 및 Zn을 포함하는 산화물 반도체 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$)을 사용하는 아르곤 또는 산소 분위기, 기판과 타겟 간의 거리가 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW에서 제3 IGZO 막이 형성된다. 펄스 직류(DC) 전원을 사용하면, 먼지를 저감할 수 있고, 두께 분포도 균일해질 수 있기 때문에 바람직하다. 제3 IGZO 막의 막 두께는 5nm 내지 200nm이다. 본 실시예에서는 제3 IGZO 막의 두께는 100nm이다.
- [0109] 제1 및 제2 IGZO 막의 성막 조건과 상이한 성막 조건 하에서 제3 IGZO 막을 성막함으로써, 제3 IGZO 막은 제1 및 제2 IGZO 막의 산소 농도보다 높은 농도의 산소를 포함하여 이루어진다. 예를 들어, 제1 및 제2 IGZO 막의 성막 조건에서의 아르곤 가스 유량(flow rate)에 대한 산소 가스 유량의 비보다 높은 산소 가스 유량의 비가 되는 조건 하에서 제3 IGZO 막을 형성한다.
- [0110] 구체적으로는, 제1 및 제2 IGZO 막은, 희(稀)가스(아르곤 또는 헬륨 등) 분위기 하(또는 산소 가스 10%이하 및 아르곤 가스 90% 이상)에서 형성되며, 제3 IGZO 막은, 산소 분위기 하(또는 아르곤 가스 유량 대 산소 가스 유량이 1:1 또는 그 이상)에서 형성된다.
- [0111] 제3 IGZO 막이 더 많은 양의 산소를 포함하도록 함으로써, 제1 및 제2 IGZO 막보다도 도전율을 낮게 할 수 있다. 또한, 제3 IGZO 막이 더 많은 양의 산소를 포함하도록 함으로써, 오프 전류가 저감될 수 있으며, 따라서, 온-오프비가 높은 박막 트랜지스터를 얻을 수 있다.
- [0112] 제3 IGZO막은, 역 스퍼터링을 행한 챔버와 동일한 챔버에서 성막할 수 있으며, 또는 대기에 노출되지 않고 성막할 수만 있다면, 역 스퍼터링을 행한 챔버와 다른 챔버에서 성막할 수도 있다.
- [0113] 이어서, 200℃ 내지 600℃, 일반적으로는 300℃ 내지 500℃에서 열처리를 행하는 것이 바람직하다. 본 실시예에서는, 로(爐)에 넣어, 질소 분위기 하에서 350℃로 1시간 동안 열처리를 행한다. 이 열처리를 통해, IGZO 막에서 원자 레벨의 재배열이 일어난다. 열처리에 의해 캐리어의 이동을 저해하는 변형 에너지(strain energy)가 완화되기 때문에, 열처리(광 어닐 포함)는 중요하다. 열처리 타이밍은, 제3 IGZO 막의 성막 후라면 특별히 한정되지 않으며, 예를 들어 화소 전극 형성 후에 행할 수 있다.
- [0114] 이어서, 제3 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 IGZO 반도체층(103)을 형성한다. 상술한 공정을 통해, IGZO 반도체층(103)을 채널 형성 영역으로서 포함하는 박막 트랜지스터(171)를 제조할 수 있다. 이 단계에서의 단면도를 도10a에 도시한다. 이 단계에서의 상면도는 도 5에 해당한다. 본 실시예에서는 ITO-07N (칸토 케미칼)을 사용한 습식 에칭에 의해, 제3 IGZO 막을 제거하여 IGZO 반도체층(103)을 형성한다. 제1 IGZO 막, 제2 IGZO 막 및 제3 IGZO 막에는 동일한 부식제를 사용하기 때문에, 이 에칭에 의해, 제1 IGZO 막의 일부 및 제2 IGZO 막의 일부가 제거된다. 제3 IGZO 막으로 덮이는 제2 IGZO 막의 나머지 부분들은, 각각 제2 소스 영역(104a) 및 제2 드레인 영역(104b)이 된다. 제3 IGZO 막으로 덮인 제1 IGZO 막의 측면은 보호되지만, 도 10a에 도시한 바와 같이, 제1 IGZO 막의 다른 쪽의 측면이 노출되어 약간 에칭되며, 단부면의 형상이 변한다. IGZO 반도체층(103)의 에칭은 습식 에칭에 한정되지 않으며, 건식 에칭일 수도 있다.
- [0115] 또한, 여기서의 에칭에 의해, 단자부에 있어서는, 제2 단자(122)위에 제공되고 제2 IGZO 막으로부터 형성된 IGZO 층(123)이 제거된다.
- [0116] 이어서, 실시예 1과 비슷한 방법으로, 보호 절연막(107)을 형성하여 IGZO 반도체층을 덮는다. 이후의 공정은,

실시에 1과 유사하기 때문에, 여기서는 간략히 설명한다.

- [0117] 보호 절연막(107)을 형성한 후, 제4 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 보호 절연막(107)을 에칭하여 콘택트 홀(125, 126, 및 127)을 형성한다. 이 단계에서의 단면도를 도 10b에 도시한다.
- [0118] 그 다음, 레지스트 마스크를 제거한 후, 투명 도전막을 성막한다. 이어서, 제5 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극(110)을 형성하고, 단자부에 투명 도전막(128 및 129)을 남긴다. 그 다음, 레지스트 마스크를 제거하며, 이 단계에서의 단면도를 도 10c에 도시한다. 이 단계에서의 상면도는 도 6에 해당한다. 이러한 5단계의 포토리소그래피 공정에 의해, 5장의 포토 마스크를 사용하여, 보텀 게이트형의 n-채널형 박막 트랜지스터인 박막 트랜지스터(171)를 갖는 화소 박막 트랜지스터부, 및 저장 캐패시터를 완성할 수 있다.
- [0119] 본 실시예에서 기술된 n-채널형 박막 트랜지스터(171)에서는, 복수의 소스 영역 및 복수의 드레인 영역이 제공되고, 온 전류가 실시예 1에 비해 증가할 수 있다.
- [0120] 본 실시예에서 기술된 박막 트랜지스터는, 소스 영역 또는 드레인 영역(In, Ga 및 Zn을 포함하는 산소결핍 산화물 반도체층)을 포함하며, 게이트 전극층, 게이트 절연층, 소스 영역과 드레인 영역(In, Ga 및 Zn을 포함하는 산소결핍 산화물 반도체층), 소스 및 드레인 전극층, 및 반도체층(In, Ga 및 Zn을 포함하는 산소 과잉 산화물 반도체층)이 적층되는 구조를 갖는다. 따라서, 게이트 전극층과 소스 및 드레인 전극층 간의 거리가 멀어지기 때문에, 반도체층의 두께가 얇다 하더라도 기생 캐패시턴스를 억제할 수 있다.
- [0121] 본 실시예는 실시예 1과 자유롭게 조합할 수 있다.
- [0122] (실시예 3)
- [0123] 본 실시예에서는, 본 발명의 반도체 장치의 일례인 표시 장치에 있어서, 동일한 기판 위에 적어도 구동 회로의 일부와, 화소부에 배치하는 박막 트랜지스터를 형성하는 예에 대해서 이하로 설명한다.
- [0124] 화소부에 배치하는 박막 트랜지스터는, 실시예 1 또는 실시예 2에 따라 형성된다. 또한, 실시예 1 또는 실시예 2에 기술된 박막 트랜지스터는 n-채널형 TFT이기 때문에, 구동 회로 중, n-채널형 TFT를 포함할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일한 기판 위에 형성한다.
- [0125] 도 12a는 본 발명의 반도체 장치의 일례인 액티브 매트릭스 형 액정 표시 장치의 블록도의 일례를 도시한다. 도 12a에 도시한 표시 장치는, 기판(5300) 위에, 표시 소자를 각각 구비한 복수의 화소를 포함하는 화소부(5301)와, 화소를 선택하는 주사선 구동 회로(5302)와, 선택된 화소로의 비디오 신호 입력을 제어하는 신호선 구동 회로(5303)를 포함한다.
- [0126] 화소부(5301)는, 신호선 구동 회로(5303)로부터 열 방향으로 신장하는 복수의 신호선(S1 내지 Sm) (도시하지 않음)에 의해 신호선 구동 회로(5303)와 접속되고, 주사선 구동 회로(5302)로부터 행 방향으로 신장하는 복수의 주사선(G1 내지 Gn) (도시하지 않음)에 의해 주사선 구동 회로(5302)에 접속된다. 화소부(5301)는, 신호선(S1 내지 Sm) 및 주사선(G1 내지 Gn)에 대응하도록, 매트릭스 형상으로 배치된 복수의 화소(도시하지 않음)를 포함한다. 각 화소는 신호선(Sj) (신호선S1 내지 Sm 중 어느 하나) 및 주사선(Gj)(주사선G1 내지 Gn 중 어느 하나)과 접속된다.
- [0127] 또한, 실시예 1 또는 2에 기술된 박막 트랜지스터는, n-채널형 TFT이며, n-채널형 TFT를 포함하는 신호선 구동 회로에 대해서 도 13을 참조하여 설명한다.
- [0128] 도 13에 도시된 신호선 구동 회로는, 드라이버 IC(5601), 스위치 그룹(5602_1 내지 5602_M), 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선(5621_1 내지 5621_M)을 포함한다. 스위치 그룹(5602_1 내지 5602_M) 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 포함한다.
- [0129] 드라이버 IC(5601)는 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선(5621_1 내지 5621_M)에 접속된다. 스위치 그룹(5602_1 내지 5602_M) 각각은, 제1 배선(5611), 제2 배선(5612), 및 제3 배선(5613)에 접속되고, 배선(5621_1 내지 5621_M)은 스위치 그룹(5602_1 내지 5602_M)에 각각 접속된다. 배선(5621_1 내지 5621_M) 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통해 3개의 신호선에 접속된다. 예를 들어, J열째의 배선(5621_J) (배선 5621_1 내지 5621_M 중 어느 하나)은, 스위치 그룹(5602_J)에 포함되는 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지

스터(5603c)를 통해 신호선(Sj-1), 신호선(Sj), 및 신호선(Sj+1)에 접속된다.

- [0130] 제1 배선(5611), 제2 배선(5612), 및 제3 배선(5613) 각각에는, 신호가 입력된다.
- [0131] 드라이버 IC(5601)는 단결정 기판 위에 형성되는 것이 바람직하다. 스위치 군(5602_1 내지 5602_M)은 화소부와 동일한 기판 위에 형성되는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치 그룹(5602_1 내지 5602_M)은 FPC 등을 통하여 접속되는 것이 바람직하다.
- [0132] 이어서, 도 13에 도시한 신호선 구동 회로의 동작을 도 14의 타이밍 차트를 참조하여 설명한다. 도 14의 타이밍 차트는, i행째의 주사선(Gi)이 선택되는 경우를 도시하고 있다. i행째의 주사선(Gi)의 선택 기간은, 제1 서브 선택 기간(T1), 제2 서브 선택 기간(T2) 및 제3 서브 선택 기간(T3)으로 분할된다. 또한, 도 13의 신호선 구동 회로는, 다른행의 주사선이 선택되는 경우에도 도 14와 유사하게 동작한다.
- [0133] 도 14의 타이밍 차트는, J열째의 배선(5621_J)이 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통해, 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속되는 경우를 나타내고 있다.
- [0134] 도 14의 타이밍 차트는, i행째의 주사선(Gi)가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5703a), 제2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5703b), 제3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5703c), 및 J열째의 배선(5621_J)에 입력되는 신호(5721_J)를 나타내고 있다.
- [0135] 제1 서브 선택 기간(T1), 제2 서브 선택 기간(T2), 및 제3 서브 선택 기간(T3)에 있어서, 배선(5621_1) 내지 배선(5621_M)에는 상이한 비디오 신호들이 입력된다. 예를 들어, 제1 서브 선택 기간(T1)에 있어서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj-1)에 입력되며, 제2 서브 선택 기간(T2)에 있어서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj)에 입력되고, 제3 서브 선택 기간(T3)에 있어서, 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj+1)에 입력된다. 또한, 제1 서브 선택 기간(T1), 제2 서브 선택 기간(T2) 및 제3 서브 선택 기간(T3)에 있어서, 배선(5621_J)에 입력되는 비디오 신호를 각각 Data_j-1, Data_j, Data_j+1로 나타낸다.
- [0136] 도 14에 도시한 바와 같이, 제1 서브 선택 기간(T1)에는, 제1 박막 트랜지스터(5603a)가 턴온(turn on) 되고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)는 턴오프(turn off) 된다. 이때, 배선(5621_J)에 입력되는(Data_j-1)이, 제1 박막 트랜지스터(5603a)를 통해서 신호선(Sj-1)에 입력된다. 제2 서브 선택 기간(T2)에는, 제2 박막 트랜지스터(5603b)가 턴온 되고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 턴오프 된다. 이때, 배선(5621_J)에 입력되는 Data_j가, 제2 박막 트랜지스터(5603b)를 통해서 신호선(Sj)에 입력된다. 제3 서브 선택 기간(T3)에는, 제3 박막 트랜지스터(5603c)가 턴온 되고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 턴오프 된다. 이때, 배선(5621_J)에 입력되는 Data_j+1이, 제3 박막 트랜지스터(5603c)를 통해서 신호선(Sj+1)에 입력된다.
- [0137] 전술한 바와 같이, 도 13의 신호선 구동 회로는, 한개의 게이트 선택 기간을 세개로 분할함으로써, 한개의 게이트 선택 기간에 한개의 배선(5621)으로부터 세개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 13의 신호선 구동 회로에서는, 드라이버 IC(5601)이 제공되는 기판과 화소부가 제공되는 기판 간의 접속 개수는, 신호선의 수의 약 1/3이 될 수 있다. 접속 개수가 신호선의 수의 약 1/3로 저감돼서, 도 13의 신호선 구동 회로의 신뢰성, 수율 등이 향상될 수 있다.
- [0138] 도 13에 도시된 바와 같이, 한개의 게이트 선택 기간이 복수의 서브 선택 기간으로 분할되고, 복수의 서브 선택 기간 각각에 있어서, 한개의 배선으로부터 복수의 신호선에 비디오 신호가 입력되지만 한다면, 박막 트랜지스터의 배치, 개수, 구동 방법 등은 특별히 한정되지 않는다.
- [0139] 예를 들어, 세개 이상의 서브 선택 기간 각각에 있어서 한개의 배선으로부터 세개 이상의 신호선에 비디오 신호를 입력하는 경우, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가하는 것만이 필요하다. 한개의 게이트 선택 기간을 네개 이상의 서브 선택 기간으로 분할하면, 한개의 서브 선택 기간이 짧아진다. 따라서, 한개의 게이트 선택 기간은 두개 또는 세개의 서브 선택 기간으로 분할되는 것이 바람직하다.
- [0140] 다른 예로서, 도 15의 타이밍 차트에 도시한 바와 같이, 한개의 게이트 선택 기간이, 프리차지(precharge) 기간(Tp), 제1 서브 선택 기간(T1), 제2 서브 선택 기간(T2), 및 제3 서브 선택 기간(T3)으로 분할될 수 있다. 도 15의 타이밍 차트는, i행째의 주사선(Gi)가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5803a), 제2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5803b), 제3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5803c)을 나타내고 있다.

이밍(5803c) 및 J열째의 배선(5621_J)에 입력되는 신호(5821_J)를 도시하고 있다. 도 15에 도시한 바와 같이, 프리차지 기간(T_p)에 있어서 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 턴온 된다. 이때, 배선(5621_J)에 입력되는 프리차지 전압(V_p)이, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 통해서, 신호선(S_{j-1}), 신호선(S_j), 및 신호선(S_{j+1}) 각각에 입력된다. 제1 서브 선택 기간(T_1)에 있어서, 제1 박막 트랜지스터(5603a)가 턴온 되고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)는 턴오프 된다. 이때, 배선(5621_J)에 입력되는 $Data_j-1$ 이, 제1 박막 트랜지스터(5603a)를 통해서 신호선(S_{j-1})에 입력된다. 제2 서브 선택 기간(T_2)에는, 제2 박막 트랜지스터(5603b)가 턴온 되고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 턴오프 된다. 이때, 배선(5621_J)에 입력되는 $Data_j$ 가, 제2 박막 트랜지스터(5603b)를 통해서 신호선(S_j)에 입력된다. 제3 서브 선택 기간(T_3)에는, 제3 박막 트랜지스터(5603c)가 턴온 되고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 턴오프 된다. 이때, 배선(5621_J)에 입력되는 $Data_j+1$ 이, 제3 박막 트랜지스터(5603c)를 통해 신호선(S_{j+1})에 입력된다.

- [0141] 전술한 바와 같이, 도 15의 타이밍 차트를 적용한 도 13의 신호선 구동 회로에서는, 서브 선택 기간 전에 프리차지 선택 기간을 제공함으로써, 신호선이 프리차지 될 수 있기 때문에, 높은 속도로 화소에 비디오 신호를 기록할 수 있다. 도 15 중 도 14와 유사한 부분은, 공통인 부호로 나타내고, 동일 부분 및 유사한 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0142] 또한, 주사선 구동 회로의 구조를 설명한다. 주사선 구동 회로는 시프트 레지스터(shift register) 및 버퍼를 포함한다. 추가적으로, 몇몇 경우에는, 주사선 구동 회로는 레벨 시프터(level shifter)를 포함할 수 있다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력되면, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 버퍼링되고(buffered) 증폭되며, 그 결과 신호(resulting signal)는 대응하는 주사선에 공급된다. 주사선에는, 1 라인 분의 화소의 트랜지스터의 게이트 전극이 접속된다. 그리고, 1 라인 분의 화소의 트랜지스터를 동시에 턴온 해야 하므로, 큰 전류를 공급할 수 있는 버퍼를 사용한다.
- [0143] 주사선 구동 회로의 일부에 사용하는 시프트 레지스터의 일 형태에 대해서 도 16 및 도 17을 참조하여 설명한다.
- [0144] 도 16은 시프트 레지스터의 회로 구성을 도시한다. 도 16에 도시된 시프트 레지스터는, 복수의 플립플롭(flip-flop)(5701_1 내지 5701_n)을 포함한다. 제1 클럭 신호, 제2 클럭 신호, 스타트 펄스 신호, 및 리셋 신호가 입력되어 동작한다.
- [0145] 도 16의 시프트 레지스터의 접속 관계에 대해서 설명한다. 도 16의 시프트 레지스터의 i단째의 플립플롭(5701_i) (플립플롭(5701_1 내지 5701_n) 중 하나)에서는, 도 17에 도시한 제1 배선(5501)이 제7 배선(5717_i-1)에 접속되고, 도 17에 도시한 제2 배선(5502)이 제7 배선(5717_i+1)에 접속되고, 도 17에 도시한 제3 배선(5503)이 제7 배선(5717_i)에 접속되고, 도 17에 도시한 제6 배선(5506)이 제5 배선(5715)에 접속된다.
- [0146] 또한, 홀수단째의 플립플롭에서는, 도 17에 도시한 제4 배선(5504)이 제2 배선(5712)에 접속되고, 짝수단째의 플립플롭에서는, 제3 배선(5713)에 접속된다. 도 17에 도시한 제5 배선(5505)은 제4 배선(5714)에 접속된다.
- [0147] 도 17에 도시한, 첫번째 단의 플립플롭(5701_1)의 제1 배선(5501)은 제1 배선(5711)에 접속된다. 또한, 도 17에 도시한, n번째 단의 플립플롭(5701_n)의 제2 배선(5502)은 제6 배선(5716)에 접속된다.
- [0148] 제1 배선(5711), 제2 배선(5712), 제3 배선(5713), 및 제6 배선(5716)은, 각각 제1 신호선, 제2 신호선, 제3 신호선, 및 제4 신호선이라 부를 수 있다. 제4 배선(5714) 및 제5 배선(5715)은, 각각 제1 전원선 및 제2 전원선이라 부를 수 있다.
- [0149] 이어서, 도 16에 도시하는 플립플롭 상세사항을 도 17에 도시한다. 도 17에 도시한 플립플롭은, 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578)를 포함한다. 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578) 각각은, n-채널형 트랜지스터이며, 게이트-소스 간 전압(V_{gs})이 임계값 전압(V_{th})을 초과할

때 턴온 된다.

- [0150] 이어서, 도 16에 도시한 플립플롭의 접속을 이하에 설명한다.
- [0151] 제1 박막 트랜지스터(5571)의 제1 전극(소스 전극 및 드레인 전극 중 하나)이 제4 배선(5504)에 접속된다. 제1 박막 트랜지스터(5571)의 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)이 제3 배선(5503)에 접속된다.
- [0152] 제2 박막 트랜지스터(5572)의 제1 전극이 제6 배선(5506)에 접속된다. 제2 박막 트랜지스터(5572)의 제2 전극이 제3 배선(5503)에 접속된다.
- [0153] 제3 박막 트랜지스터(5573)의 제1 전극이 제5 배선(5505)에 접속된다. 제3 박막 트랜지스터(5573)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제3 박막 트랜지스터(5573)의 게이트 전극이 제5 배선(5505)에 접속된다.
- [0154] 제4 박막 트랜지스터(5574)의 제1 전극이 제6 배선(5506)에 접속된다. 제4 박막 트랜지스터(5574)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제4 박막 트랜지스터(5574)의 게이트 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0155] 제5 박막 트랜지스터(5575)의 제1 전극이 제5 배선(5505)에 접속된다. 제5 박막 트랜지스터(5575)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제5 박막 트랜지스터(5575)의 게이트 전극이 제1 배선(5501)에 접속된다.
- [0156] 제6 박막 트랜지스터(5576)의 제1 전극이 제6 배선(5506)에 접속된다. 제6 박막 트랜지스터(5576)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제6 박막 트랜지스터(5576)의 게이트 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0157] 제7 박막 트랜지스터(5577)의 제1 전극이 제6 배선(5506)에 접속된다. 제7 박막 트랜지스터(5577)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제7 박막 트랜지스터(5577)의 게이트 전극이 제2 배선(5502)에 접속된다. 제8 박막 트랜지스터(5578)의 제1 전극이 제6 배선(5506)에 접속된다. 제8 박막 트랜지스터(5578)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제8 박막 트랜지스터(5578)의 게이트 전극이 제1 배선(5501)에 접속된다.
- [0158] 제1 박막 트랜지스터(5571)의 게이트 전극, 제4 박막 트랜지스터(5574)의 게이트 전극, 제5 박막 트랜지스터(5575)의 제2 전극, 제6 박막 트랜지스터(5576)의 제2 전극 및 제7 박막 트랜지스터(5577)의 제2 전극이 접속하는 지점을 각각 노드(5543)라 칭한다. 제2 박막 트랜지스터(5572)의 게이트 전극, 제3 박막 트랜지스터(5573)의 제2 전극, 제4 박막 트랜지스터(5574)의 제2 전극, 제6 박막 트랜지스터(5576)의 게이트 전극 및 제8 박막 트랜지스터(5578)의 제2 전극이 접속하는 지점을 각각 노드(5544)라 칭한다.
- [0159] 제1 배선(5501), 제2 배선(5502), 제3 배선(5503) 및 제4 배선(5504)을, 각각 제1 신호선, 제2 신호선, 제3 신호선, 및 제4 신호선이라 칭할 수 있다. 제5 배선(5505) 및 제6 배선(5506)을 각각 제1 전원선 및 제2 전원선이라 칭할 수 있다.
- [0160] 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시예 1 또는 2에 기술된 n-채널형 TFT만을 사용하여 만들 수 있다. 실시예 1 또는 2에 기술된 n-채널형 TFT는 높은 이동도(mobility)를 갖기 때문에, 구동 회로의 구동 주파수가 증가할 수 있다. 또한, 인듐, 갈륨 및 아연을 포함하는 산소결핍 산화물 반도체층인 소스 또는 드레인 영역에 의해 기생 용량이 저감되기 때문에, 실시예 1 또는 2에 기술된 n-채널형 TFT는 높은 주파수 특성(f 특성이라고 불린다)을 갖는다. 예를 들어, 실시예 1 또는 2에 기술된 n-채널형 TFT를 사용한 주사선 구동 회로는, 고속으로 동작할 수 있기 때문에, 프레임 주파수가 증가할 수 있으며, 검은색 이미지의 삽입을 실현할 수 있다.
- [0161] 또한, 주사선 구동 회로의 트랜지스터의 채널 폭이 증가하거나, 복수의 주사선 구동 회로가 제공되면, 예컨대, 더 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동 회로가 제공되는 경우, 짝수행의 주사선을 구동하기 위한 주사선 구동 회로가 한측에 제공되고, 홀수행의 주사선을 구동하기 위한 주사선 구동 회로가 그 반대측에 제공되며, 따라서 프레임 주파수의 증가를 실현할 수 있다.
- [0162] 또한, 본 발명의 반도체 장치의 일례인 액티브 매트릭스형 발광 표시 장치를 제조할 경우, 적어도 한개의 화소에 복수의 박막 트랜지스터를 배치하기 때문에, 복수의 주사선 구동 회로를 배치하는 것이 바람직하다. 도 12b는 액티브 매트릭스형 발광 표시 장치의 일례를 도시한 블록도이다.

- [0163] 도 12b에 도시한 발광 표시 장치는, 기관(5400) 위에, 표시 소자를 각각 구비한 복수의 화소를 갖는 화소부(5401), 화소를 선택하는 제1 주사선 구동 회로(5402)와 제2 주사선 구동 회로(5404), 및 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 포함한다.
- [0164] 도 12b에 도시한 발광 표시 장치의 화소에 입력되는 비디오 신호가 디지털 신호인 경우, 화소는 트랜지스터의 온/오프의 전환에 의해, 발광 상태 또는 비발광의 상태가 된다. 따라서, 면적 계조법(area ratio grayscale method) 또는 시간 계조법(time ratio grayscale method)을 사용해서 계조가 표시될 수 있다. 면적 계조법은, 한개의 화소를 복수의 부화소(subpixel)로 분할하고, 각각의 부화소를 비디오 신호에 기초하여 독립적으로 구동 시킴으로써 계조가 표시되도록 하는 구동 방법을 말한다. 시간 계조법은, 화소가 발광 상태에 있는 기간을 제어함으로써 계조가 표시되도록 하는 구동 방법을 말한다.
- [0165] 발광 소자는 액정 소자 등에 비하여 응답 속도가 높으므로, 액정 표시 소자보다 발광 소자가 시간 계조법에 더 적합하다. 구체적으로, 시간 계조법에서 표시를 행하는 경우, 한개의 프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그 다음, 비디오 신호에 따라, 각 서브 프레임 기간 동안에 화소 내의 발광 소자를 발광 상태 또는 비발광 상태로 한다. 한개의 프레임을 복수의 서브 프레임으로 분할함으로써, 한개의 프레임 기간 중에 화소가 실제로 발광하는 시간의 총 길이가 비디오 신호에 의해 제어될 수 있고, 이에 따라 계조를 표시할 수 있다.
- [0166] 도 12b에 도시한 발광 표시 장치의 예에서는, 한개의 화소에 스위칭용 TFT와 전류 제어용 TFT로 두개의 TFT를 배치하는 경우, 스위칭용 TFT의 게이트 배선인 제1 주사선에 입력되는 신호를 제1 주사선 구동 회로(5402)가 생성하고, 전류 제어용 TFT의 게이트 배선인 제2 주사선에 입력되는 신호를 제2 주사선 구동 회로(5404)가 생성하지만, 제1 주사선에 입력되는 신호와 제2 주사선에 입력되는 신호 모두를 한개의 주사선 구동 회로가 생성할 수 있다. 또한, 예를 들어, 스위칭 소자에 포함되는 트랜지스터의 수에 따라, 스위칭 소자의 동작을 제어하기 위해 사용되는 복수의 제1 주사선이 각 화소에 제공될 수 있다. 이 경우, 복수의 제1 주사선에 입력되는 모든 신호를 한개의 주사선 구동 회로가 생성할 수 있고, 또는 복수의 제1 주사선에 입력되는 신호를 복수의 주사선 구동 회로가 생성할 수도 있다.
- [0167] 또한, 발광 표시 장치에 있어서도, 구동 회로 중 n-채널형 TFT를 포함할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일한 기관 위에 형성할 수 있다. 대안적으로, 신호선 구동 회로 및 주사선 구동 회로를 실시예 1 또는 2에 기술된 n-채널형 TFT만을 사용하여 형성할 수도 있다.
- [0168] 또한, 전술한 구동 회로는, 액정 표시 장치나 발광 표시 장치에 적용하는 것에 한정하지 않고, 스위칭 소자와 전기적으로 접속하는 소자를 이용해서 전자 잉크를 구동시키는 전자 페이퍼에 사용될 수 있다. 전자 페이퍼는, 전기 영동(electrophoretic) 표시 장치(전기 영동 디스플레이)라고도 불리며, 종이와 같은 수준의 가독성을 가지고, 다른 표시 장치에 비해 저소비전력을 가지며, 얇고 가볍게 제조될 수 있다는 점에서 이점을 갖고 있다.
- [0169] 전기 영동 디스플레이는 여러가지 형태를 가질 수 있다. 전기 영동 디스플레이는 용매 또는 용질에 분산된 복수의 마이크로 캡슐을 포함하며, 각각의 마이크로 캡슐은 양전하인 제1 입자와 음전하인 제2 입자를 포함한다. 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 내의 입자를 서로 반대 방향으로 이동시켜서 한측에 집합한 입자의 색만을 표시한다. 제1 입자 및 제2 입자는 각각 염료를 포함하고, 전계가 없으면 이동하지 않는다. 또한, 제1 입자의 색과 제2 입자의 색은 상이하다(무색(colorless 또는 achroma)을 포함함).
- [0170] 이와 같이, 전기 영동 디스플레이는, 높은 유전 상수를 갖는 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적(dielectrophoretic) 효과를 이용한 디스플레이이다. 액정 표시 장치에 필요한 편광판 및 대향 기관도 전기 영동 표시 장치에는 필요하지 않으며, 전기 영동 표시 장치의 두께 및 무게는 모두 액정 표시 장치의 두께 및 무게의 1/2이 될 수 있다.
- [0171] 전술한 마이크로 캡슐을 용매 중에 분산시킨 용액을 전자 잉크라고 칭한다. 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써 컬러 표시도 가능하다.
- [0172] 또한, 두 전극 사이에 끼워지도록, 액티브 매트릭스 기관 위에 적절히, 전술한 복수의 마이크로 캡슐을 배치하면, 액티브 매트릭스형의 표시 장치가 완성될 수 있고, 마이크로 캡슐에 전계를 인가함으로써 표시를 행할 수 있다. 예를 들어, 실시예 1 또는 2에 기술된 박막 트랜지스터에 의해 얻어지는 액티브 매트릭스 기관을 사용할 수 있다.

- [0173] 마이크로 캡슐 내의 제1 입자 및 제2 입자는 각각, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 전계발광(electroluminescent) 재료, 전기변색(electrochromic) 재료, 자기 영동(magnetophoretic) 재료로부터 선택된 단일 재료 또는 이들의 복합재료로 형성될 수 있다.
- [0174] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 표시 장치를 제조할 수 있다.
- [0175] 본 실시예는, 다른 실시예들 중 임의의 것과 적절히 조합될 수 있다.
- [0176] (실시예 4)
- [0177] 본 발명의 실시예의 박막 트랜지스터를 제조하고, 박막 트랜지스터를 화소부, 나아가 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 한다)를 제조할 수 있다. 또한, 본 발명의 실시예의 박막 트랜지스터를 사용하여, 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 형성할 수 있고, 이에 의해 시스템-온-패널(system-on-panel)을 얻을 수 있다.
- [0178] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는, 액정 소자(액정 표시 소자라고도 칭한다) 또는 발광 소자(발광 표시 소자라고도 칭한다)를 사용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있으며, 구체적으로는, 무기 EL(electroluminescence) 소자, 유기 EL 소자 등이 포함된다. 또한, 전자 잉크 등, 전기적 효과에 의해 콘트라스트(contrast)가 변화하는 표시 매체도 사용할 수 있다.
- [0179] 또한, 표시 장치는, 표시 소자가 밀봉되어 있는 패널과, 컨트롤러를 포함하는 IC 등을 그 패널에 실장한 모듈을 포함한다. 본 발명의 실시예는, 표시 장치의 제조 공정에서 표시 소자가 완성되기 전의 소자 기판의 일 실시예에 관련된 것이며, 소자 기판은, 전류를 표시 소자에 공급하기 위한 수단이 복수의 화소 각각 제공된다. 특히, 소자 기판은, 표시 소자의 화소 전극만이 제공된 상태, 화소 전극이 되는 도전막이 형성된 후, 도전막을 에칭하여 화소 전극을 형성하기 전의 상태, 또는 다른 임의의 상태일 수 있다.
- [0180] 본 명세서에서의 표시 장치는, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치 포함)을 의미한다. 또한, 커넥터, 예를 들어 FPC(flexible printed circuit), TAB (tape automated bonding) 테이프, 또는 TCP(tape carrier package)가 부착된 모듈, TAB 테이프 또는 TCP의 끝부분에 인쇄 배선판이 제공된 모듈, 및 표시 소자에 COG(chip on glass) 방식에 의해 집적 회로(IC)가 직접 실장된 모듈이 모두 표시 장치에 포함되는 것으로 한다.
- [0181] 본 실시예에서는, 본 발명의 반도체 장치의 일 실시예인 액정 표시 패널의 외관 및 단면에 대해서, 도 20a 내지 20c를 참조하여 설명한다. 도 20a 및 20b는, 제1 기판(4001) 위에 형성된, 산소 라디칼 처리를 한 게이트 절연층, 소스 전극층, 드레인 전극층, 소스 영역, 및 드레인 영역 위에 산소 과잉 산화물 반도체층을 각각 포함하고, 소스 영역 및 드레인 영역으로서 산소결핍 산화물 반도체층을 각각 포함하는, 신뢰성이 높은 박막 트랜지스터(4010 및 4011) 및 액정 소자(4013)를, 제1 기판(4001)과 제2 기판(4006) 간에 밀봉재(4005)로 밀봉한, 패널의 상면도이다. 도 20c는, 도 20a 및 20b의 라인 M-N에 있어서의 단면도이다.
- [0182] 제1 기판(4001)위에 제공된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록, 밀봉재(4005)가 제공된다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기판(4006)이 제공된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 제1 기판(4001), 밀봉재(4005), 및 제2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉된다. 제1 기판(4001) 위의 밀봉재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 신호선 구동 회로(4003)가 실장된다.
- [0183] 별도로 형성한 구동 회로의 접속 방법은, 특별히 한정되지 않으며, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 20a는, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 도시하며, 도 20b는, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 도시한다.
- [0184] 제1 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004)는, 복수의 박막 트랜지스터를 포함한다. 도 20c는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 도시하고 있다. 박막 트랜지스터(4010 및 4011) 위에는 절연층(4020 및 4021)이 제공된다.
- [0185] 박막 트랜지스터(4010 및 4011) 각각은, 산소 라디칼 처리를 한 게이트 절연층, 소스 전극층, 드레인 전극층, 소스 영역, 및 드레인 영역 위에 산소 과잉 산화물 반도체층을 포함하고, 소스 영역 및 드레인 영역으로서 산소결핍 산화물 반도체층을 포함하는, 신뢰성이 높은 박막 트랜지스터에 해당하고, 실시예 1 또는 2에 기술된 박막 트랜지스터를 박막 트랜지스터(4010 및 4011)로서 사용할 수 있다. 본 실시예에 있어서, 박막 트랜지스터(4010

및 4011)는 n-채널형 박막 트랜지스터이다.

- [0186] 액정 소자(4013)에 포함되는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기관(4006) 위에 형성된다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)이 서로 중첩되는 부분이, 액정 소자(4013)에 해당한다. 화소 전극층(4030) 및 대향 전극층(4031)은, 각각 배향막으로서 기능하는 절연층(4032 및 4033)이 각각 제공되고, 액정층(4008)은, 절연층(4032 및 4033)이 사이에 끼워진 화소 전극층(4030) 및 대향 전극층(4031) 사이에 샌드위치 형태로 끼워진다.
- [0187] 제1 기관(4001) 및 제2 기관(4006)은, 유리, 금속(일반적으로 스테인리스 강), 세라믹, 또는 플라스틱을 사용하여 형성될 수 있다. 플라스틱으로서는, FRP(Fiberglass-ReinforcedPlastics) 판, PVF(polyvinyl fluoride) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름 사이에 끼운 구조의 시트를 사용할 수도 있다.
- [0188] 참조번호(4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서를 나타내며, 화소 전극층(4030)과 대향 전극층(4031) 간의 거리(셀 갭)를 제어하기 위해서 제공된다. 또한, 구 형상의 스페이서를 사용할 수도 있다.
- [0189] 대안적으로, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용할 수 있다. 블루상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정의 온도를 높이면서, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 생성된다. 블루상은 좁은 온도 범위에서만 생성되기 때문에, 온도 범위를 개선하기 위해서 5wt% 이상의 키랄제(chiral agent)를 포함하는 액정 조성물이 액정층(4008)에 사용된다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 10 μ s 내지 100 μ s로서 짧으며, 액정 조성물은 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.
- [0190] 본 실시예에는 투과형 액정 표시 장치의 일례가 기술되지만, 본 발명의 일 실시예는 반사형 액정 표시 장치 및 반투과형 액정 표시 장치에도 적용될 수 있다.
- [0191] 본 실시예에서는, 액정 표시 장치에서, 기관의 외측(시인측(視認側))에 편광판이 제공되고, 기관의 내측에, 착색층과, 표시 소자에 사용하는 전극층의 순서대로 설치하는 예를 나타내지만, 편광판은 기관의 내측에 제공될 수도 있다. 편광판과 착색층의 적층 구조는 본 실시예에 한정되지 않으며, 편광판 및 착색층의 재료나 제조 공정 조건에 따라 적절히 설정될 수 있다. 또한, 블랙 매트릭스로서 기능하는 차광막이 제공될 수 있다.
- [0192] 본 실시예에서는, 박막 트랜지스터의 표면 요철을 저감하고 박막 트랜지스터의 신뢰성을 향상시키기 위해서, 실시예 1에서 얻어진 박막 트랜지스터를, 보호막이나 평탄화 절연막으로서 기능하는 절연층(절연층(4020) 및 절연층(4021))으로 덮는다. 보호막은, 대기 중에 부유하는 유기물, 금속물, 또는 수분 등의 오염 불순물의 침입을 방지하기 위해 제공되며, 치밀한 막이 바람직하다. 보호막은, 스퍼터링법에 의해, 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 및/또는 질화 산화 알루미늄막의 단층, 또는 적층으로 형성될 수 있다. 본 실시예에서는 보호막을 스퍼터링법으로 형성하는 예를 서술하지만, 이에 특별히 한정되지 않고 다양한 방법으로 보호막을 형성할 수 있다.
- [0193] 본 실시예에서는, 적층 구조를 갖는 절연층(4020)을 보호막으로서 형성한다. 여기에서는, 절연층(4020)의 제1 층으로서, 스퍼터링법을 사용하여 산화 실리콘막을 형성한다. 보호막으로서 산화 실리콘막을 사용하면, 알루미늄막의 힐록(hillcock) 방지에 효과가 있다.
- [0194] 보호막의 제2 층으로서 절연층을 형성한다. 본 실시예에서는, 절연층(4020)의 제2 층으로서, 스퍼터링법에 의해 질화 실리콘막을 형성한다. 보호막으로서 질화 실리콘막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역 중에 침입하여 TFT의 전기적 특성을 변화시키는 것을 억제할 수 있다.
- [0195] 보호막을 형성한 후에, IGZO 반도체층을 어닐링(300℃ 내지 400℃)할 수도 있다.
- [0196] 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로서는, 폴리이미드(polyimide), 아크릴(acrylic), 벤조시클로부텐(benzocyclobutene), 폴리아미드(polyamide), 또는 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한 이러한 유기 재료 이외에, 저유전상수 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용하는 것도 가능하다. 실록산계 수지는, 치환기로서 수소 이외에, 불소, 알킬기 또는 아릴기 중 적어도 1종을 포함할 수 있다. 이 재료들로 형성되는 복수의 절연막을 적층시킴으로써 절연층(4021)을 형성할 수 있다.
- [0197] 실록산계 수지는, 실록산계 재료를 출발 재료로 하여 형성되고 Si-O-Si 결합을 포함하는 수지이다. 실록산계

수지는, 치환기로서 수소 이외에, 불소, 알킬기 또는 방향족 탄화수소 중 적어도 1종을 포함할 수 있다.

- [0198] 절연층(4021)의 형성법은, 특별히 한정되지 않고 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코팅법, 딥핑(dipping)법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 재료 액을 사용하여 절연층(4021)을 형성하는 경우, 베이킹 하는 공정과 동시에, IGZO 반도체층의 어닐링(300℃ 내지 400℃)을 행할 수 있다. 절연층(4021)의 베이킹 공정이 IGZO 반도체층의 어닐링으로도 기능함으로써, 효율적으로 반도체 장치를 제조할 수 있다.
- [0199] 화소 전극층(4030) 및 대향 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 한다), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 도전 재료를 사용하여 형성될 수 있다.
- [0200] 도전성 고분자(도전성 중합체라고도 한다)를 포함하는 도전성 조성물을 화소 전극층(4030) 및 대향 전극층(4031)에 사용할 수 있다. 도전성 조성물을 사용해서 형성한 화소 전극은, 시트 저항이 $10000\Omega/\square$ 이하, 파장 550nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0201] 도전성 고분자로서는, 소위 π -전자 공액계 도전성 고분자가 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그의 유도체, 폴리피롤 또는 그의 유도체, 폴리티오펜 또는 그의 유도체, 혹은 이것들의 2종 이상의 공중합체 등을 들 수 있다.
- [0202] 또한 별도 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004) 또는 화소부(4002)에는, 각종 신호 및 전위가 FPC(4018)로부터 공급된다.
- [0203] 본 실시예에서는, 접속 단자 전극(4015)은, 액정 소자(4013)에 포함되는 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010 및 4011)의 소스 및 드레인 전극층과 같은 도전막으로 형성된다.
- [0204] 접속 단자 전극(4015)은, FPC(4018)에 포함되는 단자와, 이방성 도전막(4019)을 통해서 전기적으로 접속된다.
- [0205] 도 20a 내지 20c는, 신호선 구동 회로(4003)를 별도로 형성하여 제1 기관(4001) 위에 실장하는 예를 도시하고 있지만, 본 실시예는 이 구조에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장할 수도 있고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성해서 실장할 수도 있다.
- [0206] 도 21은, 본 발명에 따라 제조된 TFT 기관(2600)을 사용하여 반도체 장치로서 액정 표시 모듈을 형성하는 예를 도시하고 있다.
- [0207] 도 21은 액정 표시 모듈의 일 예이며, TFT 기관(2600)과 대향 기관(2601)이 밀봉재(sealant)(2602)에 의해 고정되어, 기관들 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604) 및 착색층(2605)이 구비되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하다. RGB 방식의 경우에는, 적, 녹, 청의 색에 대응한 각각의 착색층이 각 화소에 대응해서 구비되어 있다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606), 편광판(2607) 및 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)을 포함하며, 회로 기관(2612)은 플렉시블 배선 기관(2609)에 의해 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 제어 회로나 전원 회로 등의 외부 회로를 포함한다. 또한 편광판과 액정층과의 사이에 위상차판(retardation plate)을 구비한 상태로 적층해도 좋다.
- [0208] 액정 표시 모듈에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment), ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 등을 사용할 수 있다.
- [0209] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.
- [0210] 본 실시예는, 다른 실시예들의 임의의 것과 적절히 결합되는 것이 가능하다.
- [0211] (실시예 5)
- [0212] 본 실시예에서는, 본 발명의 일 실시예의 반도체 장치로서 전자 종이의 예를 설명할 것이다.

- [0213] 도 11은 본 발명을 적용한 반도체 장치의 예로서 액티브 매트릭스형 전자 종이를 나타낸다. 반도체 장치에 사용되는 박막 트랜지스터(581)는 실시예 1에 나타난 박막 트랜지스터와 마찬가지로 제작할 수 있고, 산소 라디칼 처리를 한 게이트 절연층, 소스 전극층, 드레인 전극층, 소스 영역 및 드레인 영역 위에 산소 과잉 산화물 반도체층, 및 소스 영역 및 드레인 영역으로서 산소 결핍 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터다. 또한, 실시예 2에 나타난 박막 트랜지스터도 본 실시예의 박막 트랜지스터(581)로 사용할 수 있다.
- [0214] 도 11의 전자 종이는 트위스트 볼 표시 방식(twisting ball display system)을 사용한 표시 장치의 예이다. 트위스트 볼 표시 방식은, 백 또는 흑으로 각각 채색된 구형 입자를 표시 소자에 사용된 전극층인 제1 전극층 및 제2 전극층의 사이에 배치하고, 제1 전극층 및 제2 전극층에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0215] 박막 트랜지스터(581)는 기판(580, 596) 사이에 구비되며, 보텀(bottom) 게이트 구조의 박막 트랜지스터이며, 소스 전극층 또는 드레인 전극층은 절연층(583, 584, 585)에 형성된 개구를 통해 제1 전극층(587)과 접촉함으로써, 박막 트랜지스터(581)가 제1 전극층(587)에 전기적으로 접속된다. 제1 전극층(587)과 제2 전극층(588)과의 사이에는, 각각 흑색 영역(590a) 및 백색 영역(590b)을 가지며 그 영역들 둘레에 액체로 충전되어 있는 캐비티(594)를 포함하는 구형 입자(589)들이 구비되어 있다. 구형 입자(589)들 주위의 공간은 수지 등의 충전재(filler)(595)로 충전되어 있다(도 11 참조).
- [0216] 또한, 트위스트 볼 대신에 전기 영동 소자(electrophoretic element)를 사용하는 것도 가능하다. 투명한 액체와, 양으로 대전된 흰 미립자와, 음으로 대전된 검은 미립자를 봉입한 직경 10 μm ~ 200 μm 정도의 마이크로 캡슐을 사용한다. 제1 전극층과 제2 전극층과의 사이에 구비되는 마이크로 캡슐은, 제1 전극층과 제2 전극층에 의해 전기장이 부여되면, 흰 미립자와 검은 미립자가 역의 방향으로 이동함으로써, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이며, 일반적으로 전자 종이(electronic paper)라고 한다. 전기 영동 표시 소자는, 액정 표시 소자에 비하여 반사율이 높기 때문에, 보조 라이트가 불필요하고, 또한 소비 전력이 낮고 어두운 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않은 경우에도, 한번 표시한 이미지를 유지하는 것이 가능하다. 따라서, 표시 기능을 구비한 반도체 장치(간단히 표시 장치, 또는 표시 장치가 구비된 반도체 장치라고도 함)가 전과 발신원으로부터 멀리 떨어져 있을 경우에도, 표시된 이미지를 보존해 두는 것이 가능하게 된다.
- [0217] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 전자 종이를 제작할 수 있다.
- [0218] 본 실시예는, 다른 실시예들의 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.
- [0219] (실시예 6)
- [0220] 본 실시예에서는, 본 발명의 반도체 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 갖는 표시 소자로서는, 여기에서는 전자 발광(electroluminescence)을 이용하는 발광 소자를 사용해서 나타낸다. 전자 발광을 이용하는 발광 소자는, 발광 재료가 유기 화합물인가 또는 무기 화합물일지에 의해 구별된다. 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 한다.
- [0221] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 전자 및 정공이 각각 한 쌍의 전극으로부터 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 캐리어들(전자 및 정공)은 재결합됨으로써, 발광성의 유기 화합물이 여기 상태가 된다. 발광성의 유기 화합물이 여기 상태에서부터 기저 상태로 복귀됨으로써 발광하게 된다. 이러한 메커니즘 때문에, 이러한 발광 소자가 전류 여기형 발광 소자(current-excitation light-emitting element)라고 불린다.
- [0222] 무기 EL 소자는, 그 소자 구조에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층들 사이에 끼워 넣고, 또한 그것을 전극들 사이에 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각 전자 천이를 이용하는 국지형 발광(localized type light emission)이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 사용해서 설명한다는 것에 유의해야 한다.
- [0223] 도 18은 본 발명을 적용한 반도체 장치의 예로서, 디지털 시간 계조 구동(digital time grayscale driving)이 적용 가능한 화소 구조의 일 예를 도시하는 도면이다.
- [0224] 디지털 시간 계조 구동이 적용 가능한 화소의 구조 및 화소의 동작에 대해서 설명한다. 본 실시예에서는, 하나

의 화소가, 산화물 반도체층(IGZO 반도체층)을 채널 형성 영역에 사용하는 n-채널형 트랜지스터를 2개 포함하는 예를 나타낸다.

[0225] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 캐패시터(6403)를 포함한다. 스위칭용 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고, 제1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)는, 그 게이트가 캐패시터(6403)를 통해서 전원선(6407)에 접속되고, 제1 전극이 전원선(6407)에 접속되고, 제2 전극이 발광 소자(6404)의 제1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 대응한다.

[0226] 또한, 발광 소자(6404)의 제2 전극(공통 전극(6408))에는 저 전원 전위가 설정되어 있다. 저 전원 전위는, 전원선(6407)에 설정되는 고 전원 전위와 관련하여, 저 전원 전위 < 고 전원 전위를 만족하는 전위임에 유의해야 한다. 저 전원 전위로서는 예를 들어 GND, 0 V 등이 사용될 수 있다. 이 고 전원 전위와 저 전원 전위와의 전위차를 발광 소자(6404)에 인가하고, 발광 소자(6404)에 전류를 흘려서 발광 소자(6404)가 발광하게 된다. 발광 소자(6404)을 발광시키기 위해서, 고 전원 전위와 저 전원 전위와의 전위차가 순방향 임계값 전압 이상이 되도록 각각의 전위를 설정한다.

[0227] 구동용 트랜지스터(6402)의 게이트 캐패시터는 캐패시터(6403)의 대응으로 사용될 수 있으므로, 캐패시터(6403)를 생략할 수 있다는 것에 유의하여야 한다. 구동용 트랜지스터(6402)의 게이트 캐패시터는 채널 영역과 게이트 전극 사이에서 캐패시터가 형성되어 있어도 좋다.

[0228] 여기서, 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는 비디오 신호가 입력됨으로써, 구동용 트랜지스터(6402)가 충분히 온 또는 오프 되든지 둘 중 어느 상태가 된다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작한다. 구동용 트랜지스터(6402)는 선형 영역에서 동작하기 때문에, 전원선(6407)의 전압보다도 높은 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. 신호선(6405)에는 (전원선 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가됨에 유의해야 한다.

[0229] 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행하는 경우, 신호의 입력을 변경함으로써, 도 18과 같은 화소 구조를 사용할 수 있다.

[0230] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 (발광 소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가된다. 발광 소자(6404)의 순방향 전압은 원하는 휘도가 얻어지는 경우의 전압을 가리키며, 적어도 순방향 임계값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 경우의 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류가 공급될 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해서, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다도 높게 설정된다. 아날로그 신호를 사용하면, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려서 아날로그 계조 구동을 행할 수 있다.

[0231] 도 18에 나타내는 화소 구조는 이것에 한정되지 않는다는 것에 유의해야 한다. 예를 들어, 도 18에 나타내는 화소에 스위치, 저항 소자, 캐패시터, 트랜지스터 또는 논리 회로 등을 추가해도 좋다.

[0232] 이어서, 발광 소자의 구조에 대해서, 도 19a~19c를 사용해서 설명한다. 여기에서는, n채널형 구동용 TFT의 경우를 예로 들어, 화소의 단면 구조에 대해서 설명한다. 도 19a~19c의 반도체 장치에 사용되는 구동용 TFT인 TFT(7001, 7011, 7021)은, 실시예 1에 나타난 박막 트랜지스터와 마찬가지로 제작할 수 있고, 산소 라디칼 처리를 한 게이트 절연층, 소스 전극층, 드레인 전극층, 소스 영역 및 드레인 영역 위에 산소 과잉 산화물 반도체층, 및 소스 영역 및 드레인 영역으로서 산소 결핍 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터다. 이와 달리, 실시예 2에 나타난 박막 트랜지스터를 구동 TFT(7001, 7011, 7021)로서 사용할 수도 있다.

[0233] 발광 소자로부터의 사출된 광을 취출하기 위해서는, 양극 또는 음극의 적어도 하나가 광을 전송하여야 한다. 기관 위에는 박막 트랜지스터 및 발광 소자가 형성된다. 발광 소자는, 기관과는 반대측의 면으로부터 발광을 취출하는 상면 사출 구조(top emission structure)나, 기관측 면으로부터 발광을 취출하는 하면 사출 구조(bottom emission structure)나, 기관측 및 기관과는 반대측의 면으로부터 발광을 취출하는 양면 사출 구조(dual emission structure)를 가질 수 있다. 본 발명의 화소 구조는 어느 사출 구조의 발광 소자에도 적용할 수 있다.

- [0234] 상면 사출 구조의 발광 소자에 대해서 도 19a를 참조해서 설명한다.
- [0235] 도 19a는 구동용 TFT인 TFT(7001)가 n채널형 TFT이고 광이 발광 소자(7002)로부터 양극(7005) 측에 사출되는 경우의, 화소의 단면도를 도시한다. 도 19a에서는, 발광 소자(7002)의 음극(7003)이 구동용 TFT인 TFT(7001)에 전기적으로 접속되어 있고, 음극(7003) 위로 발광층(7004)과 양극(7005)이 순서대로 적층되어 있다. 음극(7003)은 일함수가 작고 광을 반사하는 도전막이지만 하면 다양한 재료를 사용하여 형성할 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 발광층(7004)은 단수의 층 또는 적층된 복수의 층을 사용하여 형성할 수 있다. 발광층(7004)이 복수의 층을 사용하여 형성되는 경우, 음극(7003) 위로 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서대로 적층하여 발광층(7004)이 형성된다. 이들의 층을 모두 형성할 필요는 없다. 양극(7005)은 투광 도전성 재료, 예를 들어 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 함), 인듐 아연 산화물, 또는 산화규소를 첨가한 인듐 주석 산화물 등을 사용하여 형성된다.
- [0236] 음극(7003) 및 양극(7005) 사이에 발광층(7004)이 끼워진 영역이 발광 소자(7002)에 대응한다. 도 19a에 나타낸 화소의 경우, 발광 소자(7002)로부터 사출된 광은 화살표로 나타낸 바와 같이 발광 소자(7002)로부터 양극(7005) 측으로 사출된다.
- [0237] 이어서, 하면 사출 구조의 발광 소자에 대해서 도 19b를 사용해서 설명한다. 구동용 TFT(7011)가 n채널형 트랜지스터이고 발광 소자(7012)로부터 음극(7013) 측으로 광이 사출되는 경우의, 화소의 단면도를 도시한다. 도 19b에서는, 구동용 TFT(7011)에 전기적으로 접속된 투광 도전막(7017) 위에 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위로 발광층(7014)과 양극(7015)이 순서대로 적층되어 있다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극(7015)을 덮도록, 광을 반사 또는 차폐하기 위한 차폐 막(7016)이 형성되어 있어도 좋다. 음극(7013)은 도 19a의 경우와 마찬가지로, 일함수가 작은 도전성 재료이지만 하면 다양한 재료를 사용할 수 있다. 음극(7013)의 막 두께는, 광을 투과할 수 있는 정도(바람직하게는, 대략 5 nm ~ 30 nm)로 한다. 예를 들어 20 nm의 막 두께를 갖는 알루미늄 막을 음극(7013)으로 사용할 수 있다. 도 19a와 마찬가지로, 발광층(7014)은 단수의 층 또는 적층된 복수의 층 중 하나를 사용하여 형성할 수 있다. 양극(7015)은 광을 투과하는 필요는 없지만, 도 19a와 마찬가지로 투광 도전성 재료를 사용해서 형성할 수 있다. 차폐 막(7016)으로서는, 예를 들어 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어 흑색 안료를 첨가한 수지 등을 사용할 수도 있다.
- [0238] 음극(7013) 및 양극(7015) 사이에 발광층(7014)이 끼워져 있는 영역이 발광 소자(7012)에 대응한다. 도 19b에 나타낸 화소의 경우, 발광 소자(7012)로부터 사출되는 광은, 화살표로 나타낸 바와 같이 발광 소자(7012)로부터 음극(7013) 측으로 광이 사출된다.
- [0239] 이어서, 양면 사출 구조의 발광 소자에 대해서, 도 19c를 사용해서 설명한다. 도 19c에서는, 구동용 TFT(7021)과 전기적으로 접속된 투광 도전막(7027) 위에 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위로 발광층(7024)과 양극(7025)이 순서대로 적층되어 있다. 도 19a의 경우와 마찬가지로, 음극(7023)은 일함수가 작은 도전성 재료이지만 하면 다양한 재료를 사용할 수 있다. 음극(7023)의 막 두께는, 광을 투과할 수 있는 정도로 형성한다. 예를 들어 20 nm의 막 두께를 갖는 Al을 음극(7023)으로 사용할 수 있다. 그리고 발광층(7024)은 도 19a와 마찬가지로, 단수의 층 또는 적층된 복수의 층을 사용하여 형성할 수 있다. 양극(7025)은 도 19a와 마찬가지로, 광을 투과하는 투광 도전성 재료를 사용해서 형성할 수 있다.
- [0240] 음극(7023), 발광층(7024) 및 양극(7025)이 서로 겹쳐져 있는 부분이 발광 소자(7022)에 대응한다. 도 19c에 나타낸 화소의 경우, 발광 소자(7022)로부터 사출된 광은, 화살표로 나타낸 바와 같이 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출한다.
- [0241] 또한, 여기에서는, 발광 소자로서 유기 EL 소자에 대해서 설명했지만, 발광 소자로서 무기 EL 소자를 구비하는 것도 가능하다는 것에 유의해야 한다.
- [0242] 본 실시예에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되어 있는 예를 나타냈지만, 구동용 TFT와 발광 소자와의 사이에 전류 제어용 TFT가 접속되어 있는 구조를 사용하여도 좋다.
- [0243] 또한, 본 실시예에서 나타내는 반도체 장치는, 도 19a~19c에 나타낸 구조에 한정되는 것이 아니라, 본 발명의 기술적 사상에 기초하여 각종 변형이 가능하다.

- [0244] 이어서, 본 발명의 반도체 장치의 일 실시예인, 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대해서, 도 22a 및 22b를 참조하여 설명한다. 도 22a는 제1 기관 위에 형성된 산소 라디칼 처리를 한 게이트 절연층, 소스 전극층, 드레인 전극층, 소스 영역 및 드레인 영역 위에 산소 과잉 산화물 반도체층, 및 소스 영역 및 드레인 영역으로서 산소 결핍 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터 및 발광 소자를, 제1 및 제2 기관과의 사이에 밀봉재에 의해 밀봉한, 패널의 상면도이다. 도 22b는, 도 22a의 H-I에 있어서의 단면에 대응한다.
- [0245] 제1 기관(4501) 위에 구비된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 밀봉재(4505)가 구비되어 있다. 또한 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 위에 제2 기관(4506)이 구비되어 있다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는, 제1 기관(4501), 밀봉재(4505) 및 제2 기관(4506)에 의해, 충전재(4507)로 함께 밀봉되어 있다. 이상과 같이, 외부에 패널이 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(적층 필름, 자외선 경화 수지 필름 등)이나 커버 재료로 패키징(봉입)하는 것이 바람직하다.
- [0246] 또한, 제1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 각각, 복수의 박막 트랜지스터를 포함하며, 도 22b에서는, 화소부(4502)에 포함된 박막 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)를 예시하고 있다.
- [0247] 박막 트랜지스터(4509, 4510)의 각각은, 산소 라디칼 처리를 한 게이트 절연층, 소스 전극층, 드레인 전극층, 소스 영역 및 드레인 영역 위의, 산소 과잉 산화물 반도체층, 및 소스 영역 및 드레인 영역으로서 산소 결핍 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터에 대응하고, 실시예 1 또는 실시예 2에 나타난 박막 트랜지스터(4509 및 4510)를 사용할 수 있다. 본 실시예에서, 박막 트랜지스터(4509 및 4510)는 n-채널형 박막 트랜지스터다.
- [0248] 또한, 도면 부호 "4511"은 발광 소자를 나타낸다. 발광 소자(4511)에 포함된 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되어 있다. 또한 발광 소자(4511)의 구조는 제1 전극층(4517), 전계 발광층(4512), 제2 전극층(4513)의 적층 구조이나, 본 실시예에 나타난 구조에 한정되는 것은 아니다. 발광 소자(4511)로부터 휘출되는 광의 방향 등에 따라, 발광 소자(4511)의 구조는 적절히 변경할 수 있다.
- [0249] 격벽(4520)은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용해서 형성된다. 특히 감광성의 재료를 사용하고 제1 전극층(4517) 위로 개구부를 형성함으로써, 그 개구부의 측벽이 연속한 곡률을 가진 경사면이 되게 형성하는 것이 바람직하다.
- [0250] 전계 발광층(4512)은 단수의 층 또는 적층된 복수의 층으로 형성할 수 있다.
- [0251] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제2 전극층(4513) 및 격벽(4520) 위로 보호막을 형성해도 좋다. 보호막으로서는, 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수 있다.
- [0252] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b) 또는 화소부(4502)에 부여되는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급된다.
- [0253] 본 실시예에서는, 접속 단자 전극(4515)은 발광 소자(4511)에 포함된 제1 전극층(4517)과 동일한 도전막으로부터 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509, 4510)에 포함된 소스 전극층 및 드레인 전극층과 동일한 도전막으로부터 형성되어 있다.
- [0254] 접속 단자 전극(4515)은 이방성 도전막(4519)을 통해서 FPC(4518a)에 포함된 단자에 전기적으로 접속되어 있다.
- [0255] 발광 소자(4511)로부터의 광의 휘출 방향에 위치하는 제2 기관(4506)은 투광성일 필요가 있다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름 등의 투광성을 갖는 재료를 사용한다.
- [0256] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성의 기체 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다. 본 실시예는 충전재(4507)로서 질소가 사용된다.
- [0257] 또한, 필요에 따라, 발광 소자의 사출면에 편광판, 또는 원편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 구비해도 좋다. 또한, 편광판 또는 원편광판에 반사 방지막을 구비

해도 좋다. 예를 들어, 표면의 요철에 의해 반사광을 확산하고 글레어(glare)를 저감할 수 있는 안티글레어 처리를 수행할 수 있다.

[0258] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막에 의해 형성된 구동 회로로서 구비되어도 좋다. 또한, 신호선 구동 회로판 또는 그 일부, 또는 주사선 구동 회로들 또는 그 일부만을 별도 형성해서 실장하여도 좋다. 본 실시예는 도 22a 및 도 22b에 나타난 구조에 한정되는 것은 아니다.

[0259] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.

[0260] 본 실시예는, 다른 실시예들의 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.

[0261] (실시예 7)

[0262] 본 발명의 반도체 장치는 전자 종이에 적용할 수 있다. 전자 종이는 데이터를 표시하는 것이면 다양한 분야의 전자 기기에 사용하는 것이 가능하다. 예를 들어, 전자 종이를 사용하여, 전자 책(e-book), 포스터, 기차 등의 탈것의 차내 광고, 신용카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자 기기의 일 예를 도 23a, 도 23b 및 도 24에 나타낸다.

[0263] 도 23a는 전자 종이를 사용하여 형성된 포스터(2631)를 나타내고 있다. 광고 매체가 인쇄된 종이일 경우에는 광고가 인력에 의해 교환되지만, 본 발명을 적용한 전자 종이를 사용하면 단시간에 광고의 표시를 변경할 수 있다. 또한, 이미지가 왜곡되지 않고 안정하게 표시될 수 있다. 포스터는 무선으로 데이터를 송수신하도록 될 수 있다는 것에 유의해야 한다.

[0264] 또한, 도 23b는 기차 등의 차량의 차내 광고(2632)를 나타낸다. 광고 매체가 인쇄된 종이일 경우에는 광고가 인력에 의해 교체되지만, 본 발명을 적용한 전자 종이를 사용하면 많은 인력 없이도 단시간에 광고의 표시를 변경할 수 있다. 또한, 이미지가 왜곡되지 않고 안정하게 표시될 수 있다. 차량 내의 광고는 무선으로 데이터를 송수신하도록 될 수 있다는 것에 유의해야 한다.

[0265] 또한, 도 24는, 전자 책 리더(2700)의 일 예를 나타내고 있다. 예를 들어, 전자 책 리더(2700)는 하우징(2701) 및 하우징(2703)의 2개의 하우징을 포함한다. 하우징(2701) 및 하우징(2703)은 힌지(2711)에 의해 결합됨으로써, 힌지(2711)를 축으로서 전자 책 리더(2700)를 개폐 동작을 행할 수 있다. 이와 같은 구조에 의해, 종이 책과 같은 동작을 행하는 것이 가능하게 된다.

[0266] 하우징(2701)에는 표시부(2705)가 조립되고, 하우징(2703)에는 표시부(2707)가 조립되어 있다. 표시부(2705) 및 표시부(2707)은 하나의 이미지 또는 다른 이미지들을 표시하도록 할 수 있다. 표시부(2705) 및 표시부(2707)가 다른 이미지들을 표시하는 경우에는, 예를 들어 우측의 표시부(도 24에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 24에서는 표시부(2707))에 화상을 표시할 수 있다.

[0267] 또한, 도 24에서는, 하우징(2701)에 조작부 등을 구비한 예를 나타내고 있다. 예를 들어, 하우징(2701)에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하여도 좋다. 또한, 하우징의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블에 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하여도 좋다. 또한, 전자 책 리더(2700)는 전자 사전의 기능을 가질 수도 있다.

[0268] 또한, 전자 책 리더(2700)는 무선으로 데이터를 송수신하도록 할 수 있다. 무선으로, 전자 책 서버로부터, 원하는 책 데이터 등을 구입하고 다운로드하는 구조를 사용할 수 있다.

[0269] (실시예 8)

[0270] 본 발명에 관한 반도체 장치는, 다양한 전자 기기(오락기도 포함함)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말기, 음향 재생 장치, Pachinko 기기(pachinko machine)와 같은 대형 게임기 등을 예로 들 수 있다.

[0271] 도 25a는 텔레비전 장치(9600)의 일 예를 나타내고 있다. 텔레비전 장치(9600)에서는, 표시부(9603)가 하우징(9601)에 조립되어 있다. 표시부(9603)가 이미지를 표시할 수 있다. 또한, 여기서는, 스탠드(9605)에 의해 하

우징(9601)이 지지되고 있다.

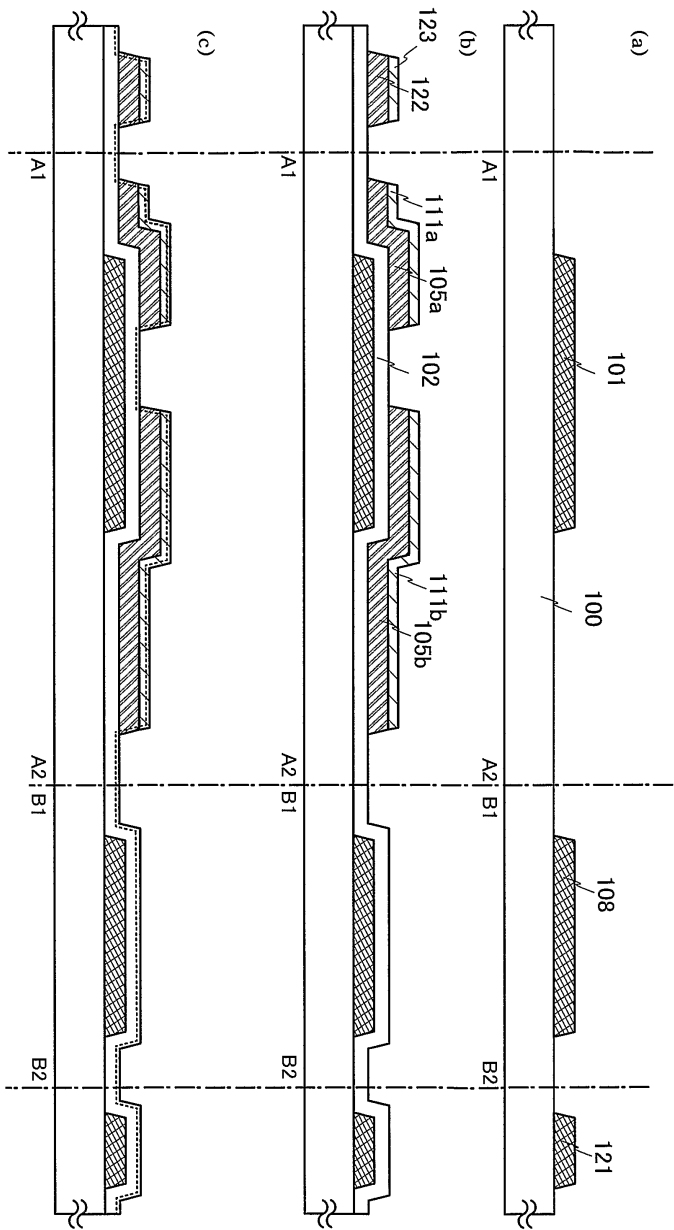
- [0272] 텔레비전 장치(9600)는 하우징(9601)의 조작 스위치나 별도의 리모컨(9610)에 의해 조작할 수 있다. 리모컨(9610)의 조작 키(9609)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 이미지를 조작할 수 있다. 또한, 리모컨(9610)에는, 당해 리모컨(9610)으로부터 출력된 데이터를 표시하기 위한 표시부(9607)를 구비하여도 좋다.
- [0273] 또한, 텔레비전 장치(9600)에는 수신기나 모뎀 등이 구비되어 있다. 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있다. 또한, 모뎀을 통해서 유선 또는 무선에 의한 텔레비전 장치(9600)가 통신 네트워크에 접속됨으로써, 일방향(송신자에게서 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자간) 데이터 통신을 행하는 것도 가능하다.
- [0274] 도 25b는 디지털 포토 프레임(9700)의 일 예를 나타내고 있다. 예를 들어, 디지털 포토 프레임(9700)에는, 표시부(9703)가 하우징(9701)에 조립되어 있다. 표시부(9703)는 각종 이미지를 표시할 수 있다. 예를 들어, 표시부(9703)는 디지털 카메라 등에서 촬영한 이미지의 데이터를 표시하여, 통상의 사진 프레임과 마찬가지로 기능할 수 있다.
- [0275] 또한, 디지털 포토 프레임(9700)에는, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블에 접속 가능한 단자 등), 기록 매체 삽입부 등이 구비되어 있다. 이들의 구성 요소들은, 표시부와 동일 면에 조립되고 있어도 좋지만, 디지털 포토 프레임(9700)의 디자인을 위해서는 측면이나 이면에 구비하는 것이 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라로 촬영한 이미지 데이터를 기억한 메모리를 삽입함으로써, 이미지 데이터를 전송하여 표시부(9703)에 표시할 수 있다.
- [0276] 또한, 디지털 포토 프레임(9700)은 무선으로 데이터를 송수신하도록 할 수 있다. 무선으로 원하는 이미지 데이터를 전송하여 표시시키는 구조를 사용할 수 있다.
- [0277] 도 26a는 휴대형 오락기이며, 하우징(9881)과 하우징(9891)의 두 개의 하우징을 포함하며, 연결부(9893)에 의해 개폐 가능하게 연결되어 있다. 하우징(9881)에는 표시부(9882)가 조립되고, 하우징(9891)에는 표시부(9883)가 조립되어 있다. 또한, 도 26a에 나타난 휴대형 오락기는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 갖는 것), 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 오락기의 구조가 상술한 것에 한정되는 것은 아니며, 적어도 본 발명에 관계되는 반도체 장치를 구비되지만 하면, 기타 부속 장비가 적절히 구비된 구조를 가질 수 있다. 도 26a에 나타내는 휴대형 오락기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능이나, 다른 휴대형 오락기와 무선 통신에 의해 정보를 공유하는 기능을 갖는다. 또한, 도 26a에 나타내는 휴대형 오락기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0278] 도 26b는 대형 오락기인 슬롯 머신(slot machine)(9900)의 일 예를 나타내고 있다. 슬롯 머신(9900)에서는, 표시부(9903)가 하우징(9901)에 조립되어 있다. 또한, 슬롯 머신(9900)은, 스타트 레버(start lever)나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비하고 있다. 물론, 슬롯 머신(9900)의 구조는 상술한 것에 한정되지 않고, 적어도 본 발명에 관한 반도체 장치를 구비하기만 하면, 기타 부속 장비가 적절히 구비된 구조를 가질 수 있다.
- [0279] 도 27은 휴대 전화기(1000)의 일 예를 나타내고 있다. 휴대 전화기(1000)는 하우징(1001)에 조립된 표시부(1002), 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비하고 있다.
- [0280] 도 27에 나타난 휴대 전화기(1000)는 표시부(1002)를 손가락 등으로 접촉하는 것으로 데이터를 입력할 수 있다. 또한, 전화를 걸거나 문자 메시지 전송 등의 조작은 표시부(1002)를 손가락 등으로 접촉하는 것에 의해 행할 수 있다.
- [0281] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제1 모드는 이미지의 표시를 주로 하는 표시 모드이다. 제2 모드는 문자 등의 데이터의 입력을 주로 하는 입력 모드다. 제3 모드는 표시 모드와 입력 모드의 두 개의 모드가 혼합한 표시-입력 모드이다.
- [0282] 예를 들어, 전화를 걸거나 문자 메시지를 작성하는 경우는, 표시부(1002)에 대해 문자의 입력을 주로 하는 문자 입력 모드를 선택함으로써, 화면에 표시된 문자를 입력할 수 있다. 이 경우, 표시부(1002)의 화면의 대부분에

키보드 또는 번호 버튼을 표시하는 것이 바람직하다.

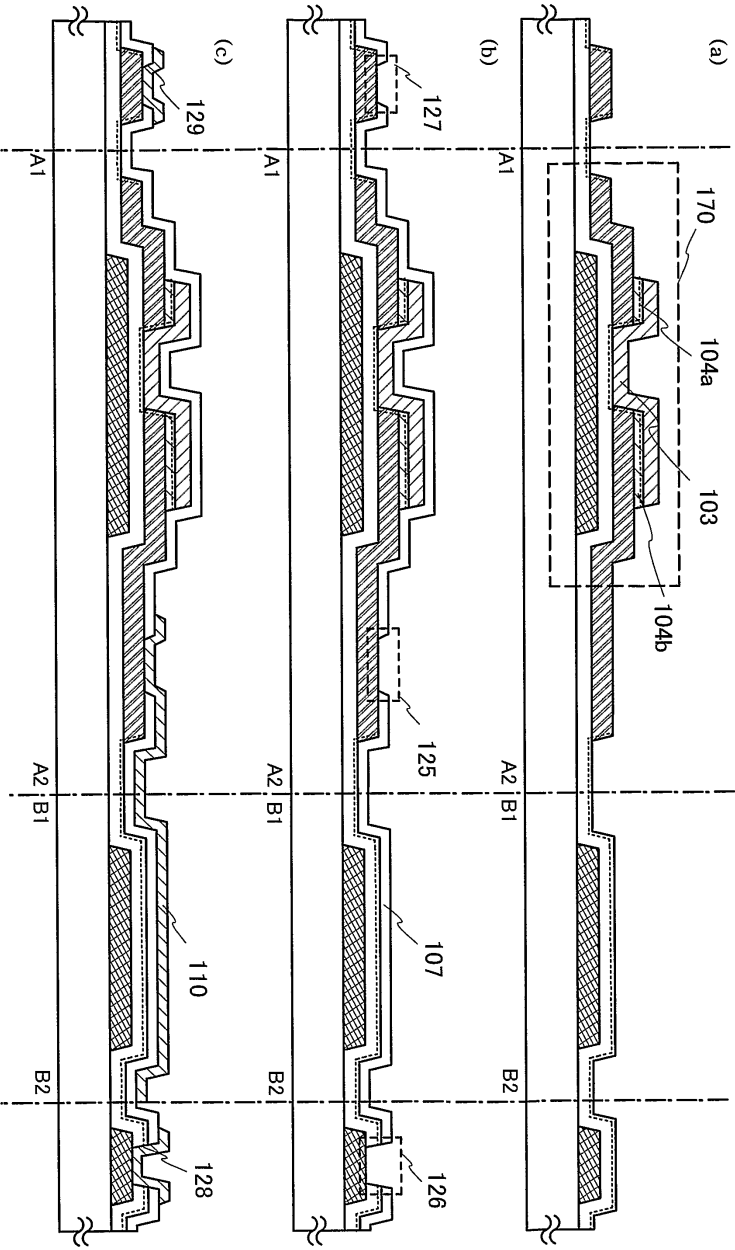
- [0283] 또한, 휴대 전화기(1000) 내부에, 자이로스코프(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 구비함으로써, 휴대 전화기(1000)의 방향(휴대 전화기(1000)가 풍경(landscape) 모드 또는 초상(portrait) 모드에 대해 수평 또는 수직으로 놓여져 있는지 여부)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 변경할 수 있다.
- [0284] 또한, 화면 모드는 표시부(1002)를 접촉하는 것 또는 하우스징(1001)의 조작 버튼(1003)의 조작에 의해 변경할 수 있다. 또한, 표시부(1002)에 표시되는 이미지의 종류에 따라 화면 모드가 변경될 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상 데이터의 하나이면, 화면 모드가 표시 모드로 변경되며, 텍스트 데이터의 하나이면, 화면 모드가 입력 모드로 변경한다.
- [0285] 또한, 입력 모드에 있어서, 표시부(1002)의 광 센서로 검출되는 신호를 검출하는 동안에 일정 기간 표시부(1002)의 터치 조작에 의한 입력이 없을 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 변경되도록 제어해도 좋다.
- [0286] 표시부(1002)는 이미지 센서로서 기능할 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락을 접촉하는 것으로, 장문(palm print), 지문 등을 촬영함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬영할 수도 있다.
- [0287] 본 출원은 2008년 9월 12일에 일본 특허청에 출원된 일본 특허 출원 번호 제2008-234603호에 기초한 것으로 그 전체 내용을 참조로서 포함하고 있다.

도면

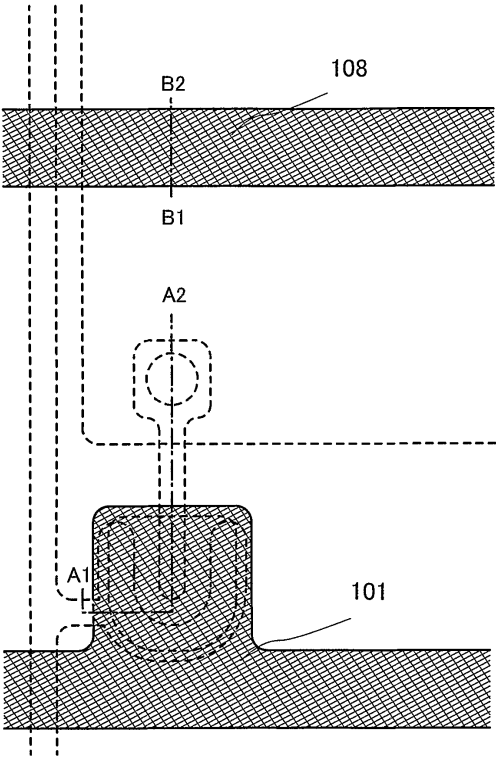
도면1



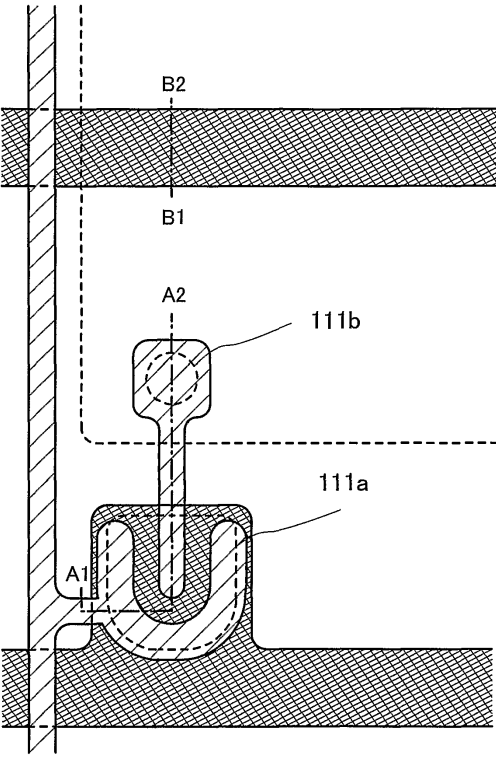
도면2



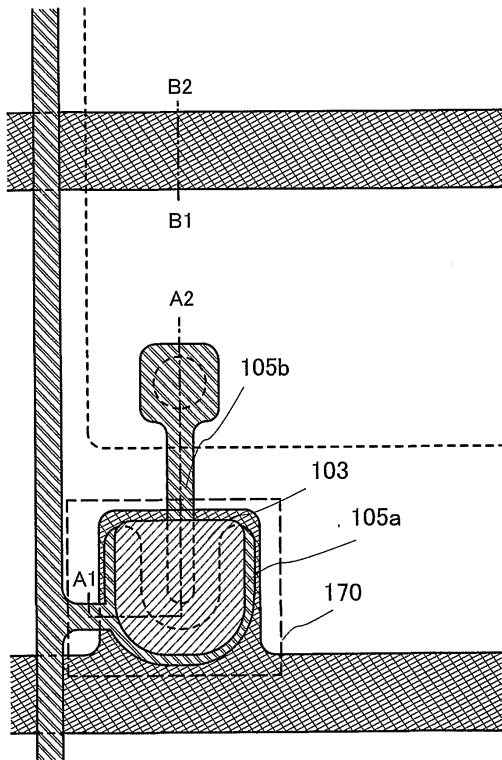
도면3



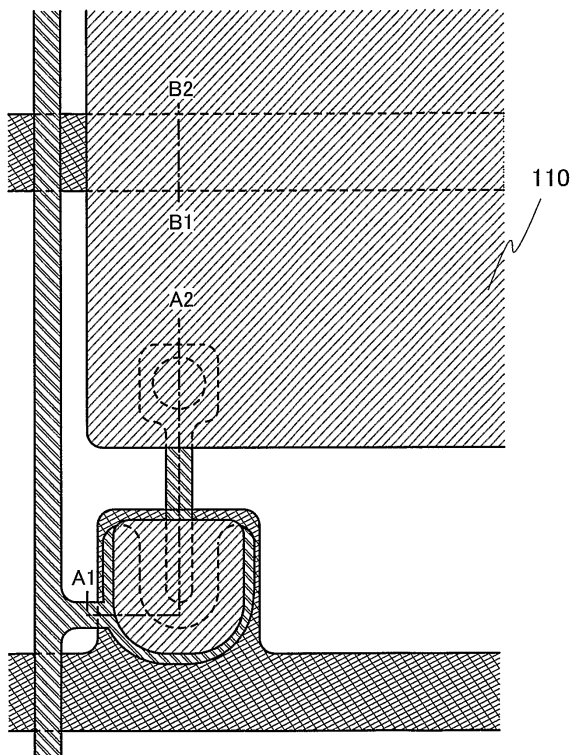
도면4



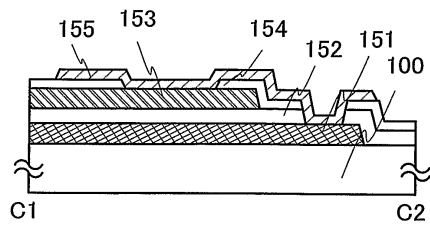
도면5



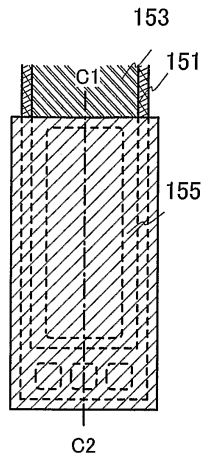
도면6



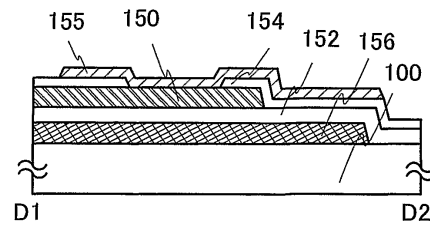
도면7a



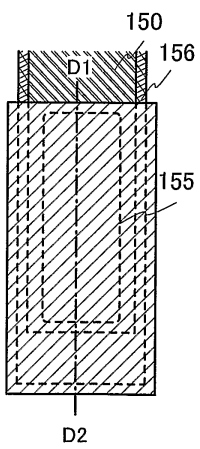
도면7b



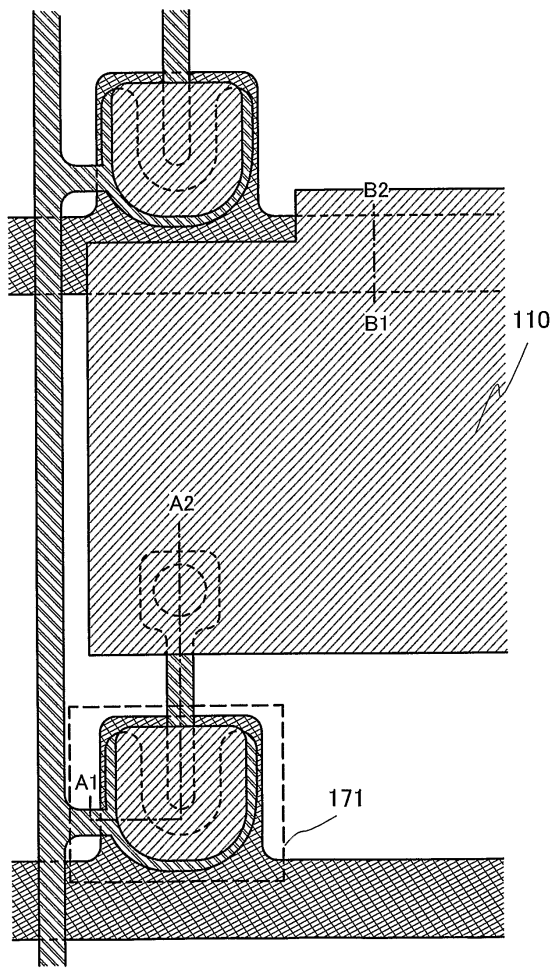
도면7c



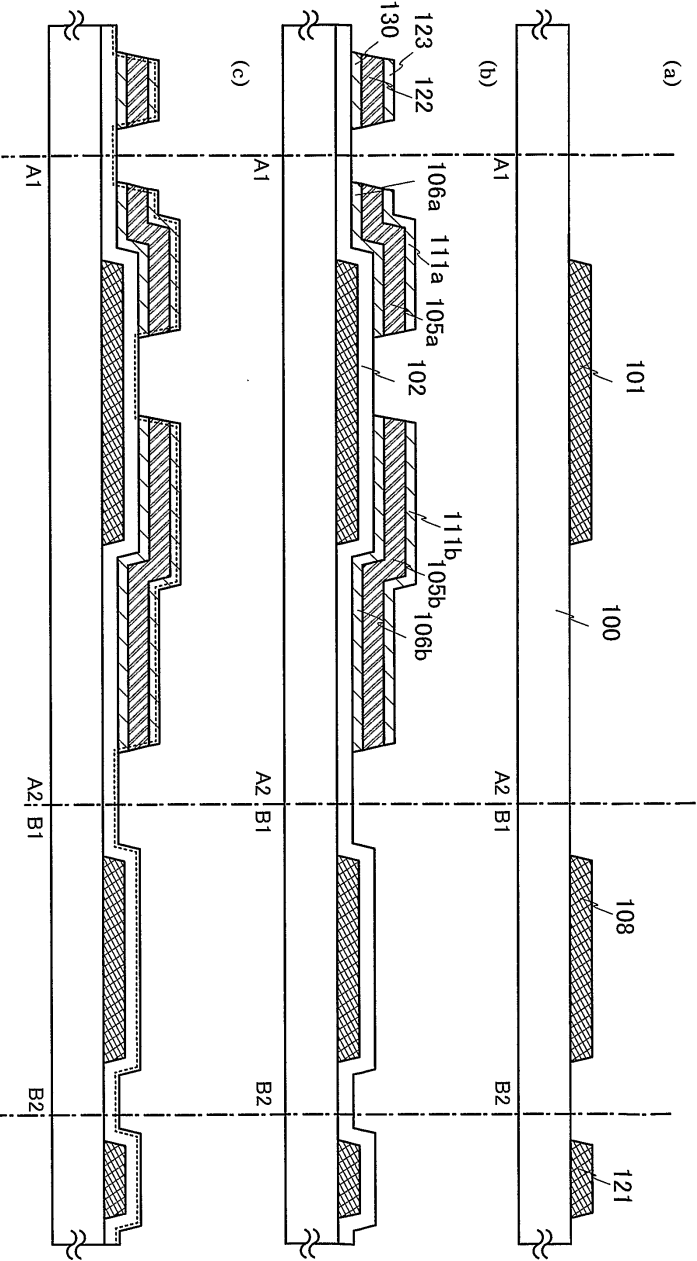
도면7d



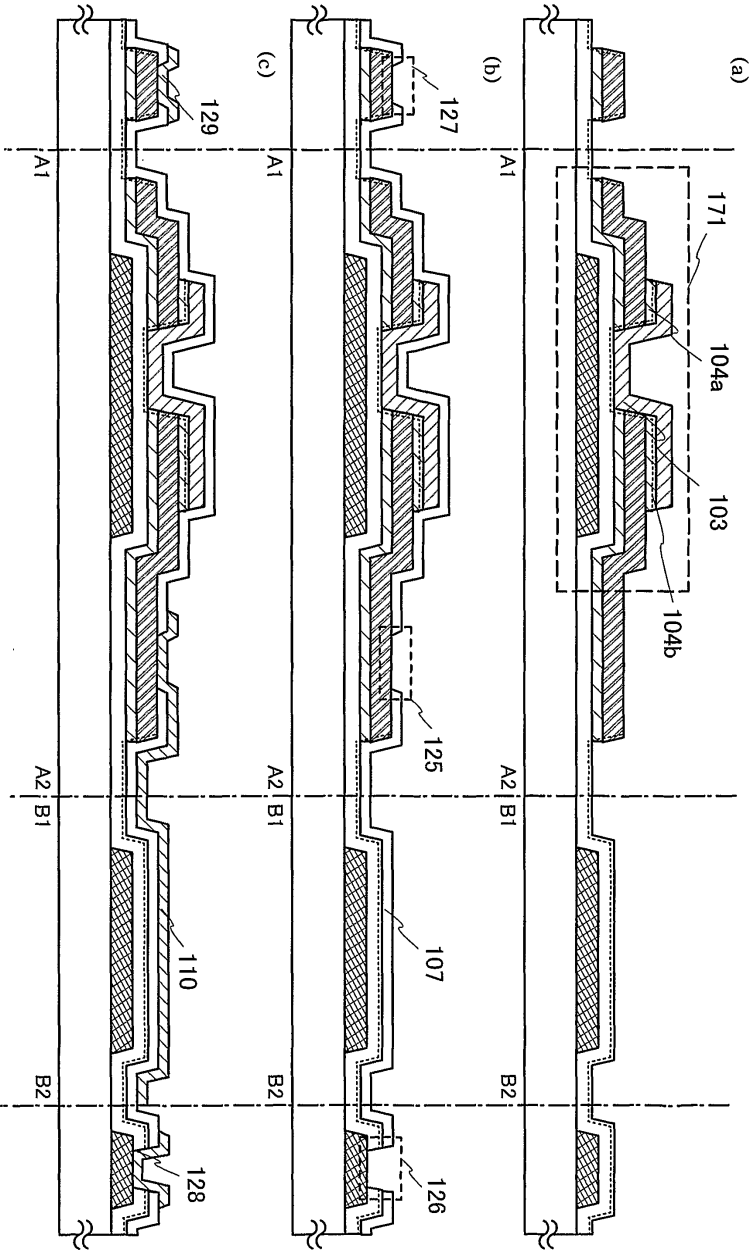
도면8



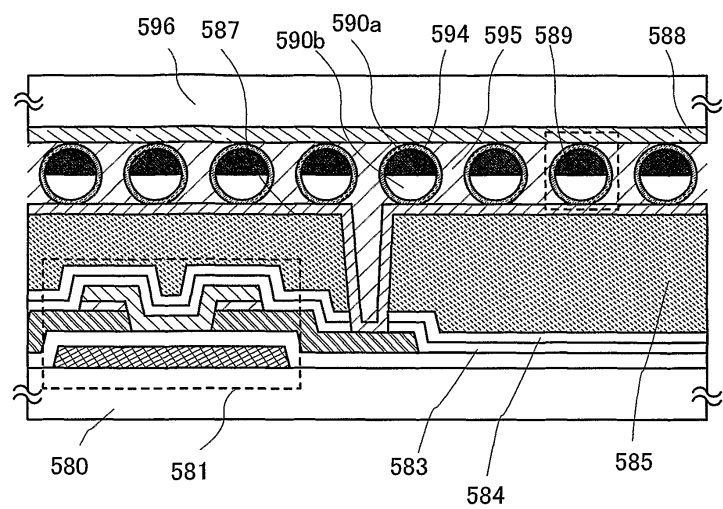
도면9



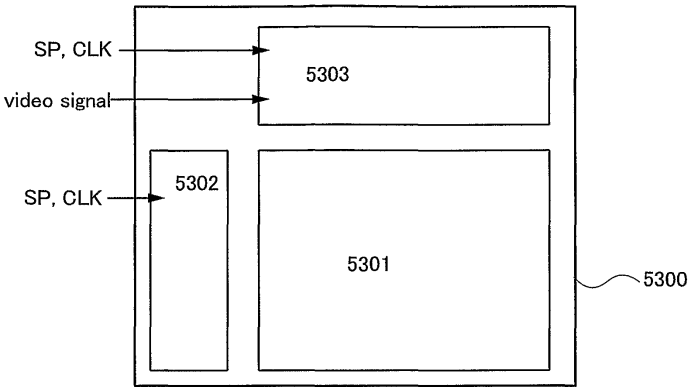
도면10



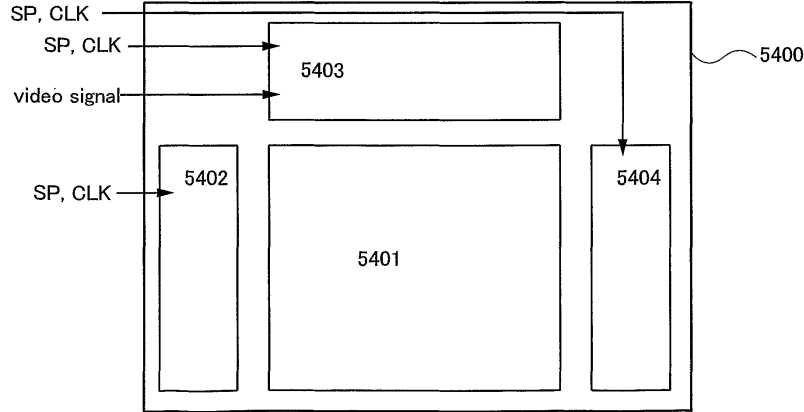
도면11



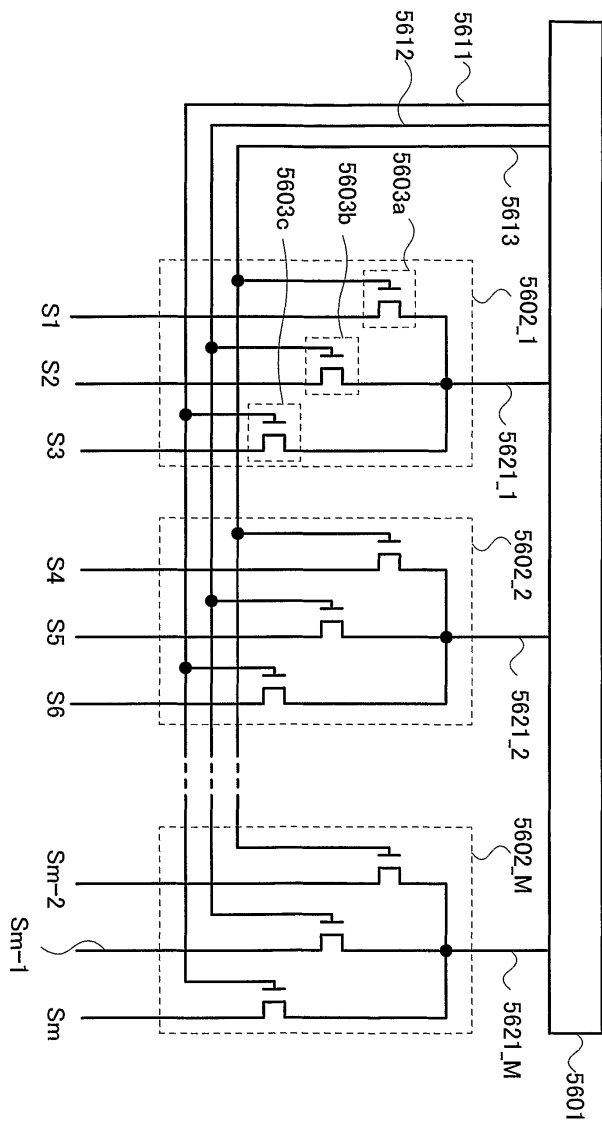
도면12a



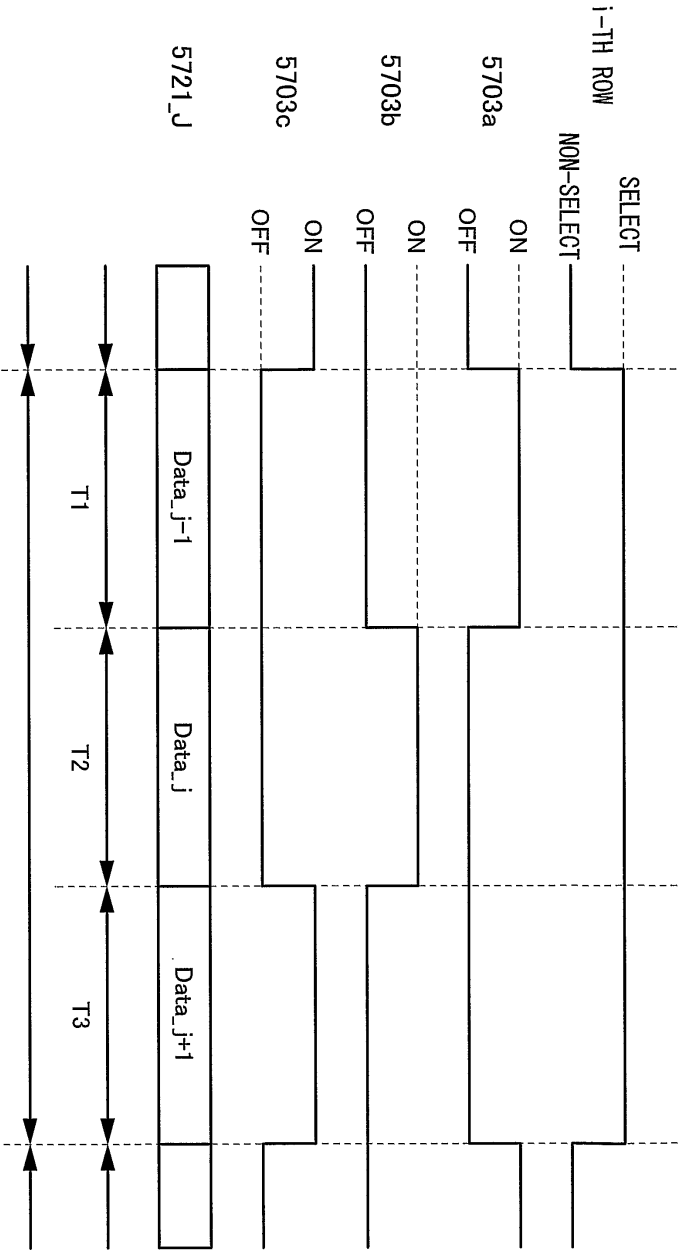
도면12b



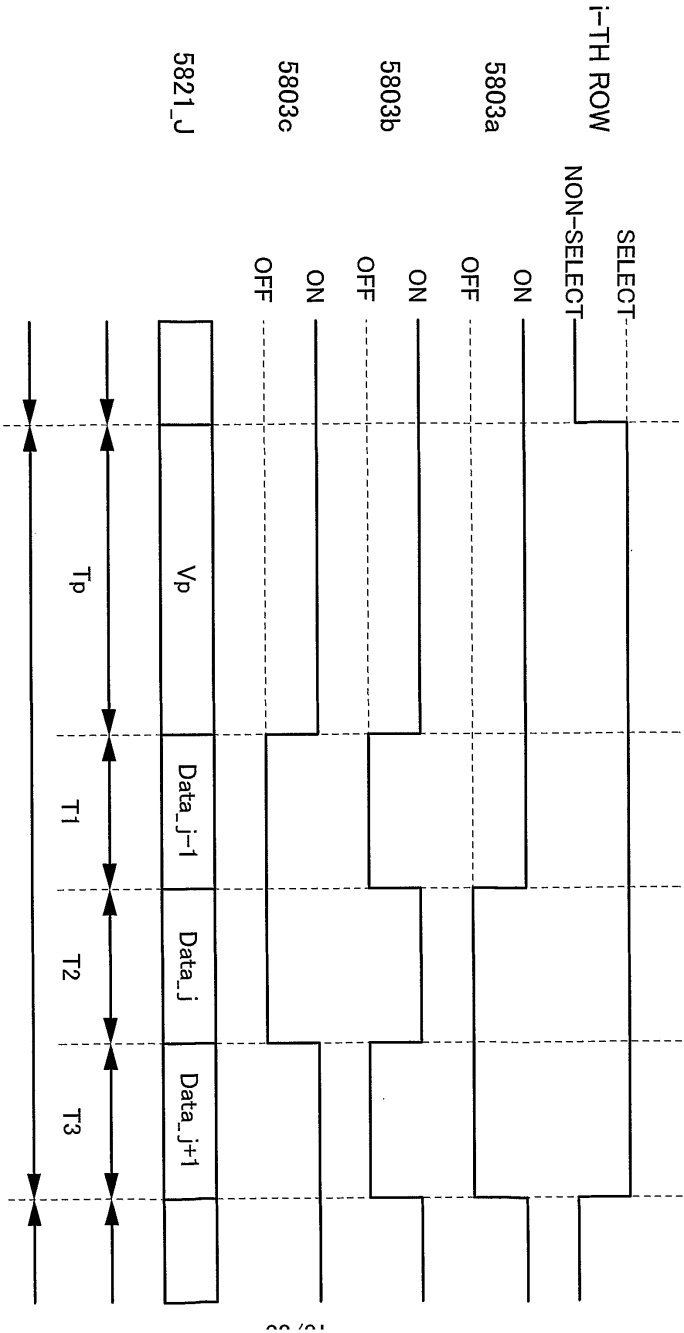
도면13



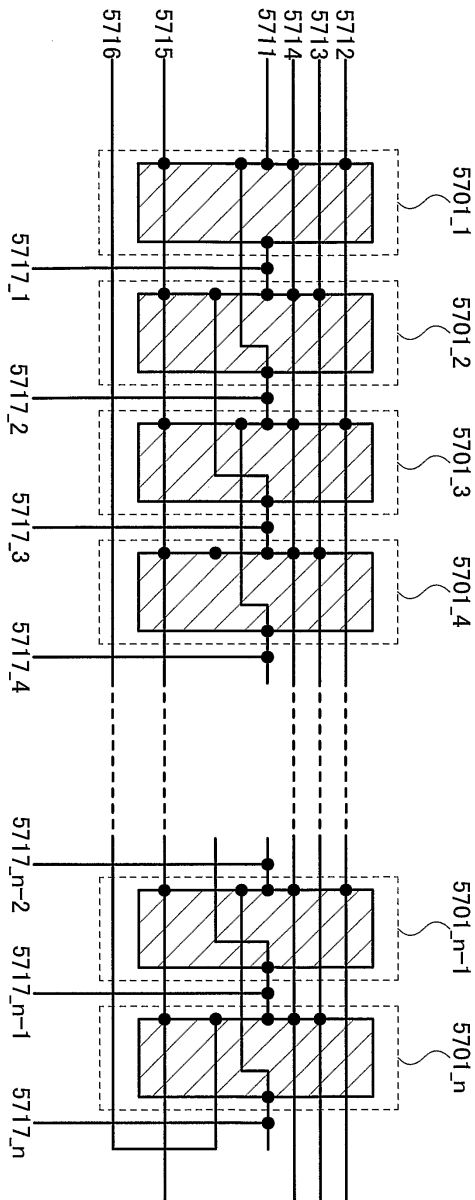
도면14



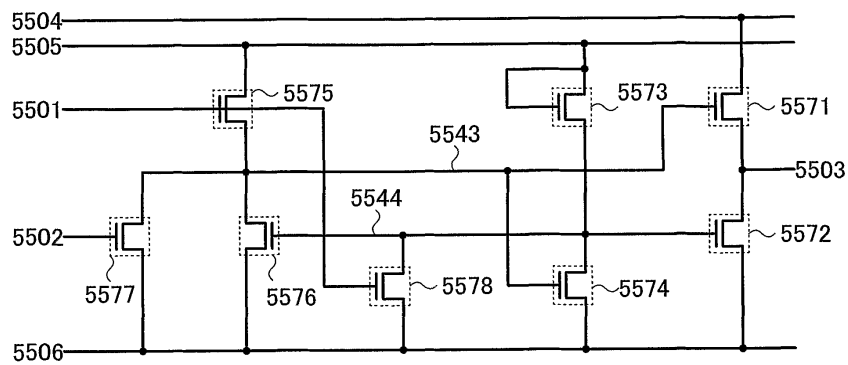
도면15



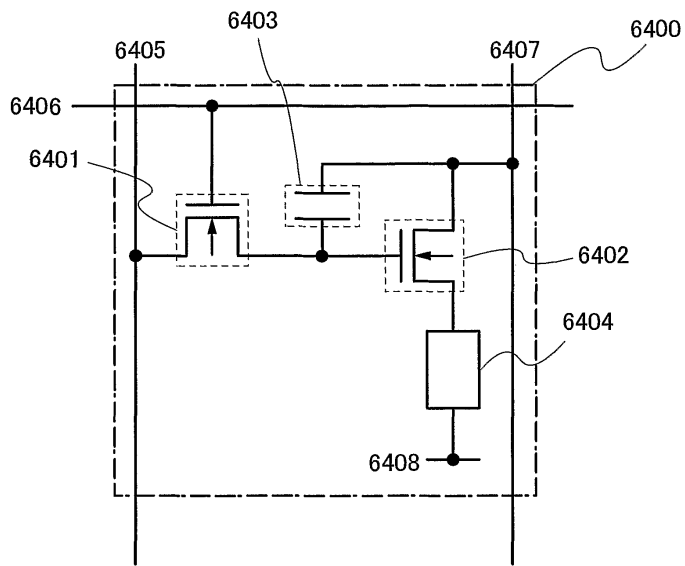
도면16



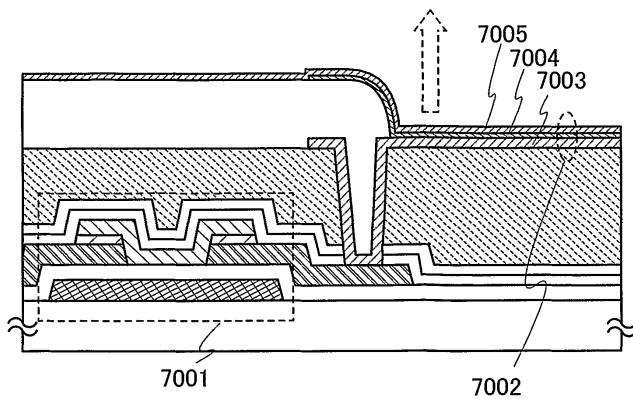
도면17



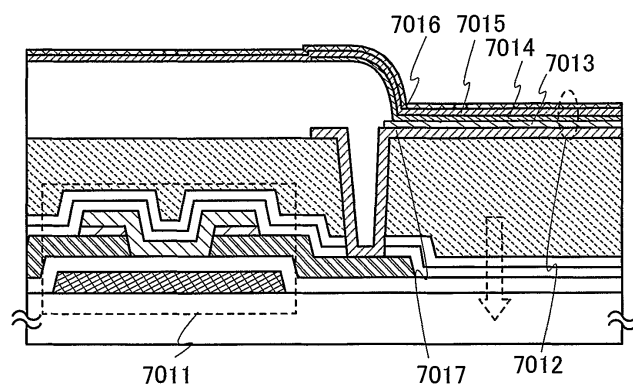
도면18



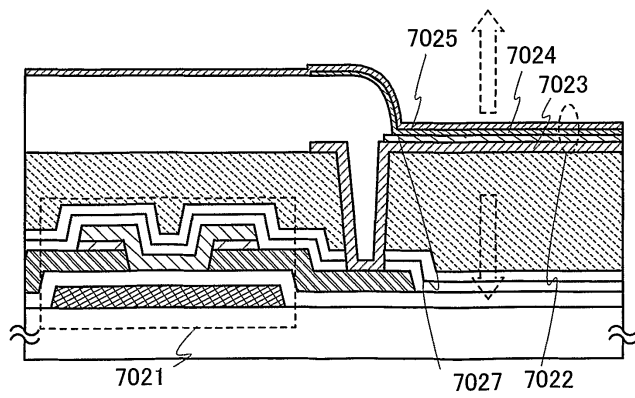
도면19a



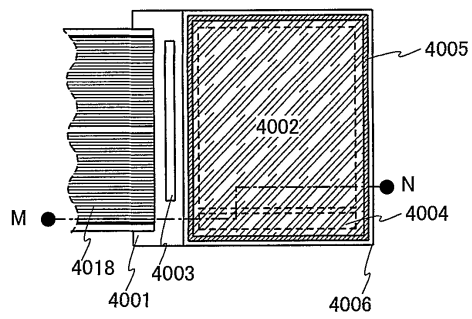
도면19b



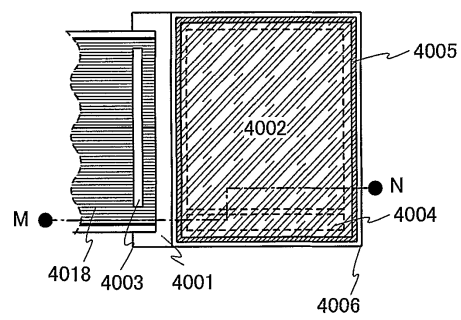
도면19c



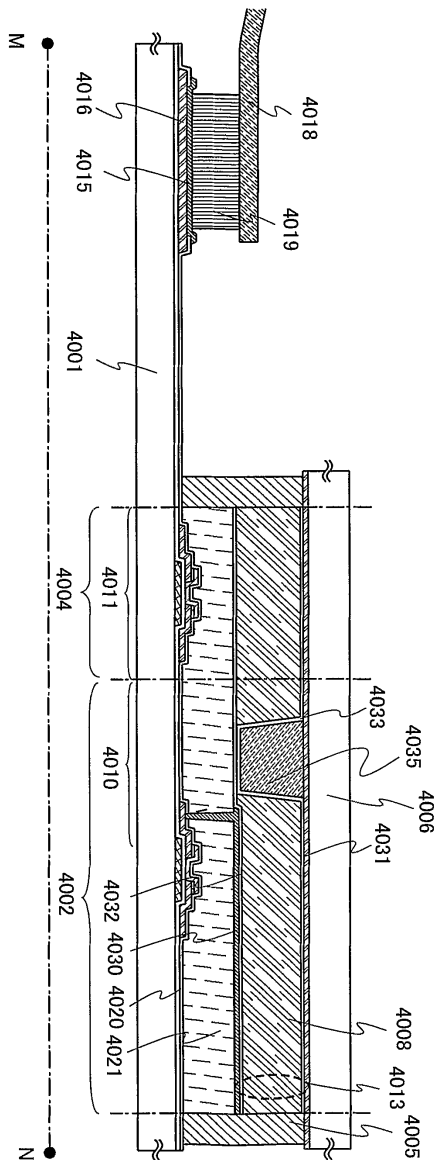
도면20a



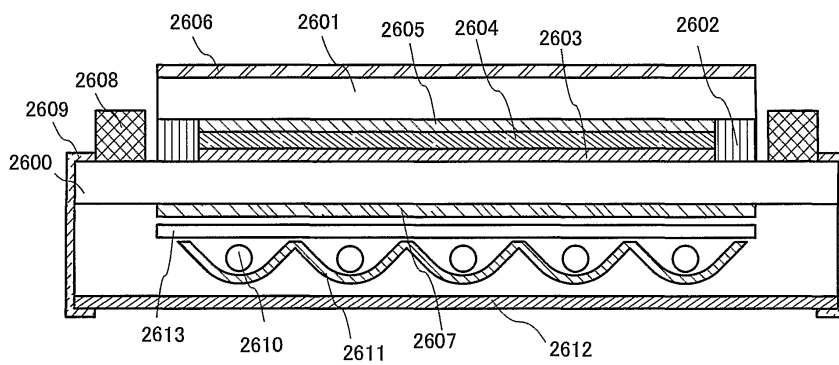
도면20b



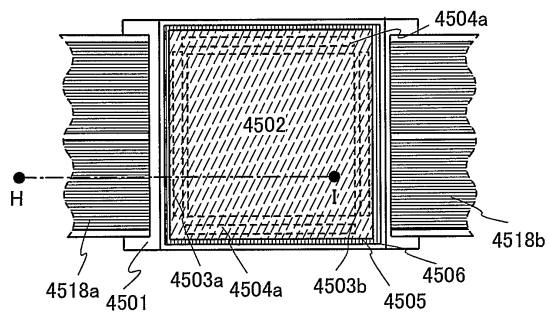
도면20c



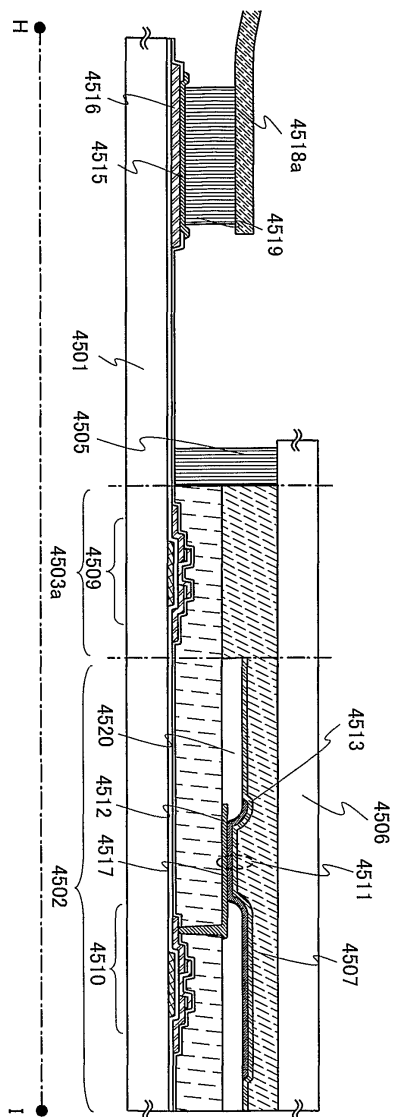
도면21



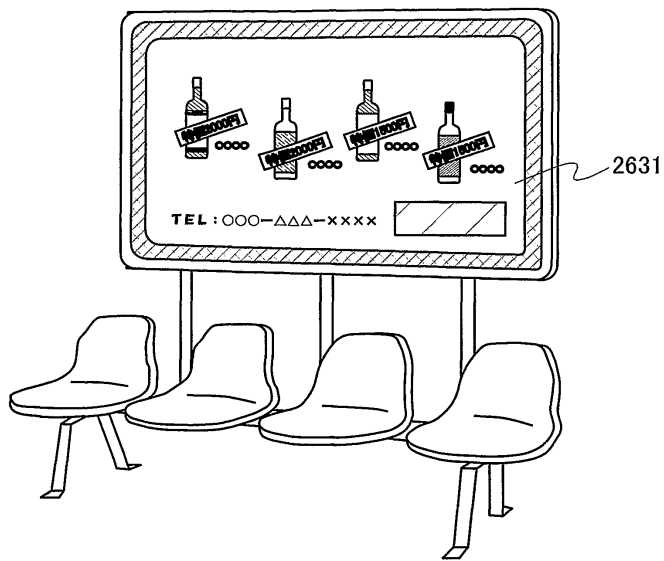
도면22a



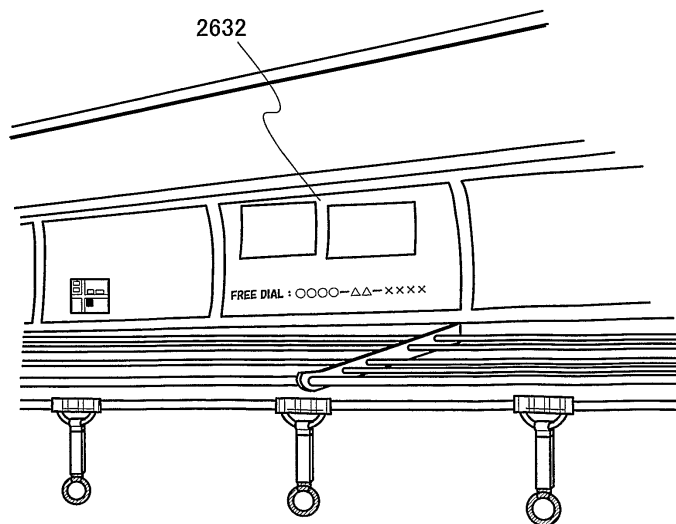
도면22b



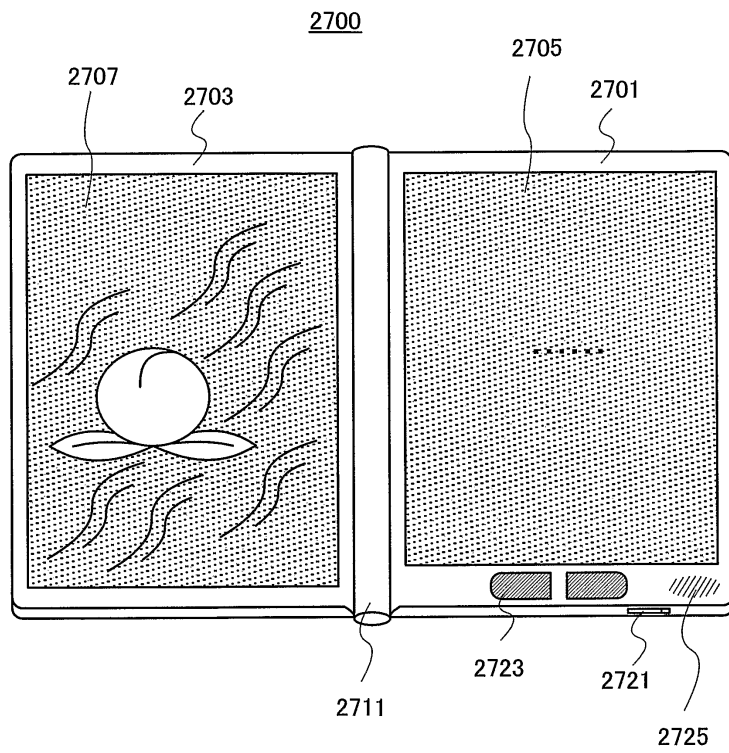
도면23a



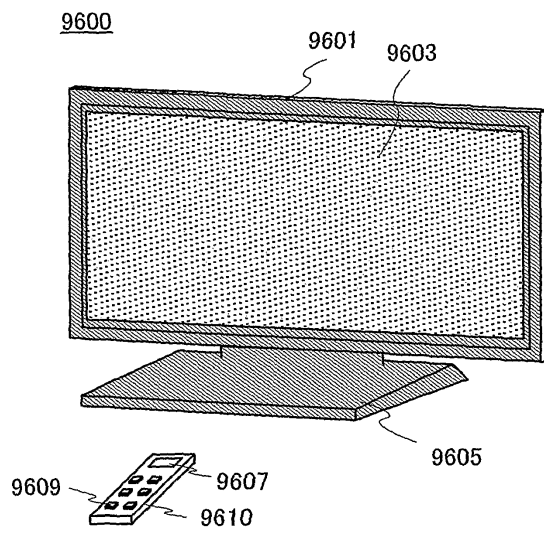
도면23b



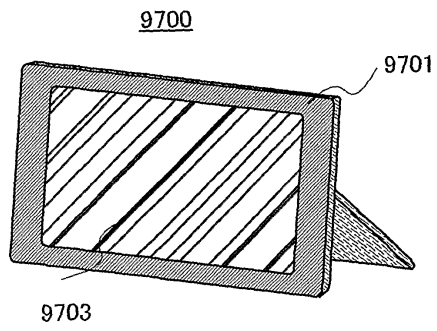
도면24



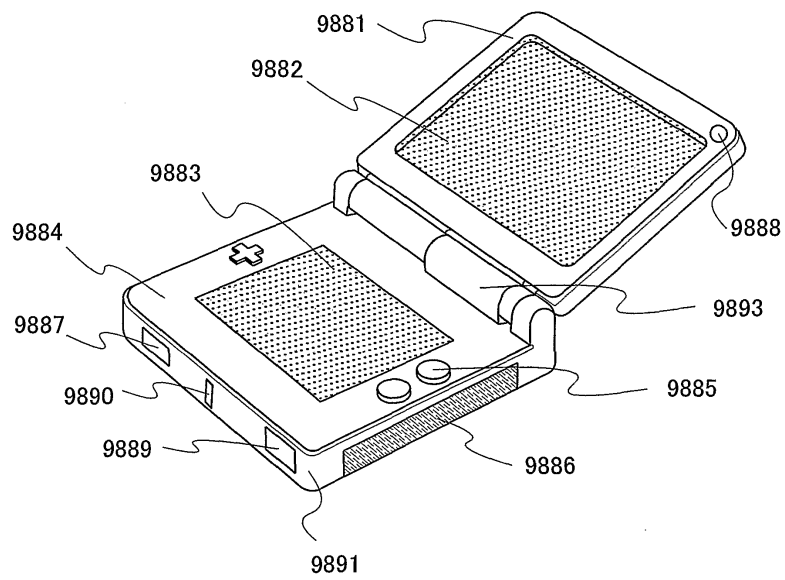
도면25a



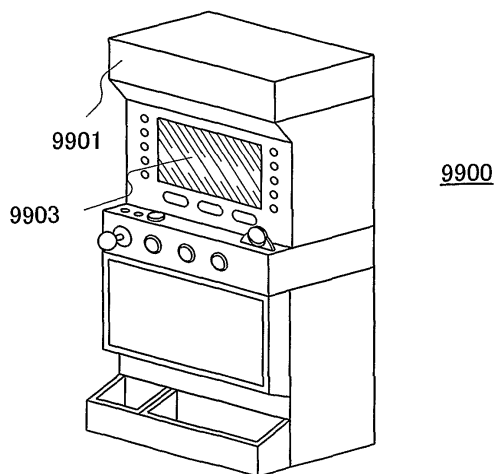
도면25b



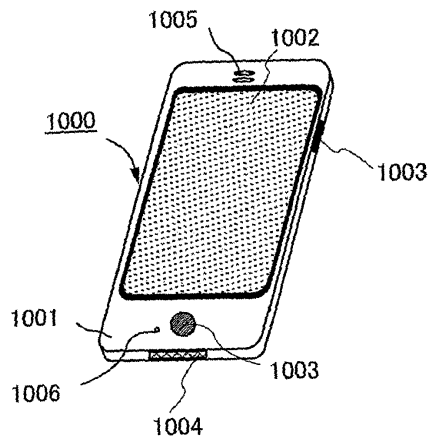
도면26a



도면26b



도면27



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 4

【변경전】

상기 제1 산화물 반도체층과

【변경후】

상기 제2 절연막 위에 있고, 상기 제1 산화물 반도체층과