

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 3 月 2 日 (02.03.2023)



(10) 国际公布号
WO 2023/025232 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01) *H04N 5/335* (2011.01)
H04N 9/04 (2006.01)

(21) 国际申请号: PCT/CN2022/114716

(22) 国际申请日: 2022 年 8 月 25 日 (25.08.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110984571.3 2021年8月25日 (25.08.2021) CN

(71) 申请人: 维沃移动通信有限公司 (VIVO
MOBILE COMMUNICATION CO., LTD.) [CN/CN];
中国广东省东莞市长安镇维沃路 1 号,
Guangdong 523863 (CN)。

(72) 发明人: 罗轶(LUO, Yi); 中国广东省东莞市长安
镇维沃路1号, Guangdong 523863 (CN)。

(74) 代理人: 北京路浩知识产权代理有限公司 (CN-
KNOWHOW INTELLECTUAL PROPERTY AGENT
LIMITED); 中国北京市海淀区中关村大街 11
号9层965, Beijing 100086 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,
IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK,
MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: CONTROL METHOD AND APPARATUS FOR PIXEL ARRAY, AND ELECTRONIC DEVICE AND READABLE STORAGE MEDIUM

(54) 发明名称: 像素阵列的控制方法、装置、电子设备和可读存储介质

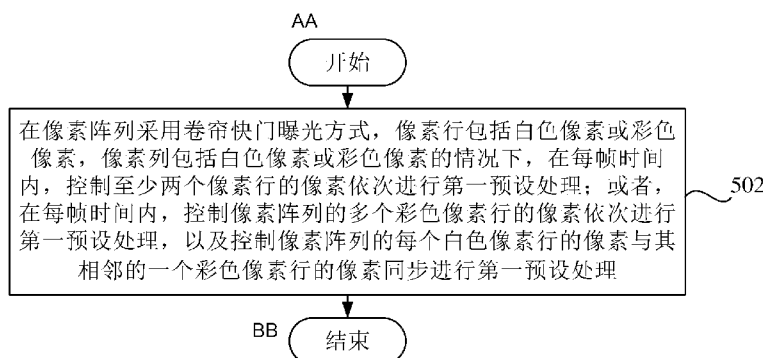


图 5

502 When a pixel array uses a rolling shutter exposure mode, a pixel row comprises a white pixel or colored pixels, and a pixel column comprises a white pixel or colored pixels, control, within each frame time, pixels of at least two pixel rows to sequentially undergo first preset processing; or control, within each frame time, pixels of a plurality of colored pixel rows of the pixel array to sequentially undergo first preset processing, and control pixels of each white pixel row of the pixel array to be synchronized with pixels of a colored pixel row adjacent to the white pixel row so as to undergo first preset processing

AA Start
BB End

(57) Abstract: A control method and apparatus for a pixel array (700), and an electronic device and a readable storage medium. The pixel array (700) comprises a plurality of pixel clusters (100, 602), wherein each pixel cluster (100, 602) comprises one white pixel (108, 208) and at least two colored pixels (102, 104, 106, 202, 204, 206), and the at least two colored pixels (102, 104, 106, 202, 204, 206) are arranged around the white pixel (108, 208). At least two pixel rows of the pixel array (700) share one control signal line, and at least two pixel columns of the pixel array (700) share one output signal line. The control method for a pixel array (700) comprises:

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

when a pixel array (700) uses a rolling shutter exposure mode, a pixel row comprises a white pixel (108, 208) or colored pixels (102, 104, 106, 202, 204, 206), and a pixel column comprises a white pixel (108, 208) or colored pixels (102, 104, 106, 202, 204, 206), controlling, within each frame time, pixels of at least two pixel rows to sequentially undergo first preset processing; or controlling pixels of a plurality of colored pixel rows of the pixel array (700) to sequentially undergo first preset processing, and controlling pixels of each white pixel row of the pixel array (700) to be synchronized with pixels of a colored pixel row adjacent to the white pixel row so as to undergo first preset processing (502).

(57) 摘要: 一种像素阵列(700)的控制方法、装置、电子设备和可读存储介质。像素阵列(700)包括多个像素团(100, 602), 像素团(100,602)包括一个白色像素(108, 208)和至少两个彩色像素(102,104,106,202,204,206), 至少两个彩色像素(102,104,106,202,204,206)围绕白色像素(108, 208)设置, 像素阵列(700)的至少两个像素行共用一个控制信号线路, 像素阵列(700)的至少两个像素列共用一个输出信号线路; 像素阵列(700)的控制方法包括: 在像素阵列(700)采用卷帘快门曝光方式, 像素行包括白色像素(108,208)或彩色像素(102,104,106,202,204,206), 像素列包括白色像素(108, 208)或彩色像素(102,104,106,202,204,206)的情况下, 在每帧时间内, 控制至少两个像素行的像素依次进行第一预设处理; 或控制像素阵列(700)的多个彩色像素行的像素依次进行第一预设处理, 以及控制像素阵列(700)的每个白色像素行的像素与其相邻的一个彩色像素行的像素同步进行第一预设处理(502)。

像素阵列的控制方法、装置、电子设备和可读存储介质

相关申请的交叉引用

本申请要求于 2021 年 8 月 25 日提交的申请号为 202110984571.3，发明
5 名称为“像素阵列的控制方法、装置、电子设备和可读存储介质”的中国专利
申请的优先权，其通过引用方式全部并入本申请。

技术领域

本申请属于电子设备技术领域，具体涉及一种像素阵列的控制方法、像
10 素阵列的控制装置、电子设备和可读存储介质。

背景技术

目前，由发光二极管（Light Emitting Diode，LED）显示技术启发的五像
素的彩色滤光片阵列（Color Filter Array，CFA），即 RGBW3.0，其解决了柯
15 达 RGBWCFA、拜耳 RGB CFA 等传统 CFA 架构在应用上的诸多弊病（例如
色彩分辨率下降等）。然而，RGBW3.0 的结构相比于传统 CFA 架构发生了较
大的变化，目前没有对应的像素阵列控制方案，导致无法对 RGBW3.0 进行精
准控制。

20 发明内容

本申请实施例的目的是提供一种像素阵列的控制方法、像素阵列的控制
装置、电子设备和可读存储介质，能够解决相关技术中没有对应的像素阵列
控制方案导致无法对彩色滤光片阵列进行精准控制的问题。

第一方面，本申请实施例提供了一种像素阵列的控制方法，该像素阵列
25 包括多个像素团，每个像素团包括一个白色像素和至少两个彩色像素，至少
两个彩色像素围绕白色像素设置，像素阵列包括至少两个像素行和至少两个

像素列，至少两个像素行共用一个控制信号线路，至少两个像素列共用一个输出信号线路；该控制方法包括：在像素阵列采用卷帘快门曝光方式，像素行包括白色像素或彩色像素，像素列包括白色像素或彩色像素的情况下，在每帧时间内，控制至少两个像素行的像素依次进行第一预设处理；或者，在每帧时间内，控制像素阵列的多个彩色像素行的像素依次进行第一预设处理，以及控制像素阵列的每个白色像素行的像素与其相邻的一个彩色像素行的像素同步进行第一预设处理；其中，彩色像素行是包括彩色像素的像素行，白色像素行是包括白色像素的像素行，第一预设处理包括：将像素的电信号设置为初始电压、控制像素感测光线以及将像素的电信号输出。

第二方面，本申请实施例提供了一种像素阵列的控制装置，该像素阵列包括多个像素团，每个像素团包括一个白色像素和至少两个彩色像素，至少两个彩色像素围绕白色像素设置，像素阵列包括至少两个像素行和至少两个像素列，至少两个像素行共用一个控制信号线路，至少两个像素列共用一个输出信号线路；该控制装置包括控制模块，控制模块用于：

在像素阵列采用卷帘快门曝光方式，像素行仅包括白色像素或仅包括彩色像素，像素列仅包括白色像素或仅包括彩色像素的情况下，在每帧时间内，控制至少两个像素行的像素依次进行第一预设处理；或者，在每帧时间内，控制像素阵列的多个彩色像素行的像素依次进行第一预设处理，以及控制像素阵列的每个白色像素行的像素与其相邻的一个彩色像素行的像素同步进行第一预设处理；其中，彩色像素行是包括彩色像素的像素行，白色像素行是包括白色像素的像素行，第一预设处理包括：将像素的电信号设置为初始电压、控制像素感测光线以及将像素的电信号输出。

第三方面，本申请实施例提供了一种电子设备，该电子设备包括处理器、存储器及存储在存储器上并可在处理器上运行的程序或指令，程序或指令被处理器执行时实现如第一方面的方法的步骤。

第四方面，本申请实施例提供了一种可读存储介质，可读存储介质上存储程序或指令，程序或指令被处理器执行时实现如第一方面的方法的步骤。

第五方面,本申请实施例提供了一种芯片,芯片包括处理器和通信接口,通信接口和处理器耦合,处理器用于运行程序或指令,实现如第一方面的方法。

在本申请实施例中,像素阵列的每个像素行共用一个控制信号线路,像素阵列的每个像素列共用一个输出信号线路,具体包括:每一行的彩色像素共用一个像素控制信号,每一行的白色像素共用一个像素控制信号;每一列的彩色像素共用一个输出信号线路,每一列的白色像素共用一个输出信号线路。针对上述像素阵列结构的控制方法具体包括:第一种控制方式,1帧时间内每个像素行依次进行重置、曝光以及读取控制。第二种控制方式,1帧时间内彩色像素行依次进行重置、曝光以及读取控制,同时控制每个白色像素行与其相邻的彩色像素行同步进行重置、曝光以及读取控制。在本申请实施例中,针对互补金属氧化半导体图像传感器(Complementary Metal-Oxide Semiconductor Image Sensor, CIS)像素阵列,在采用卷帘快门的曝光方式且不使用像素信号融合的情形下,提供了一种像素重置、曝光以及读取的控制方案,实现了对CIS的控制的准确性,为CFA在CIS上的广泛应用提供基础。

附图说明

图1是本申请实施例的互补金属氧化半导体图像传感器像素阵列排布以及像素团排布示意图;

图2是本申请实施例的互补金属氧化半导体图像传感器的像素的结构示意图之一;

图3是本申请实施例的互补金属氧化半导体图像传感器的像素的结构示意图之二;

图4是本申请实施例的互补金属氧化半导体图像传感器的像素电路阵列架构示意图;

图5是本申请实施例的像素阵列的控制方法的流程示意图;

图 6 是本申请实施例的像素电路阵列的结构示意图之一；

图 7 是本申请实施例的采用卷帘快门方式且未使用像素信号合成的像素阵列控制方法的控制逻辑示意图之一；

图 8 是本申请实施例的采用卷帘快门方式且未使用像素信号合成的像素阵列控制方法的流程示意图之一；

图 9 是本申请实施例的采用卷帘快门方式且未使用像素信号合成的像素阵列控制方法的控制逻辑示意图之二；

图 10 是本申请实施例的采用卷帘快门方式且未使用像素信号合成的像素阵列控制方法的流程示意图之二；

图 11 是本申请实施例的采用卷帘快门方式且使用像素信号合成的像素阵列控制方法的控制逻辑示意图之一；

图 12 是本申请实施例的采用卷帘快门方式且使用像素信号合成的像素阵列控制方法的流程示意图之一；

图 13 是本申请实施例的采用全局快门方式且未使用像素信号合成的像素阵列控制方法的控制逻辑示意图之一；

图 14 是本申请实施例的采用全局快门方式且未使用像素信号合成的像素阵列控制方法的流程示意图；

图 15 是本申请实施例的采用全局快门方式且使用像素信号合成的像素阵列控制方法的控制逻辑示意图之一；

图 16 是本申请实施例的采用全局快门方式且使用像素信号合成的像素阵列控制方法的流程示意图；

图 17 是本申请实施例的像素电路阵列的结构示意图之二；

图 18 是本申请实施例的采用卷帘快门方式且未使用像素信号合成的像素阵列控制方法的控制逻辑示意图之三；

图 19 是本申请实施例的采用卷帘快门方式且未使用像素信号合成的像素阵列控制方法的流程示意图之三；

图 20 是本申请实施例的采用卷帘快门方式且使用像素信号合成的像素

阵列控制方法的控制逻辑示意图之二;

图 21 是本申请实施例的采用卷帘快门方式且使用像素信号合成的像素阵列控制方法的流程示意图之二;

图 22 是本申请实施例的采用卷帘快门方式且使用像素信号合成的像素阵列控制方法的控制逻辑示意图之三;

图 23 是本申请实施例的采用卷帘快门方式且使用像素信号合成的像素阵列控制方法的流程示意图之三;

图 24 是本申请实施例的采用全局快门方式且未使用像素信号合成的像素阵列控制方法的控制逻辑示意图之二;

图 25 是本申请实施例的采用全局快门方式且使用像素信号合成的像素阵列控制方法的控制逻辑示意图之二;

图 26 是本申请实施例的采用全局快门方式且使用像素信号合成的像素阵列控制方法的控制逻辑示意图之三;

图 27 是本申请实施例的像素阵列的控制装置的示意框图;

图 28 是本申请实施例的电子设备的示意框图之一;

图 29 是本申请实施例的电子设备的示意框图之二。

具体实施方式

下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚地描述,显然,所描述的实施例是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员获得的所有其他实施例,都属于本申请保护的范围。

本申请的说明书和权利要求书中的术语“第一”、“第二”等是用于区别类似的对象,而不适用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便本申请的实施例能够以除了在这里图示或描述的那些以外的顺序实施。此外,说明书以及权利要求中“和/或”表示所连接对象的至少其中之一,字符“/”,一般表示前后关联对象是一种“或”的关

系。

采用 RGBW3.0 的 CIS 的像素阵列 (Pixel Array) 是由像素团构成的。如图 1 所示, 每一个像素团 100 拥有 5 个像素 (Pixel), 其中 4 个有色像素 (即彩色像素), 包括红色像素 102、蓝色像素 104 和两个绿色像素 106, 均为“L”形状, 而无色透明的白色像素 108 则仍为正方形, 白色像素 108 位于像素团 100 的正中心, 由 4 个“L”型的有色像素包裹环绕。在每一个有色像素的彩色滤光片下为感光元件, 例如光电二极管, 其作用为将彩色滤光片滤出的光线转换为用于后端处理的电学信号, 例如电流、电压、电势能等。

而在现代的 CIS 制造工艺中, 异形像素 (即“L”型) 由于其工艺和良率问题, 目前仍然无法大规模应用在消费类 CIS 产品中。为了成功实践, RGBW3.0 中的“L”型有色像素被拆分为多个矩形像素。如图 2 和图 3 所示, 为两种方案。如图 2 所示, 在方案 1 中, 红区域 202、蓝区域 204、绿色区域 206 均由 3 个像素构成。而中间的白色区域 208 则由 4 个像素构成, 每个像素的大小均一致。如图 3 所示, 在方案 2 中, 每个有色区域则由 5 个像素构成, 而中心的白色区域 208 则由 16 个像素构成。不论上述何种方法, 绿色像素, 红色像素, 蓝色像素的个数比值不变, 始终为 2:1:1。然而由于白色像素的个数变化, 使得白色区域在像素团区域的占比改变, 方法 1 中白色像素与有色像素的比值为 1: 3, 方法 2 中白色像素与有色像素的比值为 4: 5。

采用 RGBW3.0 的 CIS 像素电路阵列架构如图 4 所示, 每一行像素均共享一组像素控制信号, 像素控制信号包括: 像素重置信号 (ϕ_{rst}), 用于控制像素的重置时间, 电荷转移开关信号 (ϕ_{tran}), 用于控制像素的曝光时间, 以及像素信号读取开关信号 (ϕ_{sel}), 用于控制像素的读取时间, 像素控制信号由像素控制信号生成模块 402 生成。每一列像素共用一个像素输出信号 (V_{out}) 传输线路, 每一行像素将轮流使用此共享的传输线路传输 V_{out} 至后端信号处理电路。

对于每一个像素, 都包含了一个像素电路。如图 4 所示, 像素电路 404 包括 4 晶体管有源像素感应 (Active Pixel Sensor, APS) 电路, 其中感光的光电

二极管 (Photodiode, PD) 将光线转换成电子后通过电荷转移晶体管 (由 ϕ_{tran} 控制其开关) 转移至浮动扩散 (Floating Diffusion, FD) 区域。当像素被选择读取时 (ϕ_{sel} 电平拉高), FD 中的电荷量被由 M_{sf} 以及 M_{sel} 组成的源跟随器 (Source Follower) 读为电压信号并输出为 V_{out} 。

5 目前, 由于 RGBW3.0 CFA 像素的结构发生了较大的变化, 导致其目前并没有对应的像素阵列控制方案。而本申请提供的像素阵列的控制方法、像素阵列的控制装置、电子设备和可读存储介质即可解决上述问题。

10 下面结合附图, 通过具体的实施例及其应用场景对本申请实施例提供的像素阵列的控制方法、像素阵列的控制装置、电子设备和可读存储介质进行详细地说明。

15 本申请实施例提供一种像素阵列的控制方法, 该像素阵列包括多个像素团, 每个像素团包括一个白色像素和至少两个彩色像素, 至少两个彩色像素围绕白色像素设置, 像素阵列包括至少两个像素行和至少两个像素列, 至少两个像素行共用一个控制信号线路, 至少两个像素列共用一个输出信号线路; 如图 5 所示, 该控制方法包括:

20 步骤 502, 在像素阵列采用卷帘快门曝光方式, 像素行包括白色像素或彩色像素, 像素列包括白色像素或彩色像素的情况下, 在每帧时间内, 控制至少两个像素行的像素依次进行第一预设处理; 或者, 在每帧时间内, 控制像素阵列的多个彩色像素行的像素依次进行第一预设处理, 以及控制像素阵列的每个白色像素行的像素与其相邻的一个彩色像素行的像素同步进行第一预设处理。

其中, 彩色像素行是包括彩色像素的像素行, 白色像素行是包括白色像素的像素行, 第一预设处理包括: 将像素的电信号设置为初始电压、控制像素感测光线以及将像素的电信号输出。

25 在该实施例中, 像素阵列的每个像素行共用一个控制信号线路, 像素阵列的每个像素列共用一个输出信号线路, 具体包括: 每一行的彩色像素共用一个像素控制信号, 每一行的白色像素共用一个像素控制信号; 每一列的彩

色像素共用一个输出信号线路，每一列的白色像素共用一个输出信号线路。

示例性地，本申请实施例中，像素阵列 600 以及像素阵列 600 对应的像素电路阵列 700 的电路结构，如图 6 所示。像素电路阵列 700 由多个像素团电路 702 构成，一个像素团电路 702 由多个像素电路 704 构成（像素阵列 600 中的一个像素团 602 对应一个像素团电路 702，像素阵列 600 中的一个像素对应一个像素电路 704），每一行像素电路均由像素控制信号生成模块 800 进行控制。

像素行包括白色像素或彩色像素、像素列包括白色像素或彩色像素的情况，相当于，每一行的彩色像素共用一个像素控制信号（也即控制信号线路），每一行的白色像素共用一个像素控制信号（也即控制信号线路），每一行白色像素共用的像素控制信号与每一行彩色像素共用的像素控制信号相互独立。以及，每一列像素输出的信号共用一条信号传输线路（也即输出信号线路），而且彩色像素的输出信号线路与白色像素的输出信号线路相互独立。信号传输线路将每列的输出信号（Vout）传输至像素输出信号处理模块 900，由像素输出信号处理模块 900 进行处理。

本申请实施例提供了一种 RGBW 的像素电路阵列架构，相对于传统的像素电路阵列，实现了对像素电路阵列的重新布局。一方面，此像素电路阵列架构适用于 CFA 类型（例如，RGBW3.0 CFA），解决了 CFA 无法使用传统的像素电路阵列的问题，为 CFA 在 CIS 上的广泛应用提供基础；另一方面，实现了彩色像素与白色像素之间信号的独立处理，在适配采用 CFA 像素结构的同时，有效地避免了彩色像素与白色像素间信号的串扰，提高了图像传感器的灵敏度。

对于采用了图 6 所示像素阵列结构的像素阵列的一种控制方法，具体为，在每帧时间内，控制像素阵列的多个像素行依次进行第一预设处理，也即，在每帧时间内，根据第一控制信号控制第 j 个像素行的像素进行第一预设处理，在第 j 个像素行的像素进行像素重置之后，根据第二控制信号，控制第 $j+1$ 个像素行的像素进行第一预设处理。其中， i 、 j 、 N 为正整数， j 大于或等

于 1, 且小于或等于 $N-1$, N 为像素阵列中像素行的数量, 第一预设处理依次包括: 像素重置、像素曝光、像素读取。

对于采用了图 6 所示像素阵列结构的像素阵列的另一种控制方法, 具体为, 在每帧时间内, 控制像素阵列的多个彩色像素行依次进行第一预设处理且控制每个白色像素行与其相邻的彩色像素行同步进行第一预设处理, 也即, 在每帧时间内, 根据第三控制信号控制第 p 个彩色像素行的像素进行第一预设处理, 在第 p 个彩色像素行的像素进行像素重置之后, 根据第四控制信号控制第 $p+1$ 个彩色像素行的像素进行第一预设处理。其中, 白色像素行的像素的光电二极管与其相邻的一个彩色像素行的像素的光电二极管同时进行第一预设处理, p 为正整数, p 大于或等于 1, 且小于或等于 $(2 \times M/3) - 1$, M 为像素阵列中像素行的数量, 彩色像素行是包括彩色像素的像素行, 白色像素行是包括白色像素的像素行, 第一预设处理依次包括: 像素重置、像素曝光、像素读取。

需要说明的是, 像素行的像素包括白色像素或彩色像素。第一预设处理依次包括像素重置、像素曝光和像素读取。像素重置是指, 将像素行的像素在上一帧中的电压信号重置为初始电压; 像素曝光是指, 控制像素行的像素感光, 从而使得像素的电信号从初始电压发生变化; 像素读取是指, 将变化后的电信号通过输出信号线路输出。

示例性地, 针对采用了图 6 所示像素阵列结构的像素阵列控制方法, 如图 7 和图 9 所示。具体地, 图 7 和图 9 所示的是两种采用卷帘快门方式, 且未使用像素信号合成 (即白色像素与彩色像素融合) 的像素阵列控制方法。所有像素在一帧时间内均被来自像素控制信号生成模块生成的像素控制信号 (例如, 像素重置信号 ϕ_{rst} 、电荷转移开关信号 ϕ_{tran} 以及像素信号读取开关信号 ϕ_{sel}) 控制完成重置、曝光以及读取三个步骤。

第一种控制方法为, 1 帧时间内每个像素行依次进行重置、曝光以及读取控制。也即, 如图 7 所示, 有色像素 (即彩色像素 R、G、B) 横行与白色像素 (W) 横行交替进行重置、曝光以及读取控制。每一横行的像素与其他横行

的像素在各个步骤上均不对齐，且每一横行的像素在完成读取控制步骤后，立即进入下一帧的重置步骤。

如图 8 所示，上述第一种控制方式的控制逻辑包括：第 1 横行像素重置、上一帧最后横行像素读取；第 1 横行像素曝光、第 2 横行像素重置；第 2 横行像素曝光、第 3 横行像素重置；以此类推，直至倒数第 2 横行像素读取、最后横行像素曝光。

第二种控制方式的控制逻辑包括：1 帧时间内彩色像素行依次进行重置、曝光以及读取控制，同时控制每个白色像素行与其相邻的彩色像素行同步进行重置、曝光以及读取控制。也即，如图 9 所示，彩色像素（R、G、B）横行依次进行重置、曝光以及读取控制，同时白色像素行与其所对应的彩色像素横行同步，每一横行的像素在完成读取控制步骤后，立即进入下一帧的重置步骤。需要说明的是，对于一个白色像素，其所对应的彩色像素指的是，与其在同一个像素团内的彩色像素。

如图 10 所示，上述第二种控制方式的控制逻辑包括：第 1 横行和第 2 横行像素重置、上一帧最后横行像素读取；第 3 横行像素重置、第 1 横行和第 2 横行像素曝光；第 4 横行和第 5 横行像素重置、第 3 横行像素曝光；以此类推，直至倒数第 3 横行和倒数第 2 横行像素读取、最后横行像素曝光。

在该实施例中，针对 CIS 像素阵列（该像素阵列中采用“L 型”彩色像素），在采用卷帘快门的曝光方式，且不使用像素信号融合的情形下，提供了一种像素重置、曝光以及读取的控制方案，实现了对 CIS 的控制的准确性，为 CFA 在 CIS 上的广泛应用提供基础。

进一步地，在本申请的一个实施例中，该控制方法还包括：在像素阵列采用卷帘快门曝光方式，白色像素的电信号与至少一个彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制多行像素团的像素依次进行第二预设处理；其中，第二预设处理依次包括：将像素的电信号设置为初始电压、控制像素感测光线、将像素团的白色像素的电信号与像素团的至少一个彩色像素的电信号进行信号融合以增强彩色像素的电信号、将像素的电信号输出。

在该实施例中，如果使用像素信号融合，也即，将每一个像素团中的白色像素产生的信号融合进 1 个或多个彩色像素中，则其相应的像素阵列控制方法如图 11 所示。由于每个像素团涵盖了 3 个像素行，因此每 3 个像素行的像素统一进行重置和曝光，且相邻 3 个像素行的像素均不对齐。曝光完成后进入信号融合时段，每一个像素团内的白色像素的电信号与一个或多个彩色像素的电信号进行信号融合操作，以增强彩色像素的电信号，使彩色像素对应的图像更亮。融合操作完成后进入信号读取时段，像素团内合成后的像素信号被读取至像素信号处理模块进行后续处理。当前帧像素读取控制的步骤结束后，立即进入下一帧的重置步骤。

如图 12 所示，上述控制方式的控制逻辑包括：第 1、2、3 横行像素重置以及上一帧倒数第 3、2、1 横行像素读取；第 4、5、6 横行像素重置以及第 1、2、3 横行像素曝光；第 7、8、9 横行像素重置以及第 4、5、6 横行像素曝光；以此类推，直至倒数第 6、5、4 横行像素读取以及倒数第 3、2、1 横行像素曝光。

在该实施例中，针对 CIS 像素阵列（该像素阵列中采用“L 型”彩色像素），在采用卷帘快门的曝光方式，且使用像素信号融合的情形下，提供了一种像素重置、曝光以及读取的控制方案，实现了对 CIS 的控制的准确性，为 CFA 在 CIS 上的广泛应用提供基础。

进一步地，在本申请的一个实施例中，该控制方法还包括：在像素阵列采用全局快门像素曝光方式的情况下，在每帧时间内，控制像素阵列的多个像素行的像素同步进行第三预设处理，其中第三预设处理包括：将像素的电信号设置为初始电压、控制像素感测光线；控制多个像素行的像素的电信号依次进行输出。

在该实施例中，使用全局快门曝光方式且未进行像素信号融合的像素阵列控制方法如图 13 所示。每一行像素，不论是彩色像素行还是白色像素行均统一进行重置、曝光和读取。其中，在读取期间虽然所有的横行像素读取期对齐，但是读取是按照逐横行信号读取与处理的方式进行（只是读取期统一

划分而已)。当所有的像素信号均读取完毕后,当前帧结束,并紧接着下一帧像素重置步骤。

如图 14 所示,上述控制方式的控制逻辑包括:所有像素重置;所有像素重置结束,开始曝光;所有像素曝光结束,开始逐行读取;以此类推,直至所有像素读取结束,一帧完成。

在该实施例中,针对 CIS 像素阵列(该像素阵列中采用“L 型”彩色像素),在采用全局快门的曝光方式、且不使用像素信号融合的情形下,提供了一种像素重置、曝光以及读取的控制方案,实现了对 CIS 的控制的准确性,为 CFA 在 CIS 上的广泛应用提供基础。

进一步地,在本申请的一个实施例中,该控制方法还包括:在像素阵列采用全局快门像素曝光方式,白色像素的电信号与至少一个彩色像素的电信号进行信号融合的情况下,在每帧时间内,控制像素阵列的多个像素行的像素同步进行第四预设处理,其中第四预设处理包括:将像素的电信号设置为初始电压、控制像素感测光线;控制每个像素团中,白色像素的电信号与至少一个彩色像素的电信号进行信号融合,以增强彩色像素的电信号;控制多个像素行的像素的电信号依次进行输出。

在该实施例中,如果使用像素信号融合,也即,将每一个像素团中的白色像素产生的信号融合进 1 个或多个彩色像素中,则其相应的像素阵列控制方法如图 15 所示。仍然是所有横行像素统一进行重置、曝光。在读取时段每一个像素团内的白色像素的电信号与 1 个或多个彩色像素的电信号进行信号融合操作,以增强彩色像素的电信号,使彩色像素对应的图像更亮。融合操作完成后进入信号读取时段,读取操作仍然按照逐横行信号读取与处理的方式进行。当前帧像素读取控制的步骤结束后,立即进入下一帧的重置步骤。

如图 16 所示,上述控制方式的控制逻辑包括:所有像素重置;所有像素重置结束,开始曝光;所有像素曝光结束,进行信号融合后开始逐行读取;以此类推,直至所有像素读取结束,一帧完成。

在该实施例中,针对 CIS 像素阵列(该像素阵列中采用“L 型”彩色像

素), 在采用全局快门的曝光方式、且使用像素信号融合的情形下, 提供了一种像素重置、曝光以及读取的控制方案, 实现了对 CIS 的控制的准确性, 为 CFA 在 CIS 上的广泛应用提供基础。

进一步地, 在本申请的一个实施例中, 该控制方法还包括: 在像素阵列
5 采用卷帘快门曝光方式, 白色像素包括多个子白色像素, 彩色像素包括多个子彩色像素的情况下, 在每帧时间内, 控制像素阵列的多个像素行的子像素依次进行第五预设处理; 其中, 像素行仅包括子彩色像素, 或包括子白色像素和子彩色像素, 像素列仅包括子彩色像素, 或包括子白色像素和子彩色像素, 第五预设处理包括: 将子像素的电信号设置为初始电压、控制子像素感
10 测光线以及将子像素的电信号输出。

在该实施例中, 对于合成像素方案, 也即, 将白色像素拆分为多个矩形子白色像素、将彩色像素拆分为多个矩形子彩色像素的方案(如图 2 和图 3 所示), 以如图 2 中所示的结构为例, 每个像素团中含有 16 个子像素, 因此如图 17 所示, 像素阵列 600 的每个像素团 602 中含有 16 个子像素, 具体为
15 4 个子白色像素和 12 个子彩色像素。像素阵列 600 对应的像素电路阵列 700 由多个像素团电路 702 构成, 一个像素团电路 702 由多个子像素电路 706 构成, 每一行像素电路均由像素控制信号生成模块 800 进行控制, 每一列像素电路的输出信号传输至像素输出信号处理模块 900, 由像素输出信号处理模块 900 进行处理。

20 像素阵列中, 每一行中的子像素包括两种情况, 一种为每一行中仅包括子彩色像素, 另一种为每一行中包括子白色像素和子彩色像素; 每一列中的子像素包括两种情况, 一种为每一列中仅包括子彩色像素, 另一种为每一列中包括子白色像素和子彩色像素。

像素控制信号生成模块生成的横行像素控制信号被一整行像素(不论是
25 彩色像素还是白色像素)共享。在每一列, 每两个相邻像素共享一个像素信号读取电路, 两个像素的信号将被选择性读取并由共享列的输出信号线路传输至像素输出信号处理模块进行下一步信号处理。例如, 如图 17 所示, 子彩

色像素 R1 和子彩色像素 R3 分别处于相邻不同的横行,但他们共享一个像素信号读取电路。由横行像素控制信号进行控制,在不同的时间段,此像素信号读取电路将轮流对子彩色像素 R1 和子彩色像素 R3 进行信号读取。以此类推,子彩色像素 R2 与子白色像素 W1 共享一个像素信号读取电路,子彩色像素 G4 与子彩色像素 G5 共享一个像素信号读取电路。

在使用卷帘快门曝光方式且未进行像素信号融合时,其像素阵列控制方法如图 18 所示。每一行的子像素相对其他行错开时间进行重置、曝光和读取。

如图 19 所示,上述控制方式的控制逻辑包括:第 1 横行像素重置、上一帧最后横行像素读取;第 1 横行像素曝光、第 2 横行像素重置;第 2 横行像素曝光、第 3 横行像素重置;以此类推,直至倒数第 2 横行像素读取、最后横行像素曝光。

在该实施例中,针对 CIS 像素阵列(该像素阵列包括合成像素),在采用卷帘快门的曝光方式,且不使用像素信号融合的情形下,提供了一种像素重置、曝光以及读取的控制方案,实现了对 CIS 的控制的准确性,为 CFA 在 CIS 上的广泛应用提供基础。

进一步地,在本申请的一个实施例中,该控制方法还包括:在像素阵列采用卷帘快门曝光方式,子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合的情况下,按照像素阵列由上到下的顺序,将每 Q 个像素行设置为一个第一像素行组,则得到多个第一像素行组,其中 Q 等于 2 或 4;在每帧时间内,控制多个第一像素行组的子像素依次进行第六预设处理;其中,第六预设处理依次包括:将子像素的电信号设置为初始电压、控制子像素感测光线、将第一像素行组的子白色像素的电信号与第一像素行组的至少一个子彩色像素的电信号进行信号融合以增强子彩色像素的电信号、将子像素的电信号输出。

在该实施例中,对于合成像素方案,也即,将白色像素拆分为多个矩形子白色像素、将彩色像素拆分为多个矩形子彩色像素的方案(如图 2 和图 3 所示)。在一个像素团中,每一个子白色像素与之所在的像素团的其他子像素

可进行像素内信号互联融合。例如，如图 17 所示，子白色像素 W1 内的信号可以通过像素间内联线路与子彩色像素 R2、子彩色像素 R1 以及子彩色像素 R3 进行信号融合。

且需要说明的是，若有实际需要，3 个同色像素子彩色像素 R2、子彩色
5 像素 R1 以及子彩色像素 R3 的信号，也可撇开子白色像素进行融合。融合开关信号同样由像素控制信号生成模块生成提供。

在使用像素信号融合的情况下，有两种不同的像素阵列控制方式。

第一种控制方式，按照像素阵列由上到下的顺序，将每 2 个像素行设置为一个第一像素行组，则得到多个第一像素行组，在第 i 帧时间内，控制多个
10 第一像素行组的子像素依次进行第六预设处理。示例性地，如图 20 所示，以 2 行子像素为一个像素行组（2 行子像素为一半的像素团行），同时重置、同时曝光。在读取阶段开始时进行像素信号融合，然后进行信号读取。每两组间的控制信号相互独立且不对齐。在当前帧信号读取完成后，立刻进入下一帧。

15 如图 21 所示，上述第一种控制方式的控制逻辑包括：第 1、2 横行像素重置以及上一帧倒数第 2、1 横行像素读取；第 3、4 横行像素重置以及第 1、2 横行像素曝光；第 5、6 横行像素重置以及第 3、4 横行像素曝光；以此类推，直至倒数第 4、3 横行像素读取以及倒数第 2、1 横行像素曝光。

第二种控制方式为，按照像素阵列由上到下的顺序，将每 4 个像素行设置为一个第一像素行组，则得到多个第一像素行组，在第 i 帧时间内，控制多个
20 第一像素行组的子像素依次进行第六预设处理。示例性地，如图 22 所示，以 4 行子像素为一个像素行组（4 行子像素为一个像素团行），同时重置、同时曝光。在读取阶段开始时进行像素信号融合，然后进行信号读取。每两组间的控制信号相互独立且不对齐。在当前帧信号读取完成后，立刻进入下一
25 帧。

第二种控制方式与第一种控制方式的主要区别是，第二种控制方式中，像素团上半部分的子白色像素信号可以与下半部分的子白色像素信号进行融

合。也即，在 Q 等于 4 的情况下，将每一行像素团中的两个第一像素行组中，子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合，以增强子彩色像素的电信号。

如图 23 所示，上述第二种控制方式的控制逻辑包括：第 1、2、3、4 横行像素重置以及上一帧倒数第 4、3、2、1 横行像素读取；第 5、6、7、8 横行像素重置以及第 1、2、3、4 横行像素曝光；第 9、10、11、12 横行像素重置以及第 5、6、7、8 横行像素曝光；以此类推，直至倒数第 8、7、6、5 横行像素读取以及倒数第 4、3、2、1 横行像素曝光。

在该实施例中，针对 CIS 像素阵列（该像素阵列包括合成像素），在采用卷帘快门的曝光方式，且使用像素信号融合的情形下，提供了一种像素重置、曝光以及读取的控制方案，实现了对 CIS 的控制的准确性，为 CFA 在 CIS 上的广泛应用提供基础。

进一步地，在本申请的一个实施例中，该控制方法还包括：在像素阵列采用全局快门曝光方式，白色像素包括多个子白色像素，彩色像素包括多个子彩色像素的情况下，在每帧时间内，控制像素阵列的多个像素行的子像素同步进行第七预设处理，其中第七预设处理包括：将子像素的电信号设置为初始电压、控制子像素感测光线；控制多个像素行的子像素的电信号依次进行输出。

在该实施例中，对于合成像素方案，也即，将白色像素拆分为多个矩形子白色像素、将彩色像素拆分为多个矩形子彩色像素的方案（如图 2 和图 3 所示）。在采用全局快门的曝光方式且不使用像素信号融合的情况下，像素阵列控制方式如图 24 所示。每一行子像素均统一进行重置、曝光和读取。在读取期间虽然所有的横行像素读取期对齐，但是读取是按照逐横行信号读取与处理的方式进行（只是读取期统一划分而已）。当所有的像素信号均读取完毕后，当前帧结束，并紧接着进入下一帧像素重置步骤。

上述控制方式的控制逻辑如图 14 所示，包括：所有像素重置；所有像素重置结束，开始曝光；所有像素曝光结束，开始逐行读取；以此类推，直至所

有像素读取结束，一帧完成。

在该实施例中，针对 CIS 像素阵列（该像素阵列包括合成像素），在采用全局快门的曝光方式且不使用像素信号融合的情形下，提供了一种像素重置、曝光以及读取的控制方案，实现了对 CIS 的控制的准确性，为 CFA 在 CIS 上的广泛应用提供基础。

进一步地，在本申请的一个实施例中，该控制方法还包括：在像素阵列采用全局快门像素曝光方式，子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制像素阵列的多个像素行的像素同步进行第八预设处理，其中第八预设处理包括：将子像素的电信号设置为初始电压、控制子像素感测光线；按照像素阵列由上到下的顺序，将每 S 个像素行设置为一个第二像素行组，则得到多个第二像素行组，并控制每个第二像素行组中，子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合，以增强子彩色像素的电信号，其中 S 等于 2 或 4；控制多个像素行的子像素的电信号依次进行输出。

在该实施例中，对于合成像素方案，也即，将白色像素拆分为多个矩形子白色像素、将彩色像素拆分为多个矩形子彩色像素的方案（如图 2 和图 3 所示）。在采用全局快门的曝光方式且使用像素信号融合的情况下，像素阵列控制方式如图 25 和图 26 所示。所有横行子像素统一进行重置、曝光。在读取时段，根据不同的分组方法，对每一个像素团内的像素信号进行信号融合操作和信号读取操作。读取操作仍然按照逐横行信号读取与处理的方式进行。当前帧像素读取控制的步骤结束后，立即进入下一帧的重置步骤。

根据不同的分组方法，对每一个像素团内的像素信号进行信号融合操作和信号读取，具体包括：（1）如图 25 所示，以 2 行子像素为一个像素行组（2 行子像素为一半的像素团行）同时进行信号融合，再进行信号读取操作。（2）如图 26 所示，以 4 行子像素为一个像素行组（4 行子像素为一个像素团行），同时进行信号融合，再进行信号读取操作。

上述控制方式的控制逻辑如图 16 所示，包括：所有像素重置；所有像素

重置结束，开始曝光；所有像素曝光结束，进行信号融合后开始逐行读取；以此类推，直至所有像素读取结束，一帧完成。

在该实施例中，针对 CIS 像素阵列（该像素阵列包括合成像素），在采用全局快门的曝光方式且使用像素信号融合的情形下，提供了一种像素重置、
5 曝光以及读取的控制方案，实现了对 CIS 的控制的准确性，为 CFA 在 CIS 上的广泛应用提供基础。

值得注意的是，对于像素信号控制均采用了横行像素共享控制信号，竖行像素共享读出信号线路的方式也可以采用竖行像素共享控制信号，横行像素共享读出信号线路的方式。

10 需要说明的是，本申请实施例提供的像素阵列的控制方法，执行主体可以为像素阵列的控制装置，或者，该像素阵列的控制装置中的用于执行像素阵列的控制方法的控制模块。本申请实施例中以像素阵列的控制装置执行像素阵列的控制方法为例，说明本申请实施例提供的像素阵列的控制装置。

本申请实施例提供一种像素阵列的控制装置，该像素阵列包括多个像素
15 团，每个像素团包括一个白色像素和至少两个彩色像素，至少两个彩色像素设置于白色像素的周围，像素阵列包括至少两个像素行和至少两个像素列，至少两个像素行共用一个控制信号线路，至少两个像素列共用一个输出信号线路；如图 27 所示，该像素阵列的控制装置 2700 包括控制模块 2702，控制模块 2702 用于：

20 在每帧时间内，控制至少两个像素行的像素依次进行第一预设处理；或者，在每帧时间内，控制像素阵列的多个彩色像素行的像素依次进行第一预设处理，以及控制像素阵列的每个白色像素行的像素与其相邻的一个彩色像素行的像素同步进行第一预设处理；

其中，彩色像素行是包括彩色像素的像素行，白色像素行是包括白色像素的像素行，第一预设处理包括：将像素的电信号设置为初始电压、控制像素感测光线以及将像素的电信号输出。
25

在该实施例中，像素阵列的每个像素行共用一个控制信号线路，像素阵

列的每个像素列共用一个输出信号线路，具体包括：每一行的彩色像素共用一个像素控制信号，每一行的白色像素共用一个像素控制信号；每一列的彩色像素共用一个输出信号线路，每一列的白色像素共用一个输出信号线路。

针对上述像素阵列结构的控制方法具体包括：第一种控制方式，1 帧时间内每个像素行依次进行重置、曝光以及读取控制。第二种控制方式，1 帧时间内彩色像素行依次进行重置、曝光以及读取控制，同时控制每个白色像素行与其相邻的彩色像素行同步进行重置、曝光以及读取控制。在本申请实施例中，针对 CIS 像素阵列，在采用卷帘快门的曝光方式且不使用像素信号融合的情形下，提供了一种像素重置、曝光以及读取的控制方案，实现了对 CIS 的控制的准确性，为 CFA 在 CIS 上的广泛应用提供基础。

进一步地，在本申请的一个实施例中，控制模块 2702 还用于：在像素阵列采用卷帘快门曝光方式，白色像素的电信号与至少一个彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制多行像素团的像素依次进行第二预设处理；其中，第二预设处理依次包括：将像素的电信号设置为初始电压、控制像素感测光线、将像素团的白色像素的电信号与像素团的至少一个彩色像素的电信号进行信号融合以增强彩色像素的电信号、将像素的电信号输出。

进一步地，在本申请的一个实施例中，控制模块 2702 还用于：在像素阵列采用全局快门像素曝光方式的情况下，在每帧时间内，控制像素阵列的多个像素行的像素同步进行第三预设处理，其中第三预设处理包括：将像素的电信号设置为初始电压、控制像素感测光线；控制多个像素行的像素的电信号依次进行输出。

进一步地，在本申请的一个实施例中，控制模块 2702 还用于：在像素阵列采用全局快门像素曝光方式，白色像素的电信号与至少一个彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制像素阵列的多个像素行的像素同步进行第四预设处理，其中第四预设处理包括：将像素的电信号设置为初始电压、控制像素感测光线；控制每个像素团中，白色像素的电信号与

至少一个彩色像素的电信号进行信号融合，以增强彩色像素的电信号；控制多个像素行的像素的电信号依次进行输出。

进一步地，在本申请的一个实施例中，控制模块 2702 还用于：在像素阵列采用卷帘快门曝光方式，白色像素包括多个子白色像素，彩色像素包括多个子彩色像素的情况下，在每帧时间内，控制像素阵列的多个像素行的子像素依次进行第五预设处理；其中，像素行仅包括子彩色像素，或包括子白色像素和子彩色像素，像素列仅包括子彩色像素，或包括子白色像素和子彩色像素，第五预设处理包括：将子像素的电信号设置为初始电压、控制子像素感测光线以及将子像素的电信号输出。

进一步地，在本申请的一个实施例中，控制模块 2702 还用于：在像素阵列采用卷帘快门曝光方式，子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合的情况下，按照像素阵列由上到下的顺序，将每 Q 个像素行设置为一个第一像素行组，则得到多个第一像素行组，其中 Q 等于 2 或 4；在每帧时间内，控制多个第一像素行组的子像素依次进行第六预设处理；其中，第六预设处理依次包括：将子像素的电信号设置为初始电压、控制子像素感测光线、将第一像素行组的子白色像素的电信号与第一像素行组的至少一个子彩色像素的电信号进行信号融合以增强子彩色像素的电信号、将子像素的电信号输出。

进一步地，在本申请的一个实施例中，控制模块 2702 还用于：在像素阵列采用全局快门曝光方式，白色像素包括多个子白色像素，彩色像素包括多个子彩色像素的情况下，在每帧时间内，控制像素阵列的多个像素行的子像素同步进行第七预设处理，其中第七预设处理包括：将子像素的电信号设置为初始电压、控制子像素感测光线；控制多个像素行的子像素的电信号依次进行输出。

进一步地，在本申请的一个实施例中，控制模块 2702 还用于：在像素阵列采用全局快门像素曝光方式，子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制像素阵列的多个像素

行的像素同步进行第八预设处理，其中第八预设处理包括：将子像素的电信号设置为初始电压、控制子像素感测光线；按照像素阵列由上到下的顺序，将每 S 个像素行设置为一个第二像素行组，则得到多个第二像素行组，并控制每个第二像素行组中，子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合，以增强子彩色像素的电信号，其中 S 等于 2 或 4；控制多个像素行的子像素的电信号依次进行输出。

本申请实施例中的像素阵列的控制装置 2700 可以是装置，也可以是终端中的部件、集成电路或芯片。该装置可以是移动电子设备，也可以为非移动电子设备。示例性的，移动电子设备可以为手机、平板电脑、笔记本电脑、掌上电脑、车载电子设备、可穿戴设备、超级移动个人计算机（Ultra-Mobile Personal Computer, UMPC）、上网本或者个人数字助理（Personal Digital Assistant, PDA）等，非移动电子设备可以为服务器、网络附属存储器（Network Attached Storage, NAS）、个人计算机（Personal Computer, PC）、电视机（Television, TV）、柜员机或者自助机等，本申请实施例不作具体限定。

本申请实施例中的像素阵列的控制装置 2700 可以为具有操作系统的装置。该操作系统可以为安卓（Android）操作系统，可以为 ios 操作系统，还可以为其他可能的操作系统，本申请实施例不作具体限定。

本申请实施例提供的像素阵列的控制装置 2700 能够实现图 1 至图 26 的方法实施例中实现的各个过程，为避免重复，这里不再赘述。

可选的，如图 28 所示，本申请实施例还提供一种电子设备 2800，包括处理器 2802，存储器 2804，存储在存储器 2804 上并可在处理器 2802 上运行的程序或指令，该程序或指令被处理器 2802 执行时实现上述像素阵列的控制方法实施例的各个过程，且能达到相同的技术效果，为避免重复，这里不再赘述。

需要注意的是，本申请实施例中的电子设备包括上述的移动电子设备和非移动电子设备。

图 29 为实现本申请实施例的一种电子设备的硬件结构示意图。

该电子设备 2900 包括但不限于：射频单元 2902、网络模块 2904、音频输出单元 2906、输入单元 2908、传感器 2910、显示单元 2912、用户输入单元 2914、接口单元 2916、存储器 2918、以及处理器 2920 等部件。

本领域技术人员可以理解，电子设备 2900 还可以包括给各个部件供电的
5 电源（比如电池），电源可以通过电源管理系统与处理器 2920 逻辑相连，从而通过电源管理系统实现管理充电、放电、以及功耗管理等功能。图 29 中示出的电子设备结构并不构成对电子设备的限定，电子设备可以包括比图示更多或更少的部件，或者组合某些部件，或者不同的部件布置，在此不再赘述。

其中，电子设备 1500 的传感器 1510 包括图像传感器，该图像传感器包
10 括像素阵列，该像素阵列包括多个像素团，每个像素团包括一个白色像素和至少两个彩色像素，至少两个彩色像素设置于白色像素的周围，像素阵列包括至少两个像素行和至少两个像素列，至少两个像素行共用一个控制信号线路，至少两个像素列共用一个输出信号线路。处理器 2920，用于在像素阵列采用卷帘快门曝光方式，像素行仅包括白色像素或仅包括彩色像素，像素列
15 仅包括白色像素或仅包括彩色像素的情况下，在每帧时间内，控制至少两个像素行的像素依次进行第一预设处理；或者，在每帧时间内，控制像素阵列的多个彩色像素行的像素依次进行第一预设处理，以及控制像素阵列的每个白色像素行的像素与其相邻的一个彩色像素行的像素同步进行第一预设处理；

其中，彩色像素行是包括彩色像素的像素行，白色像素行是包括白色像
20 素的像素行，第一预设处理包括：将像素的电信号设置为初始电压、控制像素感测光线以及将像素的电信号输出。

在该实施例中，像素阵列的每个像素行共用一个控制信号线路，像素阵列的每个像素列共用一个输出信号线路，具体包括：每一行的彩色像素共用一个像素控制信号，每一行的白色像素共用一个像素控制信号；每一列的彩
25 色像素共用一个输出信号线路，每一列的白色像素共用一个输出信号线路。针对上述像素阵列结构的控制方法具体包括：第一种控制方式，1 帧时间内每个像素行依次进行重置、曝光以及读取控制。第二种控制方式，1 帧时间内彩

色像素行依次进行重置、曝光以及读取控制，同时控制每个白色像素行与其相邻的彩色像素行同步进行重置、曝光以及读取控制。在本申请实施例中，针对 CIS 像素阵列，在采用卷帘快门的曝光方式且不使用像素信号融合的情形下，提供了一种像素重置、曝光以及读取的控制方案，实现了对 CIS 的控制的准确性，为 CFA 在 CIS 上的广泛应用提供基础。

进一步地，在本申请的一个实施例中，处理器 2920 还用于：在像素阵列采用卷帘快门曝光方式，白色像素的电信号与至少一个彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制多行像素团的像素依次进行第二预设处理；其中，第二预设处理依次包括：将像素的电信号设置为初始电压、控制像素感测光线、将像素团的白色像素的电信号与像素团的至少一个彩色像素的电信号进行信号融合以增强彩色像素的电信号、将像素的电信号输出。

进一步地，在本申请的一个实施例中，处理器 2920 还用于：在像素阵列采用全局快门像素曝光方式的情况下，在每帧时间内，控制像素阵列的多个像素行的像素同步进行第三预设处理，其中第三预设处理包括：将像素的电信号设置为初始电压、控制像素感测光线；控制多个像素行的像素的电信号依次进行输出。

进一步地，在本申请的一个实施例中，处理器 2920 还用于：在像素阵列采用全局快门像素曝光方式，白色像素的电信号与至少一个彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制像素阵列的多个像素行的像素同步进行第四预设处理，其中第四预设处理包括：将像素的电信号设置为初始电压、控制像素感测光线；控制每个像素团中，白色像素的电信号与至少一个彩色像素的电信号进行信号融合，以增强彩色像素的电信号；控制多个像素行的像素的电信号依次进行输出。

进一步地，在本申请的一个实施例中，处理器 2920 还用于：在像素阵列采用卷帘快门曝光方式，白色像素包括多个子白色像素，彩色像素包括多个子彩色像素的情况下，在每帧时间内，控制像素阵列的多个像素行的子像素依次进行第五预设处理；其中，像素行仅包括子彩色像素，或包括子白色像

素和子彩色像素，像素列仅包括子彩色像素，或包括子白色像素和子彩色像素，第五预设处理包括：将子像素的电信号设置为初始电压、控制子像素感测光线以及将子像素的电信号输出。

进一步地，在本申请的一个实施例中，处理器 2920 还用于：在像素阵列
5 采用卷帘快门曝光方式，子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合的情况下，按照像素阵列由上到下的顺序，将每 Q 个像素行设置为一个第一像素行组，则得到多个第一像素行组，其中 Q 等于 2 或 4；在每帧时间内，控制多个第一像素行组的子像素依次进行第六预设处理；其中，第六预设处理依次包括：将子像素的电信号设置为初始电压、控制子像
10 素感测光线、将第一像素行组的子白色像素的电信号与第一像素行组的至少一个子彩色像素的电信号进行信号融合以增强子彩色像素的电信号、将子像素的电信号输出。

进一步地，在本申请的一个实施例中，处理器 2920 还用于：在像素阵列采用全局快门曝光方式，白色像素包括多个子白色像素，彩色像素包括多个
15 子彩色像素的情况下，在每帧时间内，控制像素阵列的多个像素行的子像素同步进行第七预设处理，其中第七预设处理包括：将子像素的电信号设置为初始电压、控制子像素感测光线；控制多个像素行的子像素的电信号依次进行输出。

进一步地，在本申请的一个实施例中，处理器 2920 还用于：在像素阵列
20 采用全局快门像素曝光方式，子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制像素阵列的多个像素行的像素同步进行第八预设处理，其中第八预设处理包括：将子像素的电信号设置为初始电压、控制子像素感测光线；按照像素阵列由上到下的顺序，将每 S 个像素行设置为一个第二像素行组，则得到多个第二像素行组，并控制
25 每个第二像素行组中，子白色像素的电信号与至少一个子彩色像素的电信号进行信号融合，以增强子彩色像素的电信号，其中 S 等于 2 或 4；控制多个像素行的子像素的电信号依次进行输出。

应理解的是，本申请实施例中，射频单元 2902 可用于收发信息或收发通话过程中的信号，具体的，接收基站的下行数据或向基站发送上行数据。射频单元 2902 包括但不限于天线、至少一个放大器、收发信机、耦合器、低噪声放大器、双工器等。

5 网络模块 2904 为用户提供了无线的宽带互联网访问，如帮助用户收发电子邮件、浏览网页和访问流式媒体等。

音频输出单元 2906 可以将射频单元 2902 或网络模块 2904 接收的或者在存储器 2918 中存储的音频数据转换成音频信号并且输出为声音。而且，音频输出单元 2906 还可以提供与电子设备 2900 执行的特定功能相关的音频输出
10 （例如，呼叫信号接收声音、消息接收声音等等）。音频输出单元 2906 包括扬声器、蜂鸣器以及受话器等。

输入单元 2908 用于接收音频或视频信号。输入单元 2908 可以包括图形处理器（Graphics Processing Unit, GPU）29082 和麦克风 29084，图形处理器 29082 对在视频捕获模式或图像捕获模式中由图像捕获装置（如摄像头）获得的静态图片或视频的图像数据进行处理。处理后的图像帧可以显示在显示单元 2912 上，或者存储在存储器 2918（或其它存储介质）中，或者经由射频单元 2902 或网络模块 2904 发送。麦克风 29084 可以接收声音，并且能够将声音处理为音频数据，处理后的音频数据可以在电话通话模式的情况下转换为可经由射频单元 2902 发送到移动通信基站的格式输出。
15

20 电子设备 2900 还包括至少一种传感器 2910，比如指纹传感器、压力传感器、虹膜传感器、分子传感器、陀螺仪、气压计、湿度计、温度计、红外线传感器、光传感器、运动传感器以及其他传感器。

显示单元 2912 用于显示由用户输入的信息或提供给用户的信息。显示单元 2912 可包括显示面板 29122，可以采用液晶显示器、有机发光二极管等形式来配置显示面板 29122。
25

用户输入单元 2914 可用于接收输入的数字或字符信息，以及产生与电子设备的用户设置以及功能控制有关的键信号输入。具体地，用户输入单元 2914

包括触控面板 29142 以及其他输入设备 29144。触控面板 29142 也称为触摸屏，可收集用户在其上或附近的触摸操作。触控面板 29142 可包括触摸检测装置和触摸控制器两个部分。其中，触摸检测装置检测用户的触摸方位，并检测触摸操作带来的信号，将信号传送给触摸控制器；触摸控制器从触摸检测装置上接收触摸信息，并将它转换成触点坐标，再送给处理器 2920，接收处理器 2920 发来的命令并加以执行。其他输入设备 29144 可以包括但不限于物理键盘、功能键（比如音量控制按键、开关按键等）、轨迹球、鼠标、操作杆，在此不再赘述。

进一步的，触控面板 29142 可覆盖在显示面板 29122 上，当触控面板 29142 检测到在其上或附近的触摸操作后，传送给处理器 2920 以确定触摸事件的类型，随后处理器 2920 根据触摸事件的类型在显示面板 29122 上提供相应的视觉输出。触控面板 29142 与显示面板 29122 可作为两个独立的部件，也可以集成为一个部件。

接口单元 2916 为外部装置与电子设备 2900 连接的接口。例如，外部装置可以包括有线或无线头戴式耳机端口、外部电源（或电池充电器）端口、有线或无线数据端口、存储卡端口、用于连接具有识别模块的装置的端口、音频输入/输出（I/O）端口、视频 I/O 端口、耳机端口等等。接口单元 2916 可以用于接收来自外部装置的输入（例如，数据信息、电力等等）并且将接收到的输入传输到电子设备 2900 内的一个或多个元件或者可以用于在电子设备 2900 和外部装置之间传输数据。

存储器 2918 可用于存储软件程序以及各种数据。存储器 2918 可主要包括存储程序区和存储数据区，其中，存储程序区可存储操作系统、至少一个功能所需的应用程序（比如声音播放功能、图像播放功能等）等；存储数据区可存储根据移动终端的使用所创建的数据（比如音频数据、电话本等）等。此外，存储器 2918 可以包括高速随机存取存储器，还可以包括非易失性存储器，例如至少一个磁盘存储器件、闪存器件、或其他易失性固态存储器件。

处理器 2920 通过运行或执行存储在存储器 2918 内的软件程序和/或模

块，以及调用存储在存储器 2918 内的数据，执行电子设备 2900 的各种功能和处理数据，从而对电子设备 2900 进行整体监控。处理器 2920 可包括一个或多个处理单元；优选的，处理器 2920 可集成应用处理器和调制解调处理器，其中，应用处理器主要处理操作系统、用户界面和应用程序等，调制解调处理器主要处理无线通信。

本申请实施例还提供一种可读存储介质，可读存储介质上存储有程序或指令，该程序或指令被处理器执行时实现上述像素阵列的控制方法实施例的各个过程，且能达到相同的技术效果，为避免重复，这里不再赘述。

其中，处理器为上述实施例中的电子设备中的处理器。可读存储介质，包括计算机可读存储介质，如计算机只读存储器 (Read-Only Memory, ROM)、随机存取存储器 (Random Access Memory, RAM)、磁碟或者光盘等。

本申请实施例另提供了一种芯片，芯片包括处理器和通信接口，通信接口和处理器耦合，处理器用于运行程序或指令，实现上述像素阵列的控制方法实施例的各个过程，且能达到相同的技术效果，为避免重复，这里不再赘述。

应理解，本申请实施例提到的芯片还可以称为系统级芯片、系统芯片、芯片系统或片上系统芯片等。

需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。此外，需要指出的是，本申请实施方式中的方法和装置的范围不限按示出或讨论的顺序来执行功能，还可包括根据所涉及的功能按基本同时的方式或按相反的顺序来执行功能，例如，可以按不同于所描述的次序来执行所描述的方法，并且还可以添加、省去、或组合各种步骤。另外，参照某些示例所描述的特征可在其他示例中被组合。

通过以上的实施方式的描述，本领域的技术人员可以清楚地了解到上述实施例方法可借助软件加必需的通用硬件平台的方式来实现，当然也可以通过硬件，但很多情况下前者是更佳的实施方式。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分可以以计算机软件产品的形式体现出来，该计算机软件产品存储在一个存储介质（如 ROM/RAM、磁碟、光盘）中，包括若干指令用以使得一台终端（可以是手机，计算机，服务器，或者网络设备等）执行本申请各个实施例所述的方法。

上面结合附图对本申请的实施例进行了描述，但是本申请并不局限于上述的具体实施方式，上述的具体实施方式仅仅是示意性的，而不是限制性的，本领域的普通技术人员在本申请的启示下，在不脱离本申请宗旨和权利要求所保护的范围情况下，还可做出很多形式，均属于本申请的保护之内。

权利要求书

1. 一种像素阵列的控制方法，所述像素阵列包括多个像素团，每个所述像素团包括一个白色像素和至少两个彩色像素，所述至少两个彩色像素围绕所述白色像素设置，所述像素阵列包括至少两个像素行和至少两个像素列，
5 所述至少两个像素行共用一个控制信号线路，所述至少两个像素列共用一个输出信号线路；

所述控制方法包括：

在所述像素阵列采用卷帘快门曝光方式，所述像素行包括所述白色像素或所述彩色像素，所述像素列包括所述白色像素或所述彩色像素的情况下，
10 在每帧时间内，控制所述至少两个像素行的像素依次进行第一预设处理；或者，

在每帧时间内，控制所述像素阵列的多个彩色像素行的像素依次进行第一预设处理，以及控制所述像素阵列的每个白色像素行的像素与其相邻的一个所述彩色像素行的像素同步进行所述第一预设处理；

15 其中，所述彩色像素行是包括所述彩色像素的像素行，所述白色像素行是包括所述白色像素的像素行，所述第一预设处理包括：将所述像素的电信号设置为初始电压、控制所述像素感测光线以及将所述像素的电信号输出。

2. 根据权利要求 1 所述的像素阵列的控制方法，其中，还包括：

在所述像素阵列采用卷帘快门曝光方式，所述白色像素的电信号与至少
20 一个所述彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制多行所述像素团的像素依次进行第二预设处理；

其中，所述第二预设处理依次包括：将所述像素的电信号设置为初始电压、控制所述像素感测光线、将所述像素团的白色像素的电信号与所述像素团的至少一个彩色像素的电信号进行信号融合以增强所述彩色像素的电信号、
25 将所述像素的电信号输出。

3. 根据权利要求 1 所述的像素阵列的控制方法，其中，还包括：

在所述像素阵列采用全局快门像素曝光方式的情况下，在每帧时间内，控制所述像素阵列的多个所述像素行的像素同步进行第三预设处理，其中所述第三预设处理包括：将所述像素的电信号设置为初始电压、控制所述像素感测光线；

5 控制多个所述像素行的像素的电信号依次进行输出。

4. 根据权利要求 1 所述的像素阵列的控制方法，其中，还包括：

在所述像素阵列采用全局快门像素曝光方式，所述白色像素的电信号与至少一个所述彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制所述像素阵列的多个所述像素行的像素同步进行第四预设处理，其中所述
10 第四预设处理包括：将所述像素的电信号设置为初始电压、控制所述像素感测光线；

控制每个所述像素团中，所述白色像素的电信号与至少一个所述彩色像素的电信号进行信号融合，以增强所述彩色像素的电信号；

控制多个所述像素行的像素的电信号依次进行输出。

15 5. 根据权利要求 1 至 4 中任一项所述的像素阵列的控制方法，其中，还包括：

在所述像素阵列采用卷帘快门曝光方式，所述白色像素包括多个子白色像素，所述彩色像素包括多个子彩色像素的情况下，在每帧时间内，控制所述像素阵列的多个像素行的子像素依次进行第五预设处理；

20 其中，所述像素行仅包括所述子彩色像素，或包括所述子白色像素和所述子彩色像素，所述像素列仅包括所述子彩色像素，或包括所述子白色像素和所述子彩色像素，所述第五预设处理包括：将所述子像素的电信号设置为初始电压、控制所述子像素感测光线以及将所述子像素的电信号输出。

6. 根据权利要求 5 所述的像素阵列的控制方法，其中，还包括：

25 在所述像素阵列采用卷帘快门曝光方式，所述子白色像素的电信号与至少一个所述子彩色像素的电信号进行信号融合的情况下，按照所述像素阵列由上到下的顺序，将每 Q 个所述像素行设置为一个第一像素行组，则得到多

个所述第一像素行组，其中 Q 等于 2 或 4；

在每帧时间内，控制多个所述第一像素行组的子像素依次进行第六预设处理；

其中，所述第六预设处理依次包括：将所述子像素的电信号设置为初始电压、控制所述子像素感测光线、将所述第一像素行组的子白色像素的电信号与所述第一像素行组的至少一个子彩色像素的电信号进行信号融合以增强所述子彩色像素的电信号、将所述子像素的电信号输出。

7. 根据权利要求 5 所述的像素阵列的控制方法，其中，还包括：

在所述像素阵列采用全局快门曝光方式，所述白色像素包括多个子白色像素，所述彩色像素包括多个子彩色像素的情况下，在每帧时间内，控制所述像素阵列的多个所述像素行的子像素同步进行第七预设处理，其中所述第七预设处理包括：将所述子像素的电信号设置为初始电压、控制所述子像素感测光线；

控制多个所述像素行的子像素的电信号依次进行输出。

8. 根据权利要求 7 所述的像素阵列的控制方法，其中，还包括：

在所述像素阵列采用全局快门像素曝光方式，所述子白色像素的电信号与至少一个所述子彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制所述像素阵列的多个所述像素行的像素同步进行第八预设处理，其中所述第八预设处理包括：将所述子像素的电信号设置为初始电压、控制所述子像素感测光线；

按照所述像素阵列由上到下的顺序，将每 S 个所述像素行设置为一个第二像素行组，则得到多个所述第二像素行组，并控制每个所述第二像素行组中，所述子白色像素的电信号与至少一个所述子彩色像素的电信号进行信号融合，以增强所述子彩色像素的电信号，其中 S 等于 2 或 4；

控制多个所述像素行的子像素的电信号依次进行输出。

9. 一种像素阵列的控制装置，所述像素阵列包括多个像素团，每个所述像素团包括一个白色像素和至少两个彩色像素，所述至少两个彩色像素设置

于所述白色像素的周围，所述像素阵列包括至少两个像素行和至少两个像素列，所述至少两个像素行共用一个控制信号线路，所述至少两个像素列共用一个输出信号线路；

所述控制装置包括控制模块，所述控制模块用于：

- 5 在所述像素阵列采用卷帘快门曝光方式，所述像素行仅包括所述白色像素或仅包括所述彩色像素，所述像素列仅包括所述白色像素或仅包括所述彩色像素的情况下，在每帧时间内，控制所述至少两个像素行的像素依次进行第一预设处理；或者，

- 10 在每帧时间内，控制所述像素阵列的多个彩色像素行的像素依次进行第一预设处理，以及控制所述像素阵列的每个白色像素行的像素与其相邻的一个所述彩色像素行的像素同步进行所述第一预设处理；

其中，所述彩色像素行是包括所述彩色像素的像素行，所述白色像素行是包括所述白色像素的像素行，所述第一预设处理包括：将所述像素的电信号设置为初始电压、控制所述像素感测光线以及将所述像素的电信号输出。

- 15 10. 根据权利要求9所述的像素阵列的控制装置，其中，所述控制模块还用于：

在所述像素阵列采用卷帘快门曝光方式，所述白色像素的电信号与至少一个所述彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制多行所述像素团的像素依次进行第二预设处理；

- 20 其中，所述第二预设处理依次包括：将所述像素的电信号设置为初始电压、控制所述像素感测光线、将所述像素团的白色像素的电信号与所述像素团的至少一个彩色像素的电信号进行信号融合以增强所述彩色像素的电信号、将所述像素的电信号输出。

- 25 11. 根据权利要求9所述的像素阵列的控制装置，其中，所述控制模块还用于：

在所述像素阵列采用全局快门像素曝光方式的情况下，在每帧时间内，控制所述像素阵列的多个所述像素行的像素同步进行第三预设处理，其中所

述第三预设处理包括：将所述像素的电信号设置为初始电压、控制所述像素感测光线；

控制多个所述像素行的像素的电信号依次进行输出。

5 12. 根据权利要求 9 所述的像素阵列的控制装置，其中，所述控制模块还用于：

在所述像素阵列采用全局快门像素曝光方式，所述白色像素的电信号与至少一个所述彩色像素的电信号进行信号融合的情况下，在每帧时间内，控制所述像素阵列的多个所述像素行的像素同步进行第四预设处理，其中所述第四预设处理包括：将所述像素的电信号设置为初始电压、控制所述像素感
10 测光线；

控制每个所述像素团中，所述白色像素的电信号与至少一个所述彩色像素的电信号进行信号融合，以增强所述彩色像素的电信号；

控制多个所述像素行的像素的电信号依次进行输出。

15 13. 根据权利要求 9 至 12 中任一项所述的像素阵列的控制装置，其中，所述控制模块还用于：

在所述像素阵列采用卷帘快门曝光方式，所述白色像素包括多个子白色像素，所述彩色像素包括多个子彩色像素的情况下，在每帧时间内，控制所述像素阵列的多个像素行的子像素依次进行第五预设处理；

其中，所述像素行仅包括所述子彩色像素，或包括所述子白色像素和所述子彩色像素，所述像素列仅包括所述子彩色像素，或包括所述子白色像素和所述子彩色像素，所述第五预设处理包括：将所述子像素的电信号设置为
20 初始电压、控制所述子像素感测光线以及将所述子像素的电信号输出。

14. 根据权利要求 13 所述的像素阵列的控制装置，其中，所述控制模块还用于：

25 在所述像素阵列采用卷帘快门曝光方式，所述子白色像素的电信号与至少一个所述子彩色像素的电信号进行信号融合的情况下，按照所述像素阵列由上到下的顺序，将每 Q 个所述像素行设置为一个第一像素行组，则得到多

个所述第一像素行组，其中 Q 等于 2 或 4；

在每帧时间内，控制多个所述第一像素行组的子像素依次进行第六预设处理；

其中，所述第六预设处理依次包括：将所述子像素的电信号设置为初始电压、控制所述子像素感测光线、将所述第一像素行组的子白色像素的电信号与所述第一像素行组的至少一个子彩色像素的电信号进行信号融合以增强所述子彩色像素的电信号、将所述子像素的电信号输出。

15. 根据权利要求 13 所述的像素阵列的控制装置，其中，所述控制模块还用于：

10 在所述像素阵列采用全局快门曝光方式，所述白色像素包括多个子白色像素，所述彩色像素包括多个子彩色像素的情况下，在每帧时间内，控制所述像素阵列的多个所述像素行的子像素同步进行第七预设处理，其中所述第七预设处理包括：将所述子像素的电信号设置为初始电压、控制所述子像素感测光线；

15 控制多个所述像素行的子像素的电信号依次进行输出。

16. 根据权利要求 15 所述的像素阵列的控制装置，其中，所述控制模块还用于：

在所述像素阵列采用全局快门像素曝光方式，所述子白色像素的电信号与至少一个所述子彩色像素的电信号进行信号融合的情况下，在每帧时间内，
20 控制所述像素阵列的多个所述像素行的像素同步进行第八预设处理，其中所述第八预设处理包括：将所述子像素的电信号设置为初始电压、控制所述子像素感测光线；

按照所述像素阵列由上到下的顺序，将每 S 个所述像素行设置为一个第二像素行组，则得到多个所述第二像素行组，并控制每个所述第二像素行组
25 中，所述子白色像素的电信号与至少一个所述子彩色像素的电信号进行信号融合，以增强所述子彩色像素的电信号，其中 S 等于 2 或 4；

控制多个所述像素行的子像素的电信号依次进行输出。

17. 一种电子设备，包括处理器、存储器及存储在所述存储器上并可在所述处理器上运行的程序或指令，所述程序或指令被所述处理器执行时实现如权利要求 1 至 8 中任一项所述的像素阵列的控制方法的步骤。

18. 一种可读存储介质，其上存储有程序或指令，所述程序或指令被处理器执行时实现如权利要求 1 至 8 中任一项所述的像素阵列的控制方法的步骤。

19. 一种芯片，所述芯片包括处理器和通信接口，所述通信接口和所述处理器耦合，所述处理器用于运行程序或指令，实现如权利要求 1 至 8 中任一项所述的像素阵列的控制方法。

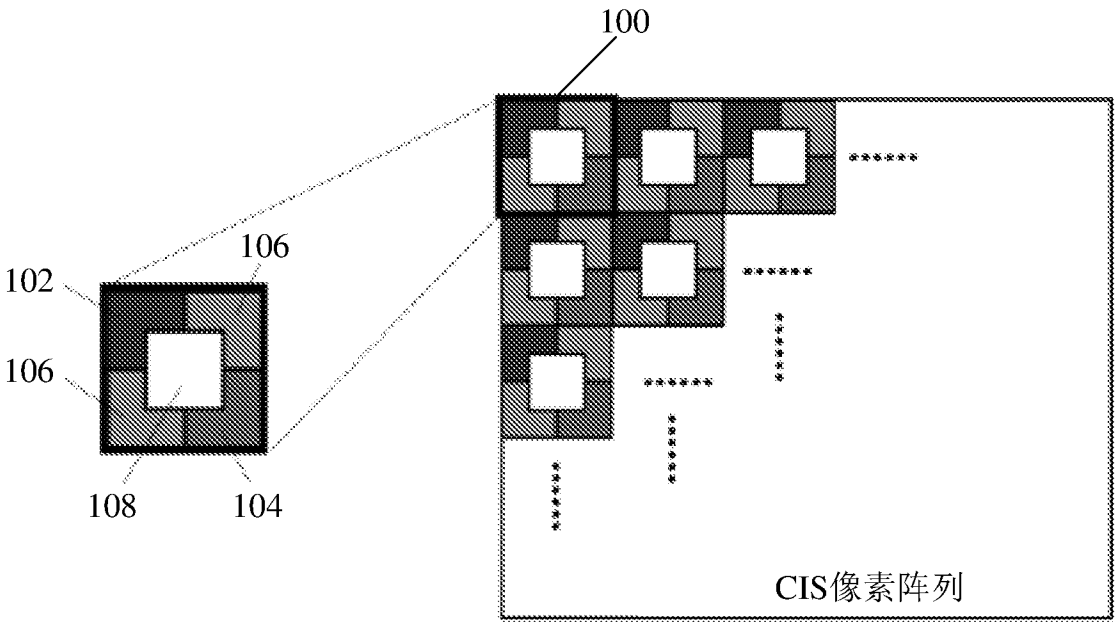


图 1

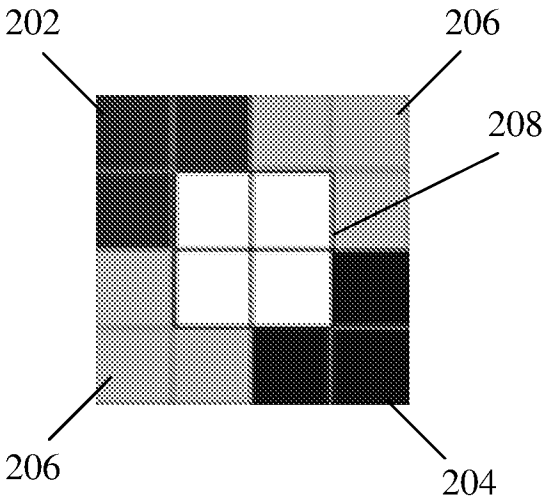


图 2

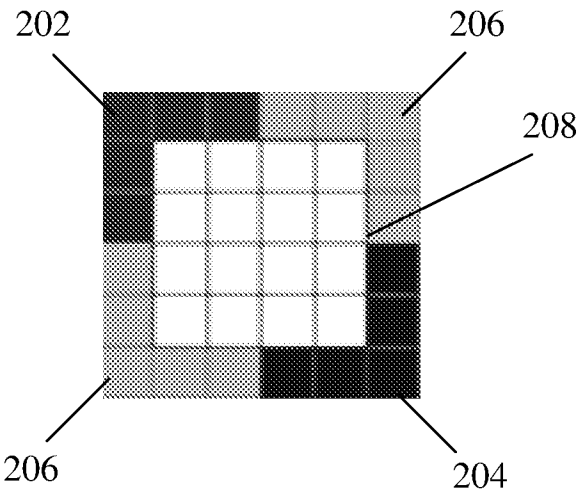


图 3

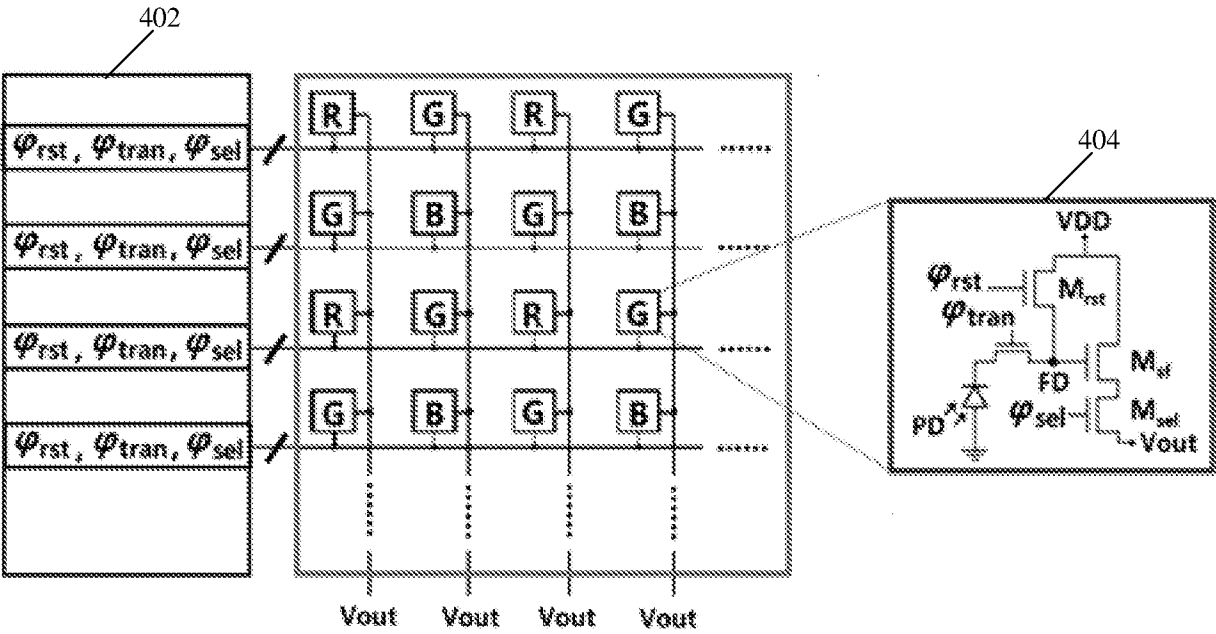


图 4

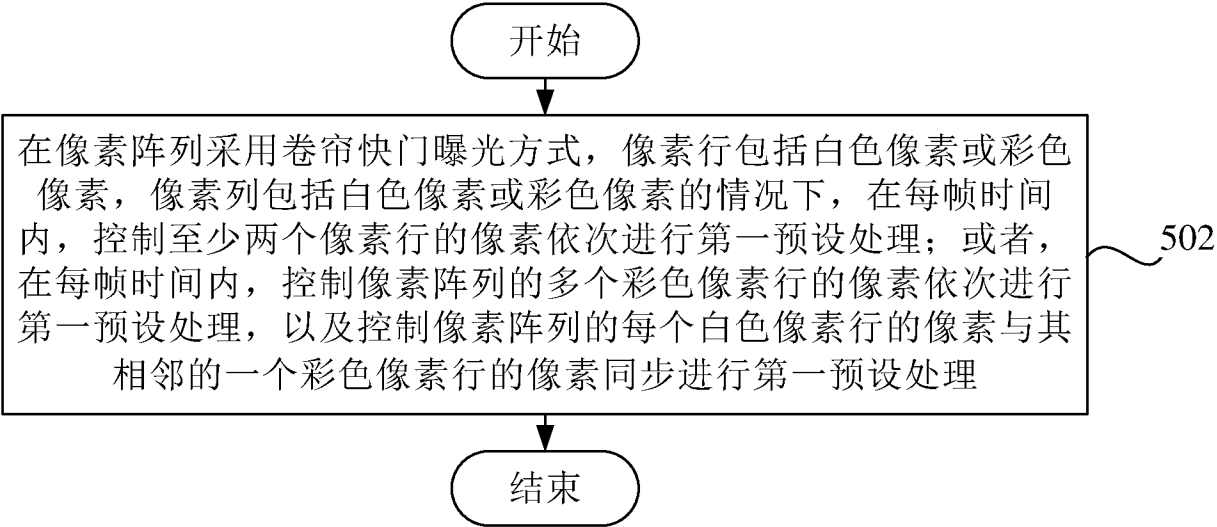


图 5

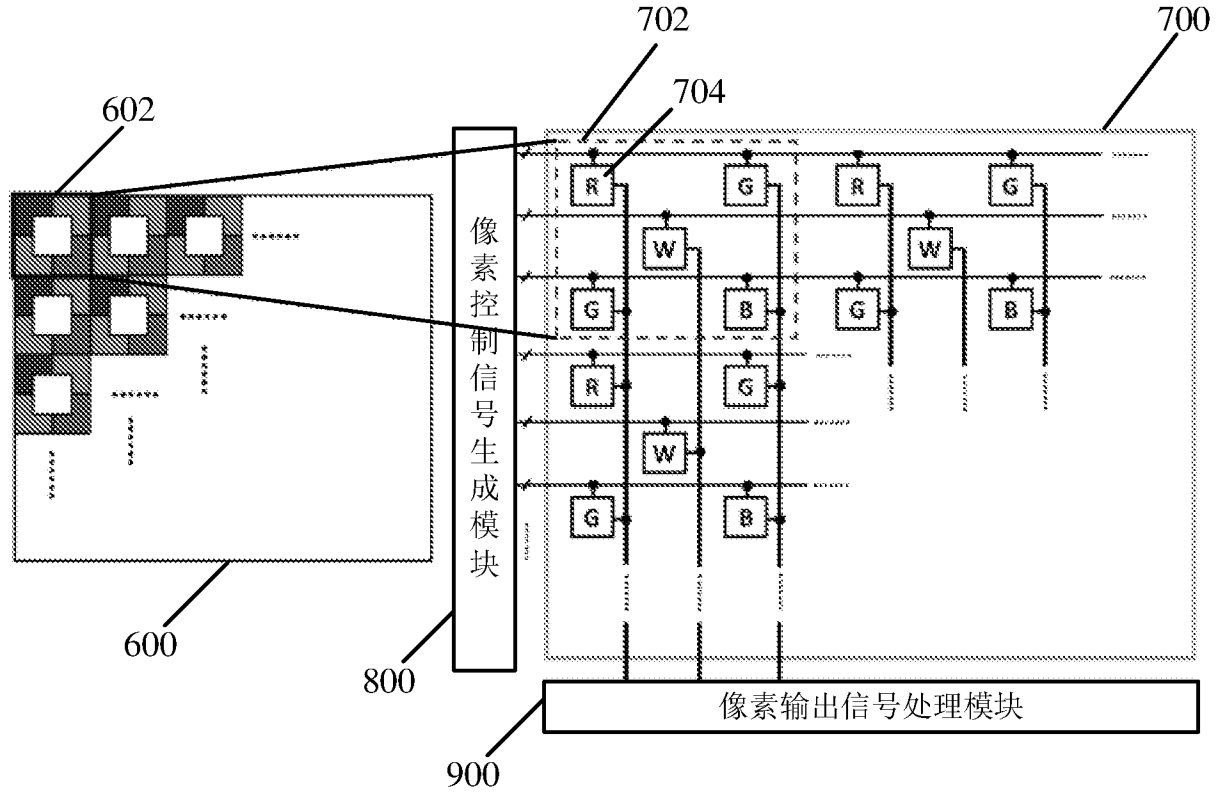


图 6

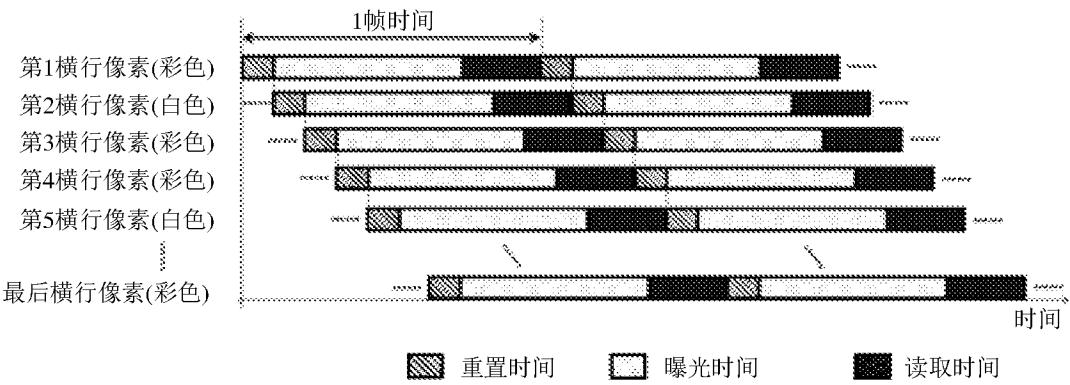


图 7

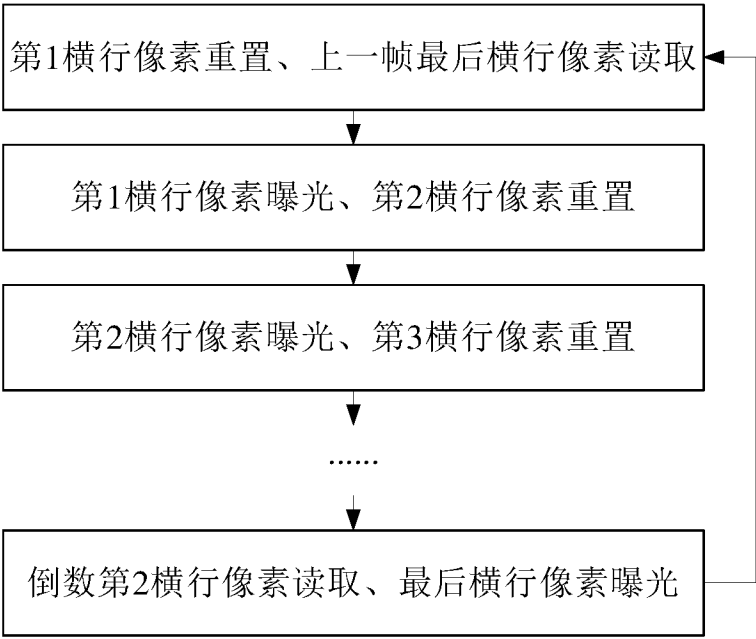


图 8

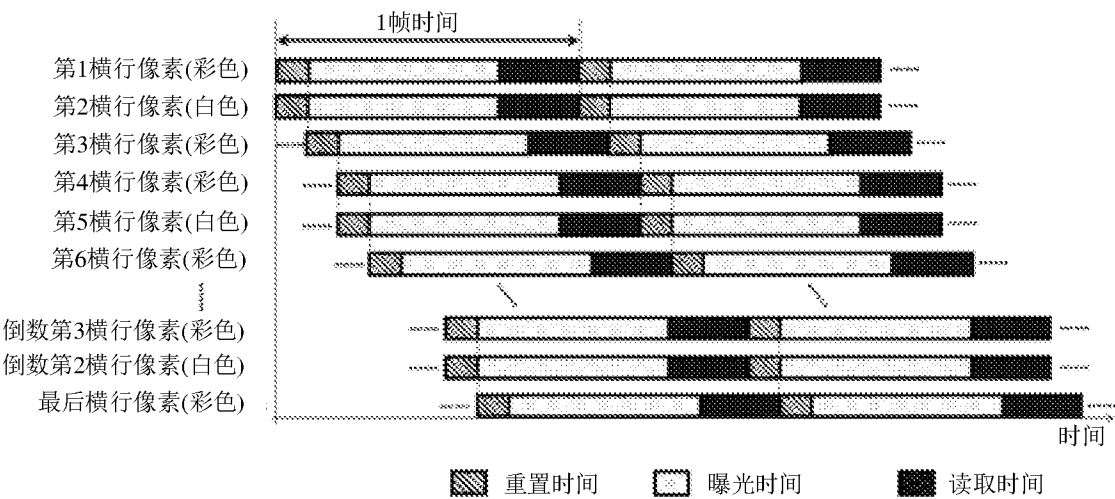


图 9

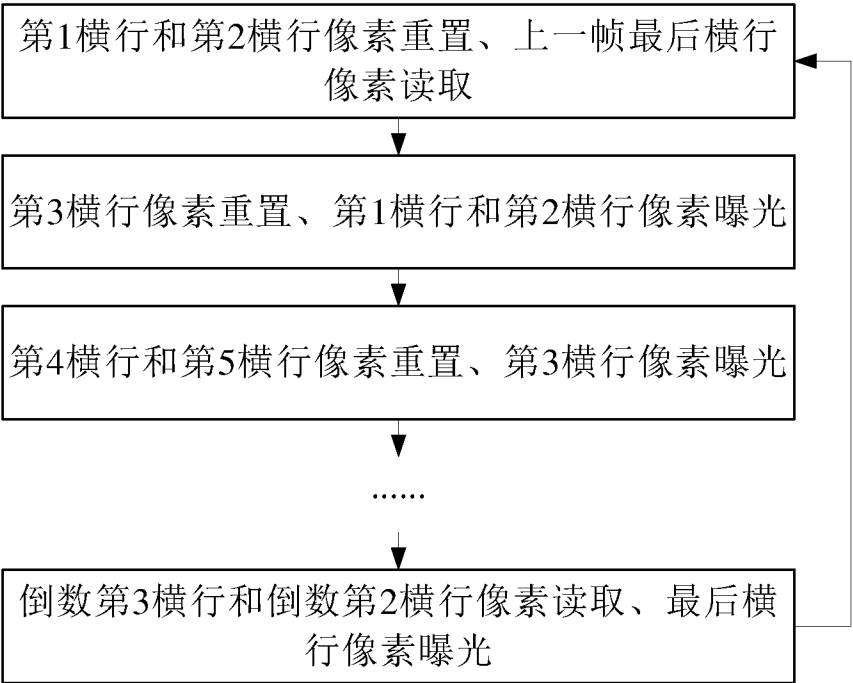


图 10

6/14

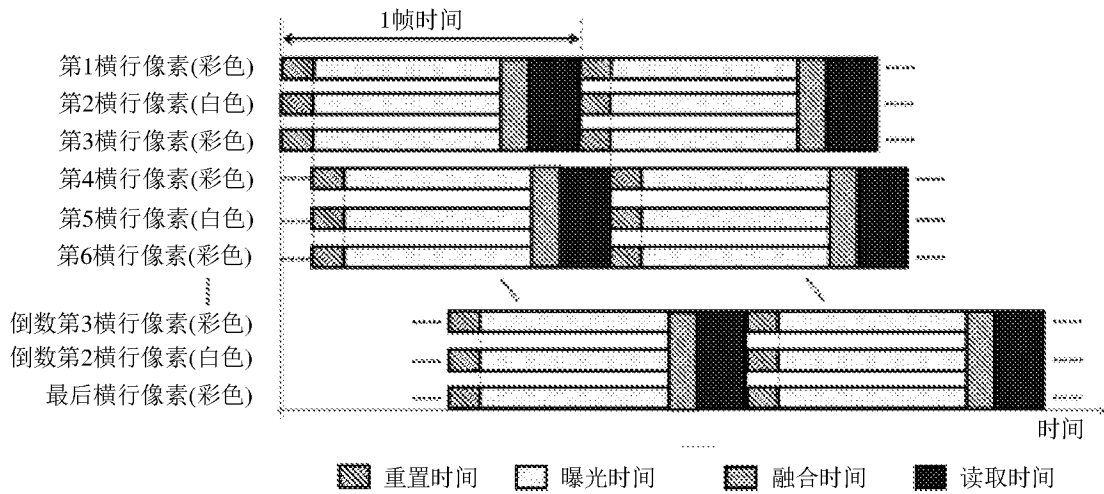


图 11

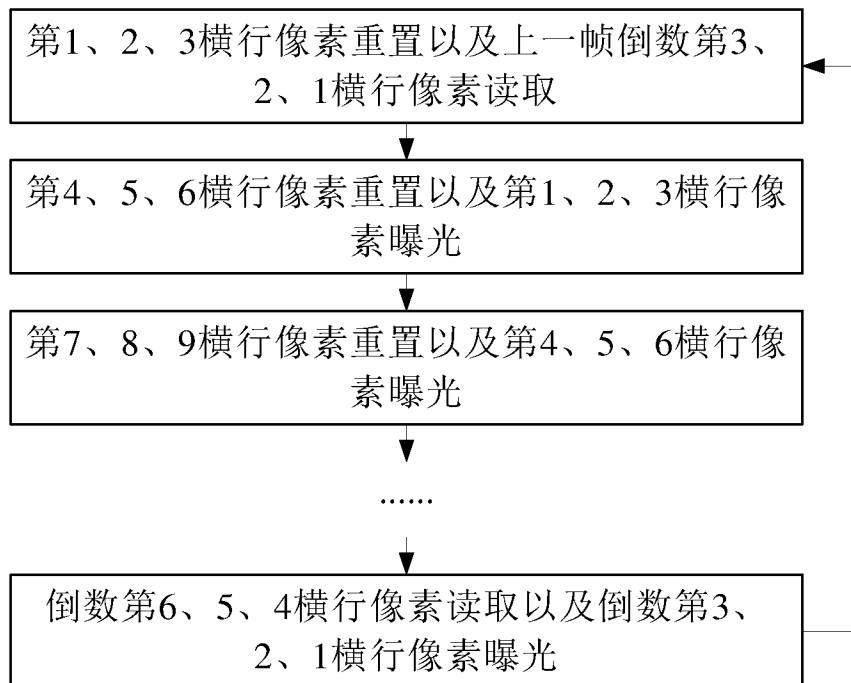


图 12

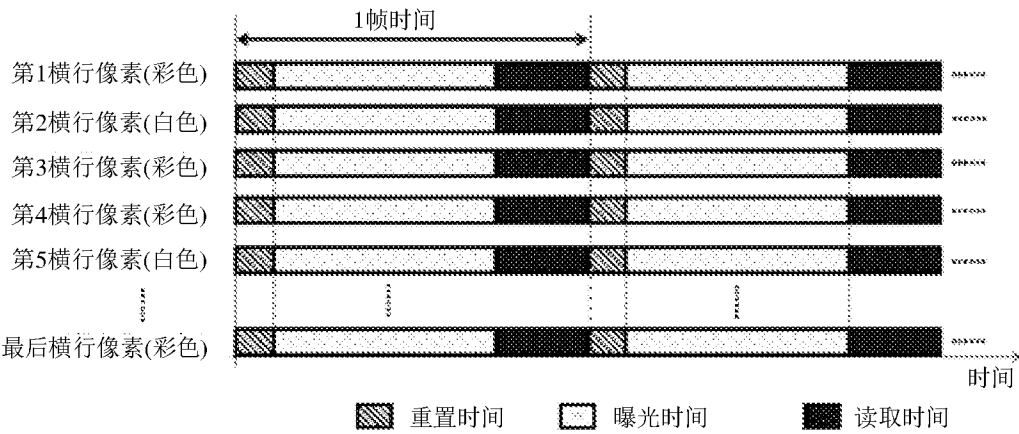


图 13

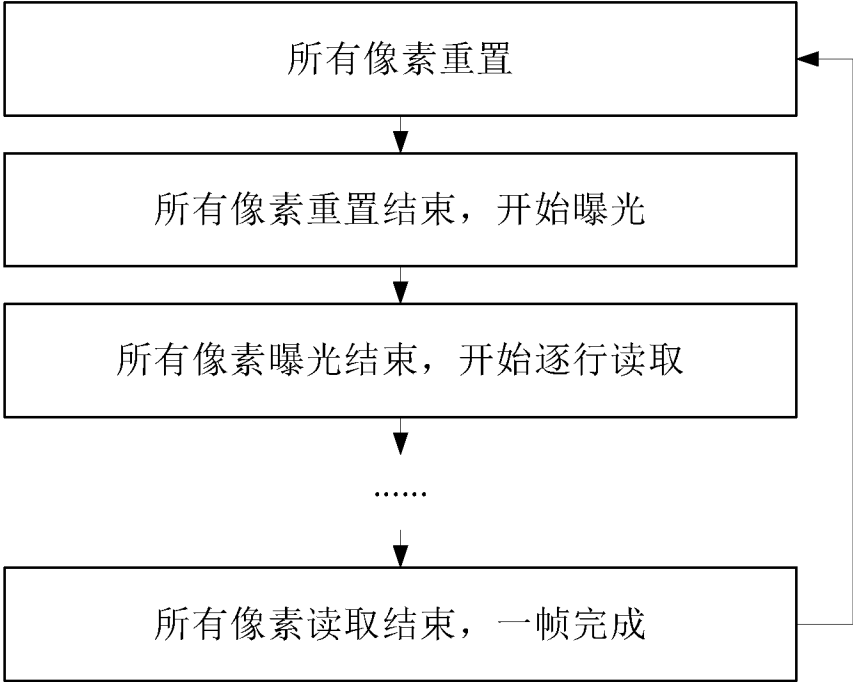


图 14

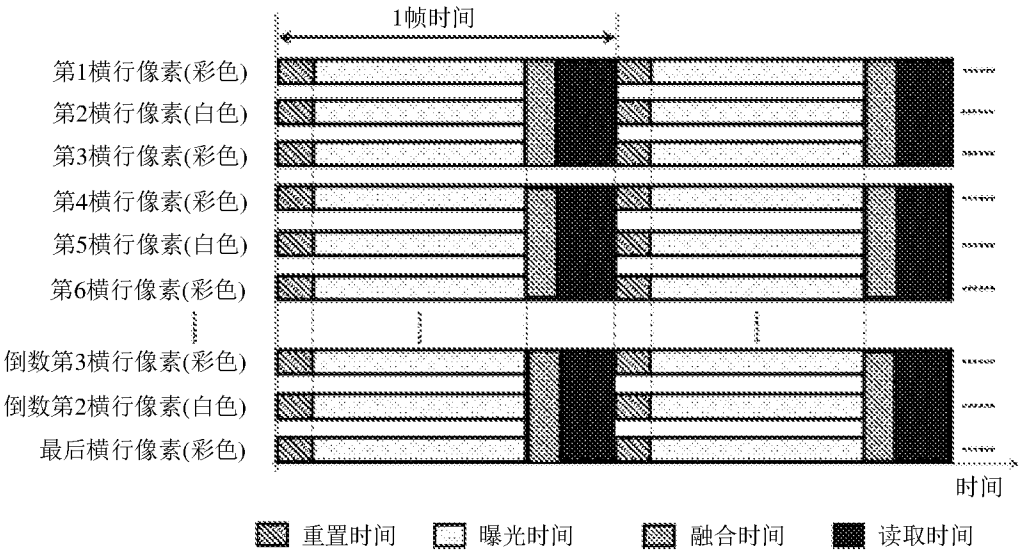


图 15

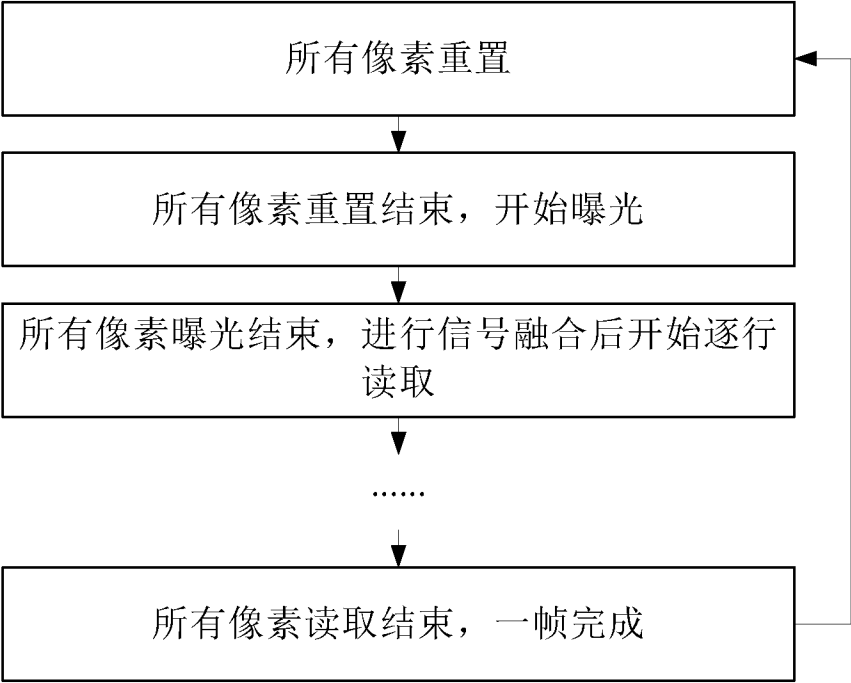


图 16

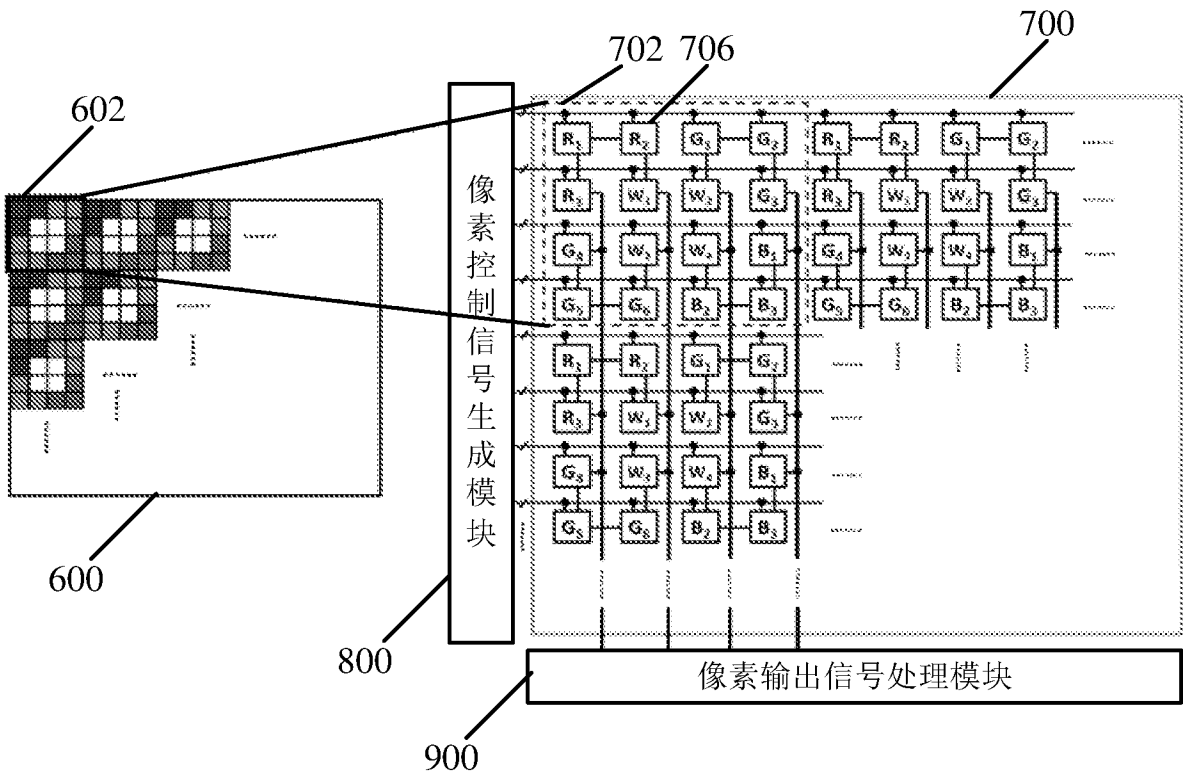


图 17

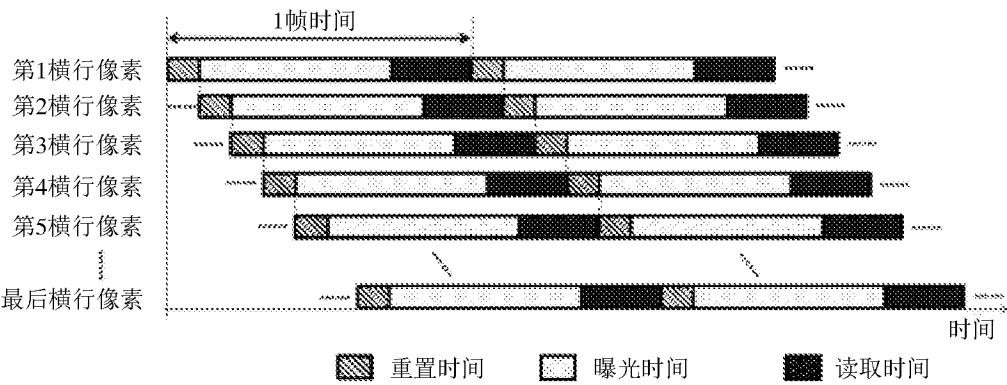


图 18

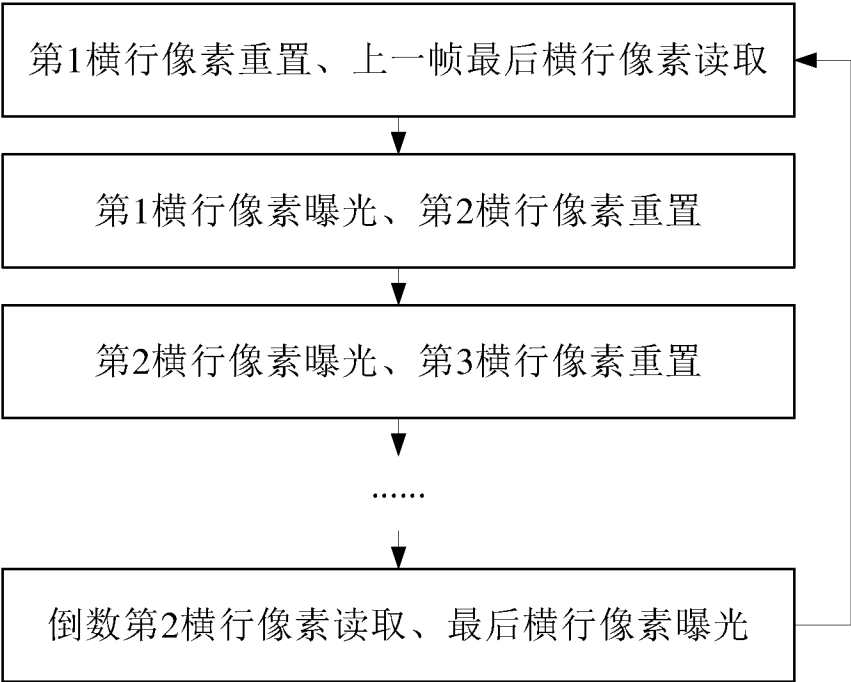


图 19

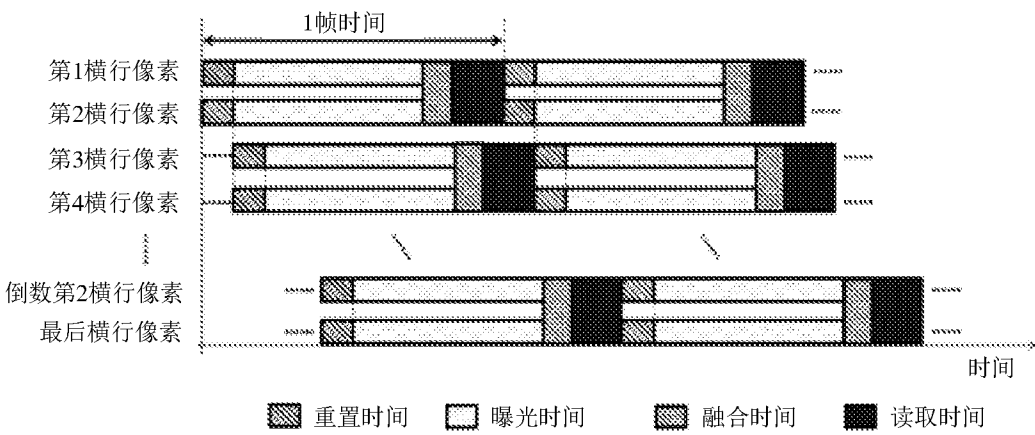


图 20

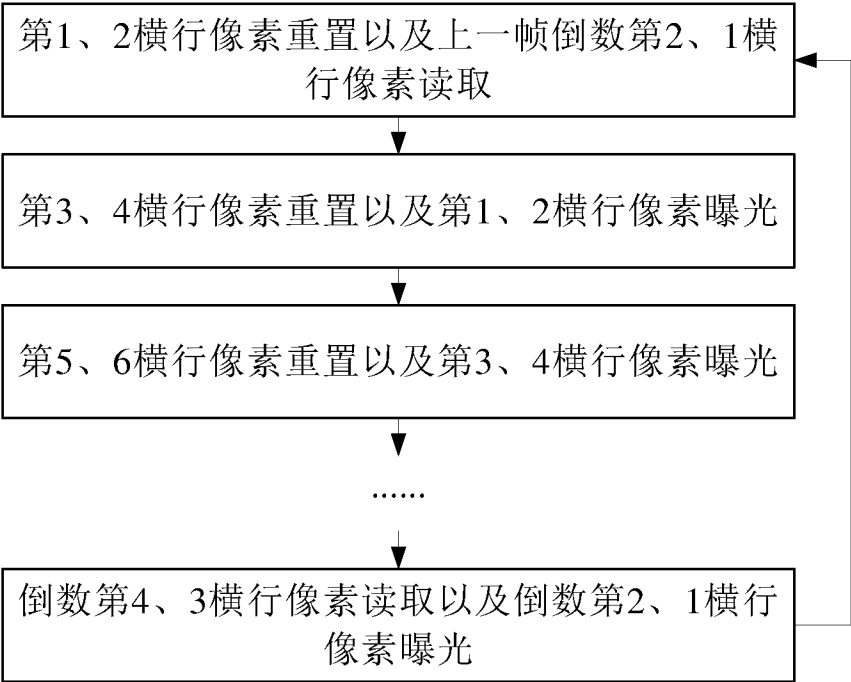


图 21

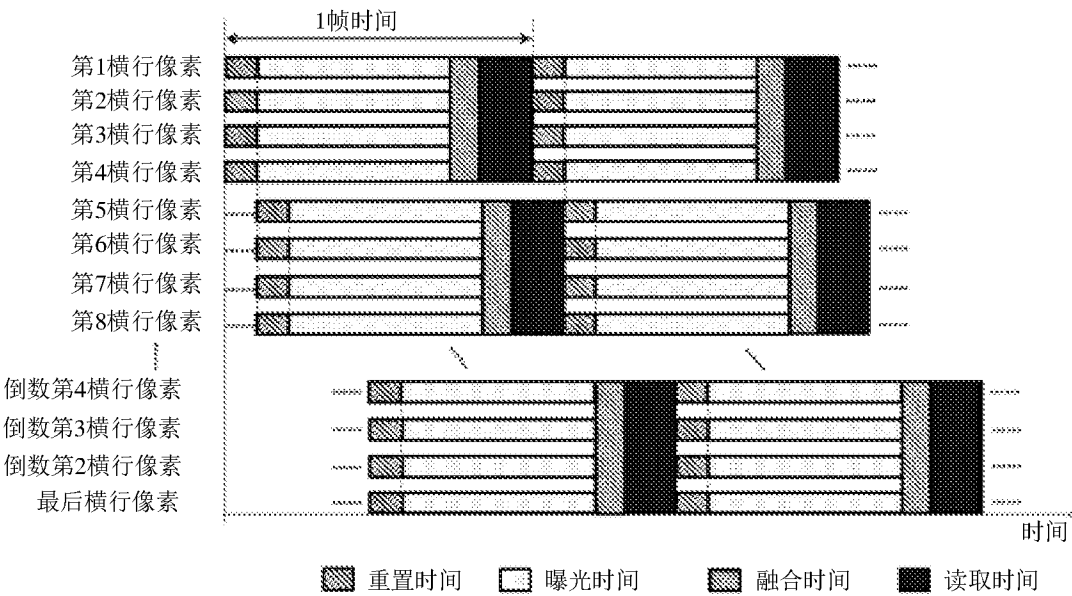


图 22

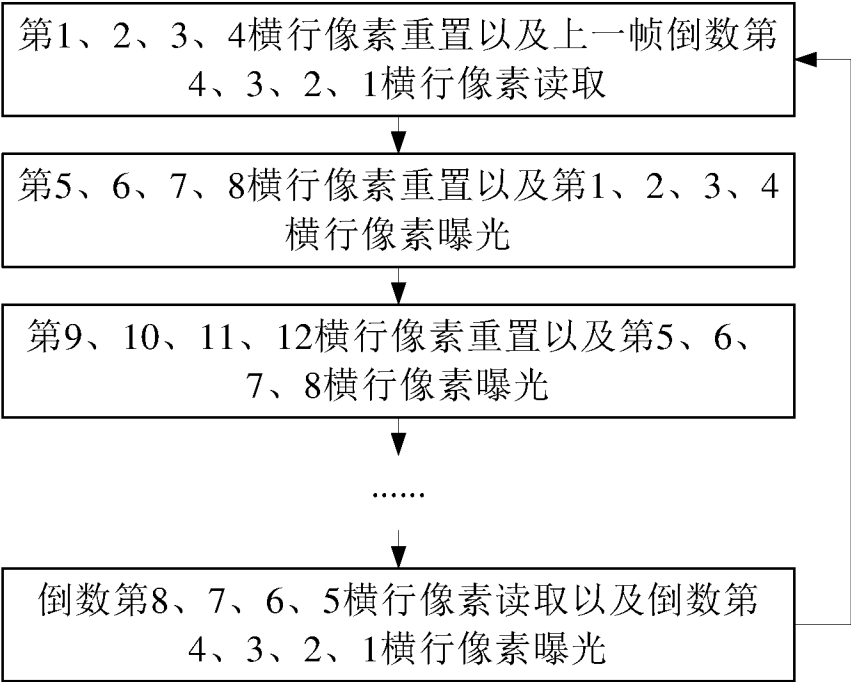


图 23

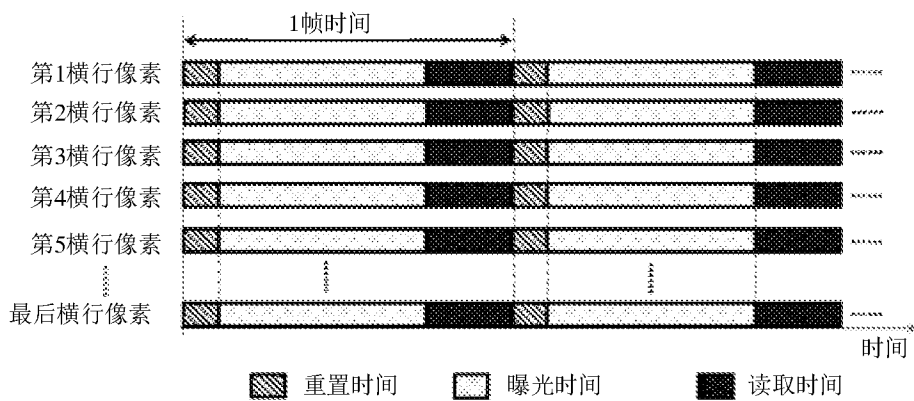


图 24

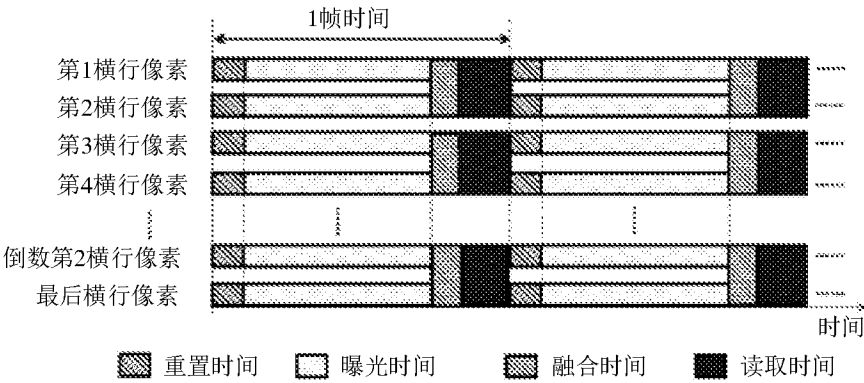


图 25

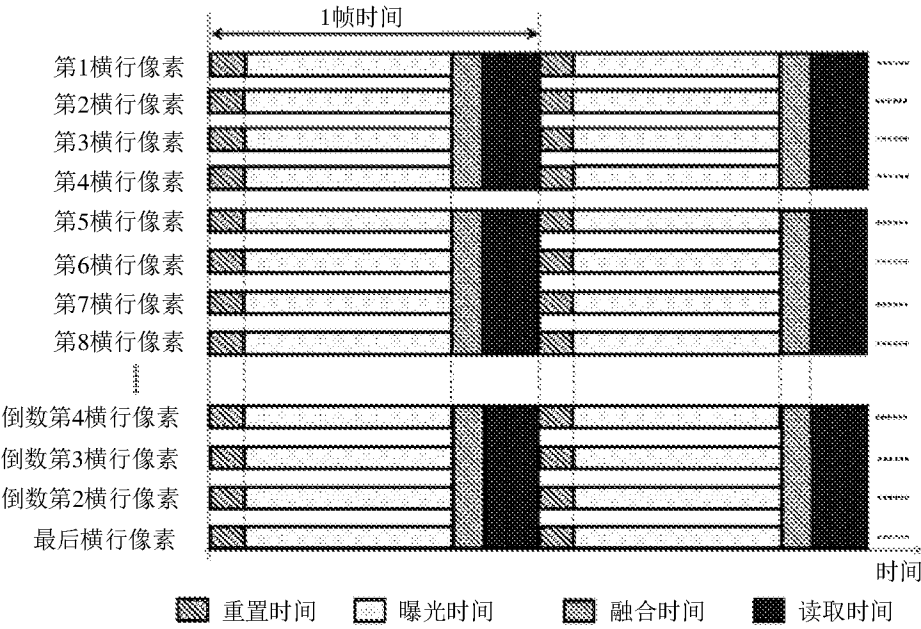


图 26

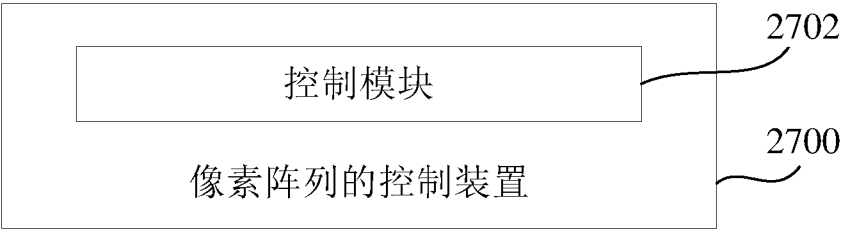


图 27

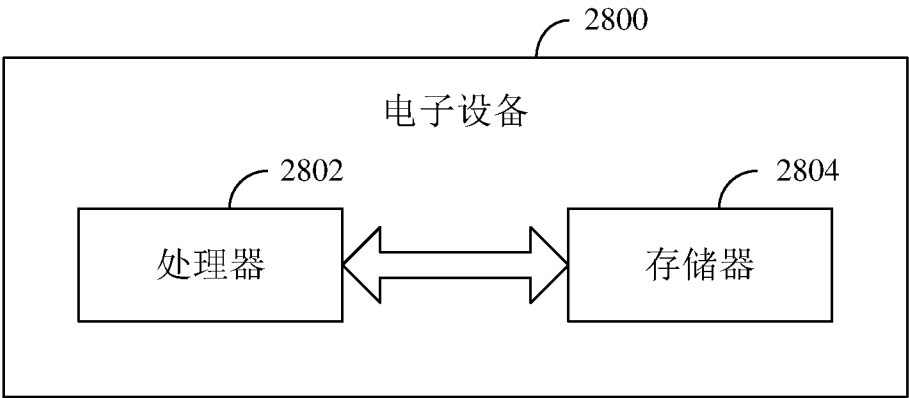


图 28

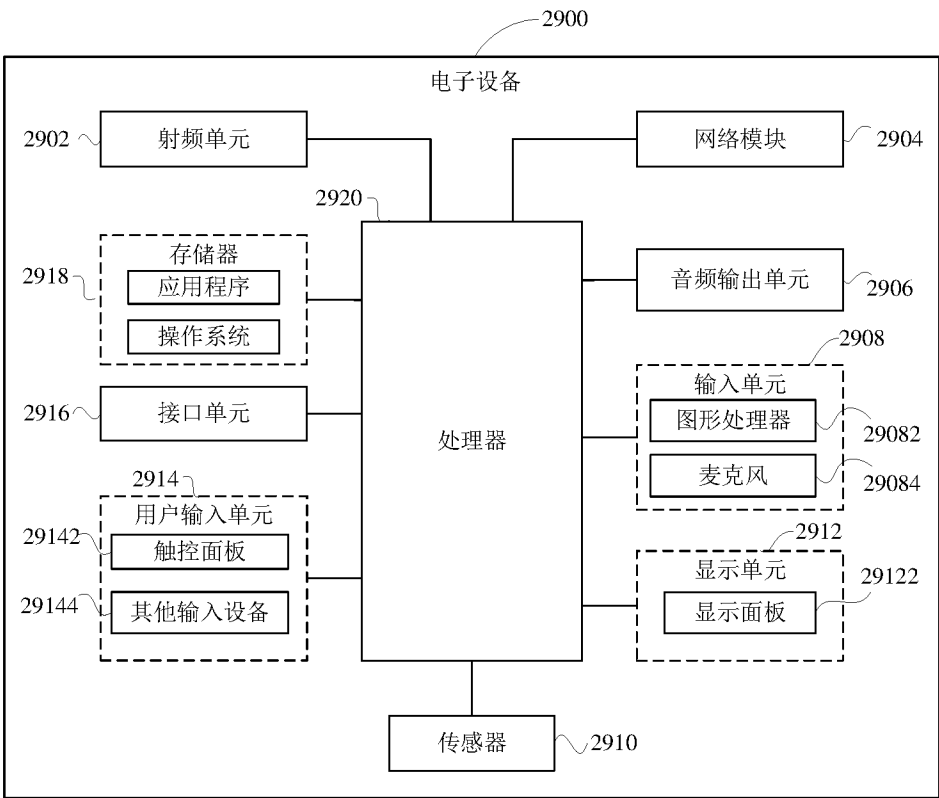


图 29

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/114716

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; H04N 9/04(2006.01)i; H04N 5/335(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; H04N9; H04N5

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, ENTXTC, ENTXT, VEN, USTXT: 像素, 阵列, 控制, 像素团, 白色, 彩色, 红, 绿, 蓝, 共用, 信号线, 卷帘, 曝光, 预处理, 像素行, 感测, control+, pixel, group, row, share, signal, line, output, column, roller, shutter, exposure, array, white, red, green, blue, color, preset+, process+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 113674685 A (VIVO COMMUNICATION TECHNOLOGY CO., LTD.) 19 November 2021 (2021-11-19) description, paragraphs 42-149, and figures 1-9	1-19
Y	CN 112822466 A (VIVO COMMUNICATION TECHNOLOGY CO., LTD.) 18 May 2021 (2021-05-18) description, paragraphs 31-82, and figures 1-9	1-19
Y	CN 102449999 A (OMNIVISION TECHNOLOGIES, INC. et al.) 09 May 2012 (2012-05-09) description, paragraphs 29-118, and figures 1-11	1-19
Y	CN 111447380 A (OPPO GUANGDONG MOBILE TELECOMMUNICATIONS CO., LTD.) 24 July 2020 (2020-07-24) description, paragraphs 29-188, and figures 1-31	2, 4, 6, 8, 10, 12, 14, 16
Y	CN 108141575 A (MAGIC LEAP, INC.) 08 June 2018 (2018-06-08) description, paragraphs 19-49, and figures 1-5c	6, 8, 14, 16
A	US 2012175498 A1 (KRYMSKI ALEXANDER) 12 July 2012 (2012-07-12) entire document	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 October 2022

Date of mailing of the international search report

13 October 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/114716

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2008129834 A1 (DOSLUOGLU TANER) 05 June 2008 (2008-06-05) entire document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/114716

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113674685	A	19 November 2021	None			
CN	112822466	A	18 May 2021	None			
CN	102449999	A	09 May 2012	TW	201110690	A	16 March 2011
				US	2010309340	A1	09 December 2010
				WO	2010141056	A1	09 December 2010
CN	111447380	A	24 July 2020	WO	2021233040	A1	25 November 2021
CN	108141575	A	08 June 2018	JP	2021013186	A	04 February 2021
				WO	2016187469	A1	24 November 2016
				EP	3298773	A1	28 March 2018
				IL	294178	A	01 August 2022
				KR	20180010230	A	30 January 2018
				US	2020228734	A1	16 July 2020
				JP	2018516013	A	14 June 2018
				AU	2016264606	A1	14 December 2017
				US	2016344957	A1	24 November 2016
				HK	1252419	A1	24 May 2019
				US	2018198995	A1	12 July 2018
				IL	280427	A	01 March 2021
				IL	287335	A	01 December 2021
				IL	255709	A	31 January 2018
				CA	2986476	A1	24 November 2016
				US	2021329180	A1	21 October 2021
				JP	2022060543	A	14 April 2022
US	2012175498	A1	12 July 2012	None			
US	2008129834	A1	05 June 2008	US	2012154648	A1	21 June 2012

国际检索报告

国际申请号

PCT/CN2022/114716

A. 主题的分类

G09G 3/20(2006.01)i; H04N 9/04(2006.01)i; H04N 5/335(2011.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; H04N9; H04N5

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, ENTXT, VEN, USTXT: 像素, 阵列, 控制, 像素团, 白色, 彩色, 红, 绿, 蓝, 共用, 信号线, 卷帘, 曝光, 预处理, 像素行, 感测, control+, pixel, group, row, share, signal, line, output, column, roller, shutter, exposure, array, white, red, green, blue, color, preset+, process+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 113674685 A (维沃移动通信有限公司) 2021年11月19日 (2021 - 11 - 19) 说明书第42-149段, 图1-9	1-19
Y	CN 112822466 A (维沃移动通信有限公司) 2021年5月18日 (2021 - 05 - 18) 说明书第31-82段, 图1-9	1-19
Y	CN 102449999 A (全视科技有限公司等) 2012年5月9日 (2012 - 05 - 09) 说明书第29-118段, 图1-11	1-19
Y	CN 111447380 A (OPPO广东移动通信有限公司) 2020年7月24日 (2020 - 07 - 24) 说明书第29-188段, 附图1-31	2, 4, 6, 8, 10, 12, 14, 16
Y	CN 108141575 A (奇跃公司) 2018年6月8日 (2018 - 06 - 08) 说明书第19-49段, 图1-5c	6, 8, 14, 16
A	US 2012175498 A1 (KRYMSKI ALEXANDER) 2012年7月12日 (2012 - 07 - 12) 全文	1-19
A	US 2008129834 A1 (DOSLUOGLU TANER) 2008年6月5日 (2008 - 06 - 05) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年10月2日

国际检索报告邮寄日期

2022年10月13日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

刘士奎

电话号码 62085842

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/114716

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113674685	A	2021年11月19日	无			
CN	112822466	A	2021年5月18日	无			
CN	102449999	A	2012年5月9日	TW	201110690	A	2011年3月16日
				US	2010309340	A1	2010年12月9日
				WO	2010141056	A1	2010年12月9日
CN	111447380	A	2020年7月24日	WO	2021233040	A1	2021年11月25日
CN	108141575	A	2018年6月8日	JP	2021013186	A	2021年2月4日
				WO	2016187469	A1	2016年11月24日
				EP	3298773	A1	2018年3月28日
				IL	294178	A	2022年8月1日
				KR	20180010230	A	2018年1月30日
				US	2020228734	A1	2020年7月16日
				JP	2018516013	A	2018年6月14日
				AU	2016264606	A1	2017年12月14日
				US	2016344957	A1	2016年11月24日
				HK	1252419	A1	2019年5月24日
				US	2018198995	A1	2018年7月12日
				IL	280427	A	2021年3月1日
				IL	287335	A	2021年12月1日
				IL	255709	A	2018年1月31日
				CA	2986476	A1	2016年11月24日
				US	2021329180	A1	2021年10月21日
				JP	2022060543	A	2022年4月14日
US	2012175498	A1	2012年7月12日	无			
US	2008129834	A1	2008年6月5日	US	2012154648	A1	2012年6月21日