

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 8 月 18 日 (18.08.2016)



(10) 国际公布号
WO 2016/127552 A1

- (51) 国际专利分类号:
G06F 13/28 (2006.01)
- (21) 国际申请号: PCT/CN2015/083289
- (22) 国际申请日: 2015 年 7 月 3 日 (03.07.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510074087.1 2015 年 2 月 12 日 (12.02.2015) CN
- (71) 申请人: 深圳市中兴微电子有限公司 (ZHONGXING MICROELECTRONICS TECHNOLOGY CO.LTD) [CN/CN]; 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。
- (72) 发明人: 牟崧友 (MOU, Songyou); 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。安康 (AN, Kang); 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。王志忠 (WANG, Zhizhong); 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。刘衡祁 (LIU, Hengqi); 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OF-

FICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

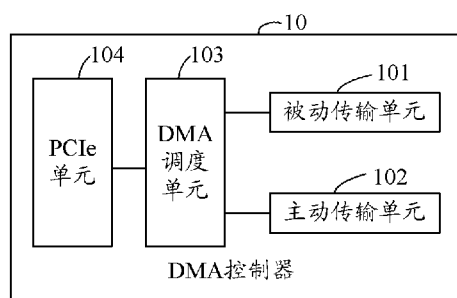
(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: DIRECT MEMORY ACCESS (DMA) CONTROLLER AND DATA TRANSMISSION METHOD

(54) 发明名称: 一种直接内存存取 DMA 控制器及数据传输的方法



10 DMA CONTROLLER
101 PASSIVE TRANSMISSION UNIT
102 ACTIVE TRANSMISSION UNIT
103 DMA SCHEDULING UNIT
104 PCIE UNIT

图 1

(57) Abstract: A DMA controller and a data transmission method. The DMA controller (10) comprises a passive transmission unit (101), an active transmission unit (102), a DMA scheduling unit (103), and a PCIe unit (104). The passive transmission unit (101) is configured to implement, according to a transmission parameter configured by the CPU, data submission and delivery operations that are triggered by a CPU and that are between an external chip and the CPU. The active transmission unit (102), configured to implement, by means of a BD table that is set by a CPU in a memory and that comprises at least one buffer description (BF) item as well as data buffer space, data submission and delivery operations that are triggered by the external chip and that are between the external chip and the CPU. The DMA scheduling unit (103), configured to avoid, in a manner of arbitration, contention caused by the data submission and delivery operations between the external chip and the CPU. The PCIe unit (104), configured to provide a PCIe interface for information interaction between the CPU and the DMA controller (10).

(57) 摘要:

[见续页]



WO 2016/127552 A1



一种 DMA 控制器及数据传输的方法，DMA 控制器（10）包括：被动传输单元（101）、主动传输单元（102）、DMA 调度单元（103）和 PCIe 单元（104），其中，被动传输单元（101），配置为根据 CPU 配置的传输参数完成由 CPU 发起的外部芯片与 CPU 之间的数据上送和下发操作；主动传输单元（102），配置为通过 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的外部芯片与 CPU 之间的数据上送和下发操作；DMA 调度单元（103），配置为通过仲裁的方式避免外部芯片与 CPU 之间的数据上送和下发操作所引起的竞争；PCIe 单元（104），配置为为 CPU 和所述 DMA 控制器（10）之间的信息交互提供 PCIe 接口。

一种直接内存存取 DMA 控制器及数据传输的方法

技术领域

本发明涉及直接内存存取（DMA，Direct Memory Access）技术，尤其涉及一种 DMA 控制器及数据传输的方法。

5 背景技术

目前，直接内存存取 DMA 技术被广泛应用于芯片设计中，是一种不经过 CPU 而直接从内存存取数据的数据交换模式，是解决内存和外部芯片之间数据交互的重要技术。

DMA 控制器可以将数据从一个地址空间搬移到另外一个地址空间，传输动作本身是由 DMA 控制器来实行和完成的，这样节省了 CPU 的数据总线带宽。而在具体的实现过程中，通常是针对不同应用场景来实现相应的 DMA 控制器，从而使得实现的 DMA 控制器的模式固定，不够灵活，导致多种数据传输模式无法共用 DMA 控制器，不利于节省芯片面积。

发明内容

15 有鉴于此，为解决现有技术存在的技术问题，本发明实施例提供一种 DMA 控制器及数据传输的方法。

本发明实施例的技术方案是这样实现的：

第一方面，本发明实施例提供了一种 DMA 控制器，所述 DMA 控制器包括：被动传输单元、主动传输单元、DMA 调度单元和快捷外部设备互连
20 PCIe 单元，其中，

所述被动传输单元，配置为根据中央处理器 CPU 配置的传输参数完成由所述 CPU 发起的所述外部芯片与所述 CPU 之间的数据上送和下发操作；

所述主动传输单元，配置为通过所述 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的所述外部芯片与所述 CPU 之间的数据上送和下发操作；

所述 DMA 调度单元，配置为通过仲裁的方式避免所述外部芯片与所述 CPU 之间的数据上送和下发操作所引起的竞争；

所述 PCIe 单元，配置为为所述 CPU 和所述 DMA 控制器之间的信息交互提供 PCIe 接口。

较佳地，所述被动传输单元，具体配置为：

接收所述 CPU 配置的上送启动指令后，从所述 CPU 预置的外部芯片源地址按照所述 CPU 预置的上送数据长度将外部芯片存储器中的待上送数据读取至被动上送缓存；以及，

将所述被动上送缓存中的待上送数据写入所述 CPU 预置的内存目的地址中；以及，

当所述待上送数据完全写入所述 CPU 预置的内存目的地址后，通知所述 CPU 写入完成。

较佳地，所述被动传输单元，具体配置为：

接收所述 CPU 配置的下发启动指令后，从所述 CPU 预置的内存源地址按照所述 CPU 预置的下发数据长度将所述内存中的待下发数据读取至被动下发缓存；以及，

将所述被动下发缓存中的待下发数据写入所述 CPU 预置的外部芯片存储器的目的地址中；以及，

当所述待下发数据完全写入所述 CPU 预置的外部芯片存储器的目的地址后，通知所述 CPU 下发完成。

较佳地，所述主动传输单元，具体配置为：

接收所述 CPU 在初始化完成主动上送 BD 表后发送的所述主动上送 BD

表的特征信息；其中，所述主动上送 BD 表的特征信息包括：所述主动上送 BD 表中 BD 项的个数阈值，所述主动上送 BD 表存放的首地址和结束地址；所述主动上送 BD 表中 BD 项的内容包括：所述 BD 项的有效指示，所述 BD 项对应的内存中数据块大小及所述 BD 项对应的内存中数据起始地址；

5 以及，接收外部芯片发送的待上送数据，并将所述待上送数据存入所述 DMA 控制器中的主动上送缓存；

以及，当所述主动上送缓存满足预设条件时且所述主动传输单元自身保存的有效 BD 项数小于所述 BD 项的个数阈值时，根据所述主动上送 BD 表存放的首地址和结束地址读取所述 BD 项；

10 以及，当所述 BD 项的有效指示为 0 时，将所述主动上送缓存中的待上送数据传输至所述 BD 项对应的内存中数据起始地址，并将所述 BD 项的有效指示更改为 1，且将所述主动传输单元自身保存的有效 BD 项数加一；

以及，根据所述主动上送 BD 表存放的首地址和结束地址读取所述 BD 项在所述 BD 表中的下一个 BD 项。

15 较佳地，所述主动传输单元还配置为：接收所述 CPU 在读取完所述 BD 项对应的内存中数据起始地址中的待上送数据后发送的读取完毕信息，并将所述主动传输单元自身保存的有效 BD 项数减一。

较佳地，所述主动传输单元，具体配置为：

20 接收所述 CPU 在初始化完成主动下发 BD 项后发送的所述主动下发 BD 项的首地址和结束地址；以及，

接收所述 CPU 发送的主动下发起始指令后，根据所述主动下发 BD 项的首地址和结束地址读取所述主动下发 BD 项；以及，

根据所述主动下发 BD 项指示的内存空间中的待下发数据传输至主动下发缓存，并将所述主动下发缓存中的数据传输至所述外部芯片的存储器；

25 以及，

向所述 CPU 发送主动下发完成响应。

第二方面，本发明实施例提供了一种数据传输的方法，所述方法应用于一 DMA 控制器，所述方法包括：

所述 DMA 控制器根据中央处理器 CPU 配置的传输参数完成由所述 CPU 发起的所述外部芯片与所述 CPU 之间的数据上送和下发操作；

所述 DMA 控制器通过所述 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的所述外部芯片与所述 CPU 之间的数据上送和下发操作；

所述 DMA 控制器通过仲裁的方式避免所述外部芯片与所述 CPU 之间的数据上送和下发操作所引起的竞争，其中，所述 CPU 和所述 DMA 控制器之间的信息交互通过 PCIe 接口进行。

较佳地，所述 DMA 控制器根据 CPU 配置的传输参数完成由所述 CPU 发起的所述外部芯片与所述 CPU 之间的数据上送操作，包括：

所述 DMA 控制器接收所述 CPU 配置的上送启动指令后，从所述 CPU 预置的外部芯片源地址按照所述 CPU 预置的上送数据长度将外部芯片存储器中的待上送数据读取至被动上送缓存；

所述 DMA 控制器将所述被动上送缓存中的待上送数据写入所述 CPU 预置的内存目的地址中；

所述 DMA 控制器当所述待上送数据完全写入所述 CPU 预置的内存目的地址后，通知所述 CPU 写入完成。

较佳地，所述 DMA 控制器根据 CPU 配置的传输参数完成由所述 CPU 发起的所述外部芯片与所述 CPU 之间的数据下发操作，包括：

所述 DMA 控制器接收所述 CPU 配置的下发启动指令后，从所述 CPU 预置的内存源地址按照所述 CPU 预置的下发数据长度将所述内存中的待下发数据读取至被动下发缓存；

所述 DMA 控制器将所述被动下发缓存中的待下发数据写入所述 CPU 预置的外部芯片存储器的目的地址中；

所述 DMA 控制器当所述待下发数据完全写入所述 CPU 预置的外部芯片存储器的目的地址后，通知所述 CPU 下发完成。

5 较佳地，所述 DMA 控制器通过所述 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的所述外部芯片与所述 CPU 之间的数据上送操作，包括：

所述 DMA 控制器接收所述 CPU 在初始化完成主动上送 BD 表后发送的所述主动上送 BD 表的特征信息；其中，所述主动上送 BD 表的特征信息
10 包括：所述主动上送 BD 表中 BD 项的个数阈值，所述主动上送 BD 表存放的首地址和结束地址；所述主动上送 BD 表中 BD 项的内容包括：所述 BD 项的有效指示，所述 BD 项对应的内存中数据块大小，所述 BD 项对应的内存中数据起始地址；

所述 DMA 控制器接收外部芯片发送的待上送数据，并将所述待上送数据
15 存入所述 DMA 控制器中的主动上送缓存；

当所述主动上送缓存满足预设条件时且所述主动传输单元自身保存的有效 BD 项数小于所述 BD 项的个数阈值时，所述 DMA 控制器根据所述主动上送 BD 表存放的首地址和结束地址读取所述 BD 项；

当所述 BD 项的有效指示为 0 时，所述 DMA 控制器将所述主动上送缓存中的待上送数据传输至所述 BD 项对应的内存中数据起始地址，并将所述
20 BD 项的有效指示更改为 1，且将所述主动传输单元自身保存的有效 BD 项数加一；

所述 DMA 控制器根据所述主动上送 BD 表存放的首地址和结束地址读取所述 BD 项在所述 BD 表中的下一个 BD 项。

25 较佳地，所述方法还包括：

所述 DMA 控制器接收所述 CPU 在读取完所述 BD 项对应的内存中数据起始地址中的待上送数据后发送的读取完毕信息，并将所述主动传输单元自身保存的有效 BD 项数减一。

5 较佳地，所述 DMA 控制器通过所述 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的所述外部芯片与所述 CPU 之间的数据下发操作，包括：

所述 DMA 控制器接收所述 CPU 在初始化完成主动下发 BD 项后发送的所述主动下发 BD 项的首地址和结束地址；

10 所述 DMA 控制器接收所述 CPU 发送的主动下发起始指令后，根据所述主动下发 BD 项的首地址和结束地址读取所述主动下发 BD 项；

所述 DMA 控制器根据所述主动下发 BD 项指示的内存空间中的待下发数据传输至主动下发缓存，并将所述主动下发缓存中的数据传输至所述外部芯片的存储器；

所述 DMA 控制器向所述 CPU 发送主动下发完成响应。

15 本发明实施例提供了一种 DMA 控制器及数据传输的方法，通过一种适用于不同应用场景的 DMA 控制器来使得多种数据传输模式均能够共用该 DMA 控制器，通用性强，节省了 CPU 与外部芯片的读写数据时间，而且能够节省芯片面积。

附图说明

20 图 1 为本发明实施例提供的一种 DMA 控制器的结构示意图；

图 2 为本发明实施例提供的一种内存空间的示意图；

图 3 为本发明实施例提供的一种数据传输的方法的流程示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进

行清楚、完整地描述。

参见图 1，其示出了本发明实施例提供的一种 DMA 控制器 10 的结构，该 DMA 控制器 10 可以包括：被动传输单元 101、主动传输单元 102、DMA 调度单元 103 和快捷外部设备互连 (PCIe, Peripheral Component Interconnect Express) 单元 104，其中，

被动传输单元 101，配置为根据 CPU 配置的传输参数完成由 CPU 发起的外部芯片与 CPU 之间的数据上送和下发操作；

主动传输单元 102，配置为通过中央处理器 CPU 在内存中设置的包括至少一个缓存描述 (BD, Buffer Descriptor) 项的 BD 表及数据缓存空间完成由外部芯片发起的外部芯片与 CPU 之间的数据上送和下发操作；

DMA 调度单元 103，配置为通过仲裁的方式避免外部芯片与 CPU 之间的数据上送和下发操作所引起的竞争；

PCIe 单元 104，配置为为 CPU 和 DMA 控制器之间的信息交互提供 PCIe 接口。

可以理解地，DMA 控制器 10 中为了实现各单元的功能，还会相应地在各单元中设置寄存器及缓存等器件，而这些器件并不是本实施例技术方案的主要内容，因此，这些寄存器和缓存仅在后续的技术方案描述中的相应部分进行描述。

需要说明的是，在本实施例中，“主动”和“被动”是相对于外部芯片而言的，即：由外部芯片发起的数据传输称之为“主动”；由 CPU 发起的数据传输称之为“被动”；“上送”和“下发”是相对于 CPU 而言的，即：数据传输方向为外部芯片至 CPU 的为“上送”，数据传输方向为 CPU 至外部芯片的为“下发”。所以，DMA 控制器 10 中的被动传输单元 101 和主动传输单元 102 均需要完成“上送”和“下发”这两个方向的数据传输。

示例性地，为了完成由 CPU 发起的外部芯片与 CPU 之间的数据上送操

作, 被动传输单元 101 具体配置为:

接收 CPU 配置的上送启动指令后, 从 CPU 预置的外部芯片源地址按照 CPU 预置的上送数据长度将外部芯片存储器中的待上送数据读取至被动上送缓存;

5 以及, 将被动上送缓存中的待上送数据写入 CPU 预置的内存目的地址中;

以及, 当待上送数据完全写入 CPU 预置的内存目的地址后, 通知 CPU 写入完成。

需要说明的是, 上述被动传输单元 101 的具体用途可以应用于 CPU 想要获取外部芯片中的某一块数据的场景;

具体地, CPU 配置的上送启动指令可以通过 CPU 配置被动传输单元 101 中的写启动寄存器来实现, 例如, 当写启动寄存器被 CPU 置位时, 表示被动传输单元 101 开始进行被动上送; CPU 预置的上送数据长度可以通过 CPU 预先配置被动传输单元 101 中的上送数据长度寄存器来实现, 在本实施例
15 中, 该寄存器的单位为 128bit; CPU 预置的外部芯片源地址可以通过 CPU 预先配置被动传输单元 101 中的外部芯片片内源地址寄存器来实现; CPU 预置的内存目的地址可以通过 CPU 配置被动传输单元 101 中的内存目的地址寄存器来实现; 被动传输单元 101 将被动上送缓存中的待上送数据写入 CPU 预置的内存目的地址可以由被动传输单元 101 通过 PCIe 单元 104 提供
20 的 PCIe 接口将被动上送缓存中的待上送数据向内存搬移; 被动传输单元 101 通知 CPU 写入完成可以通过被动传输单元 101 将上送完成寄存器置位, 并发出中断, 从而使得 CPU 可以通过读取被动传输单元 101 中的上送完成寄存器或接收中断两种方式, 判断被动上送过程完成。

示例性地, 为了完成由 CPU 发起的外部芯片与 CPU 之间的数据下发操作, 被动传输单元 101, 具体配置为:

接收 CPU 配置的下发启动指令后,从 CPU 预置的内存源地址按照 CPU 预置的下发数据长度将内存中的待下发数据读取至被动下发缓存;

以及,将被动下发缓存中的待下发数据写入 CPU 预置的外部芯片存储器的目的地址中;

5 以及,当待下发数据完全写入 CPU 预置的外部芯片存储器的目的地址后,通知 CPU 下发完成。

具体地,CPU 配置的下发启动指令可以通过 CPU 配置被动传输单元 101 中的读启动寄存器来实现,例如,当读启动寄存器被 CPU 置位时,表示被动传输单元 101 开始进行被动下发;CPU 预置的下发数据长度可以通过 CPU
10 预先配置被动传输单元 101 中的下发长度寄存器来实现,在本实施例中,下发长度寄存器的单位 32bit; CPU 预置的内存源地址可以通过 CPU 预先配置被动传输单元 101 中的内存源地址寄存器来实现;被动传输单元 101 通知 CPU 下发完成可以通过被动传输单元 101 置位下发完成寄存器,并发出中断来实现,从而使得 CPU 可以通过读被动传输单元 101 中的下发完成
15 寄存器或者接收中断的方式,判断被动下发是否完成。

示例性地,为了完成由外部芯片发起的外部芯片与 CPU 之间的数据上送操作,主动传输单元 102,具体配置为:

接收 CPU 在初始化完成主动上送 BD 表后发送的主动上送 BD 表的特征信息;其中,主动上送 BD 表的特征信息包括:主动上送 BD 表中 BD 项
20 的个数阈值,主动上送 BD 表存放的首地址和结束地址;而主动上送 BD 表中的 BD 项内容可以包括:该 BD 项的有效指示,该 BD 项对应的内存中数据块大小及该 BD 项对应的内存中数据起始地址;以及,

接收外部芯片发送的待上送数据,并将待上送数据存入 DMA 控制器
10 中的主动上送缓存;

25 当主动上送缓存满足预设条件时且主动传输单元 102 自身保存的有效

BD 项数小于 BD 项的个数阈值时，根据主动上送 BD 表存放的首地址和结束地址读取 BD 项；

当 BD 项的有效指示为 0 时，将主动上送缓存中的待上送数据传输至 BD 项对应的内存中数据起始地址，并将 BD 项的有效指示更改为 1，且将主动传输单元 102 自身保存的有效 BD 项数加一；

根据主动上送 BD 表存放的首地址和结束地址读取 BD 项在 BD 表中的下一个 BD 项。

具体地，CPU 可以初始化内存中的主动上送 BD 表项可以包括将 BD 项的有效字段 val 为 0，该有效字段可以是 BD 项的有效指示的一种实现形式、BD 项指向的内存空间的首地址字段表示 BD 项对应的内存中数据起始地址，而 BD 项的长度字段和保留字段不需要赋值。同时 CPU 还需要开辟 BD 表项指向的内存空间，每个 BD 指向的内存空间不小于最大传输数据长度。如图 2 所示，内存空间中的 BD 项的内容如图 2 右边所示，图 2 左边中交叉斜线表示的 BD 项 BD_0 在内存中指向的空间为交叉斜线所示的 Bd_dat0 至 Bd_datk-1，其中，k 表示数据长度；相对应地，方格阴影表示的 BD 项 BD_1 在内存中指向的空间为方格阴影所示的 Bd_dat0 至 Bd_datk-1，其中，k 表示数据长度。主动上送缓存可以是一个 FIFO 中缓存，而主动上送缓存满足预设条件可以是如下两个条件之一：（1）FIFO 中的缓存数据达到配置长度；（2）FIFO 中的数据超过设定的最大等待时间。主动传输单元 102 自身保存的有效 BD 项数可以是主动传输单元 102 中的有效 BD 计数器。

较佳地，主动传输单元 102 还配置为：接收 CPU 在读取完 BD 项对应的内存中数据起始地址中的待上送数据后发送的读取完毕信息，并将主动传输单元 102 自身保存的有效 BD 项数减一。具体地，CPU 每次读取一个 BD 项后，将 BD 的有效字段 val 字段写 0，并向主动传输单元 102 的读 BD 脉冲寄存器写 32'h1234_5678，主动传输单元 102 收到脉冲后，会将有效

BD 计数器减 1

示例性地，为了完成由外部芯片发起的外部芯片与 CPU 之间的数据下发操作，主动传输单元 102，具体配置为：

接收 CPU 在初始化完成主动下发 BD 项后发送的主动下发 BD 项的首地址和结束地址；

以及，接收 CPU 发送的主动下发起始指令后，根据主动下发 BD 项的首地址和结束地址读取主动下发 BD 项；

以及，根据主动下发 BD 项指示的内存空间中的待下发数据传输至主动下发缓存，并将主动下发缓存中的数据传输至外部芯片的存储器；

以及，向 CPU 发送主动下发完成响应。

具体地，CPU 初始化内存中的主动下发 BD 表项。初始的内容包括报文有效字段 val 为 0，BD 项对应内存首地址字段为 CPU 将这个待下发数据存储的内存地址，BD 项长度字段和保留字段不需要赋值。CPU 需要下发数据时，将数据存放到 BD 项指向的内存地址，并将 BD 项的 val 置 1，将数据长度写入 BD 项的长度字段。CPU 发送的主动下发起始指令可以通过 CPU 向主动传输单元 102 的写 BD 脉冲个数寄存器写 32'h1234_5678 来实现，当主动传输单元 102 判断写 BD 脉冲个数寄存器大于 0，则读取内存中的 BD 项，并将写 BD 脉冲个数寄存器减 1。接着主动传输单元 102 根据读返回的 BD 项，将内存的数据搬移到外部芯片的存储器。主动传输单元 102 向 CPU 发送主动下发完成响应具体可以是主动传输单元 102 将 BD 项的 val 信号置 0，并发送中断。从而使得 CPU 可以通过 BD 项的 val 位或中断，来判断当前 BD 项指向的数据是否被下发完成。

需要说明的是，由于 PCIe 接口协议中，只存在一个读接口，一个写接口和一个读返回接口，因此，上述被动传输单元 101 和主动传输单元 102 在进行数据传输过程中，频繁的跟 CPU 交互，进行接收和发送，从而难免

出现冲突。于是 DMA 调度单元 103 的作用就是将这些存在竞争的操作进行仲裁，仲裁的方式是可以配置的，既可以配置为轮询调度又可以配置为严格优先级调度。

还需要说明的是，由于 PCIe 的协议层部分包括 6 组端口，P 报文（不需要返回完成 completion 响应包的报文）发送/接收，NP 报文（请求需要返回完成 completion 响应包的报文）发送/接收，CPL 报文（完成 completion 响应包报文）发送/接收，完全根据 PCIe 协议开发。因此，DMA 控制器 10 与 CPU 之间的控制信息接口通过 PCIe 单元 104 提供的 PCIe 接口来实现。

本实施例提供的 DMA 控制器 10，可以同时支持主动方式和被动方式的数据传输，并且通过仲裁的方式避免了主动方式和被动方式的多路数据之间的竞争现象，通用性强，节省了 CPU 与外部芯片的读写数据时间。

参见图 3，其示出了本发明实施例提供的一种数据传输的方法流程，该方法应用于一直接内存存取 DMA 控制器，该方法可以包括：

S301: DMA 控制器根据中央处理器 CPU 配置的传输参数完成由 CPU 发起的外部芯片与 CPU 之间的数据上送和下发操作；

S302: DMA 控制器通过 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的外部芯片与 CPU 之间的数据上送和下发操作；

S303: DMA 控制器通过仲裁的方式避免外部芯片与 CPU 之间的数据上送和下发操作所引起的竞争；

在本实施例中，CPU 和 DMA 控制器之间的信息交互通过 PCIe 接口进行。

示例性地，DMA 控制器根据 CPU 配置的传输参数完成由 CPU 发起的外部芯片与 CPU 之间的数据上送操作，包括：

DMA 控制器接收 CPU 配置的上送启动指令后，从 CPU 预置的外部芯

片源地址按照 CPU 预置的上送数据长度将外部芯片存储器中的待上送数据读取至被动上送缓存；

DMA 控制器将被动上送缓存中的待上送数据写入 CPU 预置的内存目的地址中；

- 5 DMA 控制器当待上送数据完全写入 CPU 预置的内存目的地址后，通知 CPU 写入完成。

示例性地，DMA 控制器根据 CPU 配置的传输参数完成由 CPU 发起的外部芯片与 CPU 之间的数据下发操作，包括：

- 10 DMA 控制器接收 CPU 配置的下发启动指令后，从 CPU 预置的内存源地址按照 CPU 预置的下发数据长度将内存中的待下发数据读取至被动下发缓存；

DMA 控制器将被动下发缓存中的待下发数据写入 CPU 预置的外部芯片存储器的目的地址中；

- 15 DMA 控制器当待下发数据完全写入 CPU 预置的外部芯片存储器的目的地址后，通知 CPU 下发完成。

示例性地，DMA 控制器通过 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的外部芯片与 CPU 之间的数据上送操作，包括：

- 20 DMA 控制器接收 CPU 在初始化完成主动上送 BD 表后发送的主动上送 BD 表的特征信息；其中，主动上送 BD 表的特征信息包括：主动上送 BD 表中 BD 项的个数阈值，主动上送 BD 表存放的首地址和结束地址；而主动上送 BD 表中的 BD 项内容可以包括：该 BD 项的有效指示，该 BD 项对应的内存中数据块大小及该 BD 项对应的内存中数据起始地址；

- 25 DMA 控制器接收外部芯片发送的待上送数据，并将待上送数据存入所述 DMA 控制器中的主动上送缓存；

当主动上送缓存满足预设条件时且主动传输单元自身保存的有效 BD 项数小于 BD 项的个数阈值时，DMA 控制器根据主动上送 BD 表存放的首地址和结束地址读取 BD 项；

当 BD 项的有效指示为 0 时，DMA 控制器将主动上送缓存中的待上送
5 数据传输至 BD 项对应的内存中数据起始地址，并将 BD 项的有效指示更改为 1，且将主动传输单元自身保存的有效 BD 项数加一；

DMA 控制器根据主动上送 BD 表存放的首地址和结束地址读取 BD 项在 BD 表中的下一个 BD 项。

较佳地，该方法还包括：

10 DMA 控制器接收 CPU 在读取完 BD 项对应的内存中数据起始地址中的待上送数据后发送的读取完毕信息，并将主动传输单元自身保存的有效 BD 项数减一。

示例性地，DMA 控制器通过 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的外部芯片与 CPU
15 之间的数据下发操作，包括：

DMA 控制器接收 CPU 在初始化完成主动下发 BD 项后发送的主动下发 BD 项的首地址和结束地址；

DMA 控制器接收 CPU 发送的主动下发起始指令后，根据主动下发 BD 项的首地址和结束地址读取主动下发 BD 项；

20 DMA 控制器根据主动下发 BD 项指示的内存空间中的待下发数据传输至主动下发缓存，并将主动下发缓存中的数据传输至外部芯片的存储器；

DMA 控制器向 CPU 发送主动下发完成响应。

本实施例提供的数据传输的方法，可以同时支持主动方式和被动方式的数据传输，并且通过仲裁的方式避免了主动方式和被动方式的多路数据
25 之间的竞争现象，通用性强，节省了 CPU 与外部芯片的读写数据时间

本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用硬件实施例、软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘
5 存储器和光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、
10 嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个
15 流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机
20 实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

以上，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

权利要求书

1、一种直接内存存取 DMA 控制器，所述 DMA 控制器包括：被动传输单元、主动传输单元、DMA 调度单元和快捷外部设备互连 PCIe 单元，其中，

5 所述被动传输单元，配置为根据中央处理器 CPU 配置的传输参数完成由所述 CPU 发起的所述外部芯片与所述 CPU 之间的数据上送和下发操作；

所述主动传输单元，配置为通过所述 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的所述外部芯片与所述 CPU 之间的数据上送和下发操作；

10 所述 DMA 调度单元，配置为通过仲裁的方式避免所述外部芯片与所述 CPU 之间的数据上送和下发操作所引起的竞争；

所述 PCIe 单元，配置为为所述 CPU 和所述 DMA 控制器之间的信息交互提供 PCIe 接口。

2、根据权利要求 1 所述的 DMA 控制器，其中，所述被动传输单元，
15 配置为：

接收所述 CPU 配置的上送启动指令后，从所述 CPU 预置的外部芯片源地址按照所述 CPU 预置的上送数据长度将外部芯片存储器中的待上送数据读取至被动上送缓存；以及，

将所述被动上送缓存中的待上送数据写入所述 CPU 预置的内存目的地
20 址中；以及，

当所述待上送数据完全写入所述 CPU 预置的内存目的地址后，通知所述 CPU 写入完成。

3、根据权利要求 1 所述的 DMA 控制器，其中，所述被动传输单元，配置为：

接收所述 CPU 配置的下发启动指令后,从所述 CPU 预置的内存源地址按照所述 CPU 预置的下发数据长度将所述内存中的待下发数据读取至被动下发缓存; 以及,

将所述被动下发缓存中的待下发数据写入所述 CPU 预置的外部芯片存储器
5 的目的地址中; 以及,

当所述待下发数据完全写入所述 CPU 预置的外部芯片存储器的目的地址后, 通知所述 CPU 下发完成。

4、根据权利要求 1 所述的 DMA 控制器, 其中, 所述主动传输单元, 配置为:

10 接收所述 CPU 在初始化完成主动上送 BD 表后发送的所述主动上送 BD 表的特征信息; 其中, 所述主动上送 BD 表的特征信息包括: 所述主动上送 BD 表中 BD 项的个数阈值, 所述主动上送 BD 表存放的首地址和结束地址; 所述主动上送 BD 表中 BD 项的内容包括: 所述 BD 项的有效指示, 所述 BD 项对应的内存中数据块大小及所述 BD 项对应的内存中数据起始地址;

15 以及, 接收外部芯片发送的待上送数据, 并将所述待上送数据存入所述 DMA 控制器中的主动上送缓存;

以及, 当所述主动上送缓存满足预设条件时且所述主动传输单元自身保存的有效 BD 项数小于所述 BD 项的个数阈值时, 根据所述主动上送 BD 表存放的首地址和结束地址读取所述 BD 项;

20 以及, 当所述 BD 项的有效指示为 0 时, 将所述主动上送缓存中的待上送数据传输至所述 BD 项对应的内存中数据起始地址, 并将所述 BD 项的有效指示更改为 1, 且将所述主动传输单元自身保存的有效 BD 项数加一;

以及, 根据所述主动上送 BD 表存放的首地址和结束地址读取所述 BD 项在所述 BD 表中的下一个 BD 项。

25 5、根据权利要求 4 所述的 DMA 控制器, 其中, 所述主动传输单元还

配置为：接收所述 CPU 在读取完所述 BD 项对应的内存中数据起始地址中的待上送数据后发送的读取完毕信息，并将所述主动传输单元自身保存的有效 BD 项数减一。

6、根据权利要求 1 所述的 DMA 控制器，其中，所述主动传输单元，
5 配置为：

接收所述 CPU 在初始化完成主动下发 BD 项后发送的所述主动下发 BD 项的首地址和结束地址；以及，

接收所述 CPU 发送的主动下发起始指令后，根据所述主动下发 BD 项的首地址和结束地址读取所述主动下发 BD 项；以及，

10 根据所述主动下发 BD 项指示的内存空间中的待下发数据传输至主动下发缓存，并将所述主动下发缓存中的数据传输至所述外部芯片的存储器；以及，

向所述 CPU 发送主动下发完成响应。

7、一种数据传输的方法，所述方法应用于直接内存存取 DMA 控制器，
15 所述方法包括：

所述 DMA 控制器根据中央处理器 CPU 配置的传输参数完成由所述 CPU 发起的所述外部芯片与所述 CPU 之间的数据上送和下发操作；

所述 DMA 控制器通过所述 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的所述外部芯片与所
20 述 CPU 之间的数据上送和下发操作；

所述 DMA 控制器通过仲裁的方式避免所述外部芯片与所述 CPU 之间的数据上送和下发操作所引起的竞争，其中，所述 CPU 和所述 DMA 控制器之间的信息交互通过 PCIe 接口进行。

8、根据权利要求 7 所述的方法，其中，所述 DMA 控制器根据 CPU 配
25 置的传输参数完成由所述 CPU 发起的所述外部芯片与所述 CPU 之间的数据

上送操作，包括：

所述 DMA 控制器接收所述 CPU 配置的上送启动指令后，从所述 CPU 预置的外部芯片源地址按照所述 CPU 预置的上送数据长度将外部芯片存储器中的待上送数据读取至被动上送缓存；

- 5 所述 DMA 控制器将所述被动上送缓存中的待上送数据写入所述 CPU 预置的内存目的地址中；

所述 DMA 控制器当所述待上送数据完全写入所述 CPU 预置的内存目的地址后，通知所述 CPU 写入完成。

- 9、根据权利要求 7 所述的方法，其中，所述 DMA 控制器根据 CPU 配置
10 的传输参数完成由所述 CPU 发起的所述外部芯片与所述 CPU 之间的数据下发操作，包括：

所述 DMA 控制器接收所述 CPU 配置的下发启动指令后，从所述 CPU 预置的内存源地址按照所述 CPU 预置的下发数据长度将所述内存中的待下发数据读取至被动下发缓存；

- 15 所述 DMA 控制器将所述被动下发缓存中的待下发数据写入所述 CPU 预置的外部芯片存储器的目的地址中；

所述 DMA 控制器当所述待下发数据完全写入所述 CPU 预置的外部芯片存储器的目的地址后，通知所述 CPU 下发完成。

- 10、根据权利要求 7 所述的方法，其中，所述 DMA 控制器通过所述
20 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的所述外部芯片与所述 CPU 之间的数据上送操作，
包括：

- 所述 DMA 控制器接收所述 CPU 在初始化完成主动上送 BD 表后发送的所述主动上送 BD 表的特征信息；其中，所述主动上送 BD 表的特征信息
25 包括：所述主动上送 BD 表中 BD 项的个数阈值，所述主动上送 BD 表存放

的首地址和结束地址；所述主动上送 BD 表中 BD 项的内容包括：所述 BD 项的有效指示，所述 BD 项对应的内存中数据块大小，所述 BD 项对应的内存中数据起始地址；

所述 DMA 控制器接收外部芯片发送的待上送数据，并将所述待上送数据存入所述 DMA 控制器中的主动上送缓存；

当所述主动上送缓存满足预设条件时且所述主动传输单元自身保存的有效 BD 项数小于所述 BD 项的个数阈值时，所述 DMA 控制器根据所述主动上送 BD 表存放的首地址和结束地址读取所述 BD 项；

当所述 BD 项的有效指示为 0 时，所述 DMA 控制器将所述主动上送缓存中的待上送数据传输至所述 BD 项对应的内存中数据起始地址，并将所述 BD 项的有效指示更改为 1，且将所述主动传输单元自身保存的有效 BD 项数加一；

所述 DMA 控制器根据所述主动上送 BD 表存放的首地址和结束地址读取所述 BD 项在所述 BD 表中的下一个 BD 项。

11、根据权利要求 10 所述的方法，其中，所述方法还包括：

所述 DMA 控制器接收所述 CPU 在读取完所述 BD 项对应的内存中数据起始地址中的待上送数据后发送的读取完毕信息，并将所述主动传输单元自身保存的有效 BD 项数减一。

12、根据权利要求 7 所述的方法，其中，所述 DMA 控制器通过所述 CPU 在内存中设置的包括至少一个缓存描述 BD 项的 BD 表及数据缓存空间完成由外部芯片发起的所述外部芯片与所述 CPU 之间的数据下发操作，包括：

所述 DMA 控制器接收所述 CPU 在初始化完成主动下发 BD 项后发送的所述主动下发 BD 项的首地址和结束地址；

所述 DMA 控制器接收所述 CPU 发送的主动下发起始指令后，根据所

述主动下发 BD 项的首地址和结束地址读取所述主动下发 BD 项;

所述 DMA 控制器根据所述主动下发 BD 项指示的内存空间中的待下发数据传输至主动下发缓存, 并将所述主动下发缓存中的数据传输至所述外部芯片的存储器;

5 所述 DMA 控制器向所述 CPU 发送主动下发完成响应。

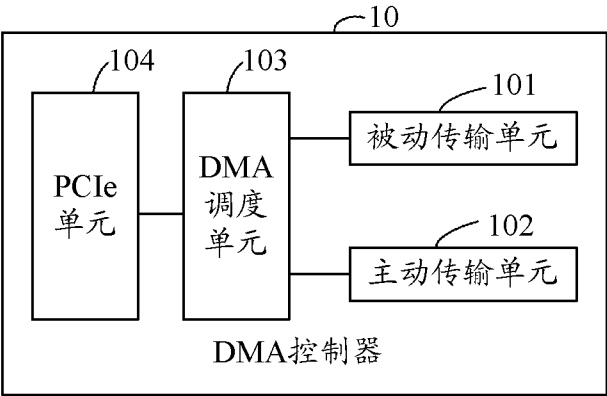


图 1

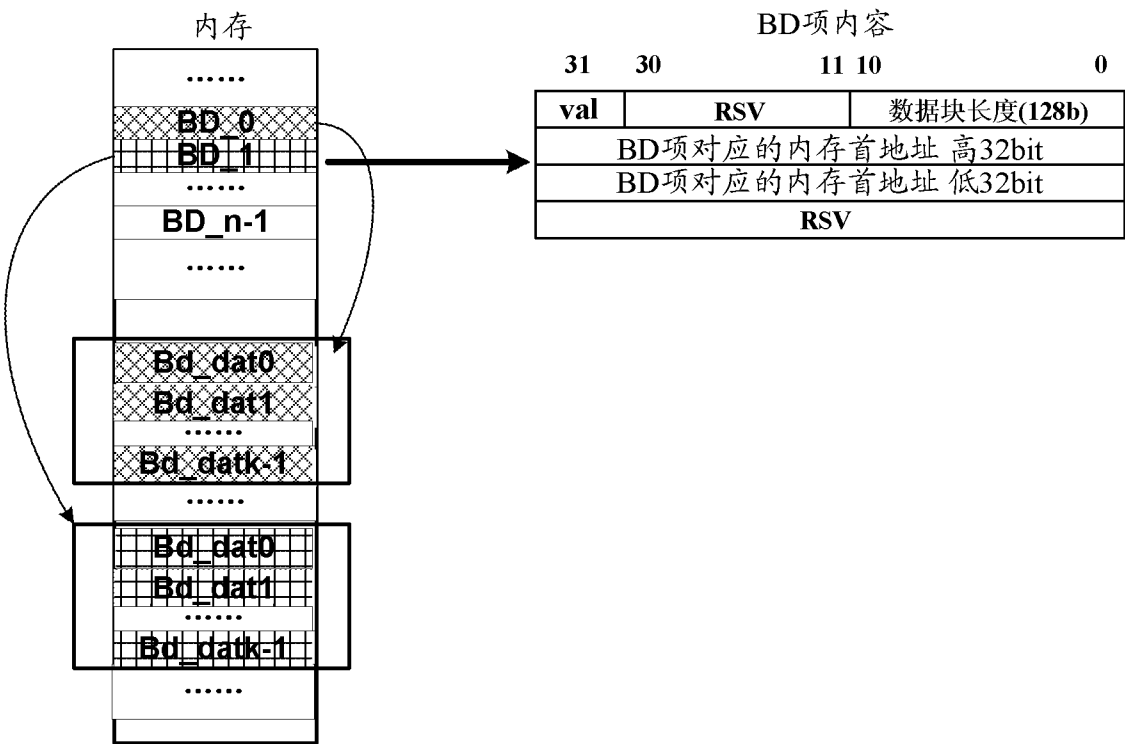


图 2

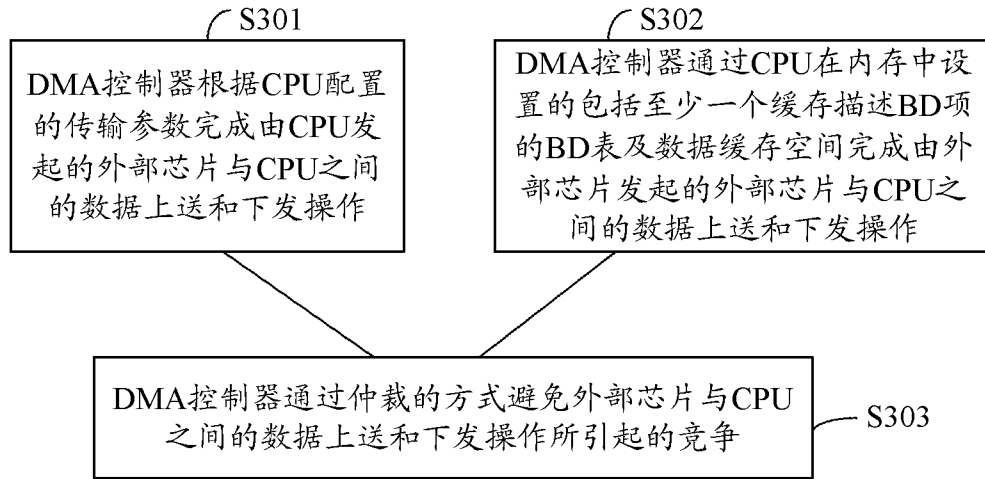


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/083289

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: DMA controller, active, passive, arbiter, BD, PCI, CPU

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103064807 A (RUIJIE NETWORKS CO., LTD.), 24 April 2013 (24.04.2013), description, paragraphs [0026]-[0045]	1-12
A	CN 101901200 A (FIBERHOME TELECOMMUNICATION TECHNOLOGIES CO., LTD.), 01 December 2010 (01.12.2010), the whole document	1-12
A	CN 101158930 A (ZTE CORP.), 09 April 2008 (09.04.2008), the whole document	1-12
A	CN 101202707 A (H3C TECHNOLOGIES CO., LIMITED), 18 June 2008 (18.06.2008), the whole document	1-12
A	US 2005160188 A1 (BOGIN, Z. et al.), 21 July 2005 (21.07.2005), the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 October 2015 (13.10.2015)	Date of mailing of the international search report 06 November 2015 (06.11.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer MU, Ying Telephone No.: (86-10) 62413989

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/083289

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103064807 A	24 April 2013	CN 103064807 B	19 August 2015
CN 101901200 A	01 December 2010	CN 101901200 B	11 January 2012
CN 101158930 A	09 April 2008	CN 100517284 C	22 July 2009
CN 101202707 A	18 June 2008	CN 101202707 B	08 December 2010
US 2005160188 A1	21 July 2005	DE 112005000219 T5	07 December 2006
		WO 2005073864 A1	11 August 2005
		CN 1934549 A	21 March 2007
		TW I312114 B	11 July 2009
		TW 200534102 A	16 October 2005
		KR 20060130121 A	18 December 2006
		CN 100476773 C	08 April 2009
		KR 100841139 B1	24 June 2008

A. 主题的分类 G06F 13/28 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNKI, CNPAT, WPI, EPDOC: DMA 控制器, 主动, 被动, 仲裁, DMA controller, active, passive, arbiter, BD, PCI, CPU		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103064807 A (福建星网锐捷网络有限公司) 2013 年 4 月 24 日 (2013 - 04 - 24) 说明书第 [0026] - [0045] 段	1-12
A	CN 101901200 A (烽火通信科技股份有限公司) 2010 年 12 月 1 日 (2010 - 12 - 01) 全文	1-12
A	CN 101158930 A (中兴通讯股份有限公司) 2008 年 4 月 9 日 (2008 - 04 - 09) 全文	1-12
A	CN 101202707 A (杭州华三通信技术有限公司) 2008 年 6 月 18 日 (2008 - 06 - 18) 全文	1-12
A	US 2005160188 A1 (BOGIN, ZOHAR 等) 2005 年 7 月 21 日 (2005 - 07 - 21) 全文	1-12
☐ 其余文件在 C 栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015 年 10 月 13 日		国际检索报告邮寄日期 2015 年 11 月 6 日
ISA/CN 的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 北京市海淀区蓟门桥西土城路 6 号 100088 中国 传真号 (86-10) 62019451		授权官员 穆滢 电话号码 (86-10) 62413989

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/083289

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103064807	A	2013年 4月 24日	CN	103064807 B 2015年 8月 19日
CN	101901200	A	2010年 12月 1日	CN	101901200 B 2012年 1月 11日
CN	101158930	A	2008年 4月 9日	CN	100517284 C 2009年 7月 22日
CN	101202707	A	2008年 6月 18日	CN	101202707 B 2010年 12月 8日
US	2005160188	A1	2005年 7月 21日	DE	112005000219 T5 2006年 12月 7日
				WO	2005073864 A1 2005年 8月 11日
				CN	1934549 A 2007年 3月 21日
				TW	I312114 B 2009年 7月 11日
				TW	200534102 A 2005年 10月 16日
				KR	20060130121 A 2006年 12月 18日
				CN	100476773 C 2009年 4月 8日
				KR	100841139 B1 2008年 6月 24日

表 PCT/ISA/210 (同族专利附件) (2009年7月)