

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成28年1月21日(2016.1.21)

【公開番号】特開2013-156984(P2013-156984A)

【公開日】平成25年8月15日(2013.8.15)

【年通号数】公開・登録公報2013-043

【出願番号】特願2013-9461(P2013-9461)

【国際特許分類】

G 0 6 F 9/48 (2006.01)

【 F I 】

G 0 6 F 9/46 3 1 1 B

【手続補正書】

【提出日】平成27年11月27日(2015.11.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の割り込み要求信号を受信する段階と、

前記割り込み要求信号間のそれぞれの時間間隔が既に設定された間隔より小さいか否かを判断する段階と、

前記時間間隔が前記既に設定された間隔より小さい場合、前記時間間隔を前記既に設定された間隔に調節する段階と、

前記割り込み要求信号を複数のプロセッサにそれぞれ出力する段階と、を含むことを特徴とする割り込みスプレッド方法。

【請求項 2】

前記割り込み要求信号は、複数の割り込みソースから出力される複数の割り込みに基づいて生成され、前記割り込み要求信号は前記プロセッサにそれぞれ割り当てられることを特徴とする請求項 1 に記載の割り込みスプレッド方法。

【請求項 3】

前記既に設定された間隔は、前記プロセッサがインアクティブ状態でアクティブ 状態に変更される時、前記プロセッサ内部に突入電流が生成されない範囲内で決定することを特徴とする請求項 2 に記載の割り込みスプレッド方法。

【請求項 4】

前記既に設定された間隔に調節する段階は、隣接する第 k (ただ、 k は 1 の整数) 割り込み要求信号と第 $(k + 1)$ 割り込み要求信号との間の第 k 時間間隔が 0 より大きい場合、前記第 k 時間間隔が前記既に設定された間隔になるまで前記第 $(k + 1)$ 割り込み要求信号の出力を遅延させる段階を含むことを特徴とする請求項 1 に記載の割り込みスプレッド方法。

【請求項 5】

前記既に設定された間隔に調節する段階は、既に設定された優先順位に従って前記割り込み要求信号の出力順序を変更する段階をさらに含むことを特徴とする請求項 4 に記載の割り込みスプレッド方法。

【請求項 6】

前記既に設定された間隔に調節する段階は、前記第 k 時間間隔が 0 の場合、前記既に設定された優先順位に従って前記第 k 割り込み要求信号と前記第 $(k + 1)$ 割り込み要求信

号のうちいずれか 1 つの出力を前記既に設定された間隔だけ遅延させる段階をさらに含むことを特徴とする請求項 5 に記載の割り込みスプレッド方法。

【請求項 7】

複数の割り込み要求信号を受信する段階と、

前記割り込み要求信号がそれぞれ出力される複数のプロセッサをアクティブ状態のプロセッサとインアクティブ状態のプロセッサに分類する段階と、

前記割り込み要求信号のうち、前記アクティブ状態のプロセッサに出力される非対象割り込み要求信号を前記アクティブ状態のプロセッサにそれぞれ出力する段階と、

前記割り込み要求信号のうち、前記インアクティブ状態のプロセッサに出力される対象割り込み要求信号間のそれぞれの時間間隔が既に設定された間隔より小さいか否かを判断する段階と、

前記時間間隔が前記既に設定された間隔より小さい場合、前記時間間隔を前記既に設定された間隔に調節する段階と、

前記対象割り込み要求信号を前記インアクティブ状態のプロセッサにそれぞれ出力する段階と、を含むことを特徴とする割り込みスプレッド方法。

【請求項 8】

前記既に設定された間隔に調節する段階は、隣接する第 k (ただ、 k は 1 以上の整数) 対象割り込み要求信号と第 $(k + 1)$ 対象割り込み要求信号との間の第 k 時間間隔が 0 より大きい場合、前記第 k 時間間隔が前記既に設定された間隔になるまで前記第 $(k + 1)$ 対象割り込み要求信号の出力を遅延させる段階を含むことを特徴とする請求項 7 の割り込みスプレッド方法。

【請求項 9】

前記既に設定された間隔に調節する段階は、既に設定された優先順位に従って前記対象割り込み要求信号の出力順序を変更する段階をさらに含むことを特徴とする請求項 8 の割り込みスプレッド方法。

【請求項 10】

前記既に設定された間隔に調節する段階は、前記第 k 時間間隔が 0 の場合、前記既に設定された優先順位に従って前記第 k 対象割り込み要求信号と前記第 $(k + 1)$ 対象割り込み要求信号のうちいずれか 1 つの出力を前記既に設定された間隔だけ遅延させる段階をさらに含むことを特徴とする請求項 9 に記載の割り込みスプレッド方法。

【請求項 11】

第 1 ~ 第 m (ただ、 m は 2 以上の整数) 割り込み要求信号を受信して、前記第 1 ~ 第 m 割り込み要求信号を少なくとも既に設定された間隔以上の間隔を置いて第 1 ~ 第 m プロセッサにそれぞれ出力する第 1 ~ 第 m 割り込み要求信号ホルダと、

前記第 1 ~ 第 m 割り込み要求信号のうち、隣接する割り込み要求信号間の時間間隔が前記既に設定された間隔より小さい場合、前記時間間隔を前記既に設定された間隔に調節する割り込み要求信号アービタと、を含むことを特徴とする割り込み要求信号スプレッド回路。

【請求項 12】

前記第 1 ~ 第 m 割り込み要求信号は、複数の割り込みソースから出力される複数の割り込みに基づいて生成され、前記第 1 ~ 第 m 割り込み要求信号は、前記第 1 ~ 第 m 割り込み要求信号ホルダにそれぞれ受信されることを特徴とする請求項 11 に記載の割り込み要求信号スプレッド回路。

【請求項 13】

前記第 1 ~ 第 m 割り込み要求信号ホルダは、前記第 1 ~ 第 m プロセッサにそれぞれ接続され、前記第 1 ~ 第 m 割り込み要求信号を少なくとも前記既に設定された間隔以上の間隔を置いて前記第 1 ~ 第 m プロセッサにそれぞれ出力することを特徴とする請求項 12 に記載の割り込み要求信号スプレッド回路。

【請求項 14】

前記既に設定された間隔は、前記第 1 ~ 第 m プロセッサがインアクティブ状態からアク

ティブ状態に変更される時、前記第 1 ~ 第 m プロセッサ内部に突入電流が生成されない範囲内で決定することを特徴とする請求項 13 に記載の割り込み要求信号スプレッド回路。

【請求項 15】

前記第 1 ~ 第 m 割り込み要求信号ホルダは、前記第 1 ~ 第 m 割り込み要求信号をそれぞれ受信すると、前記割り込み要求信号アービタに出力要求信号を送信し、前記割り込み要求信号アービタから出力許可信号を受信すると、前記第 1 ~ 第 m 割り込み要求信号を前記第 1 ~ 第 m プロセッサにそれぞれ出力することを特徴とする請求項 11 に記載の割り込み要求信号スプレッド回路。

【請求項 16】

前記第 1 ~ 第 m 割り込み要求信号ホルダのそれぞれは前記第 1 ~ 第 m 割り込み要求信号が受信されていないことを示すアイドル状態、前記割り込み要求信号アービタから前記出力許可信号を待っていることを示すウェイト状態、及び、前記第 1 ~ 第 m 割り込み要求信号が前記第 1 ~ 第 m プロセッサに出力されていることを示すアサート状態から構成されたステートマシンで具現することを特徴とする請求項 15 に記載の割り込み要求信号スプレッド回路。

【請求項 17】

前記割り込み要求信号アービタは、前記第 1 ~ 第 m 割り込み要求信号ホルダからそれぞれ前記出力要求信号を受信すると、前記第 1 ~ 第 m 割り込み要求信号ホルダに前記出力許可信号を順次に出し、前記第 1 ~ 第 m 割り込み要求信号が少なくとも前記既に設定された間隔以上に前記第 1 ~ 第 m プロセッサにそれぞれ出力されるように制御することを特徴とする請求項 11 に記載の割り込み要求信号スプレッド回路。

【請求項 18】

前記割り込み要求信号アービタは、前記第 1 ~ 第 m 割り込み要求信号のいずれも前記第 1 ~ 第 m プロセッサに出力されていないことを示すアイドル状態、及び、前記第 1 ~ 第 n 割り込み要求信号のうち少なくとも 1 つ以上が前記第 1 ~ 第 m プロセッサに出力されていることを示すウェイト状態から構成されたステートマシンで具現することを特徴とする請求項 17 に記載の割り込み要求信号スプレッド回路。

【請求項 19】

前記割り込み要求信号アービタは既に設定された優先順位に従って前記第 1 ~ 第 m 割り込み要求信号の出力順序を変更することを特徴とする請求項 11 に記載の割り込み要求信号スプレッド回路。

【請求項 20】

前記割り込み要求信号アービタは、前記第 1 ~ 第 m プロセッサをアクティブ状態のプロセッサから構成された第 1 グループと、インアクティブ状態のプロセッサから構成された第 2 グループに分類し、前記第 1 ~ 第 m 割り込み要求信号のうち、前記第 1 グループに割り当てられた割り込み要求信号に対しては前記既に設定された間隔に調節しないで、前記第 1 ~ 第 m 割り込み要求信号のうち、前記第 2 グループに割り当てられた割り込み要求信号に対してのみ、前記既に設定された間隔に調節することを特徴とする請求項 11 に記載の割り込み要求信号スプレッド回路。

【請求項 21】

複数の割り込みを生成する複数の割り込みソースと、

前記割り込みに基づいて第 1 ~ 第 m (ただ、m は 2 以上の整数) 割り込み要求信号を生成する割り込みコントローラと、

前記第 1 ~ 第 m 割り込み要求信号のうち、隣接する割り込み要求信号間の時間間隔を少なくとも既に設定された間隔以上に調節する割り込み要求信号スプレッド回路と、

前記第 1 ~ 第 m 割り込み要求信号に応答して前記割り込みソースのための割り込み処理をそれぞれ遂行する第 1 ~ 第 m プロセッサと、を含むことを特徴とするシステムオンチップ。

【請求項 22】

前記割り込み要求信号スプレッド回路は、前記第 1 ~ 第 m 割り込み要求信号を受信し、

前記第 1 ～ 第 m 割り込み要求信号を少なくとも前記既に設定された間隔以上の間隔を置いて前記第 1 ～ 第 m プロセッサにそれぞれ出力する第 1 ～ 第 m 割り込み要求信号ホルダと、

前記第 1 ～ 第 m 割り込み要求信号のうち、前記隣接する割り込み要求信号間の前記時間間隔が前記既に設定された間隔より小さい場合、前記時間間隔を前記既に設定された間隔に調節する割り込み要求信号アービタと、を含むことを特徴とする請求項 2 1 に記載のシステムオンチップ。

【請求項 2 3】

前記第 1 ～ 第 m 割り込み要求信号は、前記第 1 ～ 第 m 割り込み要求信号ホルダにそれぞれ受信され、前記第 1 ～ 第 m 割り込み要求信号ホルダは、前記第 1 ～ 第 m プロセッサにそれぞれ接続することを特徴とする請求項 2 2 に記載のシステムオンチップ。

【請求項 2 4】

前記割り込み要求信号アービタは、既に設定された優先順位に従って前記第 1 ～ 第 m 割り込み要求信号の出力順序を変更することを特徴とする請求項 2 3 に記載のシステムオンチップ。

【請求項 2 5】

前記割り込み要求信号アービタは、前記第 1 ～ 第 m プロセッサをアクティブ状態のプロセッサから構成された第 1 グループとインアクティブ状態のプロセッサから構成された第 2 グループに分類し、前記第 1 ～ 第 m 割り込み要求信号のうち、前記第 1 グループに割り当てられた割り込み要求信号に対しては前記既に設定された間隔に調節しないで、前記第 1 ～ 第 m 割り込み要求信号のうち、前記第 2 グループに割り当てられた割り込み要求信号に対してのみ、前記既に設定された間隔に調節することを特徴とする請求項 2 3 に記載のシステムオンチップ。