

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3677343号
(P3677343)

(45) 発行日 平成17年7月27日(2005.7.27)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int. Cl.⁷

F I

GO 1 R 31/28
HO 3 K 19/00

GO 1 R	31/28	S
HO 3 K	19/00	B
GO 1 R	31/28	V
GO 1 R	31/28	M

請求項の数 11 (全 8 頁)

<p>(21) 出願番号 特願平8-55549 (22) 出願日 平成8年2月19日(1996.2.19) (65) 公開番号 特開平8-248102 (43) 公開日 平成8年9月27日(1996.9.27) 審査請求日 平成13年3月19日(2001.3.19) (31) 優先権主張番号 19506325.2 (32) 優先日 平成7年2月23日(1995.2.23) (33) 優先権主張国 ドイツ(DE)</p>	<p>(73) 特許権者 390039413 シーメンス アクチエンゲゼルシャフト Siemens Aktiengesellschaft ドイツ連邦共和国 D-80333 ミュンヘン ヴィッテルスバッハープラッツ 2 (74) 代理人 100075166 弁理士 山口 巖 (72) 発明者 ウォルフガング ニクツタ ドイツ連邦共和国 81541 ミュンヘン ウェリンハーシュトラッセ 101 (72) 発明者 ハルトムート シュメーケル ドイツ連邦共和国 85521 オットーブルン ヒルテンシュトラッセ 7アー 最終頁に続く</p>
--	--

(54) 【発明の名称】 電子回路の機能検査回路

(57) 【特許請求の範囲】

【請求項 1】

出力端(1)を有する電子回路(31)の機能を検査するための検査回路(33)において、少なくとも2つの抵抗要素(21)が検査装置(32)の1つの検査端子(2)に接続可能な共通の接続点(3)を有し、抵抗要素(21)の接続点(3)とは反対側の端子(4)が検査すべき電子回路(31)のそれぞれ1つの出力端(1)に接続可能であることを特徴とする電子回路の機能検査回路。

【請求項 2】

抵抗要素(21)を介して同一の接続点(3)に接続されている出力端(1)が検査中に、検査すべき電子回路(31)が正常である場合には、同一の信号を有することを特徴とする請求項1記載の電子回路の機能検査回路。

【請求項 3】

検査回路(33)が集積回路技術の電子回路(31)と一緒に構成されていることを特徴とする請求項1または2記載の電子回路の機能検査回路。

【請求項 4】

検査回路(33)が検査装置(32)と一緒に構成されていることを特徴とする請求項1または2記載の電子回路の機能検査回路。

【請求項 5】

検査回路(33)が差し込み可能な板(34)上に構成されていることを特徴とする請求項1または2記載の電子回路の機能検査回路。

10

20

【請求項 6】

抵抗要素(21)が能動抵抗を含んでいることを特徴とする請求項1ないし5の1つに記載の電子回路の機能検査回路。

【請求項 7】

抵抗要素(21)がトランジスタ要素であることを特徴とする請求項6記載の電子回路の機能検査回路。

【請求項 8】

抵抗要素(21)が受動抵抗を含んでいることを特徴とする請求項1ないし5の1つに記載の電子回路の機能検査回路。

【請求項 9】

抵抗要素(21)がオーム抵抗であることを特徴とする請求項8記載の電子回路の機能検査回路。

【請求項 10】

共通の接続点(3)を有する抵抗要素(21)が同一の抵抗値を有することを特徴とする請求項1ないし9の1つに記載の電子回路の機能検査回路。

【請求項 11】

接続点(3)が別の抵抗要素(22)を介して固定電位(41)に接続されていることを特徴とする請求項1ないし10の1つに記載の電子回路の機能検査回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、出力端を有する電子回路の機能を検査するための電子回路の機能検査回路に関する。

【0002】

【従来の技術】

電子回路が無欠陥であることの検査はしばしば課せられる問題である。特に回路の製造プロセスに続いてこのような検査がしばしば実行される。多くの場合に、電子回路を1つの定義された状態にずらし、続いてその出力端における信号のみを考察し、電子回路の正常な機能の際に満足すべき限界値または目標値と比較するように、検査を制限することが望ましい。それに基づいて、電子回路の形式に応じて、電子回路全体の申し分のない機能に関する多かれ少なかれ保障された判定が可能である。

【0003】

たとえば集積メモリモジュール、たとえばRAMはメーカー側でこのような機能検査を受ける。その際に検査すべきメモリモジュールの各出力端は検査を実行する検査装置のそれぞれ1つの検査端子と接続される。続いて検査装置がメモリモジュールのメモリセルを書込み、また再び読出す。こうして検査される電子回路の誤機能が確認可能である。

【0004】

上記の従来技術による電子回路の検査の際には、検査装置の検査端子の数が与えられると検査容量の制限が生ずる。即ち電子回路の検査すべき出力端の全数が検査装置の対応する検査端子の数を越えないときのみ、1つの検査装置により1つの電子回路が完全に検査可能であり、または複数の電子回路が同時に検査可能である。検査容量の増大はより多数の対応する検査端子を有する1つの検査装置を使用するかまたは検査装置を追加することによってのみ可能である。

【0005】

【発明が解決しようとする課題】

本発明の課題は、検査容量を高め、従って検査装置の与えられた検査端子数において検査すべき電子回路の最大スループットを高めることができ、しかも前記欠点を回避し得る電子回路の機能検査回路を見出すことである。

【0006】

【課題を解決するための手段】

10

20

30

40

50

この課題を解決するため、本発明によれば、出力端を有する電子回路の機能を検査するための検査回路において、少なくとも2つの抵抗要素が検査装置の1つの検査端子に接続可能な共通の接続点を有し、抵抗要素の接続点とは反対側の端子が検査すべき電子回路のそれぞれ1つの出力端に接続可能である。

【0007】

また本発明によれば、電子回路が検査すべき出力端に信号を与えられている状態にずらされる検査方法において、機能検査が、共通の接続点に現れる合成された信号に関して実行される。

【0008】

1つまたは複数の電子回路の出力端が抵抗要素を介して抵抗要素の共通の接続点に接続可能であり、またこの接続点が検査装置の1つの検査端子に接続可能であることによって、より多数の出力端が同一の検査装置により同時に検査可能である。たとえば検査すべき電子回路のそれぞれ常に2つの出力端が抵抗要素を介して検査装置に接続されるならば、検査容量の倍増が行われ、それによって検査スループットの倍増が可能である。こうして検査装置の投資コストが低減され得る。

【0009】

本発明の有利な構成は請求項2以降の請求項にあげられている。

【0010】

使用される抵抗要素は能動抵抗（たとえば抵抗として接続されたトランジスタまたはサイリスタのようなトランジスタ要素）または受動抵抗（たとえばオーム抵抗）を含んでい

【0011】

評価時点における検査に対して検査すべき電子回路の出力端における期待すべき出力信号がそれらの限界値（電位、電流の強さ、信号波形）を知られているならば、抵抗要素の相応の抵抗値設定により、共通の接続点に（従って検査装置の対応する検査端子に）現れる合成された信号に対する、上記の限界値に関して相対的限界値が評価時点で設定され得る。この相対的限界値の設定はさらに検査装置に接続されている接続点と固定電位たとえば接地電位との間に別の抵抗要素を挿入することにより行うことができる。図4で後述するように、共通の接続点に現れる合成された信号が相対的限界値を上回るかまたは下回る場合、検査装置は検査される電子回路の欠陥を決定する。

【0012】

従来検査装置が使用され、検査回路が検査すべき電子回路と検査装置との間、たとえばメモリ要素と検査装置との間の接続ケーブル中に挿入されるか、または従来から検査のために使用される検査ソケットつまり差し込み板上に設置されると特に有利である。こうして、費用がごくわずかですみ、また検査回路のその後の変更が特に容易に可能である。他方において、検査装置または検査すべき電子回路におけるわずかな構造的変更により、検査装置または検査すべき電子回路にも抵抗要素の配置が可能である（後述する図3または図4参照）。

【0013】

本発明は、アナログ回路の検査のためにもデジタル回路の検査のためにも適している。本発明は、同種の出力端を検査するのに、またランダムアクセスメモリ（SRAM、DRAM、FRAM）または不揮発性メモリ（EPROM）を有する集積回路を検査するのに特に良く適している。さらに、検査すべき電子回路の出力端は双方向性（入力/出力端子）であってよい。

【0014】

等しい抵抗値を有し共通の接続点を有する抵抗要素が使用されると、同種の出力端において本発明による検査回路を用いなくて個々の出力端を検査する際と等しい検査鋭度（検査の精度）が達成可能である。

【0015】

使用すべき抵抗要素に対する抵抗値の決定の際には最大許容可能な電流が検査すべき電

10

20

30

40

50

子回路の出力端ごとに考慮に入れられなければならない。検査目的で検査回路とならんで別のオーム性または容量性負荷が出力端に接続されることが可能である。その際に最大可能な電流の計算にあたっては抵抗要素を通る電流のほかこれらに付加された負荷を通る電流も考慮に入れられなければならない。

【0016】

検査回路を用いて同種の出力端を有するDRAMが検査される場合に、各2つの出力端の共通の検査の際にたとえば各68のオーム性抵抗要素を使用し得ることが実証されている。

【0017】

共通の接続点を有する抵抗要素の少なくとも1つ(しかし全部ではない)が0のオーム性抵抗を有する短絡要素であることが可能である。 10

【0018】

本発明による検査回路は、複数の電子回路の出力端を、それらが検査装置の共通の検査端子に接続可能であるように、抵抗要素を介して共通の接続点に接続することを可能にする。その際に検査すべき電子回路はそれぞれ1つの出力端のみを有し得る。

【0019】

【実施例】

以下、図面により本発明を一層詳細に説明する。図面は略図であり、本発明にとって不可欠な部分のみに限定して示されている。

【0020】

図1は検査ソケット34つまり差し込み可能な板または類似物の上に位置し得る検査回路33を示す。検査回路33は4つの抵抗要素21を有し、それらのうちそれぞれ2つは接続点3を介して互いに接続されている。機能検査を実行するため接続点3は検査装置32の検査端子2に接続可能である。抵抗要素21の接続点3とは反対側の端子4は検査すべき電子回路31の出力端1に接続可能である。出力端1は同時に電子回路31の入力端でもあってよい。図1中の実施例では検査回路33と電子回路31および検査装置32との間の接続が形成されている。機能検査は接続点3に現れる合成された電位信号Sに関して実行される。 20

【0021】

抵抗要素21としてオーム抵抗を使用することは有利である。しかし、抵抗要素21として、抵抗として接続されたトランジスタを使用することも可能である。 30

【0022】

特に、抵抗要素21を介して共通の接続点3に接続されている出力端1が評価時点t1(図4参照)で正常に機能する電子回路31においてほぼ同一の電位の出力電位信号を有するならば、共通の接続点3を有する抵抗要素21が同一の抵抗値を有することが望ましい。すなわち、その場合には正常な電子回路31において接続点3にも、従って検査装置32の検査端子2にも同一の電位を有する合成された電位信号Sが現れる。

【0023】

図1において、2つの出力端1に正常機能時の同一の正常電位信号が生じている際には抵抗要素21を経て電流が出力端1間に流れないので、接続点3には出力端1と同一の正常電位が現れる。それに対して、2つの出力端1の例えば一方が異常機能のために誤った電位信号を有している際には電流が一方の出力端1の電位と他方の出力端1の電位との電位差に応じて2つの抵抗要素21を経て2つの出力端1間を流れ、接続点3には抵抗要素21の電圧降下により正常電位の際とは異なった異常電位が現れる。それゆえ、図4を用いて後述するように、接続点3の電位、従って検査装置32の検査端子2の電位を電位しきい値 V_{HIGH} と比較することによって、1つの検査端子2を用いて2つの出力端1の機能検査が同時に可能になる。 40

【0024】

図2では検査回路33は検査すべき電子回路31の構成部分である。後者つまり電子回路31は集積回路技術で構成されていてよい。符号31aは電子回路31の検査すべき部 50

分である。検査回路 3 3 は共通の接続点 3 を有する 3 つの抵抗要素 2 1 を有する。抵抗要素 2 1 の端子 4 は検査すべき電子回路 3 1 の各 1 つの出力端と電氣的に接続されている。接続点 3 は検査装置 3 2 の検査端子 2 に接続可能である。この接続は図 2 中の実施例において形成されている。

【 0 0 2 5 】

さらに、図 2 中の検査回路 3 3 は、接続点 3 と固定の電位 4 1、この場合には接地電位との間に接続されている別の抵抗要素 2 2 を有する。この別の抵抗要素 2 2 は抵抗要素 2 1 と共に分圧器を形成する。抵抗要素 2 1 および別の抵抗要素 2 2 の適当な抵抗値設定により、たとい個々の出力端 1 の出力電位信号に対する限界値が互いに異なるとしても、共通の接続点 3 (従って検査装置 3 2 の対応する検査端子 2) に現れる合成された電位信号 S に対して、出力端 1 における出力電位信号の限界値に関して相対的な限界値を評価時点 t_1 で予め定めることが可能である。

10

【 0 0 2 6 】

図 2 において、各出力端 1 からは当該出力端の電位を各分圧器の抵抗値で割った電流が別の抵抗要素 2 2 を通って流れる。それゆえ、別の抵抗要素 2 2 には 3 つの出力端 1, 1, 1 から流れ出る 3 つの電流の総和の電圧降下が生じ、この電圧降下が接続点 3 の電位となって現れる。3 つの出力端 1, 1, 1 が正常に機能している際に別の抵抗要素 2 2 の電圧降下として現れる接続点 3 の電位を正常電位とする。それに対して、正常に機能しないで誤った異常電位信号を有する異常な出力端 1 が存在する場合、その異常な出力端 1 から流れ出る電流は正常な際とは異なった値となり、それゆえ別の抵抗要素 2 2 に生じる 3 つの電流の総和の電圧降下も正常な際とは異なった値となり、その結果別の抵抗要素 2 2 の電圧降下として現れる接続点 3 の電位も正常な際とは異なった異常電位となる。それゆえ、接続点 3 の電位、従って検査装置 3 2 の検査端子 2 の電位を電位しきい値 (図 4 参照) と比較することによって、その電位が正常電位または異常電位であるかが分かり、1 つの検査端子 2 を用いて 3 つの出力端 1 の機能検査が同時に可能になる。

20

【 0 0 2 7 】

図 3 は検査装置 3 2 により 2 つの電子回路 3 1 を同時に検査するための本発明の 1 つの実施例を示す。検査回路 3 3 はこの実施例では検査装置 3 2 の構成部分である。符号 3 2 a は、検査回路 3 3 とは異なる検査装置 3 2 の部分である。各電子回路 3 1 の 2 つの出力端 1 はそれぞれ抵抗要素 2 1 の各端子 4 に接続可能である。この接続は図 3 の実施例において形成された。同一の電子回路 3 1 に接続されている抵抗要素 2 1 は共通の接続点 3 を有する。接続点 3 は検査装置 3 2 の各 1 つの検査端子 2 に接続可能である。

30

【 0 0 2 8 】

図 4 は検査の実施の際に接続点 3 の 1 つに、従ってこれと接続すべき検査装置 3 2 の検査端子 2 に生じ得る合成された電位信号 S の可能な経過の概要を示す。時間 t を横軸にとって電位経過 U が示されている。基礎となっている実施例に対して、検査すべき電子回路 3 1 は集積メモリモジュール、たとえば DRAM であり、その出力端 1 に評価時点 t_1 で正常な機能の際に論理 “ 1 ” 状態に相当する電位を有する電位信号が生じていると仮定される。さらに、メモリモジュール 3 1 の 2 つの出力端 1 は、図 1 の実施例の場合のように、抵抗要素 2 1 を介して共通の接続点 3 に、またこの接続点 3 は検査装置 3 2 の検査端子 2 の 1 つに接続されていると仮定される。さらに、抵抗要素 2 1 が同一の抵抗値を有することが仮定される。出力端 1 に同一の電位信号が生じている場合には、抵抗要素 2 1 を経て電流が出力端 1 の間を流れることなしに、接続点 3 に同じく同一の電位信号が現れる。

40

【 0 0 2 9 】

図 4 中で V_{HIGH} は、電位信号が評価時点 t_1 で検査装置 3 2 により論理 “ 1 ” として認識される電位範囲の下側しきい値を示す。 V_{LOW} は論理 “ 0 ” 値が対応付けられる電位範囲の上側しきい値である。時点 t_0 で出力端 1 は高抵抗状態に位置している (トライステート)。それらが能動化されると、出力端 1 における電位信号が時点 t_1 までにビルドアップする。時点 t_1 は、接続点 3 に接続されている検査端子 2 に現れている合成された電位信号 S が検査装置 3 2 により評価され得る最も早い可能な評価時点である。

50

【0030】

先に書込まれたアドレス指定されたメモリセルの読出しの際には、正常なメモリモジュール31では評価時点 t_1 で出力端1に V_{HIGH} よりも大きい電位を有する電位信号が生ずる。これらの電位信号はこれらの出力端1と抵抗要素21を介して接続されている接続点3に、従って検査端子2に、同じく V_{HIGH} よりも大きい電位 V_1 を有する合成された電位信号Sを生じさせる。

【0031】

それに対して、評価時点 t_1 で、共通の接続点3を有する出力端1に生じている一方または双方の電位信号が誤りを有していると、それらの電位は V_{HIGH} よりも小さい。これらの電位信号は検査端子2に同じく V_{HIGH} の下側に位置する電位 V_2 を有する合成された電位信号Sを生じさせる。

10

【0032】

従って、図1において、接続点3の電位信号Sが電位 V_1 である際には電位しきい値 V_{HIGH} よりも大きいので電位 V_1 を正常電位と看做し、出力端1, 1は正常に機能していると判断できる。それに対して、接続点3の電位信号Sが電位 V_2 である際には電位しきい値 V_{HIGH} よりも小さいので電位 V_2 を異常電位と看做し、出力端1, 1の一方または双方が異常に機能していると判断できる。

【0033】

メモリモジュール31が論理“0”値の読出しに関して検査されると、検査は、接続点3において V_{LOW} よりも小さい電位 V_3 を有する信号が確認される場合と等価に、メモリモジュール31の正常な機能を明らかにする。

20

【0034】

こうして、接続点3または検査端子2における合成された信号Sを検査することによりメモリモジュール31の正常な機能が検査され得る。

【図面の簡単な説明】

【図1】 本発明の1つの実施例の概略回路図。

【図2】 本発明の他の実施例の概略回路図。

【図3】 本発明の別の実施例の概略回路図。

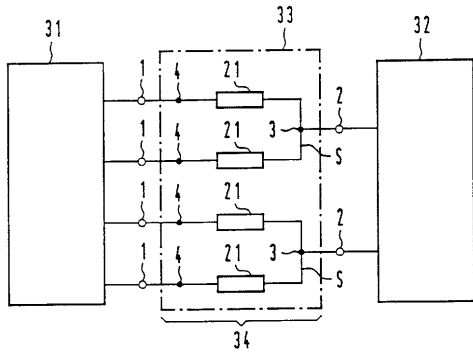
【図4】 本発明における共通の接続点における可能な信号経過を示す線図。

【符号の説明】

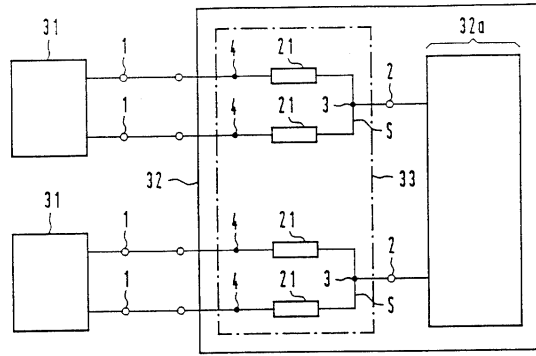
30

- 1 出力端
- 2 検査装置の検査端子
- 3 共通の接続点
- 4 抵抗要素の端子
- 21、22 抵抗要素
- 31 電子回路
- 32 検査装置
- 33 検査回路

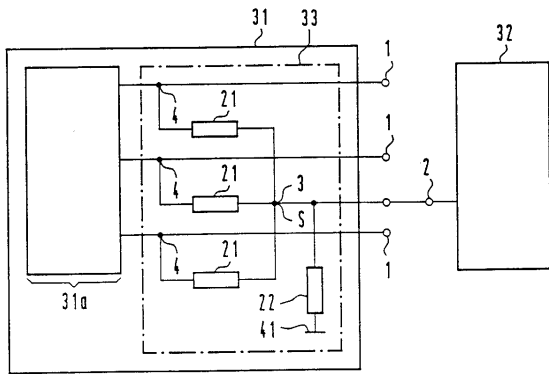
【 図 1 】



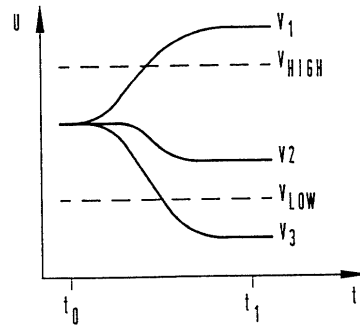
【 図 3 】



【 図 2 】



【 図 4 】



フロントページの続き

- (72)発明者 ギユンター クヒンケ
ドイツ連邦共和国 85579 ノイビベルク バマーシュトラッセ 3
- (72)発明者 トーマス フォン デア ロツプ
ドイツ連邦共和国 82110 ゲルメリング リースシュトラッセ 11
- (72)発明者 ルードルフ ワルター
アメリカ合衆国 ヴァーモント シエルバーン パインハースト エルエヌ 4

審査官 篠崎 正

(56)参考文献 特開平05-026966(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
G01R31/28-31/3193