(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108
H01L 21/8242

(45) 공고일자 1999년11월15일
(11) 등록번호 10-0229852
(24) 등록일자 1999년08월18일

(21) 출원번호 10-1995-0000047
(22) 출원일자 1995년01월04일
(65) 공개번호 특1995-0028154
(43) 공개일자 1995년10월18일

(30) 우선권주장 94-042240 1994년03월14일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 오오이시쭈까사
일본국 효고664 이따미시1 미주하라 4쪼메 미쓰비시덴끼가부시끼가이샤유엘에스아이연구소 내
(74) 대리인 김영길, 이화익

심사관 : 조지은

(54) 반도체장치 및 그의 제조방법

요약

필드산화막(2)은 반도체 기판(1)의 표면내에 구비된다.

층간 절연막(6)은 활성층(4)을 커버하도록 반도체 기판(1)위에 구비된다.

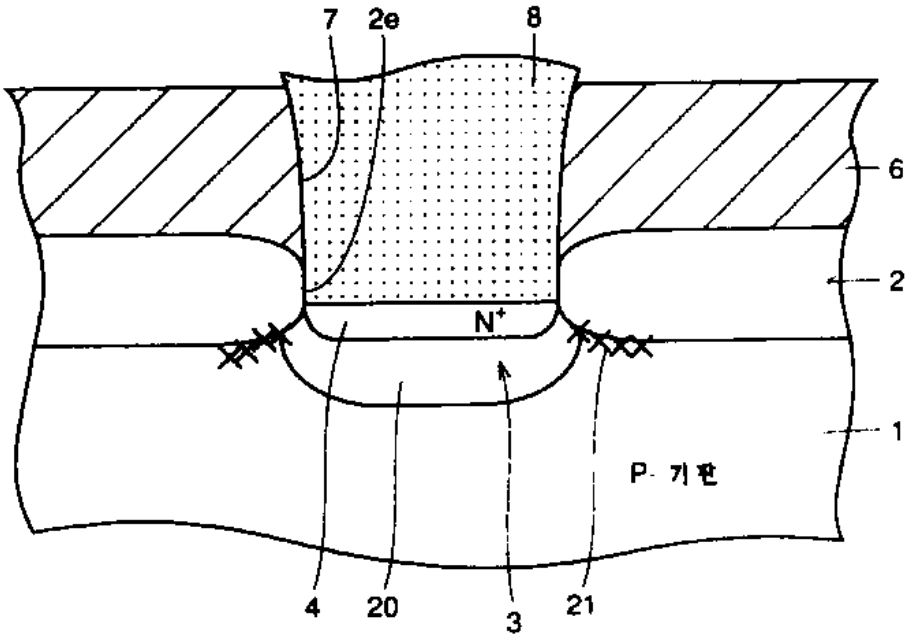
활성층(4)의 표면을 노출하는 컨택트홀(7)은 층간 절연막(6)내에 구비된다.

도전체(8)는 활성층(4)의 표면에 전기적으로 접속되도록 컨택트홀(7)을 채운다.

필드 산화막(2)의 단부는 반도체 기판(1)의 표면에 대하여 수직인 표면(2e)을 갖는다.

그 결과, 리크 전류가 감소되도록 개량되고, 정보의 유지 시간이 교대로 증대하는 다이너믹 랜덤 액세스 메모리를 얻을 수 있다.

대표도



명세서

[발명의 명칭]

반도체 장치 및 그의 제조 방법

[도면의 간단한 설명]

제1도는 실시예1에 의한 반도체 장치의 단면도.

제2도는 실시예2에 의한 반도체 장치의 단면도.

제3도는 실시예3에 의한 반도체 장치의 단면도.

제4도는 실시예4에 의한 반도체 장치의 레이아웃(layout)도.

제5도는 실시예5에 의한 반도체 장치의 레이아웃도.

제6도는 실시예6에 의한 반도체 장치의 레이아웃도.

제7도는 실시예7에 의한 반도체 장치의 레이아웃도.

제8도는 실시예8에 의한 반도체 장치의 레이아웃도.

제9도는 실시예9에 의한 반도체 장치의 레이아웃도.

제10도는 실시예10에 의한 반도체 장치의 레이아웃도.

제11도는 실시예11에 의한 반도체 장치의 레이아웃도.

제12도는 실시예12에 의한 반도체 장치의 레이아웃도.

제13도는 실시예13에 의한 반도체 장치의 레이아웃도.

제14도는 실시예14에 의한 반도체 장치의 레이아웃도.

제15도는 실시예15에 의한 반도체 장치의 레이아웃도.

제16도는 실시예16에 의한 반도체 장치의 레이아웃도.

제17도는 실시예17에 의한 반도체 장치의 레이아웃도.

제18도는 실시예18에 의한 반도체 장치의 단면도.

제19도는 실시예19에 의한 반도체 장치의 단면도.

제20도～제28도는 실시예20에 의한 반도체 장치의 제조 방법의 제1～제9스텝에 있어서의 반도체 장치의 단면도.

제29도～제37도는 실시예21에 의한 반도체 장치의 제조 방법의 제1～제9스텝에 있어서의 반도체 장치의 단면도.

제38도～제45도는 실시예22에 의한 반도체 장치의 제조 방법의 제1～제8스텝에 있어서의 반도체 장치의 단면도.

제46도～제51도는 실시예23에 의한 반도체 장치의 제조 방법의 제1～제6스텝에 있어서의 반도체 장치의 단면도.

제52도는 종래의 DRAM의 어레이 구성의 도면.

제53도는 종래의 DRAM의 어레이 동작의 파형도.

제54도는 종래의 DRAM의 단면도.

제55도는 종래의 DRAM의 레이아웃도.

제56도는 제55도에 있어서 선 A-A와 동일한 방향에서 본 DRAM의 단면도.

제57A, 57B, 57C도는 종래의 필드 산화막을 형성하는 방법을 표시하는 도면.

제58A도 및 제58B도는 종래의 콘택트홀을 형성하는 방법을 표시하는 도면.

[발명의 상세한 설명]

본 발명은 일반적으로 반도체 장치에 관한 것으로, 특히, 누설 전류가 감소될 수 있도록 개선된 반도체 장치에 관한 것이다. 또한 본 발명은 이러한 반도체 장치를 제조하는 방법에 관한 것이다.

제52도는 종래의 다이너믹 랜덤 액세스 메모리(DRAM)의 메모리 어레이의 회로도이다.

제53도는 종래의 DRAM의 어레이 동작의 파형을 표시하는 도면이다.

이들 도면을 참조하면, 종래의 DRAM 메모리셀 어레이는 워드선(WL), 비트선(BL), 비트선 분리(BLI), 센스 드라이브 라인(SN), 비트선 프리챠지(VBL), 리스토어(restore) 드라이브 라인(SP), 메모리셀, n 채널-센스 증폭기(Nch-SA), 이퀄라이저(equalizer), p 채널-리스토어 증폭기(Pch-RA)를 포함한다.

정보는 메모리셀에 기억된다.

워드선의 선택에 의하여 기록/판독이 수행되어지는 장소가 지정된다. 기록이나 판독은 특정의 비트선의 선택에 의하여 수행된다.

제54도는 종래의 DRAM의 메모리셀의 단면도이다.

P-형 반도체 기판(1)의 표면에, 활성영역(3)을 타 활성 영역으로부터 분리하는 필드 산화막은 그의 단부(2a)가 활성 영역(3)을 둘러싸도록 설치되어 있다.

불순물 확산층인 활성층(4)은 활성 영역(3)의 표면에 설치된다.

게이트 전극(워드선)(5)은 활성 영역 (3)위에 설치된다.

층간 절연막(6)은 게이트 전극(5)을 커버하도록 반도체 기판(1)상에 설치된다.

활성층(4)의 표면을 노출하는 콘택트홀(7)은 층간 절연막(6)에 설치된다. 콘택트홀(7)은 활성층(4)의 표면에 전기적으로 접속된 도전체인 스토리지 노드(8)로 채워져 있다.

스토리지 노드(8)의 표면은 유전체막 (9)으로 커버된다.

셀 플레이트 전극(10)은 유전체막 (9)을 개재하여 스토리지 노드 (8)를 커버하도록 설치된다.

비트선(12)은 활성층(11)에 접속된다.

DRAM의 메모리셀에 있어서, 스토리지 노드 (8)와 셀 플레이트 (10)에 의해 샌드위치된 유전체막 (9)에 전하를 축적하는 것에 의해서 정보가 유지된다.

축적된 전하는 시간의 경과에 따라 누설되어 감소한다.

축적된 전하가 많이 누설되는 경우, 정확한 정보가 판독될 수 없으며, 장치의 오동작을 야기하게 된다.

누설 전류는 대부분 반도체 기판 (1)의 결함에 의해서 야기된다.

이하, 누설 전류를 더욱 상세히 설명한다.

제55도는 DRAM의 레이아웃도이다.

제55도에서, 윤곽선 (13)은 활성 영역을 형성하는 마스크의 단부를 표시하며, 이는 더욱 상세히 설명될 것이다.

특히, 제57A도를 참조하면, 반도체 기판 (1)상에 활성 영역 (3)을 형성하기 위해, 실리콘 질화막의 마스크 (14)가 활성 영역 (3)상에 형성된다.

제57B도를 참조하면, 반도체 기판 (1)의 표면에는 마스크 (14)를 사용하여 열산화하는 것에 의해 필드 산화막 (2)이 형성된다.

이때, 필드 산화막 (2)의 단부는 마스크 (14)의 하부로 파고들어 버즈 비크 부분 (22)을 형성한다.

제57C도를 참조하면, 마스크 (14)를 제거하였을 때, 거의 일정한 두께를 가지는 본체 영역 (16)과 활성 영역 (3)의 방향으로 점차 감소된 두께를 가지는 버즈 비크 영역 (15)으로 나누어진 필드 산화막 (2)이 형성된다.

제55도에 있어서, 윤곽선 (13)은 마스크 (14)의 단부 (13)를 표시한다.

다시말해, 제55도 및 57C도를 참조하면, 윤곽선 (13)은 본체 영역 (16)과 버즈 비크 영역 (15)사이의 경계선을 표시한다.

제55도에 있어서, 윤곽선 (17)은 스토리지 노드 콘택트홀의 형성을 위한 레지스트 마스크의 개구부를 표시하며, 이는 더욱 상세히 설명될 것이다. 특히, 제58A도를 참조하면, 층간 절연막 (6)내에 콘택트홀을 형성하기 위하여, 소정의 개구부 (17)를 가지는 레지스트 마스크 (18)는 층간 절연막 (6)위에 형성된다.

제58B도를 참조하면, 레지스트 마스크 (18)를 사용하여 층간 절연막 (6)을 에칭하는 것에 의해 콘택트홀 (7)이 형성된다.

윤곽선 (17)은 상술한 개구부 (17)의 단부를 표시한다.

제56도는 제55도에 있어서 A-A 선의 방향과 동일한 방향에서 본 메모리셀의 단면도이다.

필드 산화막 (2)은 반도체 기판 (1)의 표면에 형성된다.

활성층 (4)은 활성 영역 (3)의 표면에 형성된다.

층간 절연막 (6)은 활성층 (4)을 커버하도록 반도체 기판 (1)상에 형성된다. 활성층 (4)의 표면을 노출하는 콘택트홀 (7)은 층간 절연막 (6)에 형성된다.

콘택트홀 (7)은 스토리지 노드 (8)로 채워진다.

공핍층 (20)은 활성층 (4)으로부터 연장된다.

상술한 바와 같이, 누설 전류는 대부분 반도체 기판 (1)내의 결함 (21)에 의해서 야기된다.

제57B도를 참조하면, 필드 산화막 (2)이 반도체 기판 (1)의 표면에 형성되는 경우, 많은 스트레스가 버즈 비크 부분 (22)의 바로 아래에 주어진다. 따라서, 많은 결함 (21)이 버즈 비크 부분 (22)과 반도체 기판 (1)사이의 경계 근방에 형성된다.

반도체 장치의 제조공정에서 생성된 금속 이온은 결함 (21)에 트랩된다.

제56도를 참조하면, 활성 영역 (4)으로부터 연장하는 공핍층 (20)이 결함(21)과 접촉하게 되는 경우, 통상의 PN 접합의 경우의 반대 방향의 누설 전류 이외의 누설 전류 성분이 부가되고, 이는 메모리셀에 축적된 전하를 급속히 감소시킨다.

이는 종래의 DRAM의 문제점이다.

본 발명의 목적은 누설 전류가 억제될 수 있도록 개선되 반도체 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 기판내의 결함에 의해 야기되는 누설 전류가 억제될 수 있도록 개선된 반도체 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 정보의 유지 시간이 증대될 수 있도록 개선된 다이너믹 랜덤 액세스 메모리를 제공하는 것이다.

본 발명의 또 다른 목적은 메모리셀내에 축적된 전하가 감소되지 않도록 개선된 다이너믹 랜덤 액세스 메모리를 제공하는 것이다.

본 발명의 또다른 목적은 상술한 반도체 장치를 제조하는 방법을 제공하는 것이다.

본 발명의 제1국면에 의한 반도체 장치는 반도체 기판을 포함한다.

상기 반도체 기판의 표면상에, 상기 기판의 타 활성영역 으로부터 선택된 활성영역을 분리하고, 그의 단부가 선택된 활성영역을 둘러싸는 필드 산화막이 형성된다.

상기 선택된 활성영역을 커버하도록 상기 반도체 기판상에 층간 절연막이 설치된다. 상기 선택된 활성영역의 표면의 일부를 노출하도록 상기 층간 절연막에 콘택트홀이 설치된다. 상기 선택된 활성영역의 표면에 전기적으로 접속되도록 상기 콘택트홀을 채우는 도전체가 설치된다.

상기 필드 산화막의 단부는 상기 반도체 기판의 표면에 수직한 수직면을 가지며, 상기 활성영역은 평면에서 한쌍의 제1변과 상기 한쌍의 제1변의 단부를 연결하는 길이를 가지는 제2변으로 둘러싸이고, 상기 제1변의 각각은 상기 제2변의 길이보다 긴 길이를 가지며, 상기 필드산화막의 단부의 수직면은 상기 활성영역의 제2변에만 형성된다.

본 발명의 제2국면에 의한 반도체 장치는 반도체 기판을 포함한다.

상기 반도체 기판의 표면상에 상기 기판의 타 활성영역으로 부터 선택된 활성 영역을 분리하고, 그의 단부가 선택된 활성영역을 둘러싸며, 일정한 두께를 가지는 몸체영역을 구비하고 상기 몸체 영역으로부터 상기 활성영역의 방향으로 두께가 점차 감소하는 버즈비크 영역이 없는 필드 산화막이 설치된다. 상기 선택된 활성영역을 커버하도록 상기 반도체 기판상에 층간 절연막이 설치된다.

상기 선택된 활성영역의 표면의 일부를 노출하도록 상기 층간 절연막에 콘택트홀이 설치된다. 상기 선택된 활성영역의 표면에 전기적으로 접속되도록 상기 콘택트홀을 채우는 도전체가 설치된다.

상기 필드 산화막의 단부는 상기 반도체 기판의 표면에 수직한 수직면을 가지며, 상기 활성영역은 평면형상에서 한쌍의 직선변과 상기 한쌍의 직선변의 단부를 연결하는 원형 아크에 의해 둘러싸이고, 상기 필드 산화막의 단부의 수직면은 상기 원형 아크를 둘러싸도록 형성된다.

본 발명의 제3국면에 의한 반도체 장치는 반도체 기판상에 형성되는 커패시터 소자를 포함한다.

상기 반도체 기판의 표면상에 상기 기판의 타 활성영역으로 부터 선택된 활성영역을 분리하고, 그의 단부가 선택된 활성영역을 둘러싸는 필드 산화막이 설치된다.

상기 선택된 활성영역을 커버하도록 상기 반도체 기판상에 층간 절연막이 설치된다. 상기 선택된 활성영역의 표면의 일부를 노출하도록 상기 층간 절연막에 스토리지 노드 콘택트홀이 설치된다. 상기 선택된 활성영역의 표면에 전기적으로 접속되도록 상기 콘택트홀을 채우며, 커패시터 소자의 스토리지 노드를 가지는 도전체가 설치된다.

상기 필드 산화막의 단부는 상기 반도체 기판의 표면에 수직한 수직면을 가지며, 상기 필드산화막의 단부의 수직면은 상기 활성영역의 주변을 따라 연속하여 형성된다.

본 발명의 제4국면에 의한 반도체 장치의 제조하는 방법은 반도체 기판의 표면에 활성영역을 둘러싸는 단부를 가지는 타 활성영역으로부터 상기 활성 영역을 분리하도록 필드 산화막이 형성된다.

상기 활성 영역상에 게이트 전극이 형성된다.

상기 게이트 전극을 커버하도록 상기 반도체 기판상에 층간 절연막이 형성된다. 상기 층간 절연막을 선택적으로 에칭하여 상기 층간 절연막에 상기 활성 영역의 표면의 일부를 노출하는 콘택트홀이 형성되는 동시에, 상기 필드 산화막의 상기 단부가 에칭제거된다.

상기 활성 영역에 접속된 도전체로 상기 콘택트홀이 채워진다.

본원 발명의 제5국면에 의한 반도체 장치의 제조방법은 반도체 기판의 표면에 활성영역을 둘러싸는 단부를 가지는 타 활성영역으로부터 상기 활성영역을 분리하도록 필드 산화막이 형성된다.

상기 필드 산화막의 상기 단부가 에칭 제거된다.

상기 반도체 기판상에 게이트 절연막으로 제공되는 산화막과 게이트 전극으로 제공되는 도전체층이 차례로 형성된다.

상기 산화막과 상기 도전체층을 패터닝하는 것에 의해 게이트 절연막과 게이트 전극이 형성된다.

상기 게이트 전극을 커버하도록 상기 반도체 기판상에 층간 절연막이 형성된다. 상기 층간 절연막에 상기 활성 영역의 표면의 일부를 노출하는 콘택트홀이 형성된다.

상기 활성 영역의 표면에 접속된 도전체로 상기 콘택트홀이 채워진다.

본 발명의 제6국면에 의한 반도체 장치의 제조방법은 반도체 기판의 표면중 활성 영역 이외의 부분에 오목부가 형성된다. 상기 오목부가 절연막으로 채워진다. 상기 활성 영역상에 게이트 전극이 형성된다.

상기 게이트 전극을 커버하도록 상기 반도체 기판상에 층간 절연막이 형성된다. 상기 층간 절연막에 상기

활성 영역의 표면의 일부를 노출하는 콘택트홀이 형성된다.

상기 활성 영역의 표면에 전기적으로 접속된 도전체로 상기 콘택트홀이 채워진다.

본 발명의 제1국면의 반도체 장치에 따르면, 필드 산화막의 단부는 반도체 기판의 표면에 대하여 수직한 수직면을 갖는다.

그러한 구조는 반도체 기판의 표면에 직교하는 방향에 있어서 필드 산화막의 단부를 에칭 제거하는 것에 의해서 얻어진다.

이와 같은 에칭에 의해, 필드 산화막의 단부가 제거되는 동시에, 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함이 제거된다.

본 발명의 제2국면의 반도체 장치에 따르면, 상기 반도체 기판의 표면상에 상기 기판의 타 활성영역으로부터 선택된 활성 영역을 분리하고, 그의 단부가 선택된 활성영역을 둘러싸며, 일정한 두께를 가지는 몸체영역을 구비하고 상기 몸체 영역으로부터 상기 활성영역의 방향으로 두께가 점차 감소하는 버즈비크 영역이 없는 필드 산화막이 설치된다.

상기 필드산화막의 단부는 상기 반도체 기판의 표면에 수직한 수직면을 가지며, 상기 활성영역은 평면형상에서 한쌍의 직선변과 상기 한쌍의 직선변의 단부를 연결하는 원형 아크에 의해 둘러싸이고, 상기 필드 산화막의 단부의 수직면은 상기 원형 아크를 둘러싸도록 형성된다.

활성층은 필드 산화막의 단부와 접촉하지 않도록 필드 산화막의 단부로부터 떨어져 있다.

따라서, 활성영역은 필드 산화막의 단부 바로 아래에 존재하는 결함과 접촉하지 않는다.

본 발명의 제3국면의 반도체 장치에 따르면, 상기 필드 산화막의 단부는 상기 반도체 기판의 표면에 수직한 수직면을 가지며, 상기 상기 필드 산화막의 단부의 수직면은 상기 활성영역의 주변을 따라 연속하여 형성된다.

따라서, 기판에 주어지는 스트레스는 감소되고, 필드 산화막의 바로 아래에는 어떠한 결함도 발생하지 않게 된다.

본 발명의 제4국면에 의한 반도체 장치의 제조방법에 따르면, 필드 산화막의 단부는 콘택트홀이 층간 절연막내에 형성되는 경우 동시에 에칭제거된다.

필드 산화막의 단부가 에칭제거되는 경우, 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함이 제거된다.

본 발명의 제5국면에 의한 반도체 장치의 제조방법에 따르면, 필드 산화막의 단부가 에칭제거되는 경우 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함이 동시에 제거된다.

본 발명의 제6국면에 의한 반도체 장치의 제조방법에 따르면, 오목부는 활성 영역 이외의 부분에 형성된다.

오목부는 절연막으로 채워진다.

활성 영역은 오목부를 채우는 절연막에 의해 타 활성 영역으로부터 분리된다. 오목부가 절연막으로 채워지는 경우, 반도체 기판에는 어떠한 스트레스도 주어지지 않으며, 따라서 절연막 아래에는 어떠한 결함도 발생하지 않게 된다.

본 발명의 상기 목적, 특징, 실시예 및 장점들은 첨부한 도면과 관련하는 본 발명의 상세한 설명으로부터 더욱 명백해질 것이다.

이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

[실시예 1]

제1도는 본 발명의 실시예1에 의한 반도체 장치의 단면도이다.

반도체 장치는 P-형 반도체 기판을 포함한다.

반도체 기판(1)은 예를 들어 실리콘 반도체 기판이다.

반도체 기판(1)의 표면에는, 그의 단부가 활성 영역 (3)을 둘러싸고 타 활성영역으로부터 활성 영역(3)을 분리하는 필드 산화막 (2)이 설치된다.

활성층 (4)은 활성 영역 (3)의 표면에 설치된다.

공핍층 (20)은 활성층 (4)으로부터 연장된다.

층간 절연막 (6)은 활성층 (4)을 커버하도록 반도체 기판 (1)상에 설치된다. 활성층 (4)의 표면을 노출하는 콘택트홀 (7)은 층간 절연막 (6)에 설치된다. 다이너믹 랜덤 액세스 메모리의 스토리지 노드 (8)는 활성층 (4)의 표면에 전기적으로 접속되도록 콘택트홀 (7)을 채운다.

이 실시예에서, 필드 산화막 (2)의 단부는 반도체 기판 (1)의 표면에 수직한 수직면 (2e)을 갖는다.

필드 산화막 (2)의 단부의 수직면 (2e)은 후에 설명되는 것처럼, 반도체 기판 (1)의 표면과 수직한 방향으로 필드 산화막 (2)의 단부를 에칭제거하는 것에 의해 얻어진다.

이러한 에칭에 의해, 필드 산화막 (2)의 단부 바로 아래에 존재하는 많은 결함 (21)이 제거된다.

따라서, 누설 전류를 증가시키는 결함의 수가 감소되기 때문에, 누설 전류는 감소되고, 정보의 유지 시간이 증가된 다이너믹 랜덤 액세스 메모리가 얻어진다.

[실시예 2]

제2도는 실시예2에 의한 반도체 장치의 단면도이다.

실시예2는 다음의 점을 제외하고는 실시예1와 유사하기 때문에, 동일하거나 대응하는 부분은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

필드 산화막 (2)은 일반적으로 거의 일정한 두께를 가지는 본체 영역 (16)과 활성 영역 (3)의 방향으로 점차 감소된 두께를 가지는 버즈 비크 영역 (15)으로 나누어진다.

이 실시예에 있어서, 필드 산화막의 단부의 수직면 (2e)은 본체 영역 (16)으로 후퇴한다.

이러한 구조는 제2, 57, 58 도를 참조하면, 컨덕트홀 (7)이 형성될 때 마스크 (14)의 단부 (13)의 위치까지 층간 절연막 (6)을 에칭하는 것에 의해 형성된다.

마스크 (14)의 단부의 위치까지 필드 산화막 (2)을 에칭하는 것에 의해서, 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함이 동시에 제거된다. 따라서, 누설 전류를 증가시키는 결함의 수가 감소되기 때문에, 누설 전류는 감소되고, 그 결과 정보의 유지 시간이 증가된 다이너믹 랜덤 액세스 메모리를 얻게 된다.

상술한 수직면 (2e)은 완전하게 수직면일 필요는 없다.

이 수직면 (2e)은 약간의 경사진 면, 즉, 대략 수직면을 포함한다.

이는 약간의 경사가 사용된 에칭법에 의존하여 발생될 수 있기 때문이다.

[실시예 3]

제3도는 실시예3에 의한 반도체 장치의 단면도이다.

실시예3는 다음의 점을 제외하고는 실시예2와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

실시예2의 경우와 유사하게, 필드 산화막 (2)의 단부의 수직면 (2e)은 실시예3에 있어서도 필드 산화막 (2)의 본체 영역 (16)으로 후퇴한다.

이러한 구조는 실시예2에 있어서 콘택트홀의 직경을 확대하는 것에 의해서 얻어진다.

그러나, 제57A, 57B, 57C, 58A 및 58B 도를 참조하면, 이러한 구조는 실시예3에 있어서 마스크(14)의 영역을 콘택트홀 (7)의 영역보다 작게 만드는 것에 의해 얻어진다.

실시예3에 있어서도 산화막의 에칭과 동시에 거의 모든 결함이 제거된다.

따라서, 누설 전류가 증가되는 결함의 수가 감속되기 때문에, 정보의 유지 시간은 증가될 수 있다.

[실시예 4]

제4도는 실시예4에 의한 반도체 장치의 레이아웃도이다.

도면에 있어서, 윤곽선 (13)은 제57A 도의 마스크 (14)의 단부 (13)를 나타낸다.

윤곽선 (17)은 제58A 도를 참조하면, 레지스트 (18)의 개구부 (17)을 나타낸다.

윤곽선 (23)은 제4도 및 제57C도를 참조하면, 활성 영역 (3)의 윤곽을 나타낸다.

제4도 및 57C도를 참조하면, 필드 산화막 (2)은 대략 일정한 두께를 가지는 본체 영역 (16)과 활성 영역 (3)으로 향하는 방향으로 두께가 점차 감소하는 버즈 비크 영역 (15)으로 나누어진다.

실시예4에 있어서, 필드 산화막 (2)의 단부의 수직면 (2e)은 버즈 비크 영역 (15)으로 후퇴한다.

필드 산화막 (2)의 단부의 수직면 (2e)은 활성 영역 (3)의 주변을 따라서 연속하여 형성된다.

이러한 구조는 반도체 기판의 표면에 대하여 수직한 방향에서 활성 영역 (3)의 주변을 따라서 필드 산화막 (2)의 단부를 에칭함으로써 얻어진다.

이러한 에칭에 의해서, 누설 전류를 증가시키는 결함의 수는 감소되고, 결과적으로 정보의 유지 시간이 증가하게 된다.

[실시예 5]

제5도는 본 발명의 실시예5에 의한 반도체 장치의 레이아웃도이다.

실시예5에 의한 반도체 장치는 다음의 점을 제외하고는 실시예4에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명은 생략한다.

실시예5에 있어서, 필드 산화막 (2)의 단부의 수직면 (2e)은 필드 산화막 (2)의 본체 영역 (16)으로 후퇴한다.

또한 이러한 실시예에 있어서, 필드 산화막 (2)의 단부의 수직면 (2e)은 활성 영역 (3)의 주변을 따라 연속하여 형성된다.

필드 산화막(2)의 단부를 에칭 제거하는 동시에 거의 모든 결함이 제거된다.

따라서, 누설 전류를 증가시키는 결함의 수가 감소되기 때문에, 정보의 유지시간은 증가될 수 있다.

[실시예 6]

제6도는 실시예6에 의한 반도체 장치의 레이아웃도이다.

실시예6에 의한 반도체 장치는 다음의 점을 제외하고는 실시예5에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

도면에서 표시되는 것처럼, 활성 영역 (3)은 그의 평면 형상에 있어서 한쌍의 장변 (25, 25)과 한쌍의 장변 (25, 25)의 단부를 연결하는 원형 아크 (26)로 둘러싸여 있다.

이러한 실시예에 있어서, 제6도 및 제58도를 참조하면, 레지스트 마스크 (18)의 개구부 (17)는 그 안에 원형 아크 (26)를 포함하도록 형성된다.

이러한 레지스트 마스크 (18)로 필드 산화막의 단부가 에칭되는 경우, 필드 산화막 (2)의 단부의 수직면 (2e)이 형성되어 원형 아크 (26)를 둘러싼다.

필드산화막 (2)의 단부를 에칭하는 동시에, 단부의 바로 아래에 존재하는 많은 결함이 또한 제거된다.

따라서, 누설 전류를 증가시키는 결함의 수가 감속되기 때문에, 정보의 유지 시간은 증가될 수 있다.

[실시예 7]

제7도는 실시예7에 의한 반도체 장치의 레이아웃도이다.

실시예7에 의한 반도체 장치는 다음의 점을 제외하고는 실시예4에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

제7도를 참조하면, 활성 영역 (3)은 그의 평면 형상에서 한쌍의 장변 (25, 25)과 이 한쌍의 장변 (25, 25)의 단부를 연결하는 단변 (27)으로 둘러싸인다.

필드 산화막 (2)의 단부의 수직면 (2e)은 활성 영역 (3)의 장변 (25)의 측면위에만 형성된다.

필드 산화막 (2)의 단부에 버즈 비크 영역 (15)으로 후퇴하도록 수직면 (2e)이 형성된다.

필드 산화막(2)의 단부의 수직면 (2e)을 형성하기 위하여 필드 산화막 (2)의 단부를 에칭하는 동시에, 필드 산화막 (2)의 단부의 바로 아래에 존재하는 대부분의 모든 결함이 제거된다.

따라서, 누설 전류를 증가시키는 결함의 수는 감소되기 때문에, 정보의 유지 시간이 증가될 수 있다.

[실시예 8]

제8도는 실시예8에 의한 반도체 장치의 레이아웃도이다.

실시예8에 의한 반도체 장치는 다음의 점을 제외하고는 실시예7에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

필드 산화막 (2)의 단부 수직면 (2e)은 활성 영역 (3)의 장변 (25, 25)의 측면위에만 형성된다.

필드 산화막 (2)의 단부의 수직면(2e)은 필드산화막 (2)의 본체 영역 (16)으로 후퇴한다.

필드 산화막(2)의 단부의 수직면 (2e)을 형성을 위하여 필드 산화막의 단부를 에칭하는 동시에, 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함이 제거된다.

따라서, 누설 전류를 증가시키는 결함의 수는 감소되기 때문에, 정보의 유지 시간이 증가될 수 있다.

[실시예 9]

제9도는 실시예9에 의한 반도체 장치의 레이아웃도이다.

실시예9에 의한 반도체 장치는 다음의 점을 제외하고는 실시예7에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

활성 영역(3)은 그의 평면 형상에서 한쌍의 장변 (25, 25)과 한쌍의 장변(25, 25)의 단부를 연결하는 단변(27)으로 둘러싸인다.

필드 산화막의 단부의 수직면(2e)은 활성 영역(3)의 단변(27)의 측면 위에만 형성된다.

필드 산화막 (2)의 단부의 수직면(2e)이 필드산화막의 버즈 비크 영역 (15)으로 후퇴하도록 형성한다.

필드 산화막(2)의 단부에 수직면 (2e)을 형성하기 위하여 필드 산화막의 단부를 에칭하는 동시에, 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함이 제거된다.

따라서, 누설 전류를 증가시키는 결함의 수가 감소되기 때문에, 정보의 유지 시간은 증가될 수 있다.

[실시예 10]

제10도는 실시예10에 의한 반도체 장치의 레이아웃도이다.

실시예10에 의한 반도체 장치는 다음의 점을 제외하고는 실시예9에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

실시예10에 있어서, 필드 산화막 (2)의 단부 수직면 (2e)은 활성 영역 (3)의 단변 (27)의 측면위에만 형성된다.

필드 산화막 (2)의 단부의 수직면(2e)이 필드산화막 (2)의 본체 영역 (16)으로 후퇴하도록 형성된다.

필드 산화막(2)의 단부의 바로 아래에 존재하는 많은 결함은 필드 산화막(2)의 단부에 수직면 (2e)을 형성하는 것과 동시에 제거된다.

[실시예 11]

제11도는 실시예11에 의한 반도체 장치의 레이아웃도이다.

실시예11에 의한 반도체 장치는 다음의 점을 제외하고는 실시예4에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

이러한 실시예에 있어서, 제11도 및 제57도를 참조하면, 활성 영역 (3)을 형성하기 위한 마스크 (14)는 실시예4보다 작다.

특히, 윤곽선 (13)은 실시예4의 경우보다 작다.

이와 같은 실시예에서, 실시예4에 의한 반도체 장치와 유사한 효과가 기대될 수 있다.

[실시예 12]

제12도는 본 발명의 실시예12에 의한 반도체 장치의 레이아웃도이다.

실시예12에 의한 반도체 장치는 다음의 점을 제외하고는 실시예5에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

실시예12에 의한 반도체 장치에 있어서, 활성 영역 (3)의 크기는 실시예5에 의한 반도체 장치보다 작게 만들어진다.

이와 같은 구조에 있어서, 실시예5와 유사한 효과가 기대될 수 있다.

[실시예 13]

제13도는 본 발명의 실시예13에 의한 반도체 장치의 레이아웃도이다.

실시예13에 의한 반도체 장치는 다음의 점을 제외하고는 실시예7에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

제13도에 의한 반도체 장치는 활성 영역 (3)의 단변 (27)이 더욱 작게 만들어진다는 점에서 실시예7에 의한 반도체 장치와 상이하다. 이와 같은 실시예에서, 실시예 7에 의한 반도체 장치와 유사한 효과가 기대될 수 있다.

[실시예 14]

제14도는 실시예14에 의한 반도체 장치의 레이아웃도이다.

실시예14에 의한 반도체 장치는 다음의 점을 제외하고는 실시예8에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

실시예14에 의한 장치에 있어서, 활성 영역 (3)의 단변 27은 실시예8보다 작게 만들어진다.

이와 같은 실시예에 있어서, 실시예8에 의한 반도체 장치와 유사한 효과를 기대할 수 있다.

[실시예 15]

제15도는 실시예15에 의한 반도체 장치의 레이아웃도이다.

실시예15에 의한 반도체 장치는 다음의 점을 제외하고는 실시예9에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

제15도에 의한 반도체 장치는 활성 영역 (3)의 장변 (25)이 더욱 작게 만들어진다는 점에서 실시예 9에 의한 반도체 장치와는 다르다.

이와 같은 실시예에 있어서, 실시예9에 의한 반도체 장치와 유사한 효과를 기대할 수 있다.

[실시예 16]

제16도는 실시예16에 의한 반도체 장치의 레이아웃도이다.

실시예16에 의한 반도체 장치는 다음의 점을 제외하고는 실시예10에 의한 반도체 장치와 유사하기 때문에, 동일하거나 대응하는 부분들은 동일한 참조 부호를 붙이고, 그의 설명을 생략한다.

실시예16에 의한 반도체 장치에 있어서, 활성 영역 (3)의 장변 (25)은 실시예10에 의한 반도체 장치보다 작게 만들어 진다.

이와같은 실시예에 있어서, 실시예10에 의한 반도체 장치와 유사한 효과를 기대할 수 있다.

[실시예 17]

제17도는 실시예17에 의한 반도체 장치의 레이아웃도이다.

이러한 실시예에 있어서, 활성 영역 (3)은 극히 작게 만들어진다.

활성 영역 (3)의 단부는 삼각형이다.

필드 산화막 (2)의 단부의 수직면 (2e)은 활성 영역 (3)을 둘러싼다.

필드 산화막 (2)의 단부는 수직면 (2e)을 형성하도록 에칭 제거된다.

필드 산화막 (2)의 단부의 에칭하는 동시에, 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함이 제거된다.

따라서, 누설 전류를 증가시키는 결함의 수가 감소되기 때문에, 정보의 유지시간은 증가할 수 있다.

[실시예 18]

제18도는 실시예18에 의한 반도체 장치의 단면도이다.

실시예18에 의한 반도체 장치는 반도체 기판(1)을 포함한다.

반도체 기판 (1)상에는, 활성 영역 (3)을 둘러싸는 단부를 가지는 타 활성 영역으로부터 활성 영역 (3)을 분리하는 필드 산화막 (2)이 설치되어 있다.

활성층(4)은 활성 영역 (3)의 표면에 설치된다.

층간 절연막 (6)은 반도체 기판 (1)상에 설치되어 활성층(4)을 커버한다. 활성층 (4)의 표면을 노출시키는 콘택트 홀 (7)은 층간 절연막 (6)에 설치된다.

스토리지 노드 (8)는 활성층 (4)과 접촉하도록 콘택트홀 (7)을 채운다.

활성층 (4)은 필드 산화막 (2)의 단부로부터 간격을 두고 떨어져서 그와 접촉하지 않게 된다.

이 실시예에 따르면, 활성층 (4)은 결함 (21)으로부터 간격을 두고 형성되기 때문에, 필드 산화막 (2)의 단부에 결함 (21)이 존재하더라도 누설 전류는 발생되지 않는다.

그 결과, 정보의 유지 시간이 증가될 수 있다.

[실시예 19]

제19도는 실시예19에 의한 반도체 장치의 단면도이다.

반도체 장치는 반도체 기판(1)을 포함한다.

오목부 (28)는 반도체 기판 (1)의 표면에서 활성 영역 (3)이외의 부분에 설치된다.

오목부(28)는 타 활성 영역으로부터 활성 영역 (3)을 분리하도록 화학 기상 성장법으로 형성된 절연막 (29)으로 채워진다.

게이트 전극 (5)은 활성 영역 (3)상에 설치된다.

활성층 (4)은 활성 영역 (3)의 표면에서 게이트 전극 (5)의 양변에 설치된다.

층간 절연막 (6)은 게이트 전극 (5)을 커버하도록 반도체 기판 (1)상에 설치된다.

활성층 (4)의 표면을 노출시키는 콘택트홀 (7)은 층간 절연막 (6)에 설치된다.

스토리지 노드 (8)는 활성층 (4)에 접속되도록 콘택트홀 (7)을 채운다.

이 실시예에 따르면, 절연막 (29)은 화학 기상 성장법으로 형성되기 때문에, 절연막 (29)의 바로 아래에는 어떠한 결함도 발생되지 않는다.

따라서, 누설 전류는 발생되지 않으며, 이는 차례로 정보의 유지 시간을 증가 시킨다.

[실시예 20]

제20~28도는 실시예20에 의한 그의 제조 방법의 각각의 스텝에 있어서 반도체 장치의 단면도이다.

제20도를 참조하면, 질화막 (30)은 실리콘 기판과 같은 반도체 기판 (1)상에 활성 영역으로써 작용하는 부분상에 형성된다.

제21도를 참조하면, 필드 산화막 (2)은 질화막 (30)을 마스크로 사용하여 실리콘 기판 (1)의 표면을 열산화하는 것에 의해 형성된다.

이 때, 필드 산화막 (2)은 질화막 (30)의 단부 (30e)를 지나서 활성 영역의 변면으로 돌출하도록 형성된다.

이하, 돌출된 부분을 버즈 비크 부분 (22)이라 한다.

버즈 비크 부분 (22)의 바로 아래에는 많은 결함 (21)이 형성된다.

제21도 및 제22도를 참조하면, 질화막 (30)이 제거된다.

제23도를 참조하면, 게이트 절연막으로써 주어지는 산화막 (31)과, 게이트 전극으로써 주어지는 도전체층 (32)은 실리콘 기판 (1)상에 차례로 형성된다. 산화막 (31)과 도전체층 (32)을 패터닝하는 것에 의해, 게이트 절연막 (33)과 게이트 전극 (5)이 형성된다.

활성층 (34)은 활성 영역의 표면에 형성된다.

제25도를 참조하면, 층간 절연막 (6)은 게이트 전극 (5)을 커버하도록 실리콘 기판 (1)상에 퇴적된다.

제26도를 참조하면, 활성 영역의 표면의 일부를 노출하는 콘택트홀 (7)은 층간 절연막 (6)에 형성된다.

콘택트홀 (7)의 형성과 동시에, 필드 산화막 (2)의 단부가 에칭제거된다.

이 때, 필드 산화막 (2)의 단부의 수직면 (2e)이 형성된다.

또한 필드 산화막의 단부의 바로 아래에 존재하는 결함 (21)이 제거된다.

콘택트홀 (7)을 통하여 활성 영역의 표면에 불순물 이온을 주입하는 것에 의해, 활성층 (4)이 형성된다.

스토리지 노드 (8)는 활성층 (4)의 표면과 접촉하도록 콘택트홀 (7)을 채운다. 스토리지 노드 (8)의 표면은 유전체막 (9)으로 커버된다.

셀 플레이트 전극 (10)은 그 사이에 유전체막 (9)을 개재하여 스토리지 노드 (8)상에 형성된다.

층간 절연막 (35)은 셀 플레이트 전극 (10)을 커버하도록 실리콘 기판 (1)상에 형성된다.

활성층 (34)의 표면을 노출하는 콘택트홀 (36)은 층간 절연막 (35, 6)에 형성된다.

콘택트홀 (36)은 활성층 (34)에 접속된 비트선 (37)으로 채워진다.

[실시예 21]

제29~37도는 실시예21에 의한 그의 제조 방법의 각각의 스텝에 있어서 반도체 장치의 단면도이다.

제29도를 참조하면, 질화막 (30)은 실리콘 기판 (1)상에 활성 영역 (3)으로 주어지는 부분상에 형성된다.

제30도를 참조하면, 질화막 (30)을 마스크로 사용하여 실리콘 기판 (1)의 표면을 열산화하는 것에 의하여, 필드 산화막 (2)이 형성된다.

이때, 필드 산화막 (2)은 질화막 (30)의 단부 (30e)를 지나서 활성 영역(3)의 변면으로 돌출하도록 형성된다.

버즈 비크 부분 (22)의 바로 아래에 많은 결함 (21)이 형성된다.

제30도 및 제31도를 참조하면, 질화막 (30)이 제거된다.

제32도를 참조하면, 평탄화를 위한 층간 절연막(38)은 실리콘 기판 (1)상에 형성된다.

활성 영역 (3)과 필드 산화막 (2)의 버즈 비크 부분 (22)을 제외한 부분을 레지스트 마스크(18)로 커버한다.

제33도를 참조하면, 층간 절연막 (30)과 필드 산화막 (2)의 버즈 비크 부분 (22)은 레지스트 마스크 (18)에 의해 에칭제거된다.

이때, 필드 산화막 (2)의 버즈 비크 부분 (22)의 바로 아래에서 발생된 결함 (21)이 제거된다.

제33도 및 제34도를 참조하면, 레지스트 마스크 (18)가 제거된다.

제35도를 참조하면, 게이트 절연막으로써 제공되는 산화막 (31)과 게이트 전극으로써 제공되는 도전체층 (32)이 실리콘 기판(1)상에 형성된다.

산화막 (31)과 도전체층 (32)을 패터닝하는 것에 의해, 게이트 절연막 (33)과 게이트 전극 (5)을 형성한다.

산화막(31)과 도전체층 (32)을 패터닝하기 위해 에칭하는 것에 의해, 활성 영역 (3)의 표면의 결함이 더욱 제거된다.

층간 절연막 (6)은 게이트 전극 (5)을 커버하도록 실리콘 기판 (1)상에 형성된다.

콘택트홀 (7)은 층간 절연막 (6)에 형성된다.

콘택트홀 (7)을 통하여 활성 영역의 표면으로 불순물 이온을 주입하는 것에 의해, 활성층 (4)이 형성된다.

스토리지 노드 (8)는 활성층(4)의 표면과 접촉하도록 콘택트홀 (7)을 채운다.

[실시예 22]

제38~45도는 실시예22에 의한 그의 제조 방법의 각각의 스텝에 있어서 반도체 장치의 단면도이다.

제38도를 참조하면, 질화막 (30)은 실리콘 기판 (1)상에 활성 영역 (3)으로 작용하는 부분상에 형성된다.

제39도를 참조하면, 질화막 (30)을 마스크로 사용하여 실리콘 기판 (1)의 표면을 열산화하는 것에 의해, 필드 산화막 (2)을 형성한다.

이때, 필드 산화막 (2)은 질화막 (30)의 단부 (30e)를 지나서 활성 영역의 측면으로 돌출하도록 형성된다.

제39도 및 제40도를 참조하면, 질화막 (30)이 제거된다.

제40도 및 제41도를 참조하면, 필드 산화막 (2)이 완전히 제거된다.

필드 산화막 (2)을 제거하는 것에 의해, 오목부 (39)는 실리콘 기판 (1)의 표면중에서 활성 영역 (3)이외의 부분에 형성된다.

제42도를 참조하면, 낮은 스트레스 (stress)를 가지는 산화막 (40)은 오목부 (39)를 채우도록 실리콘 기판 (1)상에 형성된다.

제42도 및 제43도를 참조하면, 낮은 스트레스를 가지는 산화막 (40)의 표면은 활성 영역 (3)을 노출하도록 에칭된다.

제44도를 참조하면, 게이트 절연막 (33)과 게이트 전극 (5)은 활성 영역 (3)상에 형성된다.

활성층 (4)은 활성 영역 (3)의 표면에서 게이트 전극 (5)의 양변면에 형성된다.

제45도를 참조하면, 층간 절연막 (6)은 게이트 전극 (5)을 커버하도록 실리콘 기판 (1)상에 형성된다.

활성층 (4)의 표면을 노출하는 콘택트홀 (7)은 층간 절연막 (6)에 형성된다.

스토리지 노드 (8)는 활성층 (4)에 접속하도록 콘택트홀 (7)을 채운다.

이 실시예에 있어서, 타 활성 영역으로부터 활성 영역 (3)을 분리하기 위한 절연막은 낮은 스트레스를 갖는 산화막 (40)으로 형성되기 때문에, 산화막(40)의 바로 아래에는 어떠한 결함도 발생하지 않는다.

[실시예 23]

제46도~51도는 실시예23에 의한 제조 방법의 각각의 스텝에 있어서 반도체 장치의 단면도이다.

제46도를 참조하면, 질화막 (30)은 실리콘 기판 (1)상에 활성 영역 (3)으로써 작용하는 부분상에 형성된다.

제47도를 참조하면, 분리 영역에 대응하는 부분은 질화막 (30)을 마스크로 사용하여 에칭되어 오목부 (42)를 형성한다.

제47도 및 제48도를 참조하면, 질화막 (30)이 제거된다.

제49도를 참조하면, 낮은 스트레스를 가지는 산화막 (40)은 오목부 (42)를 채우도록 실리콘 기판 (1)상에 퇴적한다.

제49도 및 제50도를 참조하면, 산화막 (40)의 표면은 활성 영역 (3)의 표면을 노출하도록 에칭된다.

제51도를 참조하면, 게이트 절연막 (33)과 게이트 전극 (5)은 활성 영역 (3)상에 형성된다.

활성층(4)은 활성 영역 (3)의 표면에서 게이트 전극 (5)의 양측에 형성된다.

층간 절연막 (6)은 게이트 전극 (5)을 커버하도록 실리콘 기판 (1)상에 형성된다.

활성층 (4)의 표면을 노출하는 콘택트홀 (7)은 층간 절연막 (6)내에 형성된다.

콘택트홀 (7)은 활성층 (4)에 접속된 스토리지 노드 (8)로 채워진다.

이 실시예에 따르면, 타 활성 영역으로부터 활성 영역 (3)을 분리하기 위한 절연막은 낮은 스트레스를 가지는 산화막 (40)으로 형성되기 때문에, 절연막의 바로 아래에는 어떠한 결함도 발생하지 않는다.

본 발명의 제 1국면의 반도체 장치에 따르면, 필드 산화막의 단부는 반도체 장치의 표면에 대하여 수직한 수직면을 갖는다. 이러한 구조는 반도체 기판의 표면에 수직인 방향에서 필드 산화막의 단부를 에칭 제거하는 것에 의해 얻어진다.

이러한 에칭에 의해, 필드 산화막의 단부가 제거되는 동시에, 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함이 제거된다.

그 결과, 누설 전류를 증대시키는 결함의 수는 감소되기 때문에, 누설 전류는 감소된다.

본 발명의 제2국면의 반도체 장치에 따르면, 활성층은 필드 산화막의 단부와 거리를 두고 형성되어 접촉하지 않게 된다.

따라서, 활성층은 필드 산화막의 단부의 바로 아래에 존재하는 결함과 접촉하지 않게 된다.

그 결과, 누설 전류가 감소된다.

본 발명의 제3국면의 반도체 장치에 따르면, 타 활성 영역으로부터 활성 영역을 분리하기 위한 절연막은 화학 기상 성장법으로 형성되기 때문에, 낮은 스트레스가 기판에 가해진다.

따라서, 절연막의 바로 아래에는 어떠한 결함도 발생하지 않는다.

그 결과, 낮은 누설 전류를 가지는 반도체 장치가 얻어질 수 있다.

본 발명의 제4국면의 반도체 장치를 제조하는 방법에 따르면, 필드 산화막의 단부는 층간 절연막에 콘택트홀을 형성하는 것과 동시에 에칭 제거된다.

필드 산화막의 단부가 에칭 제거되는 경우, 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함이 제거된다.

그 결과, 낮은 누설 전류를 가지는 반도체 장치를 얻을 수 있다.

본 발명의 제5국면의 반도체 장치를 제조하는 방법에 따르면, 필드 산화막의 단부의 바로 아래에 존재하는 많은 결함은 필드 산화막의 단부가 에칭 제거되는 경우 동시에 제거된다.

그 결과, 낮은 누설 전류를 가지는 반도체 장치가 얻어질 수 있다.

본 발명의 제6국면의 반도체 장치를 제조하는 방법에 따르면, 오목부는 활성 영역 이외의 부분에 형성된다.

오목부는 절연막으로 채워진다.

활성 영역은 오목부를 채우는 절연막에 의해서 타 활성 영역으로부터 분리된다.

오목부가 절연막으로 채워지는 경우 반도체 장치에는 어떠한 스트레스도 인가 되지 않기 때문에, 절연막의 아래에는 어떠한 결함도 발생하지 않는다.

그 결과, 낮은 누설 전류를 가지는 반도체 장치를 얻을 수 있다.

본 발명이 상세히 기술 되었다 하더라도, 이는 설명과 예시만에 의한 것이며 제한되지 않고, 본 발명의 정신과 범위는 계류된 청구항에 의해서만 제한되는 것이 명백하게 이해된다.

(57) 청구의 범위

청구항 1

상기 반도체 기판의 표면상에 설치되어 상기 기판의 타 활성영역으로부터 선택된 활성 영역을 분리하며, 그의 단부가 선택된 활성영역을 둘러싸는 소자분리영역과, 상기 선택된 활성 영역을 커버하도록 상기 반도체 기판상에 설치된 층간 절연막과, 상기 선택된 활성영역의 표면의 일부를 노출하도록 상기 층간 절연막에 설치된 콘택트홀과, 상기 선택된 활성 영역의 표면에 전기적으로 접속되도록 상기 콘택트홀을 채우는 도전체를 포함하고, 상기 소자 분리영역의 단부는 상기 반도체 기판의 표면에 수직한 수직면을 가지며, 상기 활성 영역은 평면 형상의 한쌍의 직선변과 상기 한쌍의 직선변의 단부를 연결하는 원형 아크로 둘러싸이고, 상기 소자분리영역의 단부의 수직면이 상기 원형 아크를 둘러싸도록 형성된 반도체 장치.

청구항 2

제1항에 있어서, 상기 소자 분리 영역은 일정한 두께를 가지는 몸체 영역과 상기 몸체 영역으로부터 상기 활성 영역의 방향으로 점차 감소하는 두께를 가지는 버즈비크 형상의 영역으로 나누어지며, 상기 소자분리영역의 단부의 수직면은 상기 버즈비크 형상의 영역내에 위치하도록 형성되는 반도체 장치.

청구항 3

제1항에 있어서, 상기 소자 분리 영역은 일정한 두께를 가지는 몸체 영역을 구비하며 상기 몸체 영역으로부터 상기 활성 영역의 방향으로 점차 감소하는 두께를 가지는 버즈비크 영역이 없는 반도체 장치.

청구항 4

제1항에 있어서, 상기 콘택트 홀의 측벽면은 상기 소자분리영역의 단부의 상기 수직면의 평면에 존재하는 반도체 장치.

청구항 5

반도체 기판과, 상기 반도체 기판의 표면상에 설치되어 상기 기판의 타 활성영역으로부터 선택된 활성영역을 분리하고, 그의 단부가 선택된 활성영역을 둘러싸며, 일정한 두께를 가지는 몸체영역을 구비하고 상기 몸체 영역으로부터 상기 활성영역의 방향으로 두께가 점차 감소하는 버즈비크 영역이 없는 소자분리영역과, 상기 선택된 활성영역을 커버하도록 상기 반도체 기판상에 설치된 층간 절연막과, 상기 선택된 활성영역의 표면의 일부를 노출하도록 상기 층간 절연막에 설치된 콘택트홀과, 상기 선택된 활성영역의 표면에 전기적으로 접속되도록 상기 콘택트홀을 채우는 도전체를 포함하고, 상기 소자 분리영역의 단부는 상기 반도체 기판의 표면에 수직한 수직면을 가지며, 상기 활성영역은 평면형상의 한쌍의 직선변과 상기 한쌍의 직선변의 단부를 연결하는 원형 아크에 의해 둘러싸이고, 상기 소자분리영역의 단부의 수직면은 상기 원형 아크를 둘러싸도록 형성된 반도체 장치.

청구항 6

반도체 기판의 표면에 활성 영역을 둘러싸는 단부를 가지는 타 활성영역으로부터 상기 활성영역을 분리하도록 소자분리영역을 형성하는 스텝과, 상기 활성 영역상에 게이트 전극을 형성하는 스텝과, 상기 게이트 전극을 커버하도록 상기 반도체 기판상에층간 절연막을 형성하는 스텝과, 상기 층간 절연막을 선택적으로 에칭하여 상기 층간 절연막에 상기 활성 영역의 표면의 일부를 노출하는 콘택트홀을 형성하는 동시에, 상기 소자분리영역의 상기 단부를 에칭하여 제거하는 스텝과, 상기 콘택트홀을 활성 영역에 접속된 도전체로 채우는 스텝을 포함하는 반도체 장치의 제조방법.

청구항 7

반도체 기판의 표면중 활성영역 이외의 부분에 오목부를 형성하는 스텝과, 상기 오목부를 절연막으로 채우는 스텝과, 상기 활성 영역상에 게이트 전극을 형성하는 스텝과, 상기 게이트 전극을 커버하도록 상기 반도체 기판상에 층간 절연막을 형성하는 스텝과, 상기 층간 절연막에 상기 활성 영역의 표면의 일부를 노출하는 콘택트홀을 형성하는 스텝과, 상기 콘택트홀을 상기 활성 영역의 표면에 전기적으로 접속되는 도전체로 채우는 스텝을 포함하는 반도체 장치의 제조방법.

청구항 8

제7항에 있어서, 상기 오목부를 형성하는 스텝은 상기 반도체 기판의 표면에, 활성영역을 둘러싸고 타 활성 영역으로부터 상기 활성 영역을 분리하도록 필드산화막을 형성하는 스텝과, 상기 반도체 기판의 표면으로부터 상기 필드산화막을 완전히 제거하여 상기 반도체 기판의 표면에 오목부를 형성하는 스텝을 포함하는 반도체 장치의 제조방법.

청구항 9

제7항에 있어서, 상기 오목부를 형성하는 스텝은 상기 반도체 기판상의 활성 영역에 마스크를 형성하는 스텝과, 상기 마스크를 사용하여 상기 활성 영역 이외의 부분을 에칭하여 상기 반도체 기판의 표면에 오

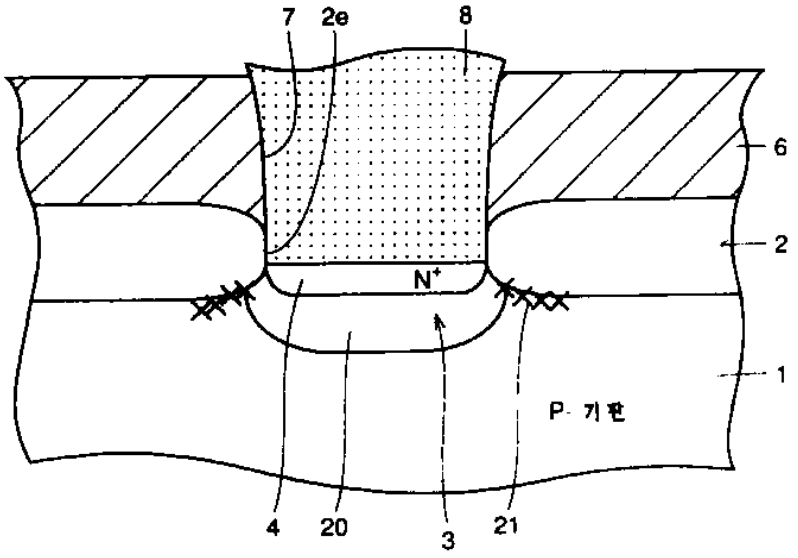
목부를 형성하는 스텝과, 상기 마스크를 제거하는 스텝을 포함하는 반도체 장치의 제조방법.

청구항 10

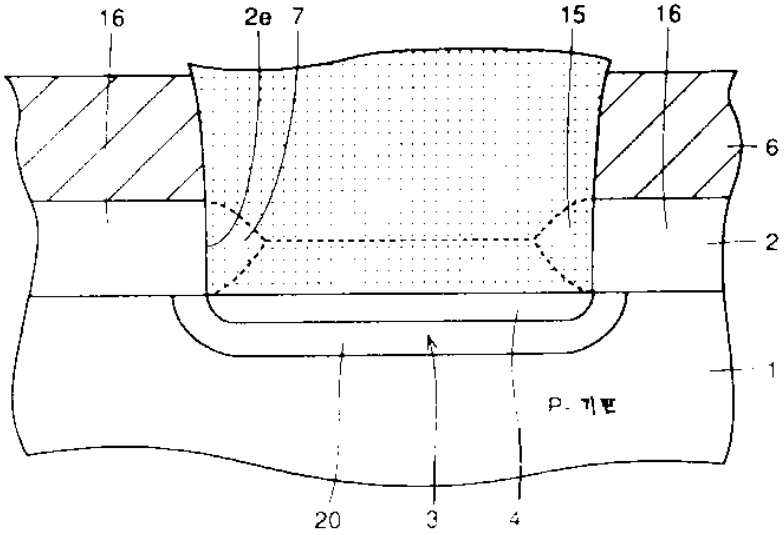
반도체 기판과, 상기 반도체 기판의 표면상에 설치되어 상기 기판의 타 활성 영역으로부터 선택된 활성영역을 분리하고, 그의 단부가 선택된 활성영역을 둘러싸는 소자분리영역과, 상기 선택된 활성영역을 커버하도록 상기 반도체 기판상에 설치된 층간 절연막과, 커패시터 소자와, 상기 선택된 활성영역의 표면의 일부를 노출하도록 상기 층간 절연막에 설치된 스토리지 노드 콘택트홀과, 상기 선택된 활성영역의 표면에 전기적으로 접속되도록 상기 콘택트홀을 채우며, 커패시터 소자의 스토리지 노드를 가지는 도전체를 포함하고, 상기 소자분리영역의 단부는 상기 반도체 기판의 표면에 수직한 수직면을 가지며, 상기 활성영역은 평면 형상의 한쌍의 직선변과 상기 한쌍의 직선변의 단부를 연결하는 원형 아크에 의해 둘러싸이고, 상기 소자분리영역의 단부의 수직면은 상기 원형 아크를 둘러싸도록 형성된 반도체 장치.

도면

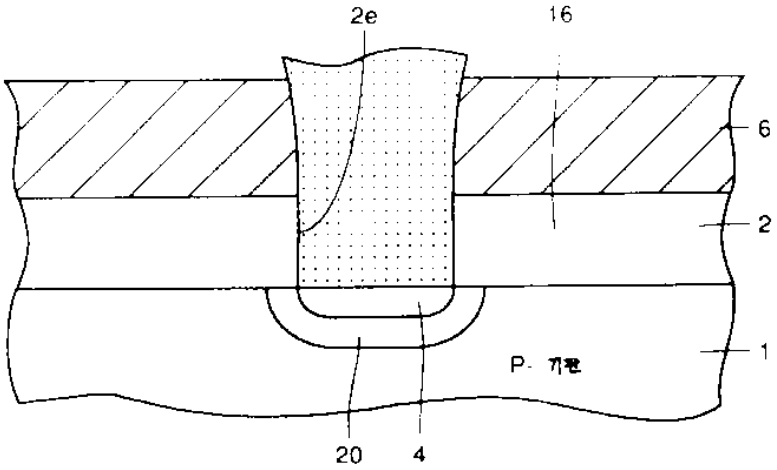
도면1



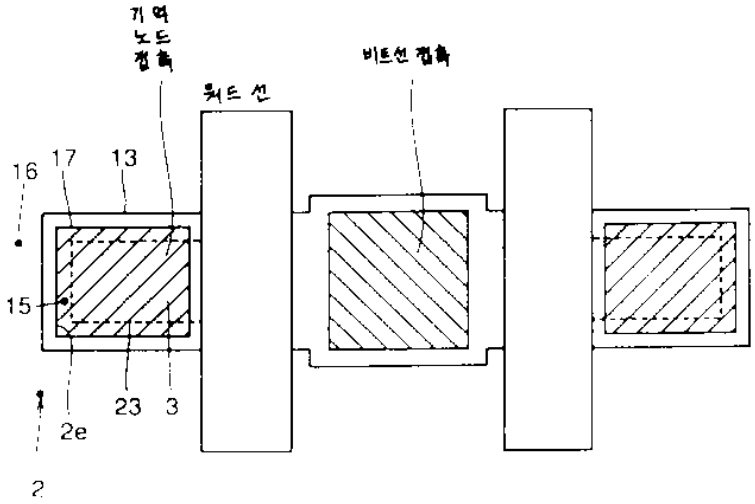
도면2



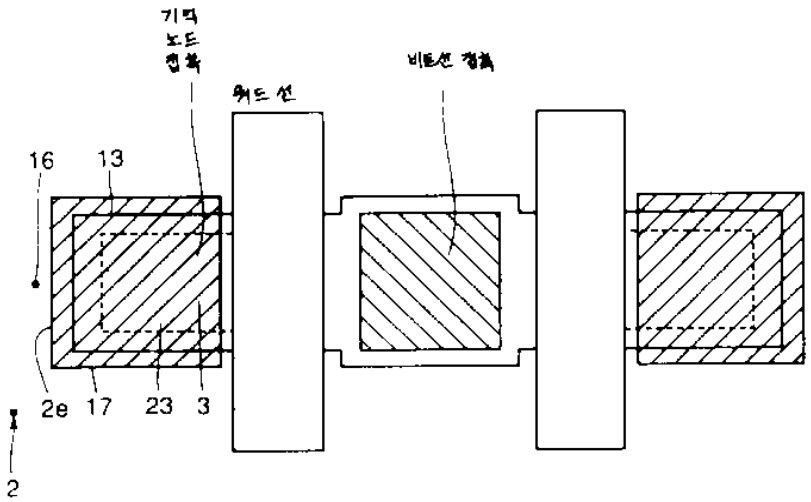
도면3


2e
16
6
2
1
P- 기판
20
4

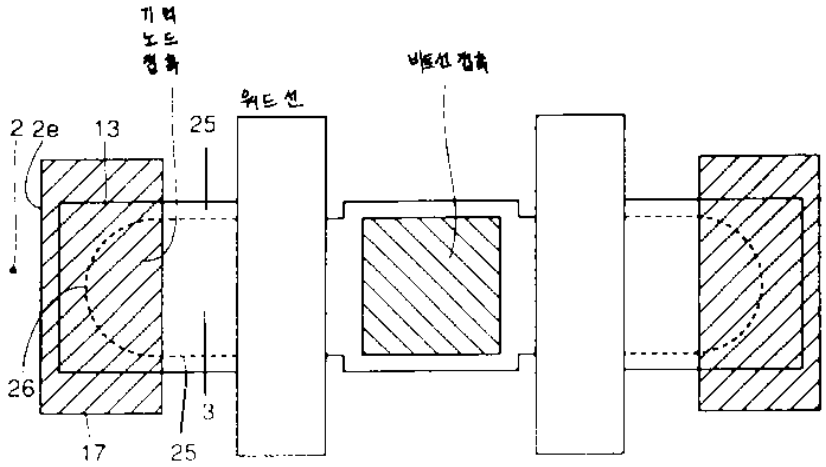
도면4


기억 노드 접촉
워드 선
비트선 접촉
16
17
13
15
2e
23
3
2

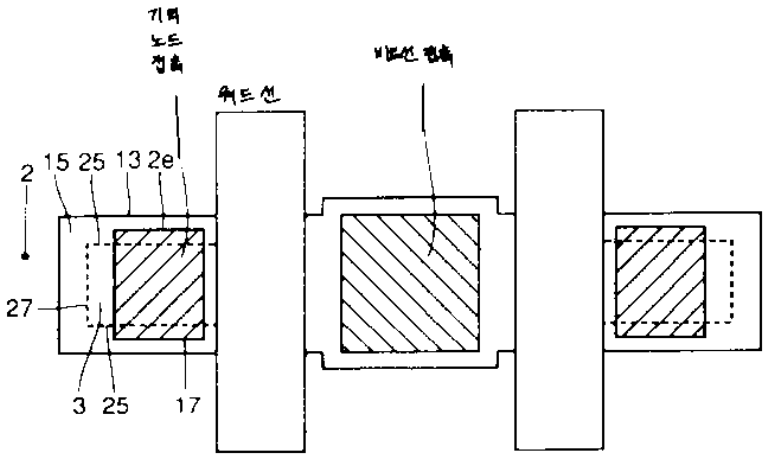
도면5


기억 노드 접촉
워드 선
비트선 접촉
16
13
2e
17
23
3
2

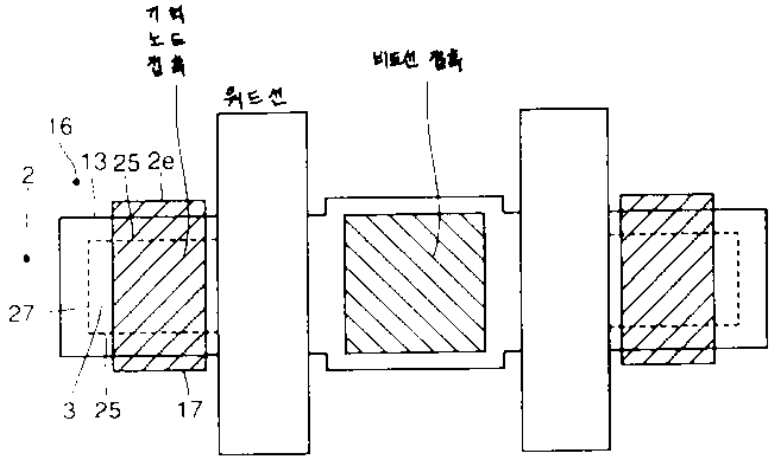
도면6


기억 노드 접촉
워드 선
비트선 접촉
2
2e
13
25
26
3
17
25

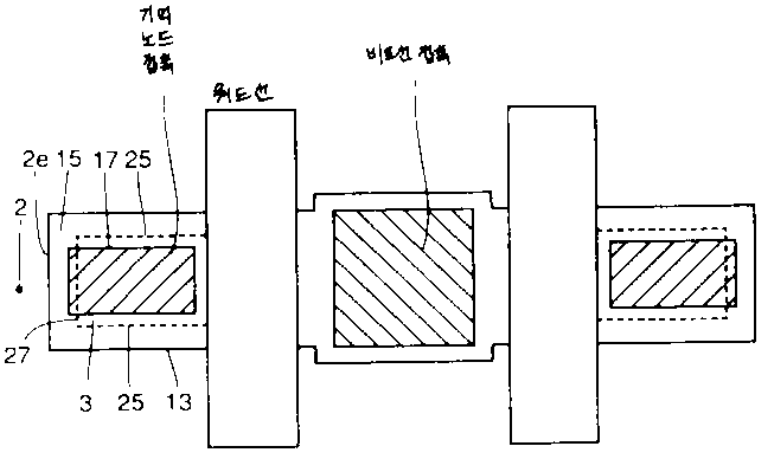
도면7


기억 노드 접촉
워드 선
비트선 접촉
2
15
25
13
2e
27
3
25
17

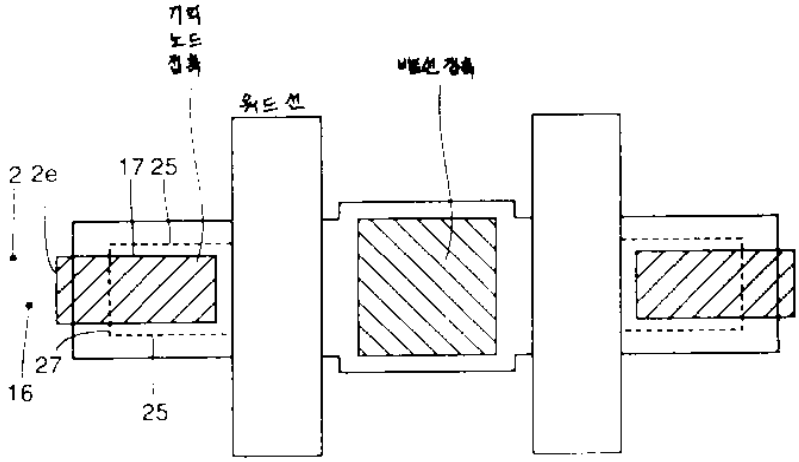
도면8


기억 노드 접촉
워드 선
비트선 접촉
16
2
13
25
2e
27
3
25
17

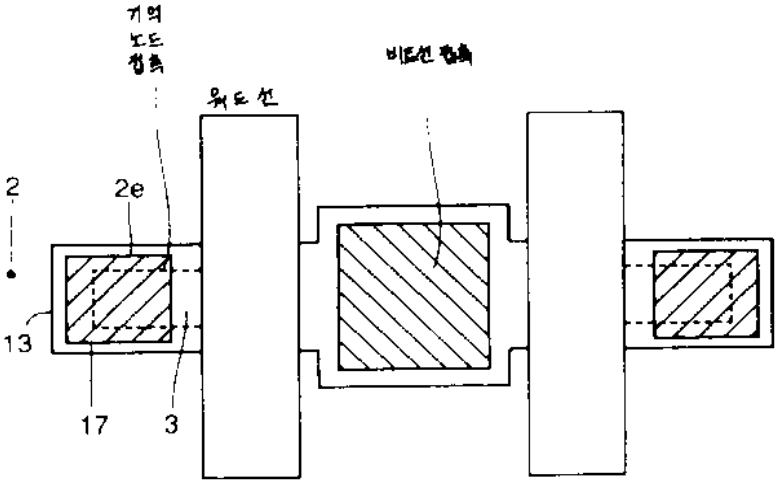
도면9



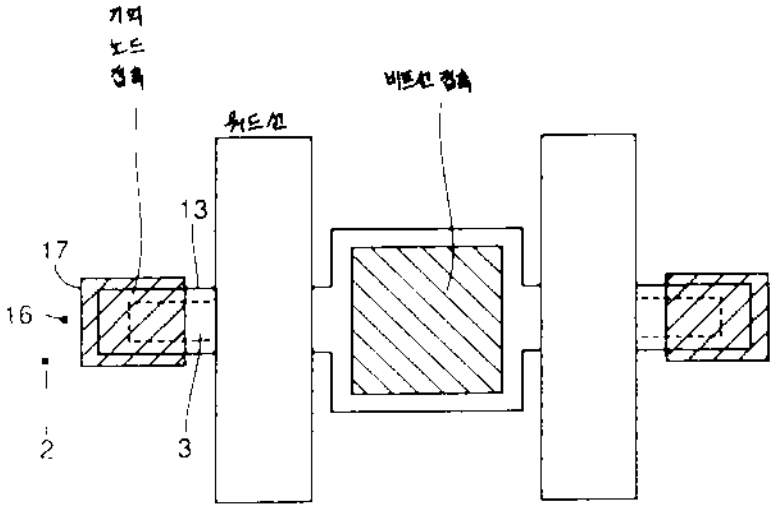
도면10



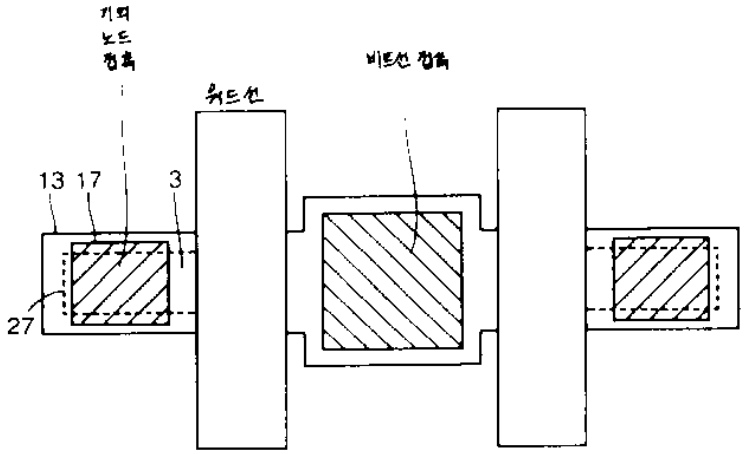
도면11



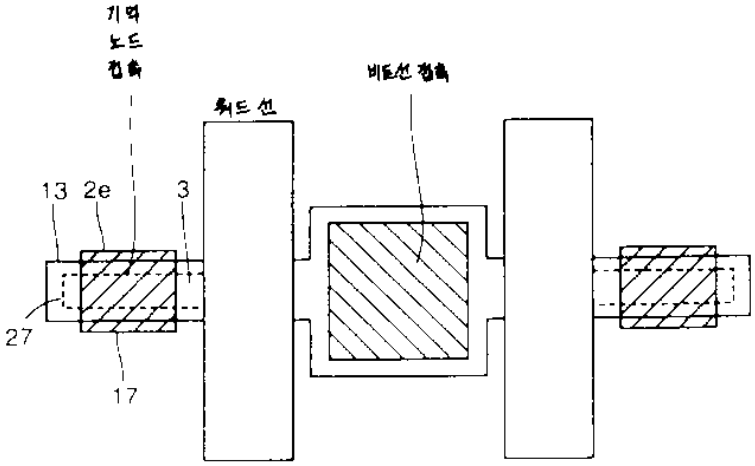
도면12



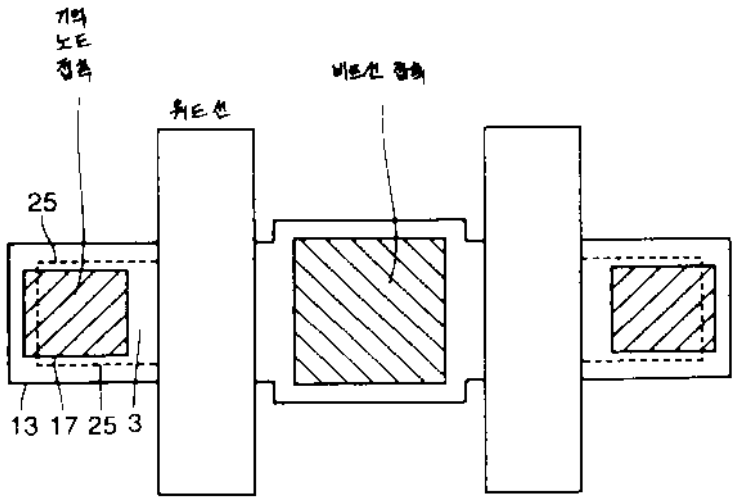
도면13



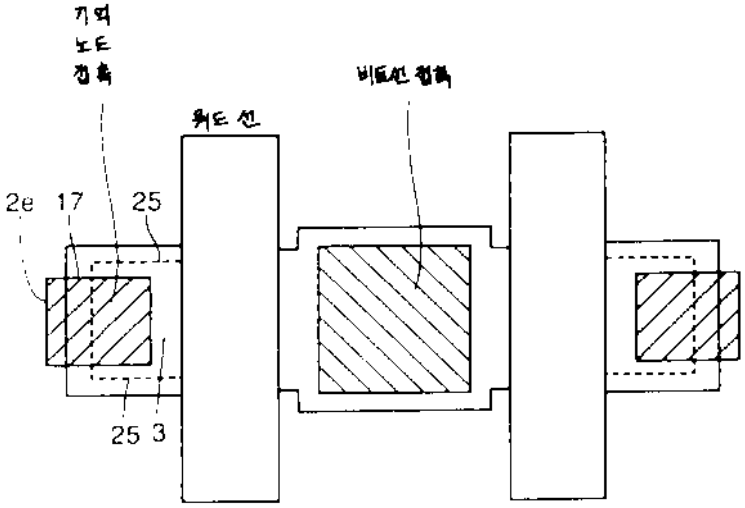
도면14



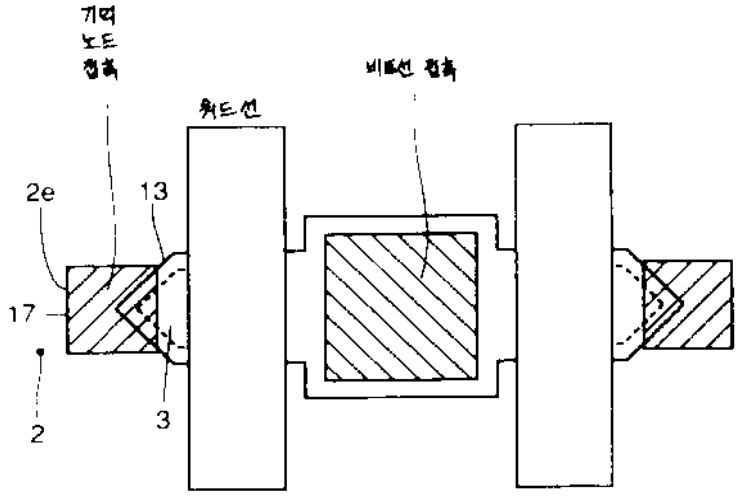
도면15



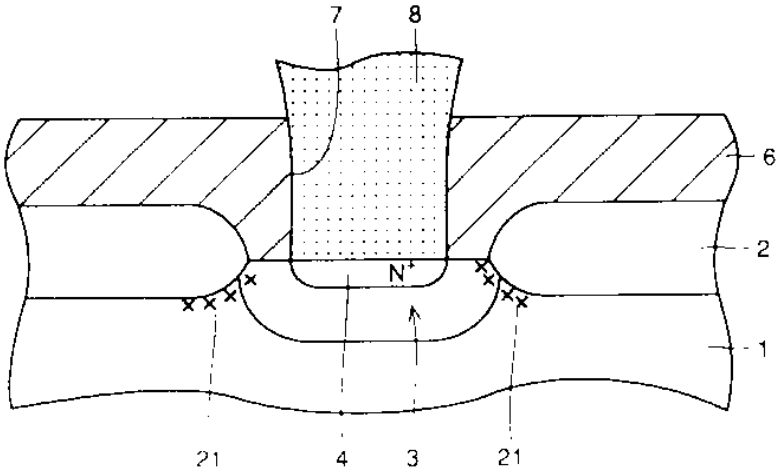
도면16



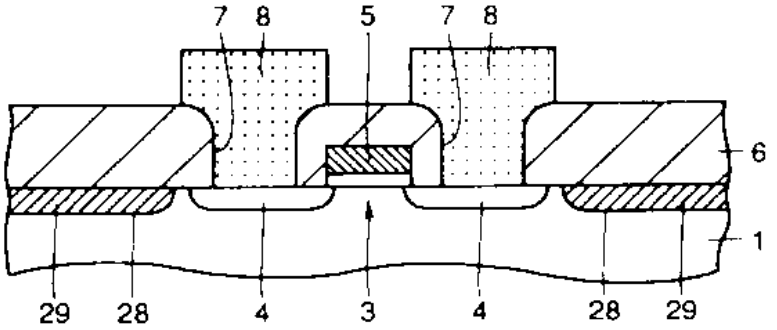
도면17



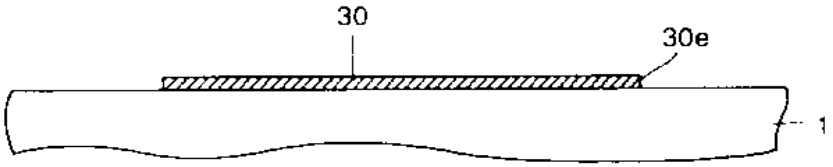
도면18



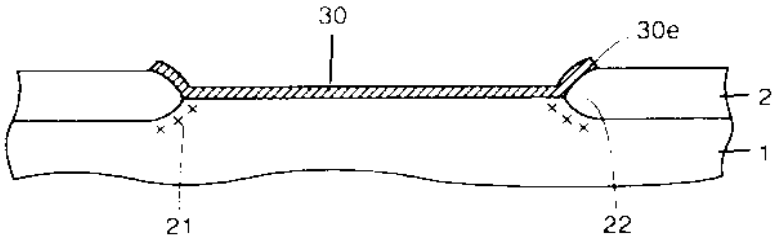
도면19



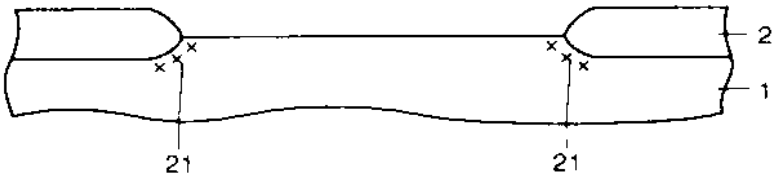
도면20



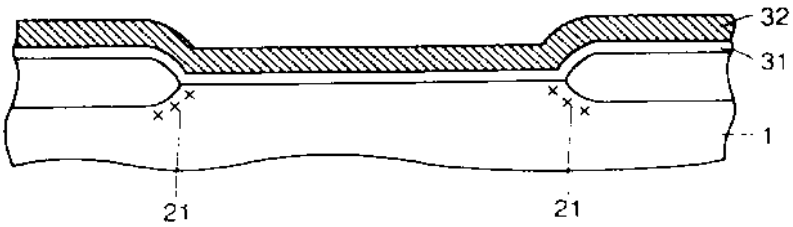
도면21



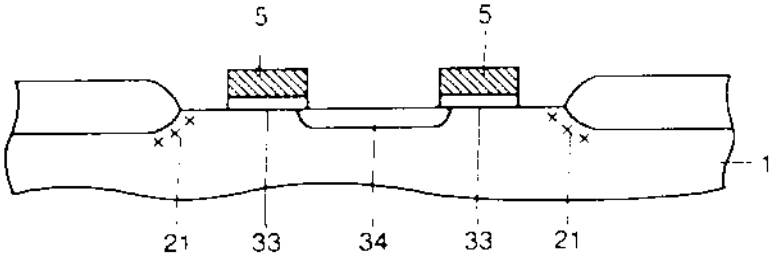
도면22



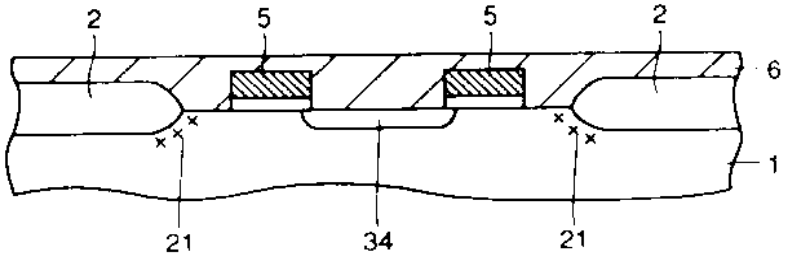
도면23



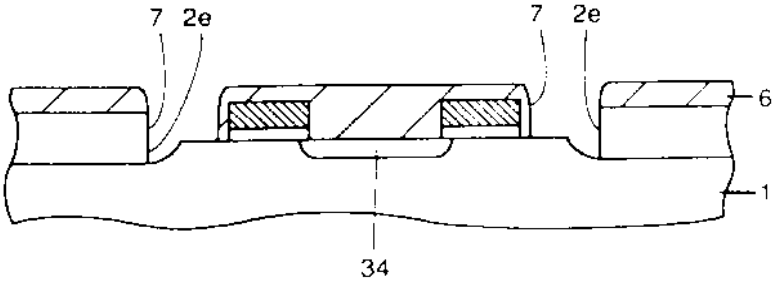
도면24



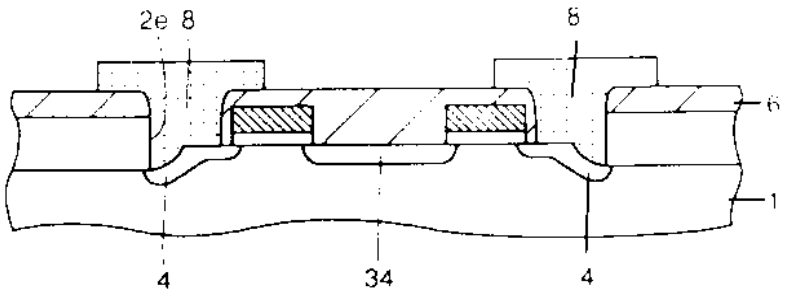
도면25



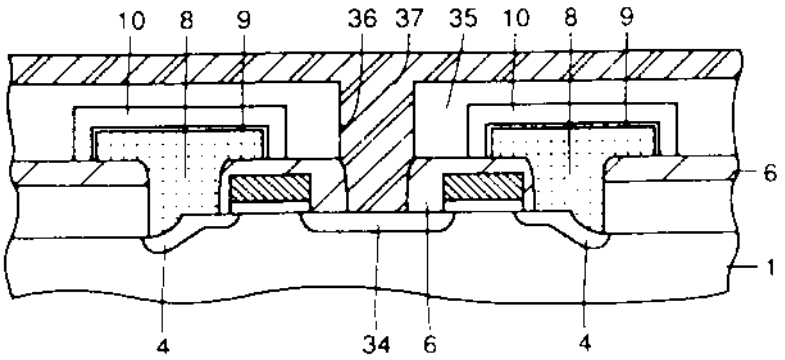
도면26



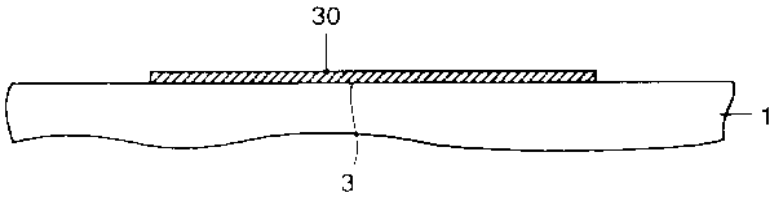
도면27



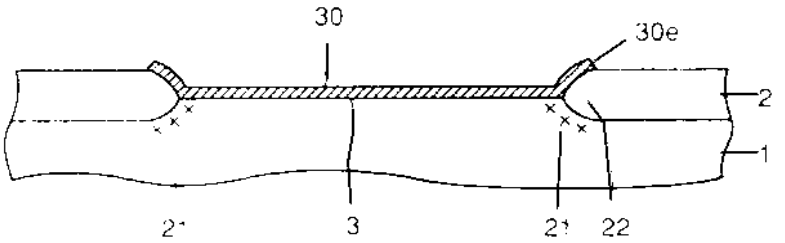
도면28



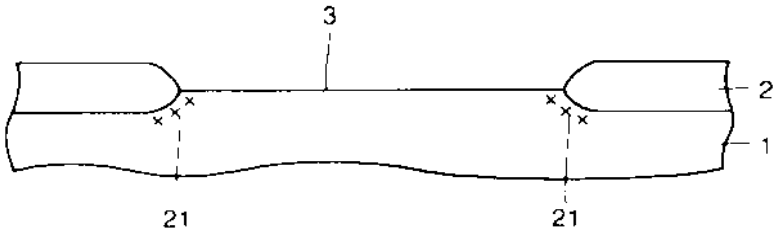
도면29



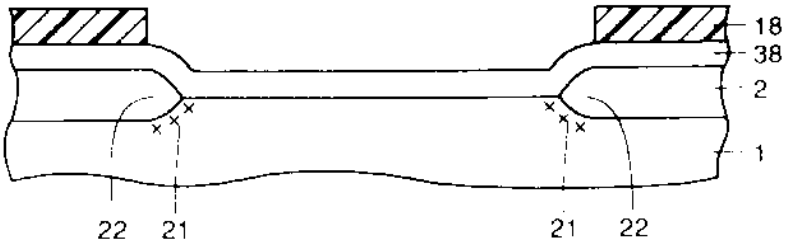
도면30



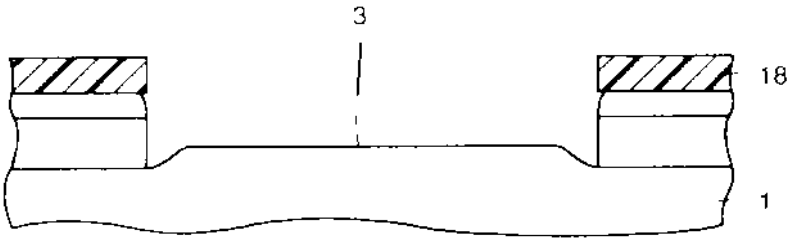
도면31



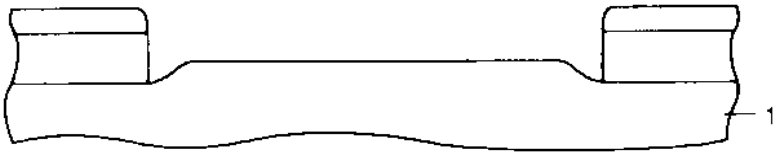
도면32



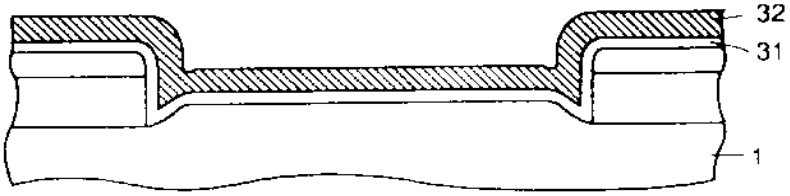
도면33



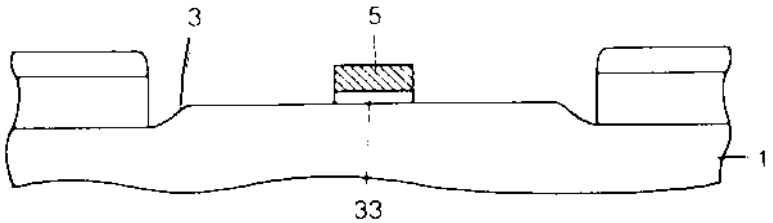
도면34



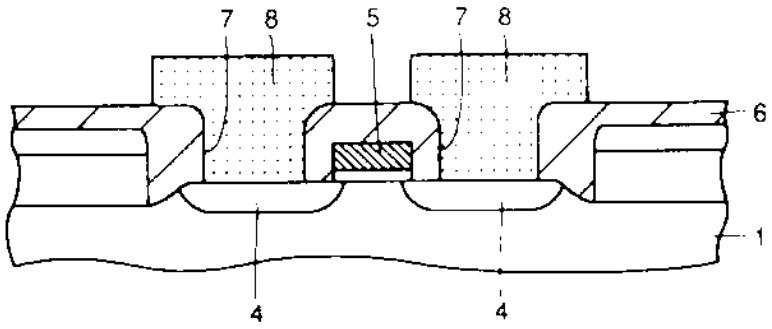
도면35



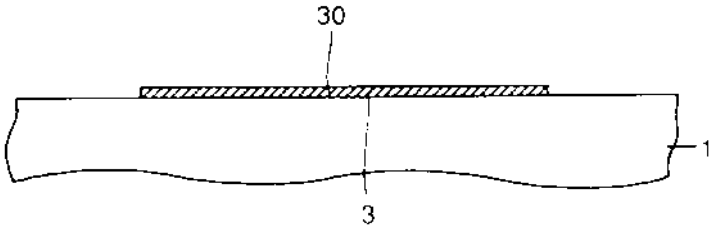
도면36



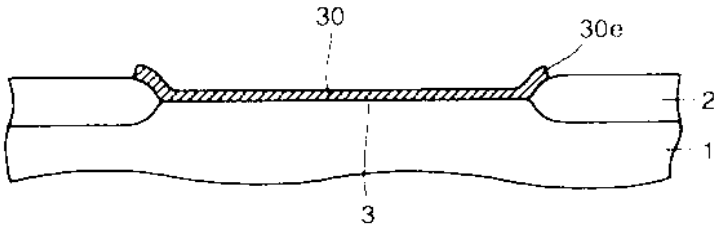
도면37



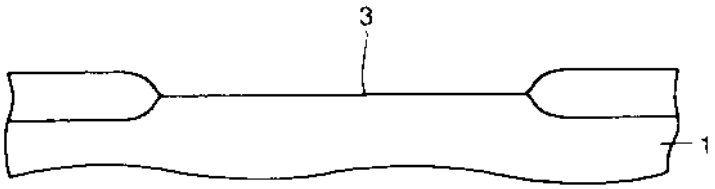
도면38



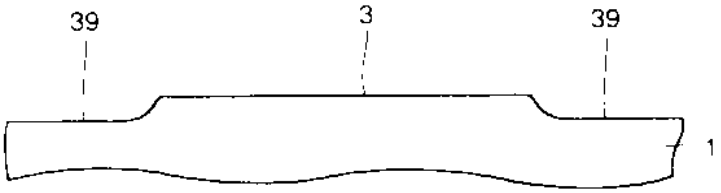
도면39



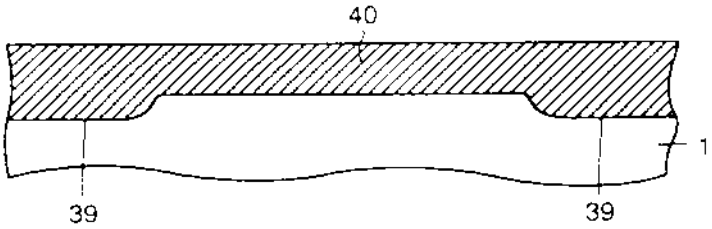
도면40



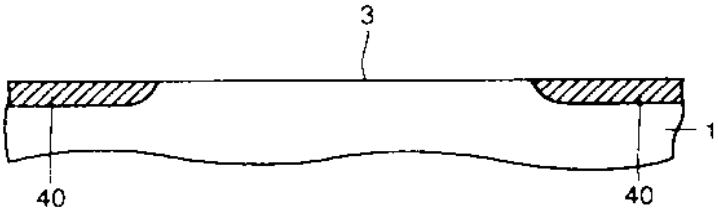
도면41



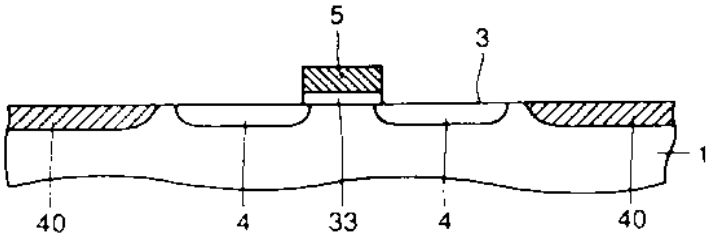
도면42



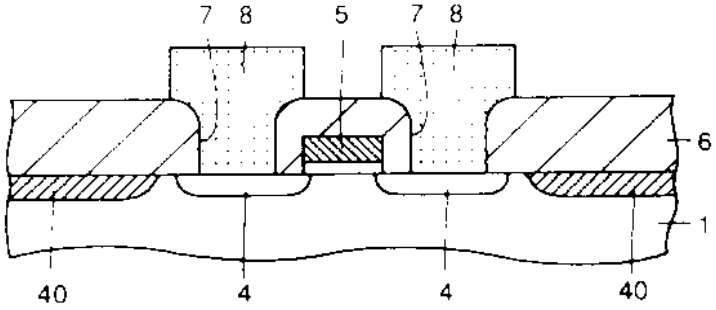
도면43



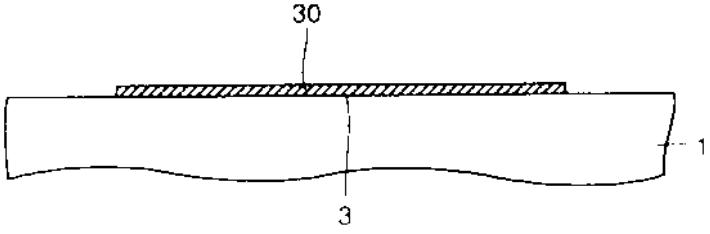
도면44



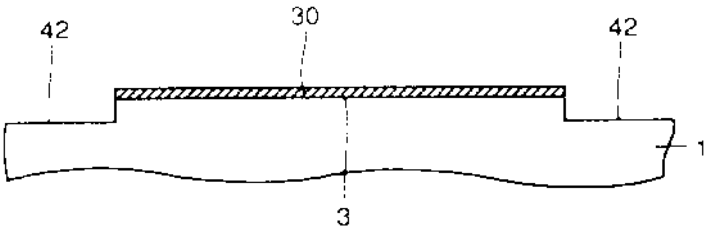
도면45



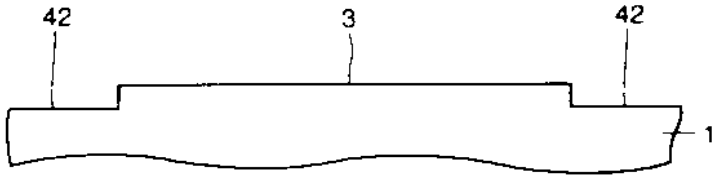
도면46



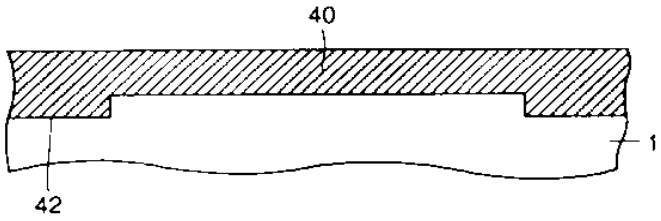
도면47



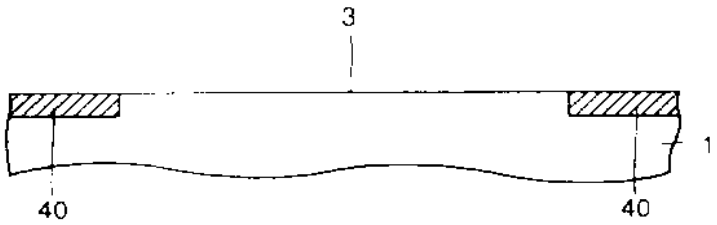
도면48



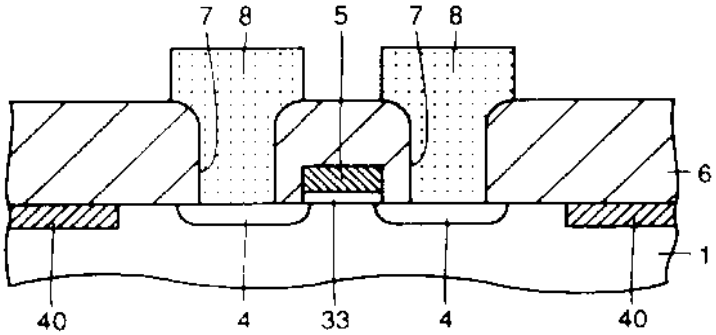
도면49



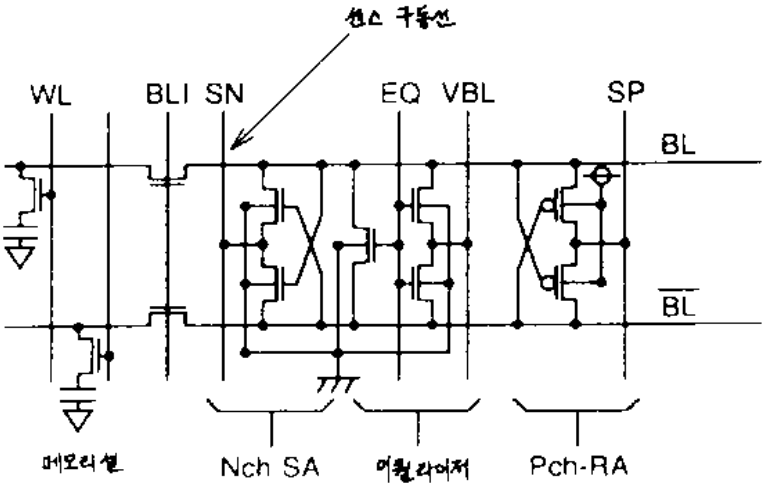
도면50



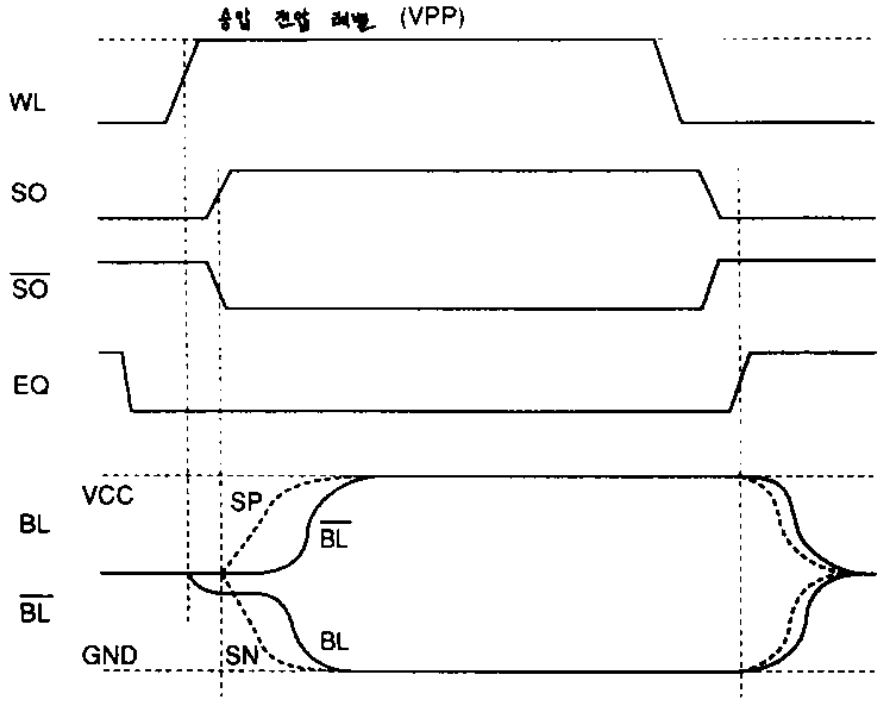
도면51



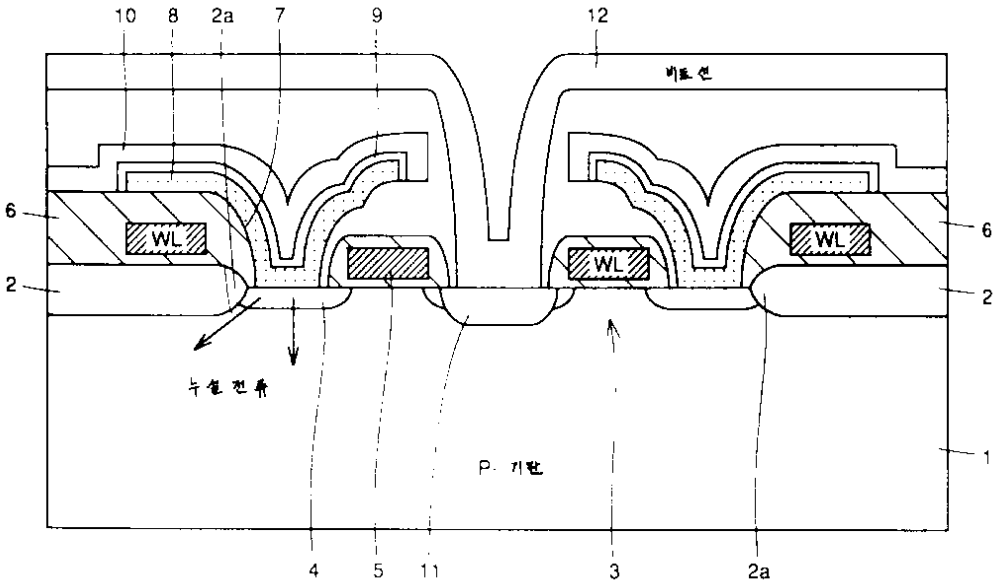
도면52


센스 구동선
WL
BLI
SN
EQ
VBL
SP
BL
$\overline{BL}$
메모리셀
Nch SA
이퀄라이저
Pch-RA

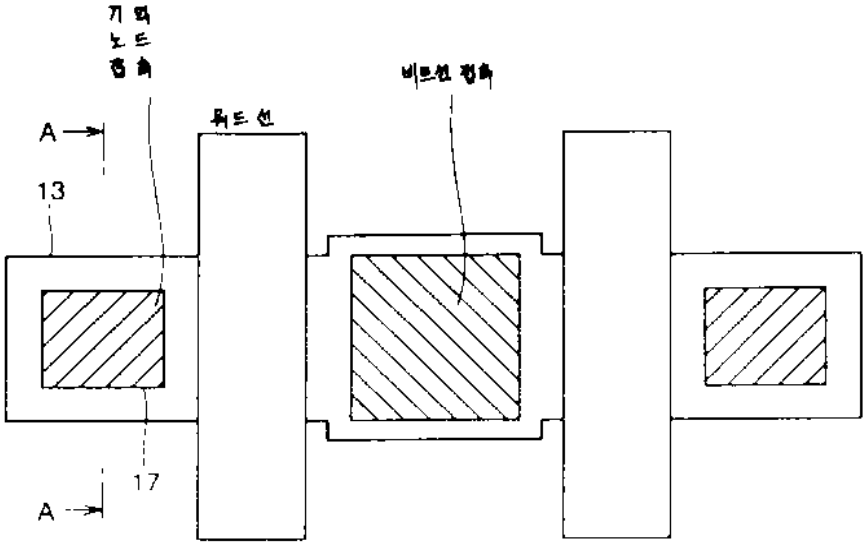
도면53


승압 전압 레벨 (VPP)
WL
SO
$\overline{SO}$
EQ
BL
$\overline{BL}$
VCC
GND
SP
$\overline{BL}$
BL
SN

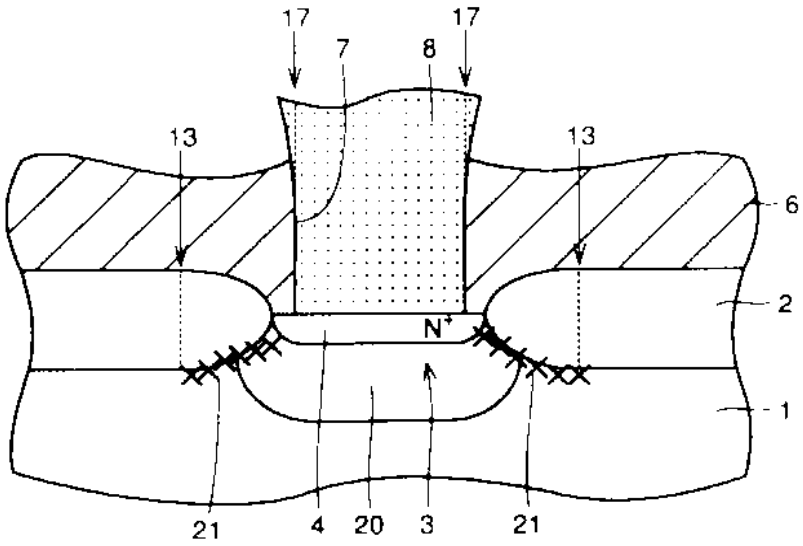
도면54


10
8
2a
7
9
12
비트선
6
WL
WL
WL
6
2
2
누설전류
P- 기판
1
4
5
11
3
2a

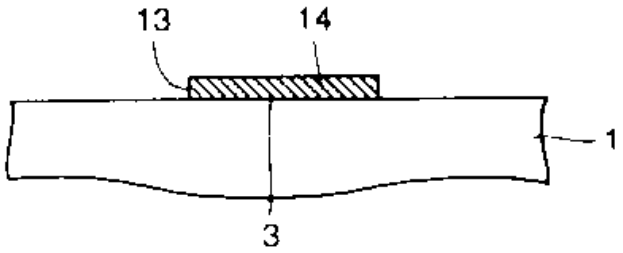
도면55


기억
노드
접촉
비트선 접촉
워드선
A
13
17
A

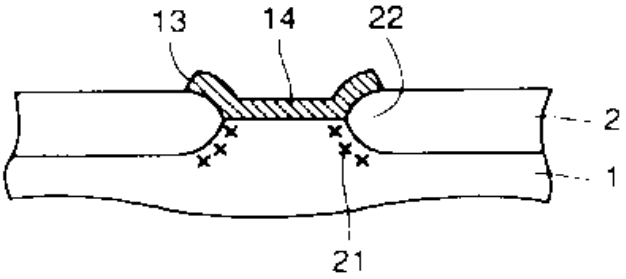
도면56



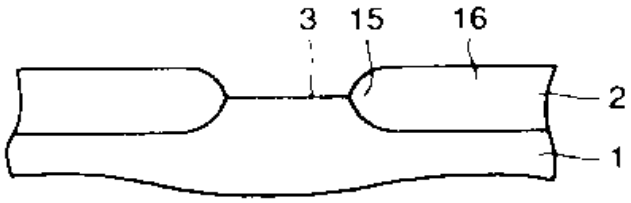
도면57a



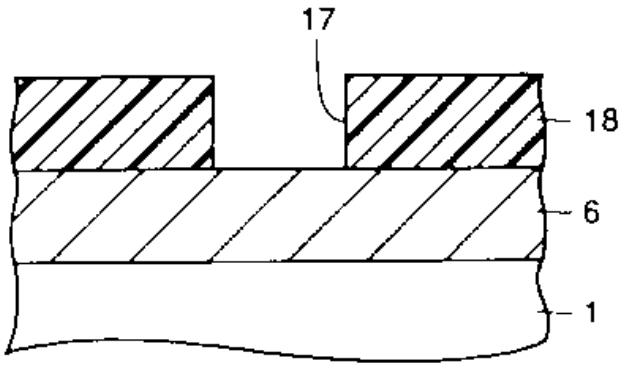
도면57b



도면57c



도면58a



도면58b

