



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0153446  
(43) 공개일자 2023년11월06일

- (51) 국제특허분류(Int. Cl.)  
H01L 23/00 (2006.01)
- (52) CPC특허분류  
H01L 24/08 (2013.01)  
H01L 24/05 (2013.01)
- (21) 출원번호 10-2023-7033687
- (22) 출원일자(국제) 2022년03월02일  
심사청구일자 없음
- (85) 번역문제출일자 2022년09월27일
- (86) 국제출원번호 PCT/US2022/018574
- (87) 국제공개번호 WO 2022/187402  
국제공개일자 2022년09월09일
- (30) 우선권주장  
63/156,290 2021년03월03일 미국(US)  
17/684,841 2022년03월02일 미국(US)
- (71) 출원인  
아테이아 반도체터 본딩 테크놀로지스 인코포레이티드  
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
- (72) 발명자  
미르카리미 로라 월스  
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
- 유조 사이프ريان 에메카  
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
- (74) 대리인  
유미특허법인

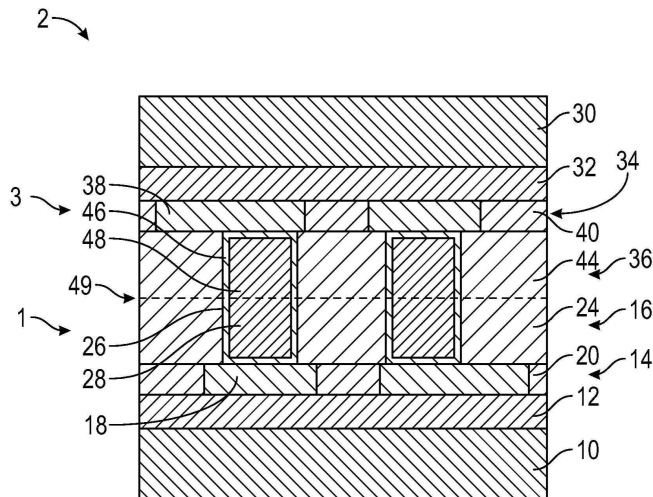
전체 청구항 수 : 총 80 항

(54) 발명의 명칭 직접 결합을 위한 접착 구조

(57) 요약

결합 구조가 개시된다. 이 결합 구조는, 제1 전도성 피처(feature) 및 제1 비전도성 영역을 갖는 제1 요소를 포함할 수 있다. 제1 전도성 피처는 500 nm 이하의 평균 입자 크기를 갖는 미립(fine grain) 금속을 포함할 수 있다. 본 결합 구조는, 제2 전도성 피처 및 제2 비전도성 영역을 갖는 제2 요소를 포함할 수 있다. 제1 전도성 피처는 개재 접착제 없이 제2 전도성 피처에 직접 결합되고, 제2 비전도성 영역은 개재 접착제 없이 제2 비전도성 영역에 직접 결합된다.

대표도 - 도2



(52) CPC특허분류

**H01L 24/80** (2013.01)

H01L 2224/0346 (2013.01)

H01L 2224/03462 (2013.01)

H01L 2224/05541 (2013.01)

H01L 2224/05547 (2013.01)

H01L 2224/05569 (2013.01)

H01L 2224/05999 (2013.01)

H01L 2224/08121 (2013.01)

H01L 2224/08145 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

결합 구조(bonded structure)로서,

제1 전도성 피처(feature) 및 제1 비전도성 영역을 갖는 제1 요소 - 상기 제1 전도성 피처는 500 nm 이하의 평균 입자 크기를 갖는 미립(fine grain) 금속을 포함함 -; 및

제2 전도성 피처 및 제2 비전도성 영역을 갖는 제2 요소

를 포함하고,

상기 제1 전도성 피처는 접착제의 개재 없이 상기 제2 전도성 피처에 직접 결합되고, 상기 제2 비전도성 영역은 접착제의 개재 없이 상기 제2 비전도성 영역에 직접 결합되는, 결합 구조.

#### 청구항 2

제1항에 있어서,

상기 제1 전도성 피처는 구리를 포함하는, 결합 구조.

#### 청구항 3

제1항에 있어서,

상기 제1 전도성 피처의 입자는 500 nm 미만의 최대 입자 크기를 갖는, 결합 구조.

#### 청구항 4

제3항에 있어서,

상기 제1 전도성 피처의 입자는 350 nm 미만의 최대 입자 크기를 갖는, 결합 구조.

#### 청구항 5

제4항에 있어서,

상기 제1 전도성 피처의 입자는 50 nm 미만의 최대 입자 크기를 갖는, 결합 구조.

#### 청구항 6

제1항에 있어서,

상기 제2 전도성 피처의 입자의 평균 입자 크기가 500 nm 이하인, 결합 구조.

#### 청구항 7

제1항에 있어서,

상기 제2 전도성 피처는 조립(coarse grain) 금속을 포함하는, 결합 구조.

#### 청구항 8

제 7항에 있어서,

상기 제2 전도성 피처의 입자의 평균 입자 크기가 1 미크론을 초과하는, 결합 구조.

#### 청구항 9

제1항에 있어서,

상기 제1 전도성 피체의 미립 금속의 평균 입자 크기는 350 nm 이하인, 결합 구조.

**청구항 10**

제9항에 있어서,

상기 제1 전도성 피체의 미립 금속의 평균 입자 크기는 10 nm 내지 300 nm 범위인, 결합 구조.

**청구항 11**

제 1항에 있어서,

상기 제1 전도성 피체의 입자의 95% 초과가 10% 미만의 입자 크기 변화를 갖는, 결합 구조.

**청구항 12**

제 1항에 있어서,

상기 제1 요소는 전도성 부분을 갖는 금속화 층을 더 포함하는, 결합 구조.

**청구항 13**

제 12항에 있어서,

상기 금속화 층의 전도성 부분은 1 $\mu$ m 내지 2 $\mu$ m 범위의 평균 입자 크기를 갖는 금속을 포함하는, 결합 구조.

**청구항 14**

제 1항에 있어서,

상기 제1 전도성 피체의 미립 금속은 불활성 재료의 나노입자를 포함하는, 결합 구조.

**청구항 15**

제 14항에 있어서,

상기 나노입자의 농도는 상기 제1 전도성 피체의 1% 미만인, 결합 구조.

**청구항 16**

제 15항에 있어서,

상기 나노입자의 농도는 상기 제1 전도성 피체의 0.1% 미만인, 결합 구조.

**청구항 17**

제 14항에 있어서,

상기 나노입자는 산화규소, 알루미늄 및 산화티타늄 중 하나 이상을 포함하는, 결합 구조.

**청구항 18**

제 1항에 있어서,

상기 미립 금속은 구성 요소를 포함하는, 결합 구조.

**청구항 19**

결합 구조로서,

제1 전도성 피체 및 제1 비전도성 영역을 갖는 제1 요소 - 상기 제1 전도성 피체는 구성 요소를 갖는 미립 금속을 포함함 -; 및

제2 전도성 피체 및 제2 비전도성 영역을 갖는 제2 요소

를 포함하고,

상기 제1 전도성 피쳐는 접착제의 개재 없이 상기 제2 전도성 피쳐에 직접 결합되고, 상기 제2 비전도성 영역은 접착제의 개재 없이 상기 제2 비전도성 영역에 직접 결합되는, 결합 구조.

**청구항 20**

제19항에 있어서,

상기 구성 요소는 붕소, 인듐, 인, 갈륨, 니켈, 코발트, 주석, 망간, 티타늄, 바나듐 및 셀레늄 중 적어도 하나를 포함하는, 결합 구조.

**청구항 21**

제19항에 있어서,

상기 제1 전도성 피쳐는 500 nm 이하의 평균 입자 크기를 갖는 미립 금속을 포함하는, 결합 구조.

**청구항 22**

제21항에 있어서,

상기 제1 전도성 피쳐의 미립 금속의 평균 입자 크기는 10 nm 내지 300 nm 범위인, 결합 구조.

**청구항 23**

인터커넥트 구조로서,

결합 표면을 가지며, 전도성 피쳐 및 비전도성 영역을 갖는 요소를 포함하고,

상기 전도성 피쳐는 상기 비전도성 영역에 적어도 부분적으로 매립되고, 전도성 피쳐는 바닥 부분 및 이 바닥 부분 위에 배치되는 정상 부분을 포함하고, 정상 부분은 상기 요소의 결합 표면에 더 가깝게 위치되며, 정상 부분은 상기 바닥 부분의 평균 입자 크기 보다 작은 평균 입자 크기를 가지며,

상기 정상 부분의 평균 입자 크기는 500 nm 이하인, 인터커넥트 구조.

**청구항 24**

제23항의 인터커넥트 구조와 제2 요소를 포함하는 결합 구조.

**청구항 25**

방법으로서,

반도체 요소의 비전도성 층에 공동부를 제공하는 단계;

500 nm 미만의 평균 입자 크기를 갖는 미립 구조를 갖는 전도성 접촉 구조를 상기 공동부에 제공하는 단계; 및

직접 결합을 위해 상기 비전도성 층과 전도성 접촉 구조를 준비하는 단계

를 포함하는 방법.

**청구항 26**

제25항에 있어서,

상기 전도성 접촉 구조는 구리를 포함하는, 방법.

**청구항 27**

제 25항에 있어서,

상기 평균 입자 크기는 350 nm 미만인, 방법.

**청구항 28**

제 27항에 있어서,

상기 평균 입자 크기는 10 nm 내지 300 nm 범위인, 방법.

**청구항 29**

제 25항에 있어서,

상기 전도성 접촉 구조를 제공하는 단계는, 0.5% 미만의 첨가제를 갖는 구리 전기도금 욕(bath)을 제공하고 상기 전도성 접촉 구조를 상기 공동부 안으로 전기도금하는 것을 포함하는, 방법.

**청구항 30**

제 29항에 있어서,

상기 첨가제는 붕소, 인듐, 인, 갈륨, 니켈, 코발트, 주석, 망간, 티타늄, 바나듐 및 셀레늄 중 하나 이상을 포함하는, 방법.

**청구항 31**

제 25항에 있어서,

상기 전도성 접촉 구조를 제공하는 단계는, 전기적으로 비활성인 나노입자를 갖는 구리 전기도금 욕을 제공하는 것을 포함하는, 방법.

**청구항 32**

제 31항에 있어서,

상기 전기적으로 비활성인 나노입자는 산화규소, 알루미늄나 및 산화티타늄 중 하나 이상을 포함하는, 방법.

**청구항 33**

제 32항에 있어서,

상기 나노입자의 농도가 1 부피% 미만인, 방법.

**청구항 34**

제33항에 있어서,

상기 나노입자의 농도는 0.1 부피% 미만인, 방법.

**청구항 35**

제 25항에 있어서,

실온 및 120°C 미만의 온도에서 상기 전도성 접촉 구조의 금속 입자 회복이 억제되는, 방법.

**청구항 36**

제 25항에 있어서,

상기 전도성 접촉 구조를 제공하는 단계는 30°C 미만의 온도에서 상기 공동부를 전기도금하는 것을 포함하는, 방법.

**청구항 37**

제 36항에 있어서,

5°C 내지 15°C 범위의 온도에서 상기 공동부를 전기도금하는 단계를 더 포함하는, 방법.

**청구항 38**

제 37항에 있어서,

상기 비전도성 층 및 전도성 접촉 구조를 5°C 내지 15°C의 온도에서 화학 기계적으로 연마하는 단계를 더 포함

하는, 방법.

**청구항 39**

제 25항에 있어서,

접착제의 개재 없이 상기 반도체 요소의 비전도성 층을 제2 반도체 요소의 제2 비전도성 층에 직접 결합하는 단계를 더 포함하는, 방법.

**청구항 40**

제 39항에 있어서,

상기 전도성 접촉 구조가 상기 제2 반도체 요소의 제2 전도성 접촉 구조와 접촉하도록 상기 반도체 요소와 상기 제2 반도체 요소를 어닐링하는 단계를 더 포함하는, 방법.

**청구항 41**

제 40항에 있어서,

상기 어닐링은 300℃ 미만의 온도에서 수행되는, 방법.

**청구항 42**

제 41항에 있어서,

상기 어닐링은 250℃ 미만의 온도에서 수행되는, 방법.

**청구항 43**

제 25항에 있어서,

상기 전도성 접촉 구조를 제공하는 단계는, 0.1 mA/cm<sup>2</sup> 내지 70 mA/cm<sup>2</sup> 범위의 전류 밀도를 사용하여 상기 공동부를 전기도금하는 것을 포함하는, 방법.

**청구항 44**

제 25항에 있어서,

상기 전도성 접촉 구조를 제공하는 단계는, 0.1M 내지 0.4M의 구리 이온과 0.1M 내지 1M의 산을 갖는 전기도금욕을 제공하는 것을 포함하는, 방법.

**청구항 45**

제 24항에 있어서,

상기 비전도성 층을 제공하는 단계는, 집적 회로 장치 위에서의 증착을 포함하고, 미립 구조를 갖는 전도성 접촉 구조로 공동부를 채우기 전에 그 공동부의 적어도 측벽을 장벽 층으로 라이닝하는 단계를 더 포함하는, 방법.

**청구항 46**

방법으로서,

반도체 요소의 비전도성 층에 공동부를 제공하는 단계;

미립 구조를 갖는 전도성 접촉 구조를 상기 공동부에 제공하는 단계; 및

직접 결합을 위해 상기 비전도성 층과 전도성 접촉 구조를 준비하는 단계를 포함하는, 방법.

**청구항 47**

제46항에 있어서,  
상기 전도성 접촉 구조는 구리를 포함하는, 방법.

**청구항 48**

제 46항에 있어서,  
상기 전도성 접촉 구조의 입자의 대부분이 500 nm 이하의 크기를 갖는, 방법.

**청구항 49**

제 48항에 있어서,  
상기 입자의 대부분은 350 nm 이하의 크기를 갖는, 방법.

**청구항 50**

제49항에 있어서,  
상기 입자의 대부분은 10 nm 내지 300 nm 범위의 크기를 갖는, 방법.

**청구항 51**

제 46항에 있어서,  
상기 전도성 접촉 구조의 입자의 평균 입자 크기가 500nm 이하인, 방법

**청구항 52**

제51항에 있어서,  
상기 평균 입자 크기가 350 nm 이하인, 방법.

**청구항 53**

제 52항에 있어서,  
상기 평균 입자 크기는 10 nm 내지 300 nm 범위인, 방법.

**청구항 54**

제 46항에 있어서,  
상기 전도성 접촉 구조를 제공하는 단계는, 0.5% 미만의 첨가제를 갖는 구리 전기도금 욕을 제공하고 상기 전도성 접촉 구조를 상기 공동부 안으로 전기도금하는 것을 포함하는, 방법.

**청구항 55**

제 54항에 있어서,  
상기 구리 전기도금 욕은 0.1% 미만의 첨가제를 갖는, 방법.

**청구항 56**

제 55항에 있어서,  
상기 첨가제는 붕소, 인듐, 인, 갈륨, 니켈, 코발트, 주석, 망간, 티타늄, 바나듐 및 셀레늄 중 하나 이상을 포함하는, 방법.

**청구항 57**

제 46항에 있어서,  
상기 전도성 접촉 구조를 제공하는 단계는 전기적으로 비활성인 나노입자를 갖는 구리 전기도금 욕을 제공하는

것을 포함하는, 방법.

**청구항 58**

제 57항에 있어서,

상기 전기적으로 비활성인 나노입자는 산화규소, 알루미늄 및 산화티타늄 중 하나 이상을 포함하는, 방법.

**청구항 59**

제 58항에 있어서,

상기 나노입자의 농도는 1 부피% 미만인, 방법.

**청구항 60**

제 59항에 있어서,

상기 나노입자의 농도는 0.1 부피% 미만인, 방법.

**청구항 61**

제46항에 있어서,

실온 및 120℃ 미만의 온도에서 상기 전도성 접촉 구조의 금속 입자 회복이 억제되는, 방법.

**청구항 62**

제 46항에 있어서,

상기 전도성 접촉 구조를 제공하는 단계는 30℃ 미만의 온도에서 상기 공동부를 전기도금하는 것을 포함하는, 방법.

**청구항 63**

제62항에 있어서,

5℃ 내지 15℃ 범위의 온도에서 상기 공동부를 전기도금하는 단계를 더 포함하는, 방법.

**청구항 64**

제 63항에 있어서,

상기 비전도성 층 및 전도성 접촉 구조를 5℃ 내지 15℃ 범위의 온도에서 화학 기계적으로 연마하는 단계를 더 포함하는, 방법.

**청구항 65**

제 46항에 있어서,

접착제의 개재 없이 상기 반도체 요소의 비전도성 층을 제2 반도체 요소의 제2 비전도성 층에 직접 결합하는 단계를 더 포함하는, 방법.

**청구항 66**

제 65항에 있어서,

상기 전도성 접촉 구조가 상기 제2 반도체 요소의 제2 전도성 접촉 구조와 접촉하도록 상기 반도체 요소와 제2 반도체 요소를 어닐링하는 단계를 더 포함하는, 방법.

**청구항 67**

제 66항에 있어서,

상기 어닐링은 300℃ 미만의 온도에서 수행되는, 방법.

**청구항 68**

제 67항에 있어서,  
상기 어닐링은 250℃ 미만의 온도에서 수행되는, 방법.

**청구항 69**

제 46항에 있어서,  
상기 전도성 접촉 구조를 제공하는 단계는, 0.1 mA/cm<sup>2</sup> 내지 70 mA/cm<sup>2</sup> 범위의 전류 밀도를 사용하여 공동부를 전기도금하는 것을 포함하는, 방법.

**청구항 70**

제 69항에 있어서,  
상기 전류 밀도는 40 mA/cm<sup>2</sup> 내지 70 mA/cm<sup>2</sup> 범위인, 방법.

**청구항 71**

제 46항에 있어서,  
상기 전도성 접촉 구조를 제공하는 단계는, 0.1M 내지 0.4M의 구리 이온과 0.1M 내지 1M의 산을 갖는 전기도금 용을 제공하는 것을 포함하는, 방법.

**청구항 72**

제71항에 있어서,  
상기 전기도금 용은 30ppm 내지 70ppm 범위의 할로겐화물 이온을 갖는, 방법.

**청구항 73**

제 46항에 있어서,  
상기 비전도성 층을 제공하는 단계는, 집적 회로 장치 위에서의 증착을 포함하고, 미립 구조를 갖는 전도성 접촉 구조로 공동부를 채우기 전에 그 공동부의 적어도 측벽을 장벽 층으로 라이닝하는 단계를 더 포함하는, 방법.

**청구항 74**

제 73항에 있어서,  
상기 비전도성 층을 제공하는 단계는 상기 집적 회로 장치 위의 재분배 층 상에서의 증착을 포함하는, 방법.

**청구항 75**

결합 구조로서,  
제1 전도성 피처 및 제1 비전도성 영역을 갖는 제1 요소; 및  
제2 전도성 피처 및 제2 비전도성 영역을 갖는 제2 요소  
를 포함하며,  
상기 제1 전도성 피처는 접착제의 개재 없이 상기 제2 전도성 피처에 직접 결합되어 결합 계면을 형성하고, 이 결합 계면에서의 입자 수는 40개 입자 보다 크고, 상기 제2 비전도성 영역은 접착제의 개재 없이 제2 비전도성 영역에 직접 결합되는, 결합 구조.

**청구항 76**

제75항에 있어서,

상기 제1 전도성 피쳐는 500 nm 이하의 평균 입자 크기를 갖는 미립 금속을 포함하는, 결합 구조.

**청구항 77**

제75항에 있어서,

상기 제1 전도성 피쳐는 약 0.01 $\mu\text{m}$  내지 25 $\mu\text{m}$  범위의 최대 횡방향 치수를 갖는, 결합 구조.

**청구항 78**

제77항에 있어서,

상기 제1 전도성 피쳐는 1 $\mu\text{m}$  미만의 최대 횡방향 치수를 갖는, 결합 구조.

**청구항 79**

제75항에 있어서,

상기 결합 계면의 전체 면적은 약 100 $\mu\text{m}^2$  보다 작은, 결합 구조.

**청구항 80**

제79항에 있어서,

상기 결합 계면의 전체 면적은 약 2 $\mu\text{m}^2$  보다 작은, 결합 구조.

**발명의 설명**

**기술 분야**

[0001] 본 출원은 2021년 3월 3일에 "CONTACT STRUCTURE FOR DIRECT BONDING" 이라는 발명의 명칭으로 출원된 미국 가 특허 출원 제63/156,290호에 대한 우선권을 주장하며, 그 각각의 전체 내용은 본 명세서에 참조로 포함된다.

[0002] 본 분야는 직접 결합을 위한 접촉 구조에 관한 것이다.

**배경 기술**

[0003] 반도체 웨이퍼와 같은 반도체 요소는 접촉제 없이 적층되어 서로 직접 결합될 수 있다. 예를 들어, 일부 하이브리드 직접 결합 구조에서는, 요소의 비전도성 필드 영역이 서로 직접 결합될 수 있고, 대응하는 전도성 접촉 구조가 서로 직접 결합될 수 있다. 일부 적용례에서, 서로 대향하는 접촉 패드 사이에 신뢰성 있는 전기적 연결을 이루는 것이 어려울 수 있다. 따라서, 직접 결합을 위한 개선된 접촉 구조에 대한 지속적인 요구가 남아 있다.

**도면의 간단한 설명**

[0004] 이제, 제한이 아닌 예로서 제공된 다음의 도면을 참조하여 특정 구현예들을 설명할 것이다.

도 1a는 제1 요소를 형성할 때 중간 단계에 있는 구조의 개략적인 측단면도이다.

도 1b는 결합 전의 제1 요소의 개략적인 측단면도이다.

도 2는 제1 요소와 제2 요소를 포함하는 결합 구조의 개략적인 측단면도이다.

도 3은 조립(coarse grain) 구리의 입자를 보여주는 조립 구리의 개략적인 평면도이다.

도 4는 일 실시예에 따른, 미립(fine grain) 구리의 입자를 보여주는 개략적인 평면도이다.

도 5는 미립 구리 패드와 종래의 구리 패드의 온도와 평균 저항 사이의 관계를 보여주는 그래프이다.

도 6a는 결합 구조의 개략적인 측단면도이다.

도 6b는 일 실시예에 따른 결합 구조의 개략적인 측단면도이다.

도 6c는 다른 실시예에 따른 결합 구조의 개략적인 측단면도이다.

도 6d는 다른 실시예에 따른 결합 구조의 개략적인 측면면도이다.

도 7a는 종래의 또는 조립 구리 패드의 하향식 전자 후방 산란 회절(EBSD) 이미지이다.

도 7b는 나노-쌍정(nano-twin) 구리 패드의 하향식 EBSD 이미지이다.

도 7c는 일 실시예에 따른 미립 구리 패드의 하향식 EBSD 이미지이다.

**발명을 실시하기 위한 구체적인 내용**

[0005] 본 개시 내용은 가공된(engineered) 금속 입자 구조를 사용하여 전자 요소에서 전도성 패드를 직접 결합하는 방법을 설명한다. 이러한 입자 가공은 직접 하이브리드 결합과 같은 직접 금속 결합에 유리할 수 있다. 예를 들어, 2개 이상의 반도체 요소(집적 디바이스 다이, 웨이퍼 등과 같은)가 서로 적층되거나 결합되어 결합 구조를 형성할 수 있다. 한 요소의 전도성 접촉 패드는 다른 요소의 대응하는 전도성 접촉 패드에 전기적으로 연결될 수 있다. 적절한 수의 요소가 결합 구조에 적층될 수 있다. 여기서 설명되는 방법과 결합 패드 구조는 다른 상황에서도 유용할 수 있다.

[0006] 일부 실시예에서, 요소들은 접착제 없이 서로 직접 결합된다. 다양한 실시예에서, 제1 요소의 비전도성(예를 들어, 반도체 또는 무기 유전체) 재료는 접착제 없이 제2 요소의 대응하는 비전도성(예를 들어, 반도체 또는 무기 유전체) 필드 영역에 직접 결합될 수 있다. 다양한 실시예에서, 제1 요소의 전도성 영역(예를 들어, 금속 패드 또는 접촉 구조)은 접착제 없이 제2 요소의 대응하는 전도성 영역(예컨대, 금속 패드 또는 접촉 구조)에 직접 결합될 수 있다. 비전도성 재료는 제1 요소의 비전도성 결합 영역 또는 결합 층으로 지칭될 수 있다. 일부 실시예에서, 제1 요소의 비전도성 재료는, 적어도 미국 특허 제9,564,414호; 제9,391,143호; 및 제10,434,749호(각각의 전체 내용은 모든 목적을 위해 여기에 전체적으로 참조로 포함됨)에 개시된 직접 결합 기술을 사용하여 접착제 없이 결합 기술을 사용하여 제2 요소의 대응하는 비전도성 재료에 직접 결합될 수 있다. 하이브리드 결합의 추가 예는 US 11,056,390에서 찾을 수 있으며, 이의 전체 내용은 모든 목적을 위해 여기에 참조로 포함된다. 다른 적용례에서, 결합 구조에서, 제1 요소의 비전도성 재료는 제2 요소의 전도성 재료에 직접 결합될 수 있어, 제1 요소의 전도성 재료는 제2 요소의 비전도성 재료와 밀접하게 결합된다. 직접 결합에 적합한 유전체 결합 표면 또는 재료는 산화규소, 질화규소 또는 산질화규소와 같은 무기 유전체를 포함하지만 이에 제한되지 않으며, 탄화규소, 산탄질화규소, 저-κ 유전성 재료, SiCOH, 탄질화규소 또는 다이아몬드형 탄소 또는 다이아몬드 표면을 포함하는 재료와 같은 탄소를 포함할 수 있다. 이러한 탄소 함유 세라믹 재료는 탄소가 포함되어 있음에도 불구하고 무기물로 간주될 수 있다.

[0007] 다양한 실시예에서, 개재 접착제 없이 직접 결합이 형성될 수 있다. 예를 들어, 반도체 또는 유전체 결합 표면이 높은 평탄도로 연마될 수 있다. 결합 표면을 활성화시키기 위해 이 결합 표면은 청결화되고 플라즈마 및/또는 에칭제에 노출될 수 있다. 일부 실시예에서, 표면은 활성화 후 또는 활성화 동안(예를 들어, 플라즈마 및/또는 에칭 공정 동안) 어떤 종(species)으로 종결될 수 있다. 이론에 의해 제한되지 않고, 일부 실시예에서, 활성화 공정은 결합 표면에서 화학 결합을 끊기 위해 수행될 수 있고, 종결 공정은, 직접 결합 동안 결합 에너지를 개선하는 추가적인 화학 종을 결합 표면에 제공할 수 있다. 일부 실시예에서, 활성화 및 종결은 동일한 단계(예를 들어, 플라즈마 또는 습식 에칭제)에 제공되어 표면을 활성화 및 종결한다. 다른 실시예에서, 결합 표면은 직접 결합을 위한 추가적인 종을 제공하기 위해 별도의 처리에서 종결될 수 있다. 다양한 실시예에서, 종결 종은 질소를 포함할 수 있다. 또한, 일부 실시예에서, 결합 표면은 불소에 노출될 수 있다. 예를 들어, 층 및/또는 결합 계면, 특히 유전체 결합 계면 근처에 하나 또는 다수의 불소 피크가 있을 수 있다. 따라서, 직접 결합 구조에서, 2개의 비전도성 재료 사이의 결합 계면은 결합 계면에서 더 높은 질소 함량 및/또는 불소 피크를 갖는 매우 매끄러운 계면을 포함할 수 있다. 활성화 및/또는 종결 처리의 추가 예는 미국 특허 제9,564,414호, 제9,391,143호 및 제10,434,749호(각각의 전체 내용은 모든 목적을 위해 전체적으로 여기에 참조로 포함됨) 전체에서 찾을 수 있다.

[0008] 다양한 실시예에서, 제1 요소의 전도성 접촉 패드는 또한 제2 요소의 대응하는 전도성 접촉 패드에 직접 결합될 수 있다. 예를 들어, 위에서 설명된 바와 같이 준비되는 공유적으로 직접 결합된 유전체-유전체 표면을 포함하는 결합 계면을 따라 도체-도체 직접 결합을 제공하기 위해 직접 하이브리드 결합 기술이 사용될 수 있다. 다양한 실시예에서, 도체-도체(예컨대, 접촉 패드-접촉 패드) 직접 결합 및 유전체-유전체 하이브리드 결합은 적어도 미국 특허 제9,716,033호 및 제9,852,988호에 개시된 직접 결합 기술을 사용하여 형성될 수 있고, 이들 미국 특허들의 전체 내용은 모든 목적을 위해 전체적으로 본원에 참조로 포함된다. 여기서 설명되는 결합 구조는 비전도성 영역 결합이 없는 직접 금속 결합이나 다른 결합 기술에도 유용할 수 있다.

[0009] 일부 실시예에서, 전술한 바와 같이 무기 유전체 결합 표면이 준비되고 개재 접착제 없이 서로 직접 결합될 수 있다. 전도성 접촉 패드(비전도성 유전체 필드 영역으로 둘러싸여 있을 수 있음)도 개재 접착제 없이 서로 직접 결합될 수 있다. 일부 실시예에서, 각각의 접촉 패드는 유전체 필드 또는 비전도성 결합 영역의 외부(예컨대, 상측) 표면 아래로 오목하게 될 수 있는데, 예를 들어 30nm 미만, 20nm 미만, 15nm 미만 또는 10 nm 미만으로 오목하게 될 수 있으며, 예를 들어 2 nm 내지 20 nm 범위, 또는 4 nm 내지 10 nm 범위로 오목하게 될 수 있다. 유전성 재료의 열팽창 계수(CTE)는 예를 들어 0.1 ppm/°C 내지 5 ppm/°C일 수 있고, 전도성 재료의 CTE는 6 ppm/°C 내지 40 ppm/°C 또는 8 ppm/°C 내지 30ppm/°C일 수 있다. 유전성 재료의 CTE 및 전도성 재료의 CTE의 차이로 인해, 후속 열처리 작업에서 전도성 재료가 횡방향으로 팽창하는 것이 억제된다. 일부 실시예에서 비전도성 결합 영역은 실온에서 접착제 없이 서로 직접 결합될 수 있으며, 이어서 결합 구조가 어닐링(annealing)될 수 있다. 어닐링시에, 접촉 패드는 비전도성 결합 영역에 대해 팽창되고 서로 접촉하여 금속-금속 직접 결합을 형성할 수 있다. 유익하게도, 캘리포니아 산호세의 Xperi로부터 상업적으로 이용 가능한 Direct Bond Interconnect(DBI®)와 같은 하이브리드 결합 기술을 사용하면, 직접 결합 계면을 가로질러 연결되는 고밀도 패드(예컨대, 보통의 어레이에 대해 위한 작은 또는 미세한 피치)가 얻어질 수 있다. 다양한 실시예에서, 전도성 피쳐(예를 들어, 접촉 패드)는 구리를 포함할 수 있지만, 다른 금속도 적합할 수 있다. 따라서, 본 개시에서 전도성 피쳐의 재료로서 구리가 사용되는 경우, 구리는 전도성 피쳐의 재료의 일 예이며, 다른 적절한 금속이 구현될 수 있다.

[0010] 따라서, 직접 결합 공정에서, 제1 요소는 개재 접착제 없이 제2 요소에 직접 결합될 수 있다. 일부 배치에서, 제1 요소는 싱글레이팅된(singulated) 집적 디바이스 다이와 같은 싱글레이팅된 요소를 포함할 수 있다. 다른 배치에서, 제1 요소는, 싱글레이팅될 때 복수의 집적 디바이스 다이를 형성하는 복수(예를 들어, 수십, 수백 또는 그 이상)의 디바이스 영역을 포함하는 캐리어 또는 기판(예를 들어, 웨이퍼)을 포함할 수 있다. 유사하게, 제2 요소는 싱글레이팅된 집적 디바이스 다이와 같은 싱글레이팅된 요소를 포함할 수 있다. 다른 배치에서, 제2 요소는 캐리어 또는 기판(예를 들어, 웨이퍼)을 포함할 수 있다. 일부 실시예에서, 싱글레이팅된 요소는 직접 또는 간접 밴드 갭 반도체 재료를 포함할 수 있다. 일부 실시예에서, 서로 다른 CTE를 갖는 다수의 다이가 동일한 캐리어에 결합될 수 있다. 일부 실시예에서, 결합 다이의 기판의 CTE는 캐리어 기판의 CTE와 유사하다. 다른 실시예에서, 결합 다이의 기판의 CTE는 캐리어 기판의 CTE와 상이하다. 결합 다이들 사이 또는 결합 다이와 캐리어 사이의 CTE 차이는 1 ppm/°C 내지 70 ppm/°C이고 30 ppm/°C 미만, 예를 들어 12 ppm/°C 미만일 수 있다.

[0011] 여기서 설명하는 바와 같이, 제1 요소와 제2 요소는 접착제 없이 서로 직접 결합될 수 있으며, 이는 증착 공정과 다르다. 따라서 제1 및 제2 요소는 비증착 요소를 포함할 수 있다. 또한, 직접 결합 구조는, 증착된 층과는 달리, 나노 공극이 존재하는 결합 인터페이스를 따라 결합 영역을 포함할 수 있다. 나노 공극은 결합 표면의 활성화(예를 들어, 플라즈마에의 노출)로 인해 형성될 수 있다. 위에서 설명된 바와 같이, 결합 인터페이스는 활성화 및/또는 마지막 화학 처리 공정으로부터의 재료의 농도를 포함할 수 있다. 예를 들어, 활성화를 위해 질소 플라즈마를 이용하는 실시예에서, 질소 피크가 결합 계면에 형성될 수 있다. 활성화를 위해 산소 플라즈마를 이용하는 실시예에서, 산소 피크 또는 산소 풍부 층이 결합 계면에 형성될 수 있다. 일부 실시예에서, 결합 계면은 질소 말단 규소, 산화규소, 질화 규소, 산질화규소, 탄화규소, 산탄화규소, 산탄질화규소 등과 같은 질소 종결 무기 비전도성 재료를 포함할 수 있다. 따라서, 결합층의 표면은 질화규소, 산질화규소, 산탄질화규소 또는 탄질화규소를 포함할 수 있으며, 결합 계면에 존재하는 질소의 레벨은 직접 결합 전에 요소들 중 적어도 하나의 질소 종결을 나타낸다. 질소 함유 유전체 외에, 비전도성 재료의 질소 함량은 전형적으로 표면이나 표면 근처에서 최고에 이르는 구배(gradient)를 갖는다. 일부 실시예에서, 질소 및 질소 관련 부분은 결합 계면에 존재하지 않을 수 있다. 여기서 설명하는 바와 같이, 직접 결합은 반 데르 발스 결합보다 강한 공유 결합을 포함할 수 있다. 결합층은 또한 높은 수준의 평탄도로 평평하게 된 연마 표면을 포함할 수 있다.

[0012] 전도성 피쳐의 입자 크기는, 전도성 피쳐가 비교적 낮은 온도에서 결합하는 경향 및 결합된 전도성 피쳐 사이의 결합 강도에 영향을 줄 수 있다. 일반적으로 결합 계면 근처에서의 입자 크기는 전도성 피쳐의 표면 상에서(결합 전에) 또는 전도성 피쳐의 단면도에서 관찰될 수 있다. 하나의 목표는 서로 대향하는 요소들에 있는 전도성 피쳐의 입자 경계가 서로 교차할 수 있게 하고 또한 이동성 및 그래서 직접 결합을 촉진하는 것임에 따라, 입자 크기는 결합될 전도성 피쳐의 횡방향 크기에 대해 측정될 수 있다. 전도성 피쳐는 구리 접촉 패드 또는 라인과 같은 금속 피쳐를 포함할 수 있다. 상대적으로 작은 입자를 갖는 전도성 피쳐는 에너지적으로 불안정할 수 있으며, 더 큰 입자에 비해 작은 입자는 주어진 등온 어닐링 조건에 대해 훨씬 낮은 열 예산 또는 주어진 시간에 대한 더 낮은 온도로 더 큰 입자로 성장할 수 있다. 따라서, 상대적으로 작은 입자 크기를 갖는 전도성 피쳐는

최소의 열을 가해서도 상대적으로 높은 결합 강도로 서로 결합될 수 있으며, 상대적으로 작은 입자 크기로 직접 결합을 위해 더 낮은 어닐링 온도가 달성될 수 있다. 상대적으로 작은 입자 크기를 갖는 이러한 전도성 피처 사이의 결합 강도는, 주어진 어닐링 온도에 대한 단결정 또는 대립(large grain) 전도성 피처들 사이의 결합 강도보다 크다. 입자 내부 및/또는 입자 경계에 있는 과도한 불순물은 입자 성장을 억제하거나 방해할 수 있다.

[0013] 전도성 피처는 미립 구리 도금 막과 같은 미립 금속 도금 막을 포함할 수 있다. 미립 구리 도금 막은, 50 nm 내지 500 nm의 평균 입자 크기, 예를 들어 10 nm 내지 500 nm, 10 nm 내지 300 nm, 10 nm 내지 150 nm, 10 nm 내지 100 nm, 10 nm 내지 75 nm, 또는 10 nm 내지 50 nm의 평균 입자 크기를 갖는 막이다. 오늘날 집적 회로에 있는 라인 구리 도금 막의 표준 후방 단부는 1  $\mu\text{m}$  내지 10  $\mu\text{m}$ 의 평균 입자 크기를 갖는다. 전도성 피처의 입자 수는 적어도 부분적으로 전도성 피처의 피처 크기에 의존할 수 있다. 예를 들어, 표준 구리 전도성 피처의 피처 크기가 0.5  $\mu\text{m}$ 인 경우, 표준 구리 전도성 피처는 결합 계면에서 1~3개의 입자를 포함한다. 미립 금속 전도성 피처의 피처 크기가 0.5  $\mu\text{m}$ 인 경우, 미립 금속 전도성 피처는 0.5  $\mu\text{m}$  표준 구리 전도성 피처 보다 5 내지 10배 더 많은 입자를 포함할 수 있다.

[0014] 전도성 피처의 원자에 대한 가장 빠른 확산 경로는 온도, 미세 구조의 특성, 미세 구조 결합, 경도, 입자 크기, 막의 불순물 함량, 막 응력, 계면 부착, 원자의 표면 이동성 등에 의존할 수 있다. 격자 확산이 예를 들어 구리에 대해 약 2eV의 최고 활성화 에너지를 가질 수 있다. 입자 경계 및 계면을 따른 확산에 대한 활성화 에너지는 격자 확산의 활성화 에너지보다 상당히 낮다(예를 들어, Cu에 대해 약 0.7eV). 따라서, 일부 실시예에서, 격자 확산은 원자 질량 수송을 위한 가장 느린 경로일 수 있고, 입자 경계 확산은 원자 질량 수송을 위한 가장 빠른 확산 경로일 수 있다. 또한, 구리 크리프(creep)를 위한 활성화 에너지는 입자 경계 확산 값과 유사할 수 있다. 추가로, 크리프 속도는 입자 크기의 세제곱에 반비례하여 변할 수 있다.

[0015] 더 작은 입자는, 그의 크기로 인해, 더 큰 입자보다 훨씬 더 큰 입자 경계 표면적을 가질 수 있다. 소립(small grain) 전도성 피처의 입자 경계 표면적은, 대립 전도성 피처의 입자 경계 표면적보다 10배 이상, 50배 이상, 250배 이상, 또는 1000배 이상 더 클 수 있다. 상대적으로 작은 입자를 갖는 전도성 피처는 상대적으로 큰 또는 조대한 입자를 갖는 전도성 피처 보다 더 높은 크리프 속도를 가질 수 있다. 크리프 속도가 높을수록, 더 낮은 크리프 속도와 비교하여 결합 경향이 더 높아질 수 있다. 상대적으로 작은 입자를 미세 입자라고 할 수 있다. 예를 들어, 최대 폭이 10 nm 미만, 50 nm 미만, 100 nm 미만, 300 nm 미만 또는 500 nm 미만인 입자를 미세 입자라고 정의할 수 있다. 조대한 입자는 전형적으로 최대 폭이 1  $\mu\text{m}$  내지 2  $\mu\text{m}$  이상일 수 있다. 낮은 활성화 에너지를 갖는 상대적으로 큰 확산 경로에 기여할 수 있는 미세 입자의 더 높은 크리프 속도 및 미세 입자의 상대적으로 큰 입자 경계 표면적은, 5  $\mu\text{m}$  미만(예컨대, 1  $\mu\text{m}$ )의 최대 치수를 갖는 미세 구조와 같은 상대적으로 작은 전도성 피처 또는 구조에 특히 유리할 수 있는데, 그러한 구조는 큰 입자를 갖는 전도성 피처를 갖는 구조에 비해 더 낮은 온도에서 결합될 수 있기 때문이다. 여기서 설명되는 실시예의 결합 패드, 비아(예컨대, TSV), 트레이스 또는 기관 관통 전극과 같은 전도성 피처는, 약 0.01  $\mu\text{m}$  내지 25  $\mu\text{m}$ , 약 0.1  $\mu\text{m}$  내지 10  $\mu\text{m}$ , 약 0.5  $\mu\text{m}$  내지 8  $\mu\text{m}$ , 약 2  $\mu\text{m}$  내지 5  $\mu\text{m}$ , 약 1  $\mu\text{m}$  내지 3  $\mu\text{m}$ , 또는 약 0.01  $\mu\text{m}$  내지 1  $\mu\text{m}$ 의 최대 횡방향 치수를 가질 수 있다. 상대적으로 작은 결합 패드의 일 예는, 예컨대, 결합 계면에서, 약 100  $\mu\text{m}^2$  보다 작은, 50  $\mu\text{m}^2$  보다 작은, 20  $\mu\text{m}^2$  보다 작은, 10  $\mu\text{m}^2$  보다 작은 그리고 2  $\mu\text{m}^2$  보다 작은 전도성 피처의 전체 노출 면적 또는 결합 전도성 면적을 가질 수 있다.

[0016] 다양한 실시예에서, 금속 패드 사이의 금속-금속 결합은, 전도성 재료 입자, 예를 들어 구리 입자가 결합 계면을 가로질러 서로의 안으로 성장하도록 이루어질 수 있다. 일부 실시예에서, 구리는 결합 계면을 가로지르는 개선된 구리 확산을 위해 111 결정면을 따라 수직으로 배향되는 입자를 가질 수 있다. 그러나, 일부 실시예에서, 다른 구리 결정면이 접촉 패드 표면에 대해 수직으로 배향될 수 있다. 비전도성 결합 계면은 결합 접촉 패드의 적어도 일부분까지 실질적으로 완전히 연장될 수 있으며, 그래서 결합 접촉 패드에서 또는 그 근처에서 비전도성 결합 영역들 사이에 실질적으로 틈이 없다. 일부 실시예에서, 직접 결합되는 미립 인터커넥트를 갖는 경우, 매우 작은 공극이 결합 계면을 따라 또는 결합 계면의 근처에서 핵이 될 수 있다. 결합 요소의 전도성 피처의 결합 계면의 단면에서 또는 그 결합 계면의 근처에서 공극의 폭은, 예를 들어, 단면의 폭의 5% 미만, 1% 미만, 또는 0.1% 미만일 수 있다. 일부 실시예에서, 접촉 패드(예컨대, 구리를 포함할 수 있음) 아래에 장벽 층이 제공될 수 있다. 그러나 다른 실시예에서는, 예를 들어 US 11,195,748(모든 목적을 위해 전체적으로 여기에 참조로 포함됨)에 설명된 것처럼 접촉 패드 아래에 장벽 층이 없을 수 있다.

[0017] 금속-금속 직접 결합 또는 열적 예산을 형성하기 위한 어닐링 온도 및 어닐링 지속 시간은 직접 결합 부품의 제조에 있어서 매우 중요하다. 이상적으로, 결합 온도로부터 실온으로 냉각 시에 CTE 불일치 관련 응력을 최소화

하기 위해서는 매우 유사한 CTE 도는 작은 CTE 차이를 갖는 요소들을 결합하는 것이 바람직할 수 있다. 결합된 요소 사이의 적절한 부착을 가정하면, 결합 요소에서 CTE 관련 응력은 결합 온도 및 결합 구조에 있는 개별 요소들의 CTE 차이에 비례할 수 있다. 결합 온도가 높을수록 CTE 관련 응력이 더 커질 수 있다. 유사하게, 요소들 사이의 CTE 차이가 클수록 CTE 관련 응력이 커질 수 있다. 결합 구조의 높은 응력은 결합 요소 또는 요소들의 적층체에서 미세 균열, 박리 및/또는 높은 뒤튐과 같은 결함을 유발할 수 있기 때문에 바람직하지 않을 수 있다. 각기 비전도성 결합 표면과 전도성 결합 영역을 갖는 두 요소를 직접 결합하기 위해, 서로 대향하는 비전도성 결합 표면들은 예를 들어 120°C 미만의 온도에서 결합될 수 있다. 서로 대향하는 전도성 결합 영역들은 250°C 내지 450°C 범위의 결합 온도에서 결합될 수 있으며, 결합 지속 시간은 15분 내지 6시간일 수 있다. 어떤 경우에는, 결합 지속 시간은 6시간을 초과할 수 있다. 결합 온도가 더 높으면, 일부 적용례에서 결합 지속 시간은 더 짧아질 수 있다. 일반적으로, 더 높은 결합 온도가 사용되면, 결합 구조에 결함이 발생할 가능성이 더 커질 수 있다. 전술한 바로부터, 비교적 낮은 온도에서 전도성-전도성(예를 들어, 금속-금속) 직접 결합을 형성하기 위한 방법이 바람직할 수 있다.

[0018] 일부 실시예에서, 요소들 사이의 CTE 차이를 갖는 두 기관의 직접 결합에서, 열(에너지) 예산의 소비를 최소화하기 위해 어닐링 온도 및/또는 어닐링 지속 시간을 낮추는 것이 바람직할 수 있다. 여기서 개시되는 다양한 실시예는, 10 nm 내지 500 nm 범위, 10 nm 내지 300 nm 범위, 10 nm 내지 150 nm 범위, 10 nm 내지 100 nm 범위, 10 nm 내지 75 nm 범위 또는 10 nm 내지 50 nm 범위와 같은, 예를 들어, 500 nm 이하, 350 nm 이하, 300 nm 이하, 또는 50 nm 이하의 평균 입자 크기를 갖는 미세한 구리 입자를 갖는 접촉 구조(예컨대, 구리 접촉 패드)를 생성할 수 있다. 전도성 구조를 위해 미립 금속(예컨대, 미립 구리 또는 나노 구리)을 사용하면, 전도성-전도성(예컨대, 구리-구리) 직접 결합 연결을 생성하는 어닐링 공정을 위해 더 낮은 열 예산이 사용될 수 있도록 높은 포텐셜 에너지와 높은 크리프 속도가 유리하게 제공될 수 있다. 더욱이, 증가된 포텐셜 에너지는 구리-구리 계면에서의 상호 확산 및 강한 야금학적 결합을 개선할 수 있다. 미립 구리는 또한 조립 구리보다 작은 입자 크기로 인해 웨이퍼에 걸쳐 더 균일한 사전 결합 오목부를 가질 수 있다. 미립 구리는 조립 구리보다 그 오목부를 균일하게 제어하는 것이 더 쉬울 수 있는데, 그 이유는 패드가 조립 구리로 형성될 때 그 패드는 패드 내에서 상이한 거동을 가질 수 있고, 이는 연마 속도에 영향을 줄 수 있기 때문이다. 후속 습식 및/또는 건식 에칭 화학 물질은 웨이퍼에 걸친 오목부 크기의 균일성을 실질적으로 방해하지 않을 수 있으며, 이로써 결합 후 전기적 수율이 개선될 수 있다.

[0019] 도 1a는 요소(제1 요소(1))를 형성할 때 중간 단계에 있는 구조의 개략적인 측면면도이다. 도 1b는 요소(1)의 개략적인 측면면도이다. 도 2는 제1 요소(1)와 제2 요소(3)를 포함하는 결합 구조(2)의 개략적인 측면면도이다. 일부 실시예에서, 제1 및 제2 요소(1)는 동일하거나 대체적으로 유사한 구조를 가질 수 있다. 일부 실시예에서, 제1 및 제2 요소(1, 3)는 반도체 요소를 포함할 수 있다.

[0020] 제1 요소(1)는 캐리어(10), 캐리어(10) 위의 격리층(12), 격리층(12) 위의 금속화 층(14), 및 금속화 층(14) 위의 결합층(16)을 포함할 수 있다. 일부 실시예에서, 캐리어(10)는 디바이스 영역을 포함하는 기관(예컨대, 웨이퍼)을 포함할 수 있다. 일부 실시예에서, 캐리어(10)는 디바이스 층 또는 구조를 포함할 수 있다. 일부 실시예에서, 격리층(12)은 캐리어(10) 상에 증착되는 산화물 층을 포함할 수 있다. 이 산화물 층은 약 0.3 $\mu$ m의 두께를 가질 수 있다. 예를 들어, 산화물 층의 두께는 0.1 $\mu$ m 내지 20 $\mu$ m, 또는 0.1 $\mu$ m 내지 10 $\mu$ m일 수 있다. 일부 실시예에서, 격리 층(12)은 매립된 상호 연결된 전도성 피쳐(나타나 있지 않음)를 포함하는 다수의 유전성 층을 포함할 수 있다. 격리층(12)의 매립된 전도성 피쳐는 금속화층(14)의 전도성 부분에 연결될 수 있다. 일부 실시예에서, 격리층(12)은 금속화층(14) 및/또는 결합층(16)을 포함한다. 일부 적용례에서, 격리층(12)의 평평한 정상 표면은 결합 표면을 포함할 수 있다.

[0021] 금속화 층(14)은 전도성 부분(18) 및 비전도성 부분(20)을 포함할 수 있다. 일부 실시예에서, 금속화 층(14)은 BEOL(back end of the line) 금속화 층을 포함할 수 있다. 일부 실시예에서, 전도성 부분(18)은 측방으로 연장되는 전도성 트레이스 및/또는 재분배 층(RDL)으로서 기능하도록 금속화 층(14) 내에서 수직으로 연장되는 전도성 비아(via)를 포함할 수 있다. 전도성 부분(18)은 구리(Cu)와 같은 임의의 적절한 전도성 재료를 포함할 수 있다. 구리는 통상적인 구리 도금 공정으로 형성될 수 있다. 일부 실시예에서, 금속화 층(14)은 결합층(16)에 형성되는 공동부(22)의 바닥 표면을 규정할 수 있다.

[0022] 일부 실시예에서, 결합층(16)은 비전도성 영역(24)을 규정할 수 있는 비전도성 층, 공동부(22) 내에 배치되는 장벽층(26), 및 장벽층(26) 위에 있고 공동부(22) 내에 배치되는 전도성 피쳐(28)를 포함할 수 있다. 전도성 피쳐(28)는, 다른 요소에 있는 대향 접촉 구조와 접촉하여 그에 전기적으로 연결되도록 구성된 접촉 구조를 포함할 수 있다. 전도성 피쳐(28)의 두께는 예를 들어 0.3 $\mu$  내지 6 $\mu$ 의 범위, 전형적으로 0.5 $\mu$  내지 4 $\mu$ 의 범

위에서 변할 수 있다. 유사하게, 전도성 피쳐(28)의 폭은, 예를 들어, 0.3 $\mu$  내지 60 $\mu$ , 0.5 $\mu$  내지 40 $\mu$ , 또는 0.5 $\mu$  내지 20 $\mu$ 의 범위일 수 있다. 여기서 설명하는 바와 같이, 전도성 피쳐(28)는 접촉 패드, 트레이스, 비아, 또는 이것들의 임의의 적절한 조합을 포함할 수 있다. 일부 실시예에서, 비아는 기관 관통 전극을 포함할 수 있다. 결합 표면에 있는 기관 관통 전도성 피쳐의 폭은, 예를 들어, 1 $\mu$  내지 50 $\mu$ , 2 $\mu$  내지 30 $\mu$ , 또는 2.5 $\mu$  내지 15 $\mu$ 의 범위에서 변할 수 있다. 전도성 피쳐(28)와 금속화 층(14)은 서로 전기적으로 연결될 수 있다. 일부 실시예에서, 장벽층(26)은 전도성 피쳐(28)와 금속화 층(14) 사이에 배치될 수 있다. 따라서, 도시된 실시예에서, 전도성 피쳐(28)는 금속화 층(예컨대, BEOL 층) 위에 배치되는 접촉 패드를 포함한다. 다른 배치에서, 전도성 피쳐(28)는 기관 관통 전극 또는 요소 관통 전극 또는 실리콘 기관의 경우에는 실리콘 관통 비아(TSV)에서와 같이 요소를 통해(또는 대부분 그 요소를 통해) 연장되는 전도성 비아를 포함할 수 있다.

[0023] 비전도성 영역(24)은 유전성 층을 포함할 수 있다. 일부 실시예에서, 비전도성 영역(24)은 서로 다른 유전성 재료의 다수의 층을 포함할 수 있다. 예를 들어, 비전도성 영역(24)은 산화규소를 포함할 수 있다. 도 1a에 나타나 있는 바와 같이, 공동부(22)는 비전도성 영역(24)에 형성될 수 있다. 공동부(22)는 적어도 부분적으로 비전도성 영역(24)의 두께를 통해 연장될 수 있다. 예를 들어, 공동부(22)는 완전히 비전도성 영역(24)의 두께를 통해 연장될 수 있다.

[0024] 일부 실시예에서, 장벽층(26)은, 전도성 피쳐(28)의 재료가 비전도성 영역(24) 안으로 확산되는 것을 방지하거나 감소시키는 확산 장벽층을 포함할 수 있다. 일부 실시예에서, 장벽층(26)은 탄탈륨, 티타늄, 코발트, 니켈 또는 텅스텐 또는 이것들의 임의의 적절한 화합물 또는 조합을 포함할 수 있다. 일부 실시예에서, 장벽층(26)은 다층 구조를 포함할 수 있다.

[0025] 일부 실시예에서, 전도성 피쳐(28)는 구리(Cu)를 포함할 수 있다. 예를 들어, 전도성 피쳐(28)는 미립(fine grain) 금속(예를 들어, 미립 구리)을 포함할 수 있다. 미립 금속 또는 결합 패드는, 20nm 미만, 50nm 미만, 100nm 미만, 300nm 미만, 또는 500nm 미만의 평균 입자 폭을 갖는 미세 구조를 갖는 금속 피쳐로서 정의될 수 있다. 예를 들어, 미립 금속의 최대 폭은 미세 구조 내에서 10 nm 내지 500 nm 범위, 10 nm 내지 300 nm 범위, 20 nm 내지 500 nm 범위, 20 nm 내지 300 nm 범위, 20 nm 내지 100 nm, 20 nm 내지 50 nm, 50 nm 내지 500 nm, 50 nm 내지 300 nm 또는 100 nm 내지 300 nm의 범위일 수 있다. 전도성 피쳐(28) 내의 크기 변화는 전도성 피쳐(28)의 입자의 95% 이상 중 약 10% 이내일 수 있다. 일부 실시예에서, 전도성 피쳐(28)에 있는 입자의 평균 입자 크기는 100nm 미만, 300 nm 미만 또는 500 nm 미만일 수 있다. 미립 금속의 입자는, 최대 폭이 1 $\mu$ m 내지 2 $\mu$ m 이상인 입자와 같은 조대한 입자를 포함하는 조립 금속보다 현저히 작을 수 있다. 일부 실시예에서, 미립 금속은, 미립 금속이 증착되는 방식으로 인해 조립 금속보다 더 높은 응력을 가질 수 있다. 미립 금속은 조립 금속보다 더 높은 포텐셜 에너지를 가질 수 있다.

[0026] 일부 실시예에서, 전도성 피쳐(28)는 도금을 통해 공동부(22) 내에 제공될 수 있다. 전도성 피쳐(28)는 적절한 도금 욕(bath)에서 높은 다양한 도금 전류 밀도 하에서 증착될 수 있다. 예를 들어, 도금 전류 밀도는 직류(DC) 또는 펄스 도금 또는 이 둘의 조합에 의해 1mA/cm<sup>2</sup> 내지 70mA/cm<sup>2</sup>, 또는 40mA/cm<sup>2</sup> 내지 70mA/cm<sup>2</sup>의 범위일 수 있다. 예를 들어, 전도성 피쳐(28)는 더 낮은 전류 밀도에서 0.5초 내지 5초 범위의 시간 동안 그리고 더 높은 전류 밀도에서는 0.3초 내지 2초 범위의 시간 동안 1mA/cm<sup>2</sup> 내지 70mA/cm<sup>2</sup> 범위의 전류 밀도에서 전기 도금될 수 있다. 일부 실시예에서, 전도성 피쳐(28)는 산성 구리 욕 또는 구리 플루오로보산염 욕, 구리 설펜산 욕, 또는 구리 피로인산염 도금 욕으로부터 구리를 코팅함으로써 형성될 수 있는 금속 코팅을 포함할 수 있다. 일부 실시예에서, 산성 도금 욕은 0.1M 내지 0.4M의 구리 이온, 0.1M 내지 1M의 산(예를 들어, 0.3M 내지 0.6M의 유기 또는 무기 산), 및 30ppm 내지 70ppm의 할로겐화물 이온을 포함할 수 있다. 일부 실시예에서, 전도성 피쳐(28)의 입자 크기를 감소시키기 위해 도금 공정에서 정련제(refining agent)가 사용될 수 있다. 입자 정련제는 티오우레아, 티아진(황 함유 기(group)), 옥사진 또는 옥사진 염료를 포함할 수 있다. 도금 공정에서 사용되는 입자 정련제의 농도는, 예를 들어, 2 mg/L 내지 70 mg/L, 2 mg/L 내지 50 mg/L, 2 mg/L 내지 20 mg/L, 10mg/L ~ 70mg/L 또는 20mg/L ~ 50mg/L 범위일 수 있다. 입자 정련제의 농도가 더 높으면 전도성 피쳐(28)의 더 작은 입자 크기가 제공될 수 있다.

[0027] 미립 금속은 상대적으로 높은 농도의 불순물(예를 들어, 격자간 및 비격자간 불순물)을 포함할 수 있다. 불순물은, 예를 들어 황, 탄소, 질소, 인 등을 포함할 수 있다. 전형적으로, 불순물의 농도는 30ppm 보다 크거나, 50ppm 보다 크며 그리고 바람직하게는 5000ppm 미만일 수 있다. 일부 실시예에서는, 상대적으로 작은 농도의 불순물이 바람직할 수 있다.

[0028] 일부 실시예에서, 전도성 피쳐(28)는 구성 요소를 포함할 수 있다. 이 구성 요소는, 전도성 피쳐(28)에서 미세

입자의 형성을 촉진하기 위해 도금 공정 또는 시드(seed) 층의 형성 중에 첨가될 수 있는 첨가제이다. 일부 실시예에서, 전도성 피쳐(28)에 있는 미세 입자의 평균 입자 크기는 100 nm 이하, 300 nm 이하, 또는 500 nm 이하일 수 있다. 그 구성 요소는 붕소, 인듐, 인, 갈륨, 니켈, 코발트, 주석, 망간, 티타늄, 바나듐 또는 셀레늄을 포함할 수 있다. 일부 실시예에서, 입자 경계에서 전도성 피쳐(28)의 구성 요소의 양은 전도성 피쳐(28)의 0.5% 미만 또는 0.1% 미만일 수 있다.

[0029] 일부 실시예에서, 전도성 피쳐(28)는, 전도성 피쳐(28)의 미립 금속에 동시 도금될 수 있는, 예를 들어, 산화규소, 알루미늄 또는 산화티타늄과 같은 불활성 재료의 나노 입자를 포함할 수 있다. 불활성 재료는, 400°C 이하의 어닐링(annealing) 온도에서 전도성 피쳐(28)의 미립 금속과 합금을 주로 형성하지 않는 재료이다. 일부 실시예에서, 불활성 재료의 나노 입자의 90% 초과, 95% 초과, 또는 99% 초과는 전도성 피쳐(28)의 미립 금속과 합금을 형성하지 않는다. 나노 입자는 전도성 피쳐(28)에서 입자 경계에 또한 전도성 피쳐(28)의 코팅된 금속의 하위 입자 경계에 존재할 수 있다. 나노 입자는 약 120°C 미만의 온도에서 전도성 피쳐(28)의 입자 성장을 억제할 수 있다. 전도성 피쳐(28)에 있는 나노 입자의 농도는, 그 나노 입자가 전도성 피쳐(28)의 전도성을 크게 변경하지 않도록 제어될 수 있다. 예를 들어, 나노 입자의 농도는 전도성 피쳐(28)의 1% 미만 또는 0.1% 미만일 수 있다.

[0030] 일부 실시예에서, 도금은 저온, 예를 들어 5°C 내지 15°C, 또는 20°C 미만의 저온에서 수행될 수 있다. 저온에서 형성된 결과적인 전도성 피쳐(28)는 실온에서 형성된 것보다 더 빠르게 성장하는 경향이 있을 수 있다. 일부 실시예에서, 예를 들어 30ppm 미만의 낮은 불순물을 포함하는 저온에서 형성된 전도성 피쳐(28)는 입자 성장을 억제하기 위해 바람직하게는 10°C 미만의 저온에서 저장될 수 있으며 저온에서 추가로 처리될 수 있다(예컨대, 화학-기계적 연마(CMP)). 저온에서 형성된 전도성 피쳐(28)는, 예를 들어, CMP 공정 후 8시간 이내에 또는 4시간 이내에 청결화되고 결합될 수 있다.

[0031] 일부 실시예에서, 금속이 여기서 개시된 임의의 적절한 공정으로 도금된 후, 그 금속은 어닐링되어 금속의 미세 구조를 적어도 부분적으로 안정화시킬 수 있다(이는 입자 회복 공정으로 지칭될 수 있음). 어닐링은 CMP 공정 전에 일어날 수 있다. 일부 실시예에서, 금속은 80°C 내지 150°C 범위의 온도에서 어닐링될 수 있다. 예를 들어, 금속은 60 내지 120분 동안 어닐링될 수 있다. 입자 회복 공정을 개시하기 위한 어닐링 공정 전후의 금속 내 입자의 입자 크기는 일반적으로 안정화된 금속의 미세 구조보다 작다. 전형적으로, 예상되는 입자 크기 변화는, 도금된 입자 크기와 어닐링된 입자 크기의 차이가 전형적으로 50% 보다 크고 심지어 100% 보다 큰 종래의 BEOL 또는 패키징 구리와 비교하여 10% 미만이다.

[0032] 도 2에 나타나 있는 바와 같이, 제1 요소(1)는 제2 요소(3)에 결합될 수 있다. 제2 요소(3)는 캐리어(30), 캐리어(30) 위의 격리층(32), 격리층(32) 위의 금속화 층(34), 및 금속화 층(34) 위의 결합층(36)을 포함할 수 있다. 금속화 층(34)은 전도성 부분(38) 및 비전도성 부분(40)을 포함할 수 있다. 결합층(36)은 비전도성 영역(44), 공동부(42)에 배치되는 장벽 층(46), 및 장벽 층(46) 위에서 공동부(42)에 배치되는 전도성 피쳐(48)를 포함할 수 있다.

[0033] 일부 실시예에서, 제1 요소(1)와 제2 요소(3)는 결합 계면(49)을 따라 개재 접촉제 없이 서로 직접 결합될 수 있다. 예를 들어, 제1 요소(1)의 전도성 피쳐(예를 들어, 전도성 피쳐(28))는 개재 접촉제 없이 제2 요소(3)의 대응하는 전도성 피쳐(예컨대, 전도성 피쳐(48))에 직접 결합될 수 있고, 제1 요소(1)의 비전도성 영역(24)은 개재 접촉제 없이 제2 요소(3)의 비전도성 영역(44)에 직접 결합될 수 있다. 예를 들어, 일 실시예에 따른 결합 공정은, 실온에서 제1 요소(1)의 비전도성 영역(24)을 제2 요소(3)의 비전도성 영역(44)에 직접 결합하고 그리고 예컨대 300°C 미만, 250°C 미만, 200°C 미만, 또는 180°C 미만 온도에서의 어닐링을 통해 전도성 피쳐(28)를 전도성 피쳐(48)까지 팽창시켜 전도성 피쳐(28)를 전도성 피쳐(48)에 직접 결합하는 것을 포함할 수 있다. 제1 요소(1)와 제2 요소(3)는 전형적으로 18 내지 40°C의 실온에서 서로 직접 결합될 수 있다. 예를 들어, 전도성 피쳐(28)와 전도성 피쳐(48)를 결합하기 위한 어닐링 온도는 120°C 내지 250°C, 120°C 내지 200°C, 또는 120°C 내지 180°C의 범위일 수 있다. 일부 실시예에서, 제1 요소(1)의 전도성 피쳐(28) 및/또는 제2 요소(3)의 전도성 피쳐(48)는 오목부를 포함할 수 있고, 비전도성 영역(24)과 비전도성 영역(44)이 결합될 때, 전도성 피쳐(28)와 전도성 피쳐(48) 사이에 틈이 있을 수 있다. 두 대향하는 전도성 피쳐(28, 48) 사이에 야금학적 결합이 형성되는 더 높은 온도에서 요소(1, 3)가 어닐링되면, 그 틈 또는 오목부는 연결될 수 있다.

[0034] 도 3은 조립 구리의 입자(50)를 보여주는 조립 구리(예를 들어, 종래의 구리)의 개략적인 평면도이다. 도 4는 일 실시예에 따른, 미립 구리의 입자(52)를 보여주는 미립 구리의 개략적인 평면도이다. 도 3 및 4의 조립 구리와 미립 구리는 모두 80°C 내지 150°C의 온도에서 120분 동안 어닐링되었다. 조립 구리의 평균 입자 크기는

0.5 $\mu$ m 내지 3 $\mu$ m일 수 있고, 미립 구리의 평균 입자 크기는 10nm 내지 500nm 일 수 있다. 도 3에 나타나 있는 바와 같이, 구리 입자에 쌍정(54)이 형성될 수 있다. 일부 실시예에서, 미립 구리 입자(52)는 입자 구조 내에 (예를 들어, 입자(52) 중 하나 이상의 입자 내에) 나노 쌍정(나타나 있지 않음)을 포함할 수 있다. 일부 실시예에서, 도 1b의 전도성 피쳐(28)는 하나 이상의 유형의 미세 구조를 포함할 수 있다. 예를 들어, 전도성 피쳐(28)의 부분은 정상 부분 및 이 정상 부분보다 금속화 층(18)에 더 가깝게 위치되는 바닥 부분을 포함할 수 있다(도 6d 참조). 일부 실시예에서, 전도성 피쳐(28)의 정상 부분은 전도성 피쳐(28)의 두께의 5% 내지 70%의 두께를 갖는다. 일부 실시예에서, 전도성 피쳐(28)의 정상 부분은 예를 들어 50 nm 내지 500 nm 범위의 두께를 갖는다. 바닥 부분은 고도로 배향된 미세 구고, 예컨대, 나노-쌍정 구리 미세 구조를 갖는 전도성 피쳐를 포함할 수 있다. 정상 부분은 전도성 피쳐(28)의 결합 표면 및 이 결합 표면과 바닥 부분 사이의 전도성 영역을 포함할 수 있다. 정상 부분은 예를 들어 미립 구리와 같은 미립 금속을 포함할 수 있다. 일부 실시예에서, 전도성 피쳐(28)의 바닥 부분은 조립 구조, 예를 들어 조대한 입자를 갖는 종래의 BEOL 또는 패키징 구리를 갖는 재료를 포함할 수 있다. 일부 실시예에서, 바닥 부분은 순수 구리 이외의 다른 재료, 예를 들어 구리 합금, 니켈, 코발트, 텅스텐, 알루미늄 및 그것들의 다양한 각각의 합금을 포함할 수 있다. 일부 적용례에서, 전도성 피쳐(28)의 정상 부분과 바닥 부분 사이에 장벽층(나타나 있지 않음)이 배치될 수 있다. 장벽층은 정상 부분과 바닥 부분의 미세 구조의 혼합을 방지하거나 완화할 수 있다.

[0035] 입자 경계 및 계면을 따른 확산을 위한 활성화 에너지는 격자 확산보다 상당히 낮다. 큰 입자 경계 표면적을 갖는 미립 미세 구조의 경우, 금속-금속 결합에서, 입자 경계 확산 경로가 지배적이다. 또한, 미립 미세 구조는 전형적으로 나노-쌍정 구리 및 상당히 더 큰 입자 크기를 갖는 종래의 조립 구리에 비해 높은 크리프(creep) 속도를 보일 수 있다. 매우 빠른 확산 경로의 농도가 상당히 높고 미립 구리에서 크리프 속도가 더 높기 때문에, 더 낮은 온도에서의 결합 경향이 나타난다. 미세한 금속 미세 구조의 더 낮은 온도에서의 결합 경향 때문에, 이러한 미세 구조는 직접 결합 인터랙티브의 결합 표면에 바람직하다.

[0036] 도 5는 미립 구리 패드(FG)와 종래의 구리 패드(STD)의 온도와 평균 저항 사이의 관계를 나타내는 그래프이다. 평균 저항은 서로 대항하는 전도성 피쳐들 사이의 접촉 정도를 나타낼 수 있고, 더 낮은 평균 저항은 더 높은 평균 저항에 비해 더 양호한 연결을 의미할 수 있다. 그래프에 나타나 있는 바와 같이, 미립 패드는 종래의 구리 패드보다 더 낮은 온도에서 원하는 저항 값, 즉 장부 값(book value)에 도달한다. 결과로 나타나 있는 바와 같이, 미립 패드는 종래의 구리 패드 보다 더 낮은 어닐링(결합) 온도로 다른 패드에 결합될 수 있다.

[0037] 도 6a는 전도성 피쳐(70, 80)(예를 들어, 종래의 구리 패드)를 포함하는 결합 구조(4)의 개략적인 측면면도이다. 이 결합 구조는 제1 요소(5) 및 결합 계면(86)을 따라 제1 요소(5)에 결합되는 제2 요소(6)를 포함한다. 제1 요소(5)는 전도성 피쳐(70), 비전도성 영역(72) 및 금속화 층(74)을 포함한다. 제2 요소(6)는 전도성 피쳐(80), 비전도성 영역(82) 및 금속화 층(84)을 포함한다. 전도성 피쳐(70, 80)는 조대한 입자, 예를 들어 1 마이크로미터보다 큰 평균 입자 크기를 갖는 구리 입자를 포함한다. 전도성 피쳐(74, 84)는 종래의 조립 금속(예를 들어, 조대한 구리)을 포함한다.

[0038] 결합 구조(4)는 결합을 위해 180°C 보다 높은 온도에서 어닐링되었다. 결합 계면(86)에서 금속-금속(예를 들어, 구리-구리) 결합 계면은 어닐링 시간 또는 온도가 증가함에 따라 발달할 수 있다. 더 긴 시간 동안의 어닐링 후에, 더 많은 금속 확산(예컨대, 구리 확산)이 결합 계면에서 일어난다. 결합 계면(86)은 x-방향을 따라 연장될 수 있고, 일반적으로 x-방향에 수직인 z-방향은 막 성장 방향일 수 있다. 결합 구조(4)의 일부 실시예에서, 최대 폭 또는 치수에서, 결합 계면(86)을 인터셉팅하는 전도성 피쳐(70, 80)의 입자의 수는 12개 입자 보다 작을 수 있다. 전도성 피쳐(70,80)의 직경 또는 폭에 따라, 결합 계면에서 인터셉팅 입자의 수는 8개 입자 보다 작을 수 있고 심지어는 5개 입자 보다 작을 수 있다.

[0039] 도 6b는 일 실시예에 따른 결합 구조(7)의 개략적인 측면면도이다. 달리 언급하지 않으면, 도 6b의 구성 요소는 도 1a~2의 유사한 구성 요소와 동일하거나 대체적으로 유사할 수 있다. 결합 구조(7)는 제1 요소(1') 및 결합 계면(86')을 따라 제1 요소(1')에 결합되는 제2 요소(3')를 포함할 수 있다. 제1 요소(1')는 전도성 피쳐(28'), 비전도성 영역(24'), 금속화 층(14') 및 캐리어(10')를 포함할 수 있다. 제2 요소(3')는 전도성 피쳐(48'), 비전도성 영역(44'), 금속화 층(34') 및 캐리어(30')를 포함할 수 있다. 전도성 피쳐(28', 48')는 미립 금속(예를 들어, 미립 구리)을 포함할 수 있다. 금속화 층(24', 34')은 종래의 조립 금속(예를 들어, 조립 구리)을 포함할 수 있다. 결합 구조(7)의 일부 실시예에서, 금속화 층(14' 또는 34') 중의 하나는 예컨대 미립 구리와 같은 미립 금속을 갖는 층을 포함할 수 있다.

[0040] 결합 구조(7)는 결합을 위해 180°C의 온도에서 어닐링되었다. 전도성 피쳐(28', 48')를 결합하기 위한 어닐링

공정 전후의 전도성 피쳐(28', 48')의 입자 크기는 일반적으로 유사할 수 있다. 예를 들어, 어닐링 공정 후 전도성 피쳐(28', 48')의 평균 입자 크기는, 어닐링되지 않은 전도성 피쳐(28', 48')의 평균 입자 크기의 2배 이하일 수 있다. 결합 계면(86')에서 금속-금속(예를 들어, 구리-구리) 결합 계면은, 어닐링 시간 및/또는 온도가 증가함에 따라 발달할 수 있다. 충분한 시간 동안의 어닐링 후에, 금속-금속 결합 계면에서 더 많은 금속 확산(예컨대, 구리 확산)이 일어날 수 있다. 일부 실시예에서, 결합 계면(86')은 x-방향을 따라 연장될 수 있고, 일반적으로 x-방향에 수직인 z-방향이 막 성장 방향일 수 있다. 일부 실시예에서, 결합 구조(7)의 미립 구조의 결과로, 최대 폭 또는 직경에서 선형 횡방향 치수로 계면(86')을 인터셉팅하는 결합 전도성 피쳐(28' 또는 48')의 입자 수는 12개 입자 보다 많을 수 있다. 계면(86')을 인터셉팅하는 입자의 수는 일부 실시예에서 16개 입자 보다 또는 20개 입자 보다 많을 수 있다.

[0041] 도 6c는 일 실시예에 따른 결합 구조(7')의 개략적인 측면면도이다. 달리 언급하지 않으면, 도 6c의 구성 요소는 도 1a~2, 6a 및 6b의 유사한 구성 요소와 동일하거나 대체적으로 유사할 수 있다. 결합 구조(7')는 제1 요소(1')를 포함할 수 있고, 이 요소는, 결합 계면(86'')을 따라, 조립 전도성 금속을 포함하는 종래의 구리 패드와 같은 종래의 전도성 피쳐(70)에 직접 결합되는 전도성 피쳐(28')를 포함한다. 제1 요소(1')는 전도성 피쳐(28'), 비전도성 영역(24'), 금속화 층(14') 및 캐리어(10')를 포함할 수 있다. 요소(5)는 전도성 피쳐(70), 비전도성 영역(72), 금속화 층(84) 및 캐리어(74)를 포함할 수 있다. 전도성 피쳐(70)는 전도성 피쳐의 일 예이고, 요소(5)는 임의의 적절한 전도성 피쳐를 포함할 수 있다. 전도성 피쳐(28')는 미립 금속(예를 들어, 미립 구리)을 포함할 수 있고, 전도성 피쳐(70)는 조립 금속(예를 들어, 조립 구리)을 포함할 수 있다. 일부 실시예에서, 종래의 전도성 피쳐(70)의 재료는, 적어도 부분적으로 전도성 피쳐(28')의 재료에 근거하여 선택될 수 있다. 예를 들어, 종래의 전도성 피쳐(70)의 재료는 전도성 피쳐(28')의 재료와 동일하거나 유사한 종류의 금속을 갖도록 선택될 수 있다. 금속화 층(14', 74)은 종래의 조립 구리를 포함할 수 있다. 다른 종류의 금속 및 금속 미세 구조가 금속화 층(14', 74)에 사용될 수 있다. 결합 구조(7')의 일부 실시예에서, 금속화 층(14', 74) 중의 하나는 미립 전도성 재료, 예를 들어 미립 구리를 갖는 층을 포함할 수 있다.

[0042] 결합 구조(7')는 결합을 위해 어닐링되었다(예컨대, 180°C의 온도에서). 전도성 피쳐(70', 80)를 결합하기 위한 어닐링 공정 전후의 전도성 피쳐(28')와 전도성 패드(70)에 있는 입자의 입자 크기는 유사하지 않다. 결합 계면(86'')에서의 금속-금속(구리-구리) 결합 계면은 어닐링 시간 및/또는 온도가 증가함에 따라 발달할 수 있다. 충분한 시간 동안의 어닐링 후에, 결합된 전도성 피쳐(28')와 전도성 피쳐(70)의 결합 계면에서 더 많은 금속 확산(예를 들어, 구리 확산)이 일어날 수 있다. 일부 실시예에서, 결합 계면(86'')은 x-방향을 따라 연장될 수 있고, 일반적으로 x-방향에 수직인 z-방향이 막 성장 방향일 수 있다. 일부 실시예에서, 결합 계면(86'')의 직경에서 제1 요소(1')의 제1 전도성 피쳐(28')로부터 결합 계면(86'')에서 선형 횡방향 치수로 측정되는 인터셉팅 입자의 수는, 요소(5)의 전도성 피쳐(70)로부터 결합 계면(86'')의 인터셉팅 입자의 수보다 10% 이상 많을 수 있다. 예를 들어, 결합 구조(7')는 전도성 피쳐(28')로부터 계면(86'')을 인터셉팅하는 20개 이상의 입자 및 전도성 피쳐(80)로부터 계면(86'')을 인터셉팅하는 13개 미만의 입자를 포함할 수 있다. 일부 실시예에서, 제1 요소(1')의 제1 전도성 피쳐(28')로부터 계면(86'')을 인터셉팅하는 입자의 수는, 요소(5)의 전도성 피쳐(80)로부터 결합 계면(86'')을 인터셉팅하는 입자의 수와 다르다.

[0043] 도 6c는 일 실시예에 따른 결합 구조(7'')의 개략적인 측면면도이다. 달리 언급하지 않으면, 도 6d의 구성 요소는 도 1a~2 및 6a~6c의 유사한 구성 요소와 동일하거나 대체적으로 유사할 수 있다. 결합 구조(7'')는, 결합 구조(7'')의 요소(3'')가 전도성 피쳐(48') 내에서 미립 부분(88)과 조립 부분(89)을 포함한다는 점을 제외하고는, 도 6a의 결합 구조(7)와 대체적으로 유사할 수 있다. 도 6c는 하나의 미립 부분과 하나의 조립 부분을 도시하고 있지만, 일부 실시예에서는 복수의 미립 부분 및/또는 복수의 조립 부분이 있을 수 있다. 결합 계면(86'')에 더 가깝게 위치되는 미립 부분(88)은 정상 부분으로 지칭될 수 있고, 금속화 층(34')에 더 가까운 조립 부분(89)은 바닥 부분으로 지칭될 수 있다. 일부 실시예에서, 전도성 피쳐(48'')의 미립 부분(88)은 전도성 피쳐(28)의 두께( $T_{cf}$ )의 5% 내지 70% 범위의 두께( $T_{fg}$ )를 갖는다. 예를 들어, 두께( $T_{fg}$ )는 전도성 피쳐(28)의 두께( $T_{cf}$ )의 5% 내지 50%, 5% 내지 20%, 10% 내지 50%, 또는 10% 내지 20%일 수 있다. 일부 실시예에서, 미립 부분(88)의 두께( $T_{fg}$ )는 예를 들어 50nm 내지 500nm의 범위일 수 있다. 예를 들어, 두께( $T_{fg}$ )는 50 nm 내지 400 nm, 50 nm 내지 300 nm, 100 nm 내지 500 nm, 또는 100 nm 내지 300 nm의 범위일 수 있다.

[0044] 도 7a~7c는 상이한 유형의 구리 피쳐에 대한 하향식 전자 후방 산란 회절(EBSD) 이미지를 보여준다. 도 7a는 종래의 또는 조립 구리 피쳐의 하향식 EBSD 이미지이다. 도 7b는 나노-쌍정 구리 피쳐의 하향식 EBSD 이미지이다. 도 7c는 일 실시예에 따른 미립 구리 피쳐의 하향식 EBSD 이미지이다. 도 7a~7c는 막 성장 방향과 동일

한 방향인(예를 들어, 도 7a~7c의 이미지에서 이미지 평면에 수직인) z- 방향(도 6a~6d 참조)에 평행한 입자 배향을 보여준다. 예를 들어, 입자(90)는 z- 방향이 입자의 <111> 배향에 대체적으로 평행하도록 하는 결정 배향을 가지며, 입자(92)는 z-방향이 입자의 <001> 배향에 일반적으로 평행하도록 하는 결정 배향을 가지며, 그리고 입자(94)는 z-방향이 대체적으로 입자의 <101> 배향에 대체적으로 평행하도록 하는 결정 배향을 갖는다. 도 7a는 서로 다른 입자 배향(예컨대, <111>, <001> 및 <101> 배향)을 갖는 조대한 입자를 포함하는 조립 구리 피처의 예시적인 미세 구조를 보여준다. 대조적으로, 도 7b는, 대부분 또는 본질적으로 단일 금속 입자 배향(예컨대, <111> 배향)을 포함하는 고도로 배향된 입자를 갖는 나노-쌍정 구리 피처의 예시적인 미세 구조를 보여준다. 다른 실시예에서, 고도로 배향된 입자는, 이결정(bicrystal) 미세 구조 및/또는 정방정계 또는 육방정계 입자 구조와 같은 고도로 배향된 비입방형 구조에서와 같이 <111> 배향, <100> 배향, <110> 배향 또는 이것들의 조합을 가질 수 있다. 도 7c는 미립 구리 피처의 예시적인 미세 구조를 보여준다. 이 미세 구조는 전형적으로 100nm 미만의 입자 크기를 갖는 미세 입자를 포함하며, 미세 입자의 다양한 입자는 <111>, <110>, <100> 배향과 같은 상이한 입자 배향을 가질 수 있다. 도 7c의 어두운 영역은, 전자 후방 산란 회절에 의해 검출되지 않은 배향을 갖는 입자(96)이다.

- [0045] 한 양태에서, 결합 구조가 개시된다. 이 결합 구조는, 제1 전도성 피처 및 제1 비전도성 영역을 갖는 제1 요소를 포함한다. 제1 전도성 피처는 500 nm 이하의 평균 입자 크기를 갖는 미립(fine grain) 금속을 포함한다. 결합 구조는, 제2 전도성 피처 및 제2 비전도성 영역을 갖는 제2 요소를 포함할 수 있다. 제1 전도성 피처는 개재 접착제 없이 제2 전도성 피처에 직접 결합되고, 제2 비전도성 영역은 개재 접착제 없이 제2 비전도성 영역에 직접 결합된다.
- [0046] 한 실시예에서, 제1 전도성 피처는 구리를 포함한다.
- [0047] 한 실시예에서, 제1 전도성 피처의 입자는 500 nm 미만의 최대 입자 크기를 갖는다. 제1 전도성 피처의 입자는 350 nm 미만의 최대 입자 크기를 가질 수 있다. 제1 전도성 피처의 입자는 50 nm 미만의 최대 입자 크기를 가질 수 있다.
- [0048] 한 실시예에서, 제2 전도성 피처의 입자의 평균 입자 크기가 500 nm 이하이다.
- [0049] 한 실시예에서, 제2 전도성 피처의 입자의 평균 입자 크기가 1 마이크로를 초과한다.
- [0050] 한 실시예에서, 제1 전도성 피처의 미립 금속의 평균 입자 크기는 350 nm 이하이다. 제1 전도성 피처의 미립 금속의 평균 입자 크기는 10 nm 내지 300 nm 범위이다.
- [0051] 한 실시예에서, 제1 전도성 피처의 입자의 95% 이상이 10% 미만의 입자 크기 변화를 갖는다.
- [0052] 한 실시예에서, 제1 요소는 전도성 부분을 갖는 금속화 층을 더 포함한다. 금속화 층의 전도성 부분은 1 $\mu$ m 내지 2 $\mu$ m 범위의 평균 입자 크기를 가질 수 있다.
- [0053] 한 실시예에서, 제1 전도성 피처의 미립 금속은 불활성 재료의 나노입자를 포함한다. 나노입자의 농도는 제1 전도성 피처의 1% 미만일 수 있다. 나노입자의 농도는 제1 전도성 피처의 0.1% 미만일 수 있다. 나노입자는 산화규소, 알루미늄 및 산화티타늄 중의 하나 이상을 포함할 수 있다.
- [0054] 한 실시예에서, 미립 금속은 구성 요소를 포함한다.
- [0055] 한 양태에서, 결합 구조가 개시된다. 이 결합 구조는, 제1 전도성 피처 및 제1 비전도성 영역을 갖는 제1 요소를 포함할 수 있다. 제1 전도성 피처는 구성 요소를 갖는 미립 금속을 포함한다. 결합 구조는, 제2 전도성 피처 및 제2 비전도성 영역을 갖는 제2 요소를 포함할 수 있다. 제1 전도성 피처는 개재 접착제 없이 제2 전도성 피처에 직접 결합되고, 제2 비전도성 영역은 개재 접착제 없이 제2 비전도성 영역에 직접 결합된다.
- [0056] 한 실시예에서, 구성 요소는 붕소, 인듐, 인, 갈륨, 니켈, 코발트, 주석, 망간, 티타늄, 바나듐 및 셀레늄 중의 적어도 하나를 포함한다. 제1 전도성 피처는 500 nm 이하의 평균 입자 크기를 갖는 미립 금속을 포함할 수 있다. 제1 전도성 피처의 미립 금속의 평균 입자 크기는 10 nm 내지 300 nm 범위일 수 있다.
- [0057] 한 양태에서, 인터커넥트 구조가 개시된다. 이 인터커넥트 구조는 결합 표면을 포함하는 요소를 포함할 수 있다. 이 요소는 전도성 피처 및 비전도성 영역을 갖는다. 전도성 피처는 비전도성 영역에 적어도 부분적으로 매립된다. 전도성 피처는 바닥 부분 및 이 바닥 부분 위에 배치되는 정상 부분을 포함한다. 정상 부분은 바닥 부분 보다 요소의 결합 표면에 더 가깝게 위치된다. 정상 부분은 바닥 부분의 평균 입자 크기 보다 작은 평균 입자 크기를 갖는다. 정상 부분의 평균 입자 크기는 500 nm 이하이다.

- [0058] 한 실시예에서, 결합 구조는 인터커넥트 구조와 제2 요소를 포함한다.
- [0059] 한 양태에서, 기판을 형성하는 방법이 개시된다. 이 방법은 반도체 요소의 비전도성 층에 공동부를 제공하는 단계, 전도성 접촉 구조를 공동부에 제공하는 단계, 및 직접 결합을 위해 비전도성 층과 전도성 접촉 구조를 준비하는 단계를 포함한다. 전도성 접촉 구조는 500 nm 미만의 평균 입자 크기를 갖는 미립 구조를 갖는다.
- [0060] 한 실시예에서, 전도성 접촉 구조는 구리를 포함한다.
- [0061] 한 실시예에서, 평균 입자 크기는 350 nm 미만이다. 평균 입자 크기는 10 nm 내지 300 nm 범위이다.
- [0062] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는, 0.5% 미만의 첨가제를 갖는 구리 전기도금 욕(bath)을 제공하고 전도성 접촉 구조를 공동부 안으로 전기도금하는 것을 포함한다. 첨가제는 붕소, 인듐, 인, 갈륨, 니켈, 코발트, 주석, 망간, 티타늄, 바나듐 및 셀레늄 중의 하나 이상을 포함한다.
- [0063] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는, 전기적으로 비활성인 나노입자를 갖는 구리 전기도금 욕을 제공하는 것을 포함한다. 전기적으로 비활성인 나노입자는 산화규소, 알루미늄 및 산화티타늄 중의 하나 이상을 포함한다. 나노입자의 농도가 1 부피% 미만일 수 있다. 나노입자의 농도는 0.1 부피% 미만일 수 있다.
- [0064] 한 실시예에서, 실온 및 120°C 미만의 온도에서 전도성 접촉 구조의 금속 입자 회복이 억제된다.
- [0065] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는 30°C 미만의 온도에서 공동부를 전기도금하는 것을 포함한다. 본 방법은 5°C 내지 15°C 범위의 온도에서 공동부를 전기도금하는 단계를 더 포함한다. 본 방법은 비전도성 층 및 전도성 접촉 구조를 5°C 내지 15°C의 온도에서 화학 기계적으로 연마하는 단계를 더 포함한다.
- [0066] 한 실시예에서, 본 방법은 개재 접촉재 없이 반도체 요소의 비전도성 층을 제2 반도체 요소의 제2 비전도성 층에 직접 결합하는 단계를 더 포함한다. 본 방법은 전도성 접촉 구조가 제2 반도체 요소의 제2 전도성 접촉 구조와 접촉하도록 반도체 요소와 제2 반도체 요소를 어닐링하는 단계를 더 포함한다. 어닐링은 300°C 미만의 온도에서 수행될 수 있다. 어닐링은 250°C 미만의 온도에서 수행될 수 있다.
- [0067] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는, 0.1 mA/cm<sup>2</sup> 내지 70 mA/cm<sup>2</sup> 범위의 전류 밀도를 사용하여 공동부를 전기도금하는 것을 포함한다.
- [0068] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는, 0.1M 내지 0.4M의 구리 이온과 0.1M 내지 1M의 산을 갖는 전기도금 욕을 제공하는 것을 포함한다.
- [0069] 한 실시예에서, 비전도성 층을 제공하는 단계는, 집적 회로 장치 위에서의 증착을 포함한다. 본 방법은 미립 구조를 갖는 전도성 접촉 구조로 공동부를 채우기 전에 그 공동부의 적어도 측벽을 장벽 층으로 라이닝하는 단계를 더 포함한다.
- [0070] 한 양태에서, 기판을 형성하는 방법이 개시된다. 본 방법은 반도체 요소의 비전도성 층에 공동부를 제공하는 단계, 전도성 접촉 구조를 공동부에 제공하는 단계, 및 직접 결합을 위해 비전도성 층과 전도성 접촉 구조를 준비하는 단계를 포함한다. 전도성 접촉 구조는 미립 구조를 갖는다.
- [0071] 한 양태에서, 전도성 접촉 구조는 구리를 포함한다.
- [0072] 한 양태에서, 전도성 접촉 구조의 입자의 대부분이 500 nm 이하의 크기를 갖는다. 입자의 대부분은 350 nm 이하의 크기를 갖는다. 입자의 대부분은 10 nm 내지 300 nm 범위의 크기를 갖는다.
- [0073] 한 양태에서, 전도성 접촉 구조의 입자의 평균 입자 크기는 500 nm 이하이다. 평균 입자 크기는 350 nm 이하일 수 있다. 평균 입자 크기는 10 nm 내지 300 nm 범위일 수 있다.
- [0074] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는, 0.5% 미만의 첨가제를 갖는 구리 전기도금 욕을 제공하고 전도성 접촉 구조를 공동부 안으로 전기도금하는 것을 포함한다. 구리 전기도금 욕은 0.1% 미만의 첨가제를 가질 수 있다. 첨가제는 붕소, 인듐, 인, 갈륨, 니켈, 코발트, 주석, 망간, 티타늄, 바나듐 및 셀레늄 중의 하나 이상을 포함할 수 있다.
- [0075] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는 전기적으로 비활성인 나노입자를 갖는 구리 전기도금 욕을 제공하는 것을 포함한다. 전기적으로 비활성인 나노입자는 산화규소, 알루미늄 및 산화티타늄 중의 하나 이상을 포함할 수 있다. 나노입자의 농도는 1 부피% 미만일 수 있다. 나노입자의 농도는 0.1 부피% 미만일 수 있다.

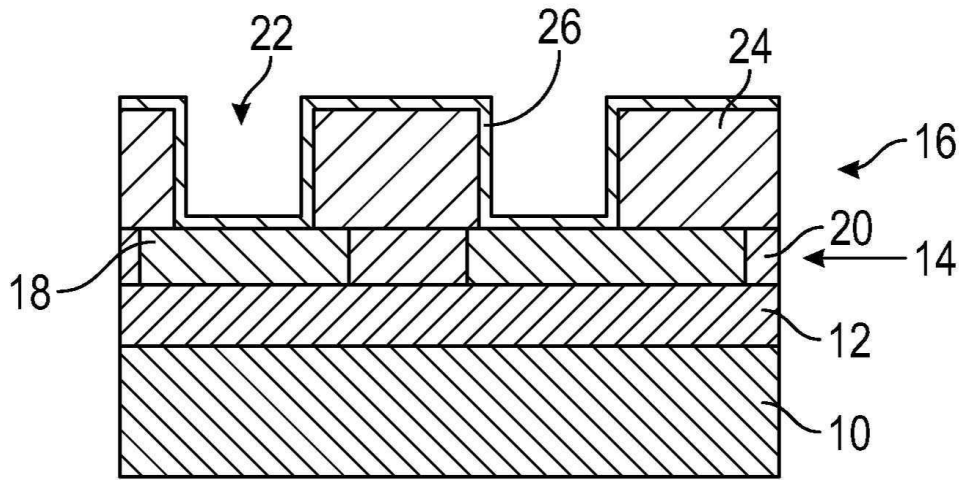
- [0076] 한 실시예에서, 실온 및 120°C 미만의 온도에서 전도성 접촉 구조의 금속 입자 회복이 억제된다.
- [0077] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는 30°C 미만의 온도에서 공동부를 전기도금하는 것을 포함한다. 본 방법은 5°C 내지 15°C 범위의 온도에서 공동부를 전기도금하는 단계를 더 포함할 수 있다. 본 방법은 비전도성 층 및 전도성 접촉 구조를 5°C 내지 15°C 범위의 온도에서 화학 기계적으로 연마하는 단계를 더 포함할 수 있다.
- [0078] 한 실시예에서, 본 방법은 개재 접촉제 없이 반도체 요소의 비전도성 층을 제2 반도체 요소의 제2 비전도성 층에 직접 결합하는 단계를 더 포함한다. 본 방법은 전도성 접촉 구조가 제2 반도체 요소의 제2 전도성 접촉 구조와 접촉하도록 반도체 요소와 제2 반도체 요소를 어닐링하는 단계를 더 포함할 수 있다. 어닐링은 300°C 미만의 온도에서 수행될 수 있다. 어닐링은 250°C 미만의 온도에서 수행될 수 있다.
- [0079] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는, 0.1 mA/cm<sup>2</sup> 내지 70 mA/cm<sup>2</sup> 범위의 전류 밀도를 사용하여 공동부를 전기도금하는 것을 포함한다. 전류 밀도는 40 mA/cm<sup>2</sup> 내지 70 mA/cm<sup>2</sup> 범위일 수 있다.
- [0080] 한 실시예에서, 전도성 접촉 구조를 제공하는 단계는, 0.1M 내지 0.4M의 구리 이온과 0.1M 내지 1M의 산을 갖는 전기도금 욕을 제공하는 것을 포함한다. 전기도금 욕은 30ppm 내지 70ppm 범위의 할로겐화물 이온을 가질 수 있다.
- [0081] 한 실시예에서, 비전도성 층을 제공하는 단계는 집적 회로 장치 위에서의 증착을 포함한다. 본 방법은 미립 구조를 갖는 전도성 접촉 구조로 공동부를 채우기 전에 그 공동부의 적어도 측벽을 장벽 층으로 라이닝하는 단계를 더 포함할 수 있다. 비전도성 층을 제공하는 단계는 집적 회로 장치 위의 재분배 층 상에서의 증착을 포함할 수 있다.
- [0082] 한 양태에서, 결합 구조가 개시된다. 이 결합 구조는, 제1 전도성 피처 및 제1 비전도성 영역을 갖는 제1 요소를 포함할 수 있다. 결합 구조는, 제2 전도성 피처 및 제2 비전도성 영역을 갖는 제2 요소를 포함할 수 있다. 제1 전도성 피처는 개재 접촉제 없이 제2 전도성 피처에 직접 결합되어 결합 계면을 형성한다. 결합 계면에서의 입자 수는 40개 입자 보다 크다. 제2 비전도성 영역은 개재 접촉제 없이 제2 비전도성 영역에 직접 결합된다.
- [0083] 한 실시예에서, 제1 전도성 피처는 500 nm 이하의 평균 입자 크기를 갖는 미립 금속을 포함한다.
- [0084] 한 실시예에서, 제1 전도성 피처는 약 0.01 $\mu$ m 내지 25 $\mu$ m 범위의 최대 횡방향 치수를 갖는다. 제1 전도성 피처는 1 $\mu$ m 미만의 최대 횡방향 치수를 가질 수 있다.
- [0085] 한 실시예에서, 결합 계면의 전체 면적은 약 100 $\mu$ m<sup>2</sup> 보다 작다. 결합 계면의 전체 면적은 약 2 $\mu$ m<sup>2</sup> 보다 작을 수 있다.
- [0086] 문맥상 달리 명확하게 요구되지 않는 한, 명세서 및 특허 청구범위 전체에 걸쳐 용어 "포함하다", "포함하는" 등은 배타적인 의미가 아닌 포괄적인 의미, 즉, "포함하지만 이에 국한되지는 않는다"는 의미로 해석되어야 한다. 본 명세서에서 일반적으로 사용되는 "결합"이라는 단어는 둘 이상의 요소들이 직접 연결되거나 하나 이상의 중간 요소에 의해 연결될 수 있다는 것을 의미한다. 마찬가지로, 본 명세서에서 일반적으로 사용되는 "연결"이라는 단어는 둘 이상의 요소들이 직접 연결되거나 하나 이상의 중간 요소에 의해 연결될 수 있다는 것을 의미한다. 또한, "여기", "위", "아래" 및 유사한 의미의 단어는 본 출원에서 사용될 때 본 출원의 특정 부분이 아닌 전체로서의 본 출원을 지칭한다. 또한, 본 명세서에서 제1 요소가 제2 요소 "위"에 있다고 기술될 때, 제1 요소는 제2 요소 바로 위에 있어서, 제1 요소와 제2 요소가 직접 접촉하거나, 제1 요소와 제2 요소 사이에 하나 이상의 요소가 개재되어 제1 요소는 제2 요소 위에 간접적으로 있을 수 있다. 문맥이 허용하는 경우, 단수 또는 복수를 사용하는 상세한 설명의 단어는 각각 복수 또는 단수를 포함할 수도 있다. 두 개 이상의 항목의 목록과 관련한 "또는"이라는 단어는 단어에 대한 다음과 같은 해석, 즉 목록 내 임의의 항목, 목록 내 모든 항목, 및 목록 내 항목의 임의의 조합을 모두 포함한다.
- [0087] 또한, "할 수 있다", "예를 들어", "예컨대" 등과 같은 본원에 사용된 조건부 언어는 달리 구체적으로 언급되거나 사용된 문맥 내에서 다르게 이해되지 않는다면 일반적으로 특정 실시예가 특정 특징, 요소 및/또는 상태를 포함하지만 다른 실시예는 포함하지 않는다는 것을 전달하도록 의도된다. 따라서, 그러한 조건부 언어는 일반적으로 특정, 요소 및/또는 상태가 하나 이상의 실시예에 대해 어떤 식으로든 필요하다는 것을 암시하도록 의도되지 않는다.

[0088]

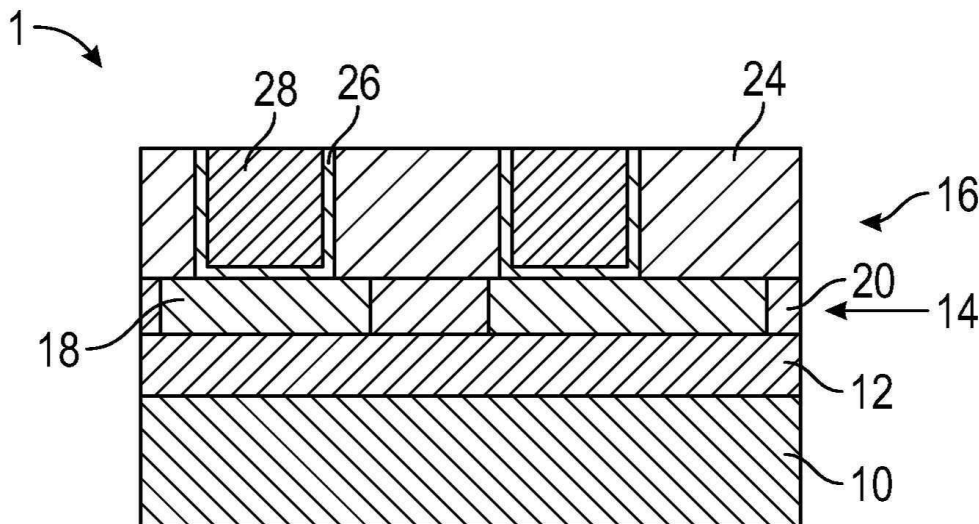
특정 실시예가 설명되었지만, 이들 실시예는 단지 예로서 제시된 것이며 본 발명의 범위를 제한하려는 의도가 아니다. 실제로, 여기에 설명된 신규 장치, 방법 및 시스템은 다양한 다른 형태로 구현될 수 있다. 또한, 본 명세서에 설명된 방법 및 시스템의 형태에 있어서의 다양한 생략, 대체 및 변경이 본 발명의 취지를 벗어나지 않고 행해질 수 있다. 예를 들어, 블록이 주어진 배열로 제공되는 동안, 대안적인 실시예는 상이한 부품 및/또는 회로 토폴로지로 유사한 기능을 수행할 수 있고, 일부 블록은 삭제, 이동, 추가, 세분화, 결합 및/또는 수정될 수 있다. 이러한 각 블록은 다양한 방식으로 구현될 수 있다. 전술한 다양한 실시예의 요소 및 동작의 임의의 적절한 조합이 조합되어 추가 실시예를 제공할 수 있다. 첨부된 청구 범위 및 그 등가물은 본 발명의 범위 및 사상 내에 속하는 그러한 형태 또는 수정을 포함하도록 의도된다.

**도면**

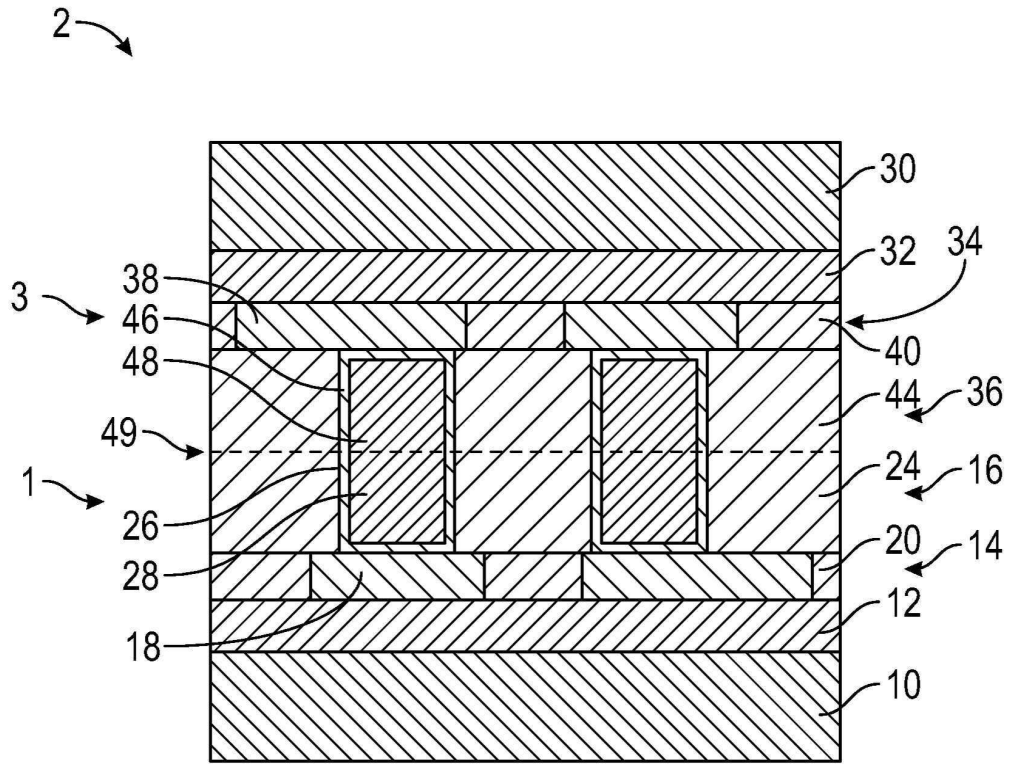
**도면1a**



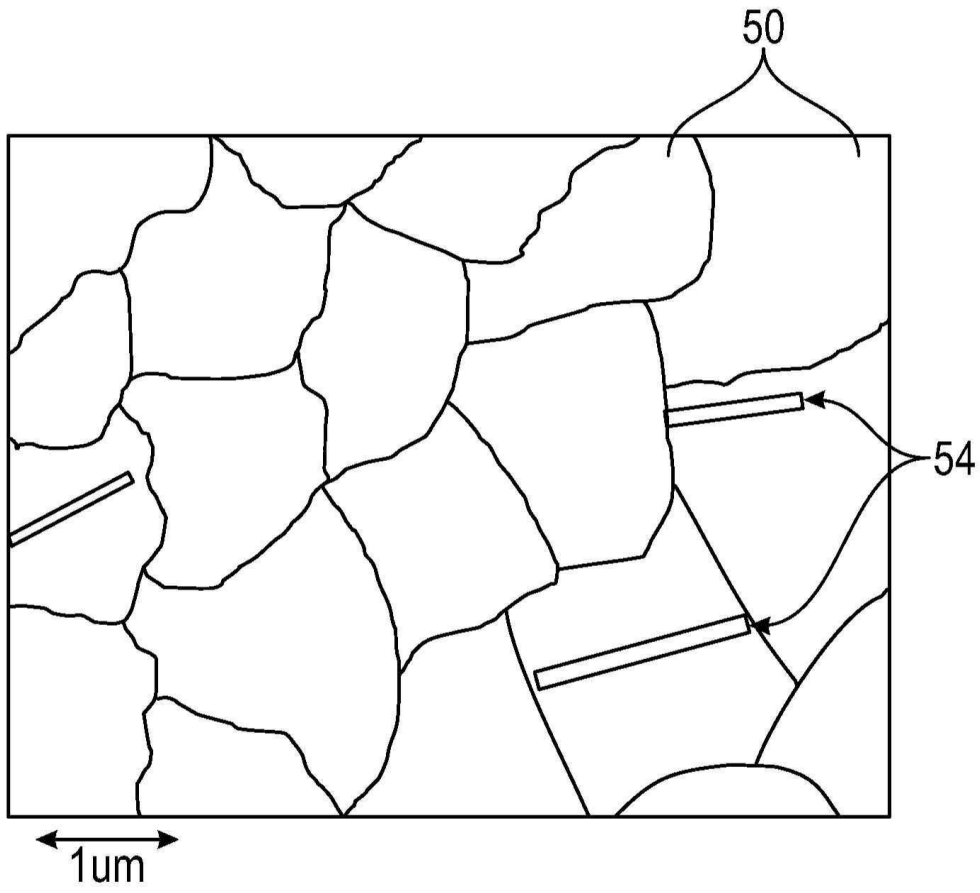
**도면1b**



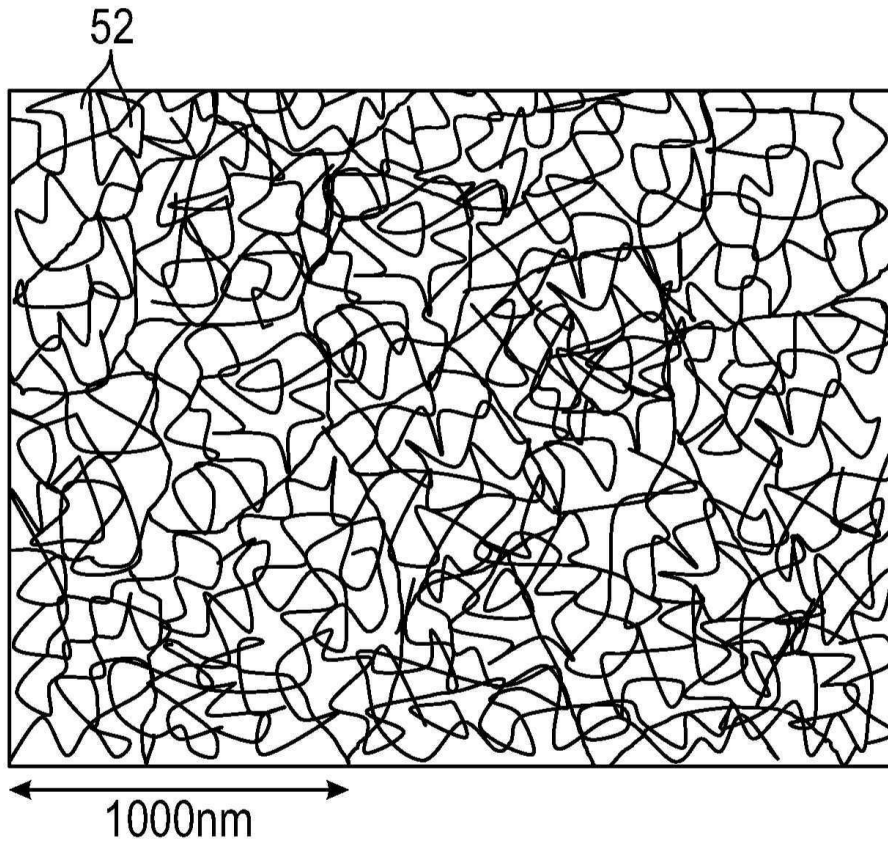
도면2



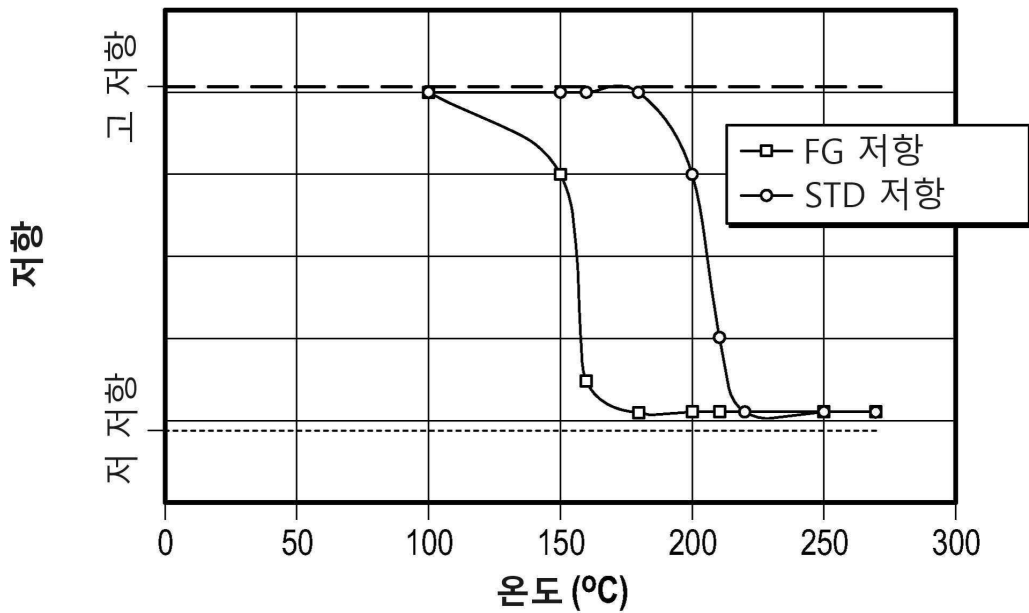
도면3



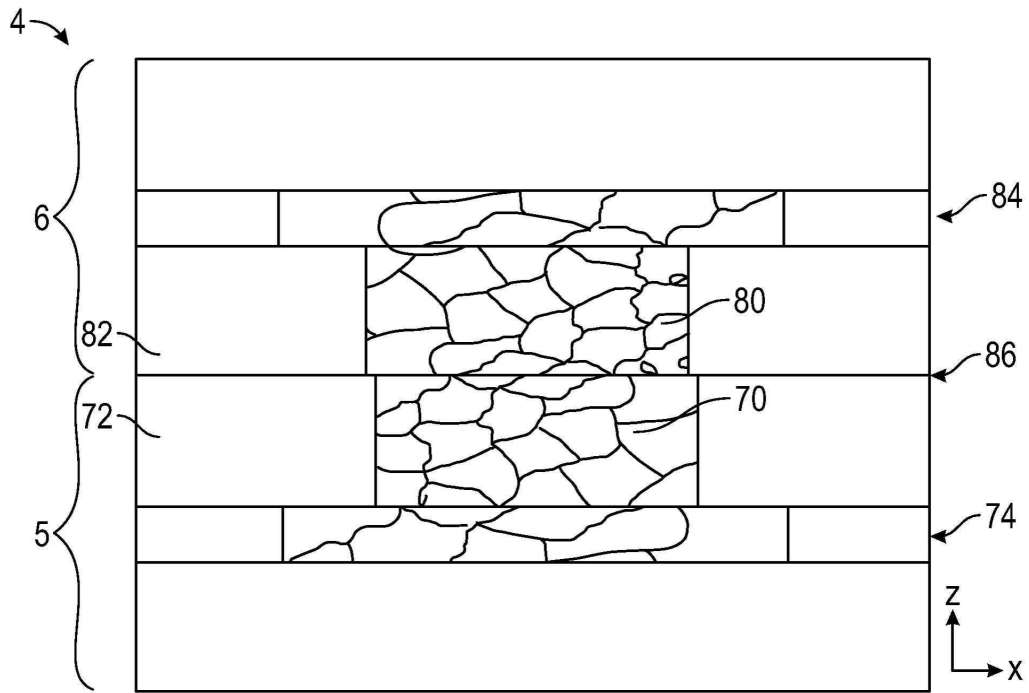
도면4



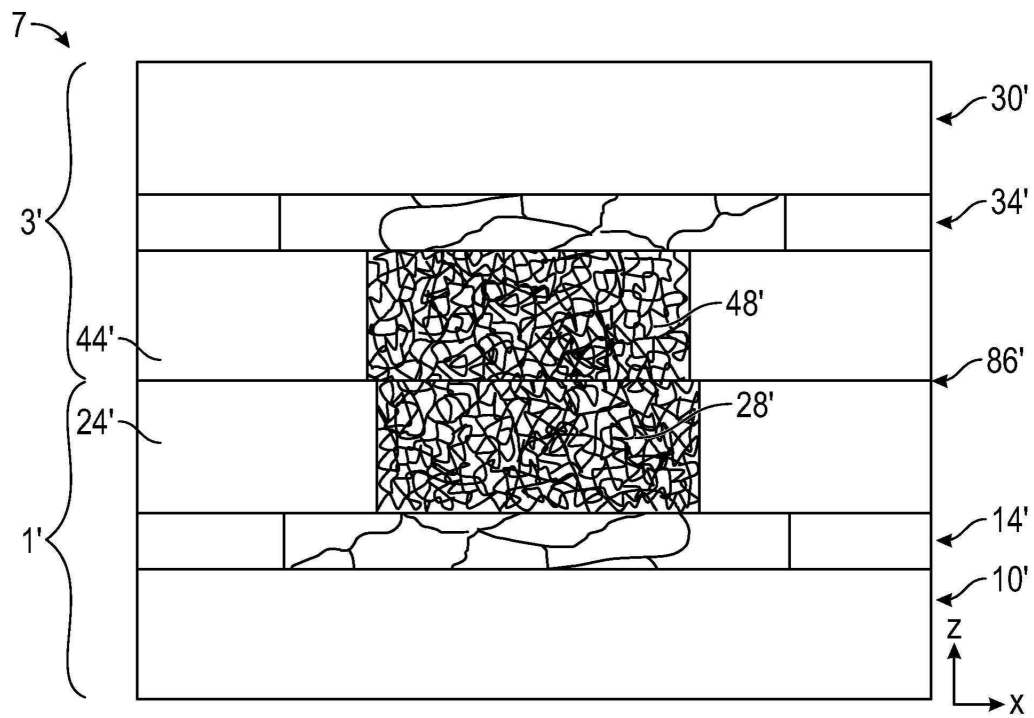
도면5



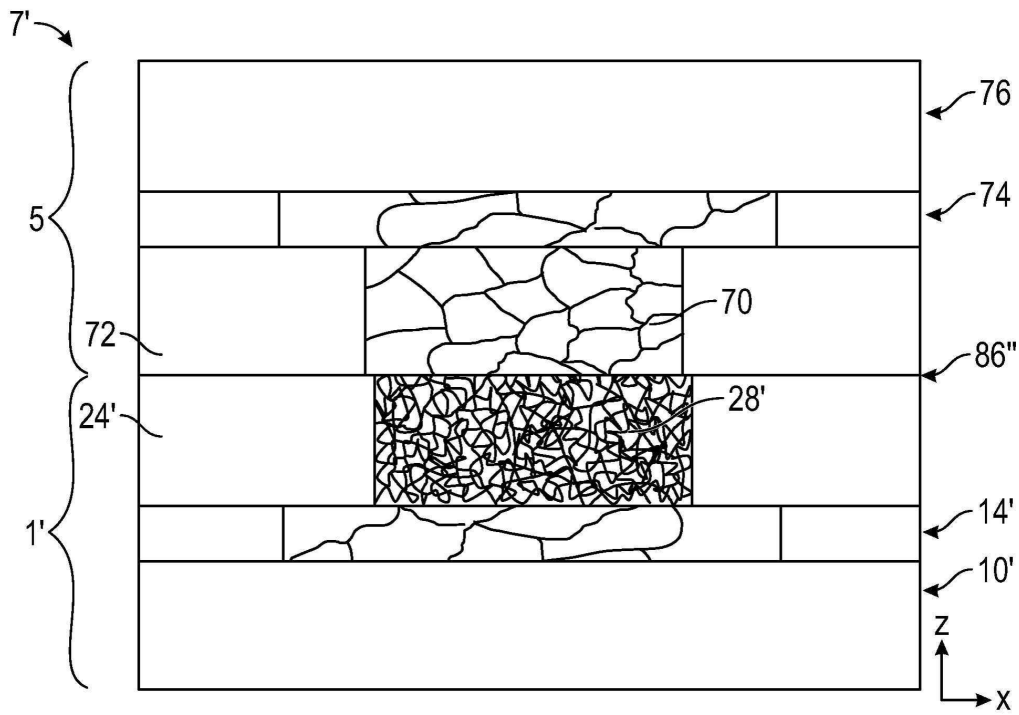
도면6a



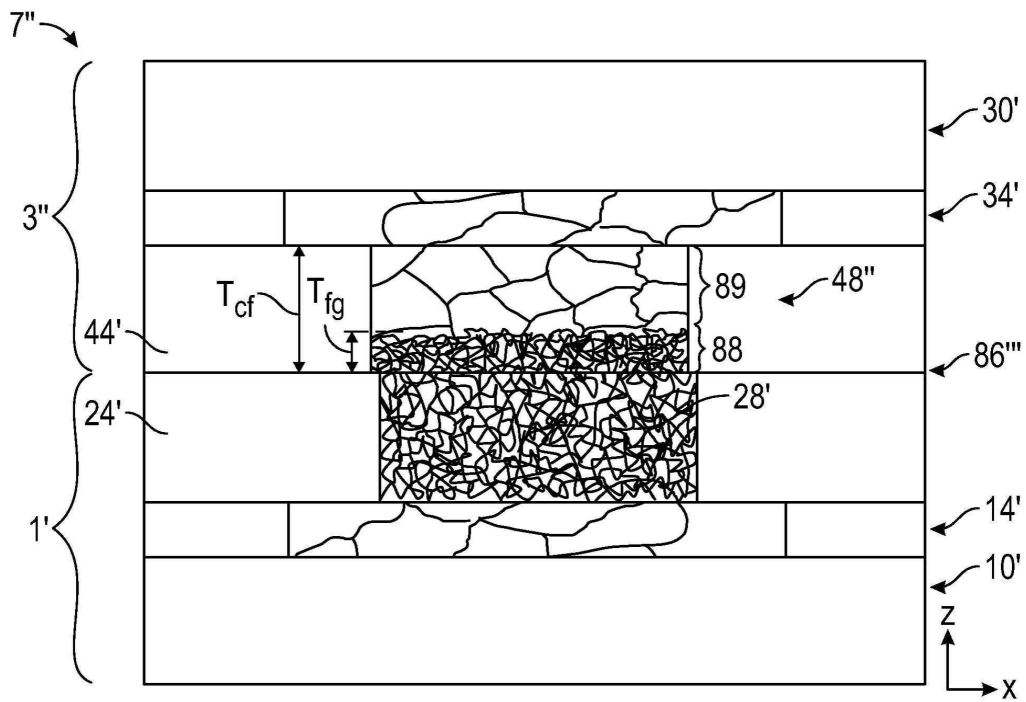
도면6b



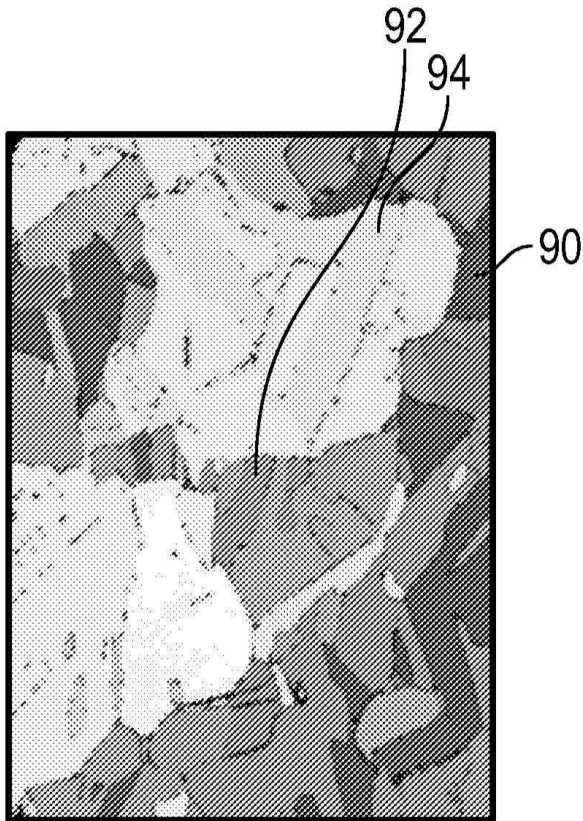
도면6c



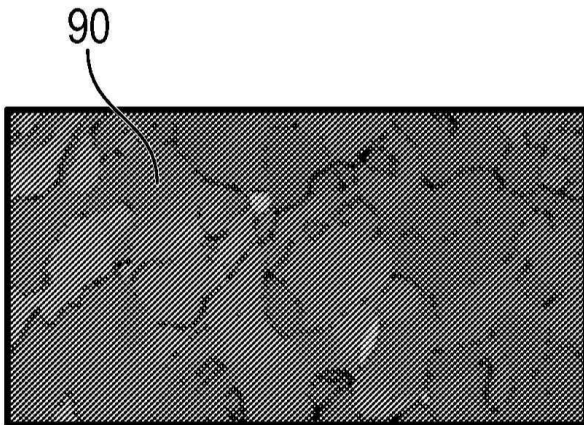
도면6d



도면7a



도면7b



도면7c

