



(12)发明专利

(10)授权公告号 CN 103988249 B

(45)授权公告日 2016.10.26

(21)申请号 201280045865.9

(22)申请日 2012.09.20

(65)同一申请的已公布的文献号  
申请公布号 CN 103988249 A

(43)申请公布日 2014.08.13

(30)优先权数据  
61/536,692 2011.09.20 US  
13/622,980 2012.09.19 US

(85)PCT国际申请进入国家阶段日  
2014.03.20

(86)PCT国际申请的申请数据  
PCT/US2012/056391 2012.09.20

(87)PCT国际申请的公布数据  
W02013/043905 EN 2013.03.28

(73)专利权人 皮克斯特隆尼斯有限公司  
地址 美国加利福尼亚州

(72)发明人 斯蒂芬·英格利希  
斯蒂芬·R·刘易斯

(74)专利代理机构 北京律盟知识产权代理有限  
责任公司 11287  
代理人 林斯凯

(51)Int.Cl.  
G09G 3/34(2006.01)

(56)对比文件  
US 2008/0129681 A1,2008.06.05,  
CN 101567173 A,2009.10.28,  
US 2011/0148948 A1,2011.06.23,  
US 2011/0164067 A1,2011.07.07,  
审查员 魏贯军

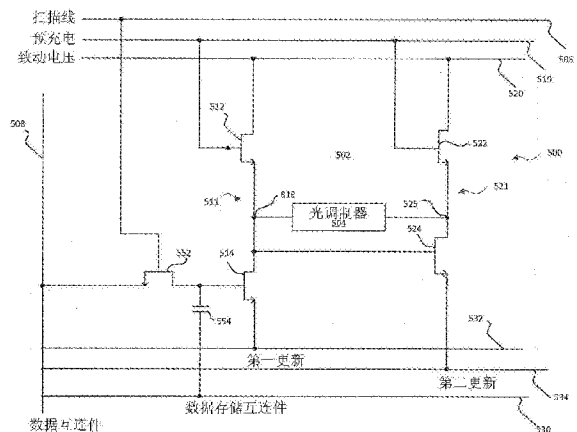
权利要求书3页 说明书24页 附图17页

(54)发明名称

用于控制显示设备的电路

(57)摘要

本发明揭示一种显示器,其包含光调制器的阵列,每一光调制器具有第一致动器及第二致动器。控制矩阵包含具有第一状态反相器的电路,所述第一状态反相器具有耦合到第二状态反相器的输入的输入。数据存储电容器耦合到所述第一反相器的输入且经配置以存储对应于像素的未来像素状态的数据电压。第一更新互连件耦合到所述第一状态反相器且经配置使得改变施加到所述第一更新互连件的电压导致所述第一致动器响应所述所存储的数据电压。第二更新互连件耦合到所述第二状态反相器且经配置使得改变施加到所述第二更新互连件的电压导致所述第二致动器响应所述第一反相器的电压状态。



1. 一种显示设备,其包括:

显示元件的阵列,每一显示元件具有经配置以驱动所述显示元件进入第一状态的第一致动器及经配置以驱动所述显示元件进入第二状态的第二致动器;以及

控制矩阵,其针对每一像素包含:

电路,其包含第一状态反相器及第二状态反相器,所述第一状态反相器具有耦合到所述第二状态反相器的输入的输入;

第一更新互连件,其耦合到所述第一状态反相器,所述第一更新互连件经配置使得改变施加到所述第一更新互连件的电压导致所述第一致动器响应对应于所述像素的未来像素状态的数据电压;以及

第二更新互连件,其耦合到所述第二状态反相器,所述第二更新互连件经配置使得改变施加到所述第二更新互连件的电压导致所述第二致动器响应所述第一状态反相器的电压状态,

其中所述电路包含仅n型晶体管,且所述显示设备经配置以将施加到所述第一更新互连件的所述电压降低到第一低电压以导致所述第一状态反相器响应所述数据电压,且在所述第一状态反相器响应所述数据电压后,降低施加到所述第二更新互连件的所述电压以导致所述第二状态反相器响应所述第一状态反相器的所述电压状态,或者

其中所述电路包含仅p型晶体管且所述显示设备经配置以将施加到所述第一更新互连件的所述电压升高到第一电压以导致所述第一状态反相器响应所述数据电压,且在所述第一状态反相器响应所述数据电压后,升高施加到所述第二更新互连件的所述电压以导致所述第二状态反相器响应所述第一状态反相器的所述电压状态。

2. 根据权利要求1所述的显示设备,其中所述控制矩阵使用具有铟镓锌氧化物IGZO层的晶体管。

3. 根据权利要求1所述的显示设备,其中数据存储电容器耦合到所述第一状态反相器的一输入且经配置以存储所述数据电压。

4. 根据权利要求1所述的显示设备,其中所述显示设备经配置以在多个显示元件的整个寻址及激活过程中将所述致动电压互连件维持于致动电压附近。

5. 根据权利要求1所述的显示设备,其中所述第一状态反相器包含耦合到所述第一更新互连件的第一放电晶体管且所述第二状态反相器包含耦合到所述第二更新互连件的第二放电晶体管,所述第一放电晶体管的输出耦合到所述第二放电晶体管的所述输入,且其中在将施加到所述第一更新互连件的所述电压降低到所述第一低电压时,所述第一放电晶体管响应所述数据电压,导致所述第一状态反相器响应于所述数据电压而呈现一状态;以及在降低施加到所述第二更新互连件的所述电压时,所述第二放电晶体管响应所述第一状态反相器的所述状态使得所述第二状态反相器呈现与所述第一状态反相器的所述状态相反的状态。

6. 根据权利要求5所述的显示设备,其进一步包括响应于所述第二状态反相器呈现与所述第一状态反相器的所述状态相反的状态而激活至少一个光源。

7. 根据权利要求1所述的显示设备,其中所述显示设备经配置以:

将施加到所述第一更新互连件的电压升高到第一电压状态以导致所述第一状态反相器响应所述数据电压,以及

在所述第一状态反相器响应所述数据电压后,升高施加到所述第二更新互连件的电压以导致所述第二状态反相器响应所述第一状态反相器的所述电压状态。

8. 根据权利要求7所述的显示设备,其中所述第一状态反相器包含耦合到所述第一更新互连件的第一放电晶体管且所述第二状态反相器包含耦合到所述第二更新互连件的第二放电晶体管,所述第一放电晶体管的输出耦合到所述第二放电晶体管的所述输入,且其中在将施加到所述第一更新互连件的所述电压升高到所述第一电压状态时,所述第一放电晶体管响应所述数据电压,导致所述第一状态反相器响应于存储在所述数据电压上的所述数据而呈现一状态;以及在升高施加到所述第二更新互连件的所述电压时,所述第二放电晶体管响应所述第一状态反相器的所述状态使得所述第二状态反相器呈现与所述第一状态反相器的所述状态相反的状态。

9. 根据权利要求8所述的显示设备,其进一步包括响应于所述第二状态反相器呈现与所述第一状态反相器的所述状态相反的状态而激活至少一个光源。

10. 根据权利要求1所述的显示设备,其中所述电路对称使得所述第一状态反相器的所述输入及所述第二状态反相器的所述输入经配置以接收互补数据输入。

11. 根据权利要求1所述的显示设备,其中所述电路进一步包含耦合到所述第一状态反相器及所述第二状态反相器的单个致动电压互连件。

12. 根据权利要求11所述的显示设备,其中所述第一状态反相器包含耦合到所述致动电压互连件的第一充电晶体管且所述第二状态反相器包含耦合到所述致动电压互连件的第二充电晶体管。

13. 根据权利要求11所述的显示设备,其中所述第一状态反相器包含一第一二极管连接的晶体管且所述第二状态反相器包含第二二极管连接的晶体管,且其中所述第一二极管连接的晶体管及所述第二二极管连接的晶体管连接到单个致动电压互连件。

14. 根据权利要求1所述的显示设备,其中所述电路进一步包含耦合到所述第一状态反相器及所述第二状态反相器的预充电电压互连件。

15. 根据权利要求1所述的显示设备,其中所述显示元件包含光调制器。

16. 根据权利要求1所述的显示设备,其中所述显示元件包含机电系统EMS显示元件。

17. 根据权利要求1所述的显示设备,其中所述显示元件包含微机电系统MEMS显示元件。

18. 根据权利要求1所述的显示设备,其进一步包括:

显示器,其包括所述显示元件的阵列;

处理器,其经配置以与所述显示器通信,所述处理器经配置以处理图像数据;以及存储器装置,其经配置以与所述处理器通信。

19. 根据权利要求18所述的显示设备,其进一步包括:

驱动电路,其经配置以发送至少一个信号到所述显示器;且其中

所述控制器进一步经配置以发送所述图像数据的至少一个部分到所述驱动电路。

20. 根据权利要求18所述的显示设备,其进一步包括:

图像源模块,其经配置以发送所述图像数据到所述处理器,其中所述图像源模块包括接收器、收发器及发射器的中至少一者。

21. 根据权利要求19所述的显示设备,其进一步包括:

输入装置,其经配置以接收输入数据并将所述输入数据传达到所述处理器。

22.一种用于在显示设备上产生图像的方法,其包括:

对于包含第一状态反相器及第二状态反相器的电路,施加第一致动电压到对应于所述第一状态反相器的第一致动节点及施加第二致动电压到对应于所述第二状态反相器的第二致动节点;

响应于对应于像素的未来像素状态的数据电压,通过控制施加到耦合到所述第一状态反相器的第一更新互连件的第一更新电压而更新施加到所述第一致动节点的所述第一致动电压;

响应于更新施加到所述第一致动节点的所述第一致动电压,通过在将所述第一更新电压施加到所述第一更新互连件后控制施加到耦合到所述第二状态反相器的第二更新互连件的第二更新电压而更新施加到所述第二致动节点的所述第二致动电压;以及

激活光源以在所述显示设备上产生图像,其中所述电路包含仅n型晶体管或者仅p型晶体管。

23.根据权利要求22所述的方法,其中响应于对应于所述像素的所述未来像素状态的所述数据电压而更新施加到所述第一致动节点的所述第一致动电压包含:降低所述第一更新互连件上的所述第一更新电压。

24.根据权利要求22所述的方法,其中更新施加到所述第二致动节点的所述第二致动电压包含:降低所述第二更新互连件上的所述第二更新电压。

25.根据权利要求22所述的方法,其中响应于所述第一致动节点上的所述第一致动电压及所述第二致动节点上的所述第二致动电压而调整所述显示设备的显示元件。

## 用于控制显示设备的电路

[0001] 相关申请案

[0002] 本专利申请案主张2011年9月20日申请的标题为“用于控制显示设备的电路(Circuits for Controlling Display Apparatus)”的第61/536,692号美国临时专利申请案及2012年9月19日申请的标题为“用于控制显示设备的电路(Circuits for Controlling Display Apparatus)”的第13/622,980号美国非临时申请案的优先权。先前申请案的揭示内容被视作本专利申请案的一部分且以引用的方式并入本专利申请案。

### 技术领域

[0003] 本发明涉及机电系统(EMS)的领域。特定来说,本发明涉及用于控制显示设备的EMS光调制器的阵列以产生显示图像的电路。

### 背景技术

[0004] 各种显示设备包含具有透射或反射光以形成图像的对应光调制器的显示像素的阵列。光调制器包含用于在第一状态与第二相反状态之间驱动光调制器的致动器。在特定显示设备中,需增大光调制器的速度及可靠性。光调制器由被称作控制矩阵的电路集合控制。

### 发明内容

[0005] 本发明的系统、方法及装置各自具有数个创新方面,其中单个一者不单独负责本文所揭示的所要属性。

[0006] 本发明所述的标的物的一个创新方面可实施为一种显示设备,其包含显示元件的阵列,每一显示元件具有经配置以驱动显示元件进入第一状态的第一致动器及经配置以驱动显示元件进入第二状态的第二致动器。显示设备还包含控制矩阵,所述控制矩阵针对每一像素包含包括第一状态反相器及第二状态反相器的电路。第一状态反相器具有耦合到第二状态反相器的输入的输入。控制矩阵针对每一像素还包含耦合到第一反相器的输入的数据存储电容器。数据存储电容器经配置以存储对应于像素的未来像素状态的数据电压。针对每一像素,控制矩阵还包含耦合到第一状态反相器的第一更新互连件。第一更新互连件经配置使得改变施加到第一更新互连件的电压导致第一致动器响应存储在数据存储电容器上的数据电压。针对每一像素,控制矩阵还包含耦合到第二状态反相器的第二更新互连件。第二更新互连件经配置使得改变施加到第二更新互连件的电压导致第二致动器响应第一反相器的电压状态。在一些实施方案中,控制矩阵使用具有铟镓锌氧化物(IGZO)层的晶体管。在一些实施方案中,显示设备经配置以在多个显示元件的寻址及激活过程中将致动电压互连件维持在大约致动电压。

[0007] 在一些实施方案中,显示设备经配置以将施加到第一更新互连件的电压降低到第一低电压以导致第一反相器响应存储在数据存储电容器上的数据。在第一反相器响应存储在数据存储电容器上的数据后,显示设备经配置以降低施加到第二更新互连件的电压以导

致第二反相器响应第一反相器的电压状态。

[0008] 在一些实施方案中,第一反相器包含耦合到第一更新互连件的第一放电晶体管且第二反相器包含耦合到第二更新互连件的第二放电晶体管。第一放电晶体管的输出耦合到第二放电晶体管的输入。在将施加到第一更新互连件的电压降低到第一低电压后,第一放电晶体管即刻响应存储在数据存储电容器上的数据,导致第一反相器呈现响应于存储在数据存储电容器上的数据的状态。在降低施加到第二更新互连件的电压后,第二放电晶体管即刻响应第一反相器的状态,使得第二反相器呈现与第一反相器的状态相反的状态。在一些实施方案中,显示设备经配置以响应于第二反相器呈现与第一反相器的状态相反的状态而激活至少一个光源。

[0009] 在一些实施方案中,显示设备经配置以将施加到第一更新互连件的电压升高到第一电压状态以导致第一反相器响应存储在数据存储电容器上的数据。在第一反相器响应存储在数据存储电容器上的数据后,显示设备经配置以升高施加到第二更新互连件的电压以导致第二反相器响应第一反相器的电压状态。

[0010] 在一些实施方案中,第一反相器包含耦合到第一更新互连件的第一放电晶体管且第二反相器包含耦合到第二更新互连件的第二放电晶体管。第一放电晶体管的输出耦合到第二放电晶体管的输入。在将施加到第一更新互连件的电压升高到第一电压状态后,第一放电晶体管即刻响应存储在数据存储电容器上的数据,其导致第一反相器呈现响应于存储在数据存储电容器上的数据的状态。在升高施加到第二更新互连件的电压后,第二放电晶体管即刻响应第一反相器的状态,使得第二反相器呈现与第一反相器的状态相反的状态。在一些实施方案中,显示设备经配置以响应于第二反相器呈现与第一反相器的状态相反的状态而激活至少一个光源。

[0011] 在一些实施方案中,电路是对称的,使得第一状态反相器的输入及第二状态反相器的输入经配置以接收互补数据输入。在一些实施方案中,电路包含仅n型晶体管及仅p型晶体管中的一者。

[0012] 在一些实施方案中,电路进一步包含耦合到第一状态反相器及第二状态反相器的单个致动电压互连件。在一些实施方案中,第一状态反相器包含耦合到致动电压互连件的第一充电晶体管且第二反相器包含耦合到致动电压互连件的第二充电晶体管。在一些实施方案中,电路进一步包含耦合到第一状态反相器及第二状态反相器的预充电电压互连件。在一些实施方案中,电路进一步包含耦合到第一状态反相器及第二状态反相器的预充电电压互连件。

[0013] 在一些实施方案中,显示元件包含光调制器。在一些实施方案中,显示元件包含机电系统(EMS)显示元件。在一些实施方案中,显示元件包含微机电系统(MEMS)显示元件。

[0014] 在一些实施方案中,显示设备包含并入显示元件的阵列及控制器的模块、经配置以处理图像数据的处理器及经配置以与处理器通信的存储器装置。

[0015] 在一些实施方案中,控制器包含处理器及存储器装置中的至少一者。在一些实施方案中,设备包含经配置以发送至少一个信号到显示模块的驱动器电路且处理器进一步经配置以发送图像数据的至少一部分到驱动器电路。

[0016] 在一些实施方案中,设备包含经配置以发送图像数据到处理器的图像源模块。在一些此类实施方案中,图像源模块包含接收器、收发器及发射器中的至少一者。在一些实施

方案中,设备包含经配置以接收输入数据且将输入数据传送到处理器的输入装置。

[0017] 本发明所述的标的物的一个创新方面可实施为一种用于在显示设备上产生图像的方法。所述方法包含,对包含第一状态反相器及第二状态反相器的电路,施加第一预充电电压到对应于第一状态反相器的第一致动节点及施加第二预充电电压到对应于第二状态反相器的第二致动节点。所述方法还包含响应于对应于像素的未来像素状态的数据电压而更新施加到第一致动节点的第一预充电电压。所述方法还包含响应于更新施加到第一致动节点的第一预充电电压而更新施加到第二致动节点的第二预充电电压。此外,方法包含激活光源以在显示设备上产生图像。

[0018] 在一些实施方案中,更新施加到第一致动节点的第一预充电电压包含将第一更新互连件带到低电压。在一些实施方案中,更新第二预充电电压包含将第二更新互连件带到低电压。在一些实施方案中,响应于第一致动节点处的第一预充电电压及第二致动节点处的第二预充电电压而调整显示设备的显示元件。

[0019] 本说明书所述的标的物的一个或一个以上实施方案的细节描述于下列附图及描述中。虽然本发明内容中所提供的实例主要针对基于机电系统(EMS)的显示器而描述,但是本文提供的概念可应用于其它类型的显示器,例如液晶显示器(LCD)、有机发光二极管(OLED)显示器、电泳显示器及场发射显示器以及其它非显示器EMS装置,例如EMS麦克风、传感器及光学开关。可从描述、图式及权利要求书中了解其它特征、方面及优点。注意,下列图式的相对尺寸可能未按比例绘制。

## 附图说明

[0020] 图1A展示直观式基于MEMS的显示设备的实例示意图。

[0021] 图1B展示主机装置的实例框图。

[0022] 图2A展示说明性的基于光闸的光调制器的实例透视图。

[0023] 图2B展示基于卷绕致动器光闸的光调制器的横截面图。

[0024] 图2C展示说明性的非基于光闸的机电系统(MEMS)光调制器的横截面图。

[0025] 图2D展示基于电湿润的光调制阵列的横截面图。

[0026] 图3A展示控制矩阵的实例示意图。

[0027] 图3B展示连接到图3A的控制矩阵的基于光闸的光调制器的阵列的透视图。

[0028] 图4A及4B展示双致动器光闸组合件的实例视图。

[0029] 图5展示实例控制矩阵的一部分。

[0030] 图6展示实例帧寻址及像素致动方法的流程图。

[0031] 图7展示施加到控制矩阵的各种互连件的实例电压的时序图。

[0032] 图8展示另一实例控制矩阵的一部分。

[0033] 图9展示实例帧寻址及像素致动方法的流程图。

[0034] 图10展示施加到控制矩阵的各种互连件的实例电压的时序图。

[0035] 图11展示另一实例控制矩阵的一部分。

[0036] 图12A及12B为说明包含多个显示元件的显示装置的系统框图。

[0037] 在各图式中的相同的参考数字及标号指示相同的元件。

### 具体实施方式

[0038] 本发明涉及用于控制显示设备的显示元件的阵列以在显示器上产生图像的电路。在一些实施方案中,每一显示元件对应于显示像素。特定显示设备包含显示元件,例如光调制器,其包含用于驱动光调制器进入第一状态例如接通状态(其中光调制器发射光)及第二状态例如断开状态(其中光调制器不输出任何光)的一个或一个以上致动器。用于驱动上述致动器的电路布置为控制矩阵。控制矩阵针对任何给定图像帧将阵列的每一像素寻址为处于对应于对应光调制器的接通状态的接通状态或对应于对应光调制器的断开状态的断开状态。

[0039] 在特定显示设备中,控制矩阵可包含并入有金属氧化物层的晶体管,例如铟镓锌氧化物(InGaZnO),通常称为IGZO。例如由IGZO制成的控制矩阵的控制矩阵可使用单种类型的晶体管例如仅n-MOS晶体管来构建。使用其它材料的其它控制矩阵可仅使用p-MOS晶体管构建。仅使用一种类型的晶体管构建的控制矩阵通常不如并入有n-MOS及p-MOS晶体管的晶体管可靠。为了改善仅包含一种类型的晶体管的此类控制矩阵的可靠性,一些控制矩阵可使用多个数据互连件或致动电压互连件。这可导致大的额外功率消耗并减小可用于光通过量的衬底空间,从而降低显示器亮度。

[0040] 为了在减轻单个晶体管型控制矩阵的不可靠性的同时及在不以额外功率消耗折中的情况下实现使用基于金属氧化物的晶体管的好处,在一些实施方案中,控制矩阵可包含单个致动电压互连件及两个单独的更新互连件。通过使用两个单独的更新互连件(每一更新互连件经配置以独立控制电路的放电晶体管),控制矩阵可以可靠地控制像素的状态,从而防止像素进入中间状态。

[0041] 本发明所述的标的物的特定实施方案可经实施以实现下列潜在优点中的一者或一者以上。通过使用两个单独的更新互连件(每一更新互连件经配置以独立控制控制矩阵的放电晶体管),控制矩阵可由衬底制成,例如IGZO,在所述衬底上仅形成一种类型的晶体管。以此方式,控制矩阵能够得益于在减轻此类控制矩阵的不可靠性的同时及在不以额外功率消耗折中的情况下改善的衬底性质。

[0042] 图1A展示直观式基于MEMS的显示设备100的示意图。显示设备100包含布置为行及列的多个光调制器102a到102d(统称“光调制器102”)。在显示设备100中,光调制器102a及102d处于打开状态,允许光通过。光调制器102b及102c处于闭合状态,阻碍光的通过。如果背光显示器被一或多个灯105照亮,那么可通过选择性地设定光调制器102a到102d的状态而将显示设备100用于形成背光显示器的图像104。在另一实施方案中,设备100可通过源自设备的前方的环境光的反射而形成图像。在另一实施方案中,设备100可通过来自定位在显示器前方的一或多个灯的光反射(即通过使用前光)形成图像。

[0043] 在一些实施方案中,每一光调制器102对应于图像104中的像素106。在一些其它实施方案中,显示设备100可使用多个光调制器来在图像104中形成像素106。例如,显示设备100可包含三个颜色特定的光调制器102。通过选择性地开启所述颜色特定的光调制器102中的对应于特定的像素106的一者或一者以上,显示设备100可在图像104中产生彩色像素106。在另一实例中,显示设备100针对每个像素106包含两个或两个以上光调制器102,以在图像104中提供亮度级。关于图像,“像素(pixel)”对应于由图像的分辨率界定的最小图元。

关于显示设备100的结构性组件,术语“像素”是指用于对形成所述图像的单个像素的光进行调制的组合的机械及电气组件。

[0044] 显示设备100为直观式显示器,原因在于显示设备100可不包含通常存在于投影应用中的成像光学装置。在投影显示器中,形成于显示设备的表面上的图像被投影于屏幕上或壁上。所述显示设备大体上小于经投影图像。在直观式显示器中,用户通过直接观看所述显示设备即可看到图像,所述显示设备含有光调制器且任选地含有用于加强在所述显示器上看到的亮度及/或对比度的背光或前光。

[0045] 直观式显示器可以透射模式或反射模式操作。在透射显示器中,光调制器过滤或选择性地阻挡源自定位于所述显示器的后方的一个或多个灯的光。来自所述灯的光任选地经注入到光导或“背光(backlight)”中,使得每一像素可被均匀地照明。透射直观式显示器通常建立于透明衬底或玻璃衬底上,以促成夹层组合件布置,其中一个衬底(含有光调制器)直接定位于背光的顶部上。

[0046] 每一光调制器102可包含光闸108及孔隙109。为了照明图像104中的像素106,定位光闸108以使得光闸108允许光穿过孔隙109而照向观看者。为了保持像素106不被照明,定位光闸108以使得光闸108阻挡光穿过孔隙109。孔隙109由穿过每一光调制器102中的反射材料或光吸收材料而图案化的开口界定。

[0047] 所述显示设备还包含控制矩阵,其连接到衬底且连接到光调制器,以控制所述光闸的移动。所述控制矩阵包含一系列电互连件(例如,互连件110、112及114),包含用于每行像素的至少一个写入启用互连件110(也被称为“扫描线互连件”、用于每列像素的一个数据互连件112,及一个共同互连件114(其提供共同电压到所有像素,或者提供共同电压至少到来自显示设备100中的多个列及多个行两者的像素)。响应于施加合适的电压(“写入启用电压, $V_{we}$ ”),用于给定行像素的写入启用互连件110使所述行中的像素准备好接受新的光闸移动指令。数据互连件112以数据电压脉冲的形式传送所述新的移动指令。在一些实施方案中,施加到数据互连件112的数据电压脉冲直接促成光闸的静电移动。在一些其它实施方案中,数据电压脉冲控制开关,例如,晶体管或控制将单独致动电压(量值通常高于所述数据电压)施加到光调制器102的其它非线性电路元件。施加这些致动电压于是导致光闸108发生静电驱动移动。

[0048] 图1B展示主机装置(即,手机、智能电话、PDA、MP3播放器、平板计算机、电子阅读器等等)的框图120的实例。主机装置包含显示设备128、主机处理器122、环境传感器124、用户输入模块126及电源。

[0049] 显示设备128包含多个扫描驱动器130(也被称为“写入启用电压源”)、多个数据驱动器132(也被称为“数据电压源”)、控制器134、共同驱动器138、灯140到灯146、灯驱动器148及光调制器150。扫描驱动器130将写入启用电压施加到扫描线互连件110。数据驱动器132将数据电压施加到数据互连件112。

[0050] 在所述显示设备的一些实施方案中,数据驱动器132经配置以提供模拟数据电压到所述光调制器,尤其在图像104的亮度级待以模拟方式导出的情形下。在模拟操作中,光调制器102经设计使得当通过数据互连件112施加某一范围的中间电压时,导致光闸108中产生某一范围的中间打开状态且因此图像104中产生某一范围的中间照明状态或中间亮度级。在其它情形下,数据驱动器132经配置以仅施加一组减少的2、3或4个数字电压电平到数

据互连件112。这些电压电平经设计以用数字形式对光闸108中的每一者设定打开状态、闭合状态或其它离散状态。

[0051] 扫描驱动器130及数据驱动器132连接到数字控制器电路134(也被称为“控制器134”)。所述控制器以几近串行的方式将数据发送到数据驱动器132,所述数据以按行且按图像帧分组的预定的序列组织。数据驱动器132可包含串行到并行数据转换器、电平移位,且对于一些应用还包含数/模电压转换器。

[0052] 任选地,所述显示设备包含一组共同驱动器138,其也被称为共同电压源。在一些实施方案中,共同驱动器138提供DC共同电势到光调制器阵列内的所有光调制器,例如,通过供应电压到一系列共同互连件114。在一些其它实施方案中,共同驱动器138在接收到来自控制器134的命令之后,发出电压脉冲或信号到光调制器阵列,所述电压脉冲或信号例如为全局致动脉冲,其能够驱动及/或起始同时致动所述阵列的多个行及列中的所有光调制器。

[0053] 用于不同显示功能的所有驱动器(例如,扫描驱动器130、数据驱动器132及共同驱动器138)通过控制器134来时间同步。来自控制器的时序命令协调经由灯驱动器148的红灯、绿灯及蓝灯及白灯(分别为140、142、144及146)的照明、对像素阵列内的特定行的写入启用及定序、从数据驱动器132的电压输出及提供光调制器致动的电压输出。

[0054] 控制器134确定定序或寻址方案,可通过所述方案重设光闸108中的每一者到适于新的图像104的照明等级。可以周期性间隔设定新的图像104。例如,对于视频显示器,以从10赫兹(Hz)到300Hz的频率刷新彩色图像104或视频帧。在一些实施方案中,将图像帧设定到阵列与灯140、142、144及146的照明同步,使得用一系列交替的颜色(例如,红色、绿色及蓝色)照明交替图像帧。用于每一相应颜色的图像帧被称为颜色子帧。在此方法(被称为场序彩色法)中,如果颜色子帧以超过20Hz的频率交替,那么人脑将使交替的帧图像平均成感受到具有多种且连续范围颜色的图像。在替代性实施方案中,可在显示设备100中采用四个或四个以上具有原色的灯,从而采用除了红色、绿色及蓝色之外的原色。

[0055] 在其中显示设备100经设计用于光闸108在打开状态与闭合状态之间进行数字切换的一些实施方案中,控制器134通过如上所述的时分灰度方法形成图像。在一些其它实施方案中,显示设备100可通过对每个像素使用多个光闸108而提供灰度。

[0056] 在一些实施方案中,用于图像状态104的数据由控制器134通过对个别行(也被称为扫描线)进行依序寻址而加载到调制器阵列。对于所述序列中的每一行或扫描线,扫描驱动器130施加写入启用电压到用于所述阵列的所述行的写入启用互连件110,且随后数据驱动器132为选定行中的每一列供应数据电压,其对应于所要的光闸状态。重复此过程,直到已对阵列中的所有行加载数据。在一些实施方案中,用于数据加载的选定行的次序是线性的,在所述阵列中从顶部推进到底部。在一些其它实施方案中,选定行的次序经伪随机化,以最小化视觉假象。且在一些其它实施方案中,按块组织所述定序,其中对于一个块,仅用于某一部分的图像状态104的数据被加载到阵列,例如,通过依序对所述阵列的仅每五行进行寻址而实现上述目的。

[0057] 在一些实施方案中,用于将图像数据加载到阵列的过程与致动光闸108的过程在时间上分开。在这些实施方案中,调制器阵列可包含用于阵列中的每一像素的数据存储器元件,且控制矩阵可包含全局致动互连件,其用于载运来自共同驱动器138的触发信号,以

根据存储于所述存储器元件中的数据来起始同时致动光闸108。

[0058] 在替代性实施方案中,可将像素阵列及控制像素的控制矩阵布置成除了矩形行及列之外的配置。例如,所述像素可布置成六角形阵列或者曲线行及列。一般地,如本文中所示使用,术语扫描线应指共享写入启用互连件的任何多个像素。

[0059] 主机处理器122一般控制主机的操作。例如,主机处理器可为用于控制便携式电子装置的通用或专用处理器。相对于显示设备128(包含于主机装置120内),主机处理器输出图像数据,且还输出关于主机的额外数据。此类信息可包含来自环境传感器的数据,例如环境光或温度;关于主机的信息,例如包含,所述主机的操作模式或所述主机的电源中剩余的电量;关于所述图像数据的内容的信息;关于图像数据的类型的信息;及/或供显示设备在选择成像模式时使用的指令。

[0060] 用户输入模块126直接或经由主机处理器122将用户的个人偏好传送到控制器134。在一些实施方案中,所述用户输入模块由软件控制,在所述软件中,用户将个人偏好编程为“更深的颜色”、“更好的对比度”、“更低的功率”、“增加的亮度”、“运动”、“真人秀”或“动画”。在一些其它实施方案中,使用硬件(例如,开关或转盘)将这些偏好输入到所述主机。到所述控制器134的多个数据输入引导控制器提供对应于最佳成像特性的数据到各个驱动器130、132、138及148。

[0061] 环境传感器模块124也可包含为主机装置的一部分。所述环境传感器模块接收关于周围环境的数据,例如温度及或环境光条件。传感器模块124可经编程以区别出所述装置是在室内环境或办公室环境、光亮的白天室外环境还是夜晚室外环境中操作。传感器模块将此信息传送到显示器控制器134,使得控制器可响应于周围环境而优化观看条件。

[0062] 图2A展示说明性基于光闸的光调制器200的透视图。基于光闸的光调制器适于并入到图1A的直观式基于MEMS的显示设备100中。光调制器200包含光闸202,其耦合到致动器204。致动器204可由两个单独的顺应电极梁致动器205(“致动器205”)形成。光闸202在一侧耦合到致动器205。致动器205使光闸202在实质上平行于表面203的运动平面中在表面203上方横向移动。光闸202的相对侧耦合到弹簧207,所述弹簧提供恢复力,其与由致动器204施加的力方向相反。

[0063] 每一致动器205包含顺应负载梁206,其将光闸202连接到负载锚固件208。负载锚固件208连同顺应负载梁206一起用作机械支撑件,进而保持光闸202接近表面203而悬置。所述表面包含用于允许光穿过的一个或一个以上孔隙孔211。负载锚固件208将顺应负载梁206及光闸202物理地连接到表面203且将负载梁206电连接到偏置电压(在一些情形下,连接到接地)。

[0064] 如果所述衬底是不透明的(例如,硅),那么通过穿过衬底204蚀刻孔阵列而在所述衬底中形成孔隙孔211。如果衬底204是透明的(例如,玻璃或塑料),那么孔隙孔211形成于沉积于衬底204上的光阻挡材料层中。孔隙孔211可呈大体上圆形、椭圆形、多边形、蜿蜒形或不规则形的形状。

[0065] 每一致动器205还包含经定位邻近于每一负载梁206的顺应驱动梁216。驱动梁216在一端耦合到在驱动梁216之间共享的驱动梁锚固件218。每一驱动梁216的另一端自由移动。每一驱动梁216是弯曲的,使得其在驱动梁216的自由端及负载梁206的经锚固端附近最接近负载梁206。

[0066] 在操作中,并入光调制器200的显示设备经由驱动梁锚固件218施加电势到驱动梁216。可向负载梁206施加第二电势。驱动梁216与负载梁206之间产生的电势差将驱动梁216的自由端拉向负载梁206的经锚固端,且将负载梁206的光闸端拉向驱动梁216的经锚固端,借此横向朝向驱动锚固件218驱动光闸202。顺应部件206如弹簧股起作用,使得当移除跨梁206及216电势的电压时,负载梁206将光闸202推回其初始位置,因此释放存储于负载梁206中的应力。

[0067] 光调制器(例如光调制器200)并入无源恢复力,例如弹簧,以在电压已被移除之后使光闸回到其静止位置。其它光闸组合件可并入一组双“打开”及“闭合”致动器及若干组单独“打开”及“闭合”电极,以移动所述光闸进入打开状态或闭合状态。

[0068] 可使用许多方法经由控制矩阵控制光闸与孔隙阵列,以产生具有合适亮度级的图像(在许多情形下为移动图像)。在一些情形下,通过连接到显示器的外围上的驱动器电路的行互连件及列互连件的无源矩阵阵列完成控制。在其它情形下,适当的做法为在所述阵列(所谓的有源矩阵)的每一像素内包含切换及/或数据存储元件,以改善显示器的速度、亮度级及/或功率消散性能。

[0069] 在替代实施方案中,显示设备100包含除基于横向光闸的光调制器之外的光调制器,例如上述光闸组合件200。举例来说,图2B展示基于卷拢致动器光闸的光调制器220的横截面图。基于卷拢致动器光闸的光调制器220适于并入于图1A的基于MEMS的显示设备100的替代实施方案中。基于卷拢致动器的光调制器包含相对于固定电极安置且经偏置以在特定方向上移动以在施加电场后即刻用作光闸的可移动电极。在一些实施方案中,光调制器220包含安置在衬底228与绝缘层224之间的平坦电极226及具有附接到绝缘层224的固定端230的可移动电极222。在无任何所施加的电压的情况下,可移动电极222的可移动末端232朝向固定端230自由卷拢以产生卷拢状态。电极222与226之间的电压的施加导致可移动电极222展开并抵着绝缘层224平放,由此其充当阻挡光行进穿过衬底228的光闸。可移动电极222在电压移除后通过弹性恢复力返回卷拢状态。偏向卷拢状态可通过制作可移动电极222为包含各向异性应力状态而实现。

[0070] 图2C展示说明性非基于光闸的MEMS光调制器250的横截面图。光分接调制器250适合并入于图1A的基于MEMS的显示设备100的替代实施方案中。光分接器根据受抑全内反射(TIR)的原理工作。即,光252被引入于光导254中,其中在无干涉的情况下,光252的绝大部分归因于TIR而无法透过光导254的正面或背面逸出光导254。光分接器250包含具有足够高折射率的光分接元件256,使得响应于光分接元件256接触光导254,照射在邻近于光分接元件256的光导254的表面上的光252透过光分接元件256朝向观看者逸出光导254,借此促进图像的形成。

[0071] 在一些实施方案中,光分接元件256形成为柔性、透明材料的梁258的部分。电极260涂布梁258的一侧的部分。相对电极262安置在光导254上。通过跨电极260及262施加电压,可控制光分接元件256相对于光导254的位置以从光导254中选择性地提取光252。

[0072] 图2D展示基于电湿润的光调制阵列270的实例横截面图。基于电湿润的光调制阵列270适合并入于图1A的基于MEMS的显示设备100的替代实施方案中。光调制阵列270包含形成在光腔274上的多个基于电湿润的光调制单元272a到272d(统称“单元272”)。光调制阵列270还包含对应于单元272的一组彩色滤光片276。

[0073] 每一单元272包含一层水(或其它透明导电或极性流体)278、一层吸光油280、透明电极282(举例来说,由氧化铟锡(ITO)制成)及定位在吸光油280层与透明电极282之间的绝缘层284。在本文所述的实施方案中,电极占据单元272的背面的一部分。

[0074] 单元272的背面的其余部分由形成光腔274的前面的反射性孔隙层286形成。反射性孔隙层286由反射性材料形成,例如反射性金属或形成电介质镜面的薄膜堆叠。针对每一单元272,孔隙形成在反射性孔隙层286中以允许光穿过。单元的电极282沉积在孔隙中及在形成反射性孔隙层286的材料上方,由另一电介质层分开。

[0075] 光腔274的其余部分包含定位为接近反射性孔隙层286的光导288及光导288的与反射性孔隙层286相对的一侧上的第二反射层290。一系列光转向器291形成在光导的背面上,接近第二反射层。光转向器291可为漫射或镜面反射器。一个或一个以上光源292(例如LED)将光294注入光导288。

[0076] 在替代实施方案中,额外透明衬底(未展示)定位在光导288与光调制阵列270之间。在此实施方案中,反射性孔隙层286形成在额外透明衬底上而非光导288的表面上。

[0077] 在操作时,将电压施加到单元(举例来说,单元272b或272c)的电极282导致单元中的吸光油280聚集在单元272的一个部分中。因此,吸光油280不再阻挡光穿过形成在反射性孔隙层286中的孔隙(见,举例来说,单元272b及272c)。在孔隙处逸出背光的光随后能够穿过单元及穿过彩色滤光片276组中的对应彩色滤光片(举例来说,红、绿或蓝)逸出以在图像中形成彩色像素。当电极282接地时,吸光油280覆盖反射性孔隙层286中的孔隙,从而吸收试图穿过孔隙的任何光294。

[0078] 在将电压施加到单元272时在其下方聚集油280的区域构成与形成图像相关的浪费空间。此区域为非透射性的,无论是否施加电压。因此,在不包含反射性孔隙层286的反射性部分的情况下,此区域吸收原本可用于促进图像的形成的光。但是,在包含反射性孔隙层286的情况下,原本可能已被吸收的此光被反射回光导290中用于未来穿过不同孔隙逸出。基于电湿润的光调制阵列270并非适于包含在本文所述的显示设备中的非基于光闸的MEMS调制器的唯一实例。在不脱离本发明的范围的情况下,其它形式的非基于光闸的MEMS调制器可同样由本文所述的控制器功能中的各种功能控制。

[0079] 图3A展示控制矩阵300的实例示意图。控制矩阵300适于控制并入到图1A的基于MEMS的显示设备100中的光调制器。图3B展示连接到图3A的控制矩阵300的基于光闸的光调制器的阵列320的透视图。控制矩阵300可对像素阵列320(“阵列320”)寻址。每一像素301可包含弹性光闸组合件302(例如图2A的光闸组合件200),其由致动器303控制。每一像素还包含孔隙层322,其包含孔隙324。

[0080] 控制矩阵300制作为衬底304的光闸组合件302形成于其上的表面上的扩散型或薄膜沉积电路。控制矩阵300包含用于控制矩阵300中的每一行像素301的扫描线互连件306及用于控制矩阵300中的每一列像素301的数据互连件308。每一扫描线互连件306将写入启用电压源307电连接到对应像素301行中的像素301。每一数据互连件308将数据电压源309(“ $V_a$ 源”)电连接到对应像素列中的像素301。在控制矩阵300中,所述 $V_a$ 源309提供将用于致动光闸组合件302的大部分能量。因此,所述数据电压源( $V_a$ 源309)还用作致动电压源。

[0081] 参考图3A及3B,对于每一像素301或对于像素阵列320中的每一光闸组合件302,控制矩阵300包含晶体管310及电容器312。每一晶体管310的栅极电连接到阵列320中的像素

301位于其中的行的扫描线互连件306。每一晶体管310的源极电连接到其对应的数据互连件308。每一光闸组合件302的致动器303包含两个电极。每一晶体管310的漏极并联电连接到对应的电容器312的一个电极且电连接到对应的致动器303的电极中的一者。光闸组合件302中的电容器312的另一电极及致动器303的另一电极连接到共同电势或接地电势。在替代性实施方案中,可用半导体二极管及或金属-绝缘体-金属夹层型切换元件替换晶体管310。

[0082] 在操作中,为了形成图像,控制矩阵300通过轮流对每一扫描线互连件306施加 $V_{we}$ 而依序写入启用阵列320中的每一行。对于经写入启用的行,施加 $V_{we}$ 到所述行中的像素301的晶体管310的栅极允许电流通过晶体管310而流经数据互连件308,以施加电势到光闸组合件302的致动器303。虽然所述行经写入启用,仍选择性地施加数据电压 $V_d$ 到数据互连件308。在提供模拟灰度的实施方案中,施加到每一数据互连件308的数据电压与位于经写入启用扫描线互连件306与数据互连件308的交叉处的像素301的希望亮度相关而变动。在提供数字控制方案的实施方案中,选择所述数据电压为相对低量值电压(即,接近接地的电压)或者达到或超过 $V_{at}$ (致动阈值电压)。响应于施加 $V_{at}$ 到数据互连件308,对应光闸组合件中的致动器303致动,因此开启所述光闸组合件302中的光闸。即使在控制矩阵300停止施加 $V_{we}$ 到一行之后,施加到数据互连件308的电压仍保持存储于像素301的电容器312中。因此,电压 $V_{we}$ 无需等待且保持于一行上持续足够长的时间让光闸组合件302致动;在写入启用电压已经从所述行移除之后,此致动可继续。电容器312还充当阵列320内的存储器元件,其存储用于图像帧的照明的致动指令。

[0083] 像素301及阵列320的控制矩阵300形成于衬底304上。阵列包含安置于衬底304上的孔隙层322,其包含用于阵列320中的相应像素301的一组孔隙324。孔隙324与每一像素中的光闸组合件302对准。在一些实施方案中,衬底304由透明材料(例如玻璃或塑料)制成。在一些其它实施方案中,衬底304由不透明材料制成,但在衬底304中蚀刻孔以形成孔隙324。

[0084] 可使光闸组合件302连同致动器303一起具有双稳态。也就是说,所述光闸可存在于至少两个均衡位置(例如,打开或闭合)中,且保持所述光闸于任一位置需要很少的功率或无需功率。更明确来说,光闸组合件302可具有机械双稳态。一旦光闸组合件302的光闸被设定到适当位置,则维持所述位置无需电能或保持电压。光闸组合件302的物理元件上的机械应力可将所述光闸保持在适当位置。

[0085] 可使光闸组合件302连同致动器303一起具有电双稳态。在电双稳态光闸组合件中,存在低于所述光闸组合件的致动电压的某一范围的电压,所述电压如果施加到闭合致动器(在光闸开启或闭合的情形下),那么即使所述光闸上被施加相反的力,也仍保持所述致动器闭合且将所述光闸保持于适当位置。可通过弹簧(例如,在图2A中描绘的基于光闸的光调制器200中的弹簧207)施加所述相反力,或者可通过相对的致动器(例如“打开”或“闭合”致动器)施加所述相反力。

[0086] 图中描绘光调制器阵列320为每个像素具有单一MEMS光调制器。还可使用其它实施方案,其中在每一像素中提供多个MEMS光调制器,因此使得每一像素中具有除了仅二元“开启”或“关闭”光学状态之外的光学状态成为可能。某些形式的经译码区域分割灰度是可能的,其中在像素中提供多个MEMS光调制器,且其中孔隙324(与所述光调制器中的每一者相关联)具有不相等的面积。

[0087] 在一些其它实施方案中,基于滚轮的光调制器220、光分接器250或基于电湿润的光调制阵列270以及其它基于MEMS的光调制器可替代光调制器阵列320内的光闸组合件302。

[0088] 图4A及4B展示双致动器光闸组合件400的实例视图。如图4A中描绘的双致动器光闸组合件处于打开状态。图4B展示双致动器光闸组合件400处于闭合状态。与光闸组合件200相比,光闸组合件400在光闸406的任一侧上包含致动器402及404。每一致动器402及404独立地受控。第一致动器(光闸开启致动器402)用于开启光闸406。第二相对致动器(光闸闭合致动器404)用于闭合光闸406。致动器402及404两者均为顺应梁电极致动器。致动器402及404通过实质上在平行于孔隙层407(所述光闸悬置于孔隙层407的上方)的平面中驱动光闸406而开启及闭合光闸406。光闸406通过附接到致动器402及404的锚固件408而悬置于孔隙层407上方的一较短距离处。沿光闸406的运动轴线包含附接到光闸406的两端的支撑件减少了光闸406的面外运动且将运动实质上限于平行于衬底的平面。如下文将描述,各种不同控制矩阵可用于光闸组合件400。

[0089] 光闸406包含两个光闸孔隙412,光可穿过孔隙412。孔隙层407包含一组三个孔隙409。在图4A中,光闸组合件400处于开启状态,且因此,已致动光闸开启致动器402,光闸闭合致动器404处于其松弛位置,且光闸孔隙412的中心线与孔隙层孔隙409中的两者的中心线重合。在图4B中,光闸组合件400已经移动到所述闭合状态且因此,光闸开启致动器402位于其松弛位置,已致动光闸闭合致动器404,且光闸406的光阻挡部分现在处于适当的位置以阻挡光透射穿过孔隙409(图中描绘为虚线)。

[0090] 每一孔隙具有围绕其外围的至少一个边缘。例如,矩形孔隙409具有四个边缘。在孔隙层407中形成有圆形、椭圆形、卵形或其它弯曲孔隙的替代实施方案中,每一孔隙可仅具有单一边缘。在一些其它实施方案中,在数学意义上来说,所述孔隙无需分离或者无需断开,而是可连接在一起。也就是说,虽然所述孔隙的部分或形成区段可维持对应于每一光闸,但是这些区段中的若干者可经连接而使得多个光闸共享所述孔隙的单一连续周边。

[0091] 为了允许具有多种出射角的光穿过处于打开状态的孔隙412及409,有利的是提供光闸孔隙412大于孔隙层407中的孔隙409的对应宽度或尺寸的宽度或尺寸。为了在闭合状态中有效地阻止光逃逸,优选的是,光闸406的光阻挡部分与孔隙409重叠。图4B展示光闸406中的光阻挡部分的边缘与形成于孔隙层407中的孔隙409的一个边缘之间的预定重叠部416。

[0092] 静电致动器402及404经设计使得其电压移位行为赋予光闸组合件400双稳态特性。对于所述光闸开启致动器及光闸闭合致动器中的每一者,存在低于致动电压的某一范围的电压,如果在所述致动器处于闭合状态(在光闸开启或闭合的情形下)时施加所述电压,那么即使在相对的致动器被施加致动电压之后,所述电压仍将保持所述致动器闭合且保持所述光闸在适当位置。抵抗此相反力而维持光闸的位置所需的最小电压被称为维持电压 $V_m$ 。

[0093] 在特定显示设备中,控制矩阵可由具有半导体层的衬底制成,例如非晶硅、低温多晶硅或氧化物层,例如铟镓锌氧化物(InGaZnO),一般称为IGZO。使用具有IGZO层而非非晶硅层的衬底的好处是增大IGZO的电子迁移率,其增大显示器可寻址的速度。此外,尽管IGZO具有比低温多晶硅低的迁移率,但是具有IGZO层的衬底可归因于其较低生产成本及较高产

量而优于低温多晶硅。但是,目前难以使用IGZO工艺制作p-MOS型晶体管。因此,使用IGZO制成的控制矩阵通常仅可用n-MOS晶体管构建。

[0094] 但是,使用单个类型的晶体管(举例来说,仅n-MOS晶体管)构建的控制矩阵通常不如所需的可靠。为了减轻此类控制矩阵的不可靠性,一些控制矩阵可使用多个数据或致动电压互连件。这导致大的额外功率消耗并减小可用于光通过量的衬底空间,从而降低显示器亮度。

[0095] 在一些实施方案中,使用具有IGZO层的衬底且包含单个致动电压互连件及两个单独更新互连件的控制矩阵可帮助在减轻此类控制矩阵的不可靠性的同时及在无需以额外功率消耗折中的情况下实现使用IGZO的好处。IGZO层的使用将控制矩阵限制为仅使用n-MOS晶体管。如下文进一步所述,通过使用两个单独的更新互连件,每一更新互连件经配置以独立控制电路的放电晶体管,控制矩阵可以可靠地控制像素的状态,从而防止像素进入不确定状态。

[0096] 图5展示实例控制矩阵500的一部分。控制矩阵500可经实施用于图1描绘的显示设备100中。下文立即描述控制矩阵500的结构。下文将参考图6描述其操作。

[0097] 控制矩阵500控制包含基于MEMS的光调制器的像素502的阵列。在一些实施方案中,基于MEMS的光调制器可为包含至少一个光闸组合件(例如图2A所描绘的光闸组合件200)的基于光闸的光调制器。

[0098] 控制矩阵500包含针对显示设备100中每一行像素502的扫描线互连件506及针对每一列像素502的数据互连件508。扫描线互连件506经配置以允许数据加载到像素502上。数据互连件508经配置以提供对应于待加载到像素502上的数据的数据电压。此外,控制矩阵500包含预充电互连件510、致动电压互连件520、第一更新互连件532、第二更新互连件534及数据存储互连件536(统称“共同互连件”)。这些共同互连件510、520、532、534及536在阵列中的多行及多列中的像素502之间共享。在一些实施方案中,共同互连件510、520、532、534及536在显示设备100中的所有像素502之间共享。

[0099] 控制矩阵500中的每一像素502还包含写入启用晶体管552及数据存储电容器554。写入启用晶体管552的栅极耦合到扫描线互连件506使得扫描线互连件506控制写入启用晶体管552。写入启用晶体管552的源极耦合到数据互连件508且写入启用晶体管552的漏极耦合到数据存储电容器554的第一端子及下述第一状态反相器511。数据存储电容器554的第二端子耦合到数据存储互连件536。以此方式,当写入启用晶体管552经由扫描线互连件506提供的写入启用电压而接通时,由数据互连件508提供的数据电压穿过写入启用晶体管552并存储在数据存储电容器554处。所存储的数据电压随后用于将像素502驱动到第一像素状态或第二像素状态中的一者。

[0100] 控制矩阵500还包含可在第一像素状态与第二像素状态之间驱动的双致动光调制器504。光调制器504由耦合到第一致动节点515的第一致动器驱动到第一像素状态,而光调制器504可由耦合到第二致动节点525的第二致动器驱动到第二像素状态。控制矩阵500进一步包含电路,所述电路包含第一状态反相器511及第二状态反相器521。第一状态反相器511管控第一致动节点515处的电压且包含在第一致动节点515处耦合到第一放电晶体管514的第一充电晶体管512。第二状态反相器521管控第二致动节点525处的电压且包含在第二致动节点525处耦合到第二放电晶体管524的第二充电晶体管522。

[0101] 第一充电晶体管512的栅极连接到预充电互连件510,而第一充电晶体管512的漏极连接到致动电压互连件520。第一充电晶体管512的源极在第一致动节点515处耦合到第一放电晶体管514的漏极。第一放电晶体管514的栅极连接到写入启用晶体管552的漏极及数据存储电容器554的一端。第一放电晶体管的源极耦合到第一更新互连件532。

[0102] 第二充电晶体管522的栅极还连接到预充电互连件510。第二充电晶体管522的漏极连接到致动电压互连件520。第二充电晶体管522的源极在第二致动节点525处耦合到第二放电晶体管524的漏极。第二放电晶体管524的栅极耦合到第一致动节点515。第二放电晶体管524的源极耦合到第二更新互连件534。

[0103] 第一更新互连件532连同存储在数据存储电容器554上的电压一起经由第一放电晶体管514控制第一致动节点515处的电压。第二更新互连件534经由第二放电晶体管524控制第二致动节点525处的电压。晶体管512、514、522、524及552中的每一者为n-MOS晶体管。如上所述,仅由一种类型的晶体管形成的电路在较新的铟镓锌氧化物(IGZO)制造工艺中特别有用,尤其在p型晶体管难以构建的情况下。或者,控制矩阵可用全部p型晶体管设计。将在下文详细描述图8描绘仅包含p-MOS晶体的控制矩阵800的一个实施方案。

[0104] 图6展示实例帧寻址及像素致动方法600的流程图。方法600可用于例如操作图5的控制矩阵500。帧寻址及像素致动方法600进行四个大致阶段。首先,在数据加载阶段中针对每一像素每次一行加载显示器中像素的数据电压(框652)。接下来,在预充电阶段中,给耦合到光调制器的致动节点充电(框654)。接下来,在更新阶段中,预载在第一更新互连件及第二更新互连件上的电压被修改,导致光调制器呈现经更新的状态(框656)。在光调制器呈现经更新的状态后,即刻在光激活阶段中激活光源(框658)。

[0105] 帧寻址及像素致动方法600的不同阶段的细节将参考图7所描绘的时序图描述。图7展示施加到控制矩阵的不同互连件的实例电压的时序图700。时序图700可用于例如根据图6所描绘的帧寻址及像素致动方法600操作图5的控制矩阵500。

[0106] 特定来说,时序图700包含指示在控制矩阵500所采用的帧寻址及像素致动方法600的不同阶段期间在不同互连件处的电压的单独时序曲线。时序图包含指示施加在数据互连件508处的电压的时序曲线702、指示扫描线互连件506处的电压的时序曲线704、指示第二全局更新互连件534处的电压的时序曲线706、指示施加到预充电互连件510的电压的时序曲线708、指示施加到致动电压的电压的时序曲线710及指示施加到第一全局更新互连件532的电压的时序曲线712。

[0107] 此外,时序图700分为对应于第一像素状态的第一区740a及对应于第二像素状态的第二区740b。第一区740a及第二区740b两者包含对应于图6所示的帧寻址及像素致动方法600的不同阶段的部分。第一区740a及第二区740b中的每一者包含对应于数据加载阶段652的对应数据加载部分742a及742b、对应于预充电阶段654的预充电部分744a及744b、对应于更新阶段656的更新部分746a及746b及对应于光激活阶段658的激活部分748a及748b。应了解,时序图未按比例绘制且时序曲线中的每一者的相对长度及宽度不旨在指示特定电压或持续时间。此外,图7所示的电压电平仅出于说明性目的。所属领域的技术人员应了解可在不同实施方案中使用其它电压电平。

[0108] 现参考图6描绘的帧寻址及像素致动方法600,其参考图5所描绘的控制矩阵500及图7所描绘的时序图700,数据加载阶段(框652)对应于时序图700的数据加载部分742a及

742b。帧寻址及像素致动方法600开始于用于对阵列的特定行的像素中的每一者寻址的数据加载阶段(框652)。数据加载阶段(框652)继续施加对应于像素的下一像素状态的数据电压(框660)。下一像素状态可为对应于光透射状态的第一像素状态及对应于光阻挡状态的第二像素状态。在一些实施方案中,高数据电压对应于第一像素状态。这描绘在时序曲线702的部分742a中。在一些实施方案中,低数据电压对应于第二像素状态。这描绘在时序曲线702的部分742b中。

[0109] 数据加载阶段(框652)随后继续施加写入启用电压 $V_{we}$ 到对应于行的扫描线互连件506(框662)使得扫描线互连件506经写入启用。施加写入启用电压 $V_{we}$ 到写入启用的扫描线互连件506接通所述行中的所有像素的写入启用晶体管,例如写入启用晶体管552。

[0110] 在施加写入启用电压到扫描线互连件506(框662)后,即刻使施加到数据互连件508的数据电压 $V_d$ 存储为所选择的像素502的数据存储电容器554上的电荷。即,由于当数据电压 $V_d$ 施加到数据互连件508时,写入启用晶体管552被接通,所以数据电压 $V_d$ 穿过写入启用晶体管552到数据存储电容器554,在数据存储电容器554上所述数据电压经加载或存储为电荷。

[0111] 加载数据的过程可在经写入启用的行中的像素中的每一者中同时执行。以此方式,在行已被写入启用的同时,控制矩阵500选择性地施加数据电压到控制矩阵500中的给定行列。在一些实施方案中,控制矩阵500仅施加数据电压到待朝向第一像素状态及第二像素状态中的一者致动的那些列。一旦行中的所有像素被寻址,即移除施加到扫描线互连件506的写入启用电压(框664)。在一些实施方案中,扫描线互连件506接地。这描绘在时序曲线704的部分742a中。施加到数据互连件508的数据电压随后也从数据互连件508移除(框666)。如果施加到数据互连件508的数据电压高,那么这描绘在时序曲线702的部分742a中,且相反地,如果施加到数据互连件508的数据电压低,那么这描绘在时序曲线702的部分742b中。数据加载阶段(框652)随后针对控制矩阵500中的阵列的后续行重复。在数据加载阶段(框652)结束时,所选择的像素群组中的数据存储电容器中的每一者含有适于下一图像状态的设定的数据电压。

[0112] 控制矩阵500随后继续预充电阶段(框654),其中第二更新互连件534被带到高预充电电压(框670)。这描绘在时序曲线706的部分744a及744b中。在一些实施方案中,预充电电压的范围从大约12V到40V。在一些实施方案中,高预充电电压可对应于施加到致动电压互连件520的致动电压。在一些实施方案中,第二更新互连件534被带到高预充电电压使得第二放电晶体管524保持断开。在一些实施方案中,第二更新互连件534可被带到足以在第一致动节点515及第二致动节点525预充电的同时保持第二放电晶体管524断开的任意电压。

[0113] 在将第二更新互连件534带到高预充电电压后,预充电互连件510即刻被带到高预充电电压(框672)。在一些实施方案中,预充电电压的范围从大约12V到40V。在一些实施方案中,预充电互连件510被带到对应于施加到第二更新互连件534的高致动电压的预充电电压。通常,能够接通第一充电晶体管512及第二充电晶体管522的预充电电压是足够的。这描绘在时序曲线708的部分744a及744b中。

[0114] 在将预充电互连件510带到高预充电电压后,施加到致动电压互连件520的致动电压即刻导致第一致动节点515及第二致动节点525被带到致动电压。以此方式,第一致动节

点515及第二致动节点525被称为‘预充电’。在一些实施方案中,致动电压互连件520维持在对应于施加到预充电互连件510的高预充电电压的电压。在一些实施方案中,最大致动电压可能小于最大预充电电压以解决充电晶体管512及522的二极管压降。在一些实施方案中,致动电压互连件520维持在大约25V到40V。

[0115] 在对第一致动节点515及第二致动节点525预充电后,预充电互连件510即刻也被带到低电压(框674)。在一些实施方案中,预充电互连件510电压被带到接地。在一些实施方案中,预充电互连件510保持于高电压达大约10 $\mu$ s到30 $\mu$ s。在一些实施方案中,预充电互连件510保持于高电压达长于30 $\mu$ s的周期。这描绘在时序曲线708的部分744a及744b中。

[0116] 在对第一致动节点515及第二致动节点525预充电后,控制矩阵500即刻继续更新阶段(框656)。在此阶段,第一更新互连件532被带到低电压(框680)。在一些实施方案中,第一更新互连件532连接到接地。施加到第一更新互连件532的电压的改变描绘在时序曲线712的部分746a及746b中。如果存储在数据存储电容器554上的数据电压高(对应于第一像素状态),那么在将第一更新互连件532带到低电压状态后,第一放电晶体管514即刻接通。因此,第一致动节点515处的电压被带到低电压。相反地,如果存储在数据存储电容器554上的数据电压低(对应于第二像素状态),那么在将第一更新互连件532带到低电压后,第一放电晶体管514即刻保持断开。因此,第一致动节点515处的电压保持于高电压状态。

[0117] 在第一更新互连件532被带到低电压(框680)后,第二更新互连件534被带到低电压(框682)。施加到第二更新互连件534的电压的改变描绘在时序曲线706的部分746a及746b中。在一些实施方案中,第二更新互连件534连接到接地。在一些实施方案中,第二更新互连件534保持于高电压长到足以使第一致动节点515响应于降低第一更新互连件532而安定。在一些实施方案中,低电压状态可对应于足以将第二放电晶体管524从断开状态切换到接通状态的电压,前提是第一致动节点515处于高电压状态。如果第一致动节点515被带到对应于第一像素状态的低电压,那么第二放电晶体管524在将第二更新互连件534带到低电压后即刻保持断开。因此,第二致动节点525处的电压保持于高电压。相反地,如果第一致动节点515保持于对应于第二像素状态的高电压状态,那么第二放电晶体管524在将第二更新互连件534带到低电压状态后即刻接通。因此,第二致动节点525处的电压被带到低电压状态。以此方式,第一致动节点515处的电压及第二致动节点525处的电压互补。这是因为控制矩阵500是对称的。即,第一状态反相器的输入及第二状态反相器的输入经配置以接收互补数据输入。

[0118] 基于第一致动节点515及第二致动节点525处的相对电压状态,光调制器504呈现第一像素状态或第二像素状态。在一些实施方案中,光调制器504可在第一致动节点515处于低电压状态而第二致动节点525处于高电压状态时呈现第一像素状态。相反地,光调制器504可在第一致动节点515处于高电压状态而第二致动节点525处于低电压状态时呈现第二像素状态。在一些实施方案中,光调制器504可包含光闸。在此类实施方案中,在更新阶段656期间,光闸可保持于前一像素状态或经致动以呈现新像素状态。

[0119] 一旦光调制器504的致动器稳定于其所要状态,控制矩阵500即继续光激活阶段658。光激活阶段继续将第一更新互连件532及第二更新互连件534带到保持电压(框684)。保持电压通常等于施加到第一放电晶体管514及第二放电晶体管524的栅极端子的电压。以此方式,当控制矩阵500准备对应于下一像素状态的数据加载阶段时,第一放电晶体管514

及第二放电晶体管524可断开。在一些实施方案中,第二更新互连件534在光调制器504已安定于对应于数据电压的像素状态之后被带到保持电压状态。

[0120] 在将第一更新互连件532及第二更新互连件534带到保持电压状态后,控制矩阵500继续激活一个或一个以上光源(框686)。时序图700的光激活部分748a及748b对应于光激活阶段(框658)。在光激活阶段期间,如时序图700的部分748a及748b所描绘,施加到各种互连件的所有电压可以保持。在激活光源(框686)后,帧寻址及像素致动方法600可即刻通过返回到数据加载阶段(框652)而重复。

[0121] 在一些实施方案中,控制矩阵500可实现为CMOS电路。在一些此类实施方案中,第一充电晶体管512及第二充电晶体管522可为PMOS晶体管。在此类实施方案中,预充电互连件可维持于高致动电压,从而使PMOS晶体管保持断开。施加到预充电互连件的预充电电压随后可降到低于致动电压,举例来说,比致动电压低5V以接通PMOS晶体管。以此方式,第一致动节点515及第二致动节点525可经预充电。通过使用PMOS充电晶体管,可实现省电。这是因为施加到预充电互连件510的用于接通PMOS充电晶体管的电压可小于接通对应NMOS充电晶体管(例如第一充电晶体管512及第二充电晶体管522)所需的电压。

[0122] 图8展示另一实例控制矩阵800的一部分。控制矩阵800可经实施以用于图1所描绘的显示设备100中。控制矩阵800的结构大致类似于图5所描绘的控制矩阵500的结构。控制矩阵800与所使用类型的晶体管中的控制矩阵500不同。特定来说,控制矩阵800使用p-MOS晶体管,而控制矩阵500使用n-MOS晶体管。控制矩阵800的操作将参考图9描述。

[0123] 控制矩阵800控制包含基于MEMS的光调制器的像素802的阵列。在一些实施方案中,基于MEMS的光调制器可为包含至少一个光闸组合件(例如图2A所描绘的光闸组合件200)的基于光闸的光调制器。

[0124] 控制矩阵800包含针对显示设备100中的每一行像素802的扫描线互连件806及针对每一列像素802的数据互连件808。扫描线互连件806经配置以允许将数据加载到像素802上。数据互连件808经配置以提供对应于待加载到像素802上的数据的数据电压。此外,控制矩阵800包含预充电互连件810、致动电压互连件820、第一更新互连件832、第二更新互连件834及数据存储互连件836(统称为“共同互连件”)。这些共同互连件810、820、832、834及836在阵列中的多个行及多个列中的像素802之间共享。在一些实施方案中,共同互连件810、820、832、834及836在显示设备100中的所有像素802之间共享。

[0125] 在一些实施方案中,控制矩阵800中的每一像素802还包含写入启用晶体管852及数据存储电容器854。写入启用晶体管852的栅极耦合到扫描线互连件806使得扫描线互连件806控制写入启用晶体管852。写入启用晶体管852的源极耦合到数据互连件808且写入启用晶体管852的漏极耦合到数据存储电容器854的第一端子及下述第一状态反相器811。数据存储电容器854的第二端子耦合到数据存储互连件836。以此方式,当写入启用晶体管852经由由扫描线互连件806提供的写入启用电压而接通时,由数据互连件808提供的数据电压穿过写入启用晶体管852并存储在数据存储电容器854处。所存储的数据电压随后用于将像素802驱动到第一像素状态或第二像素状态中的一者。

[0126] 控制矩阵800还包含可在第一像素状态与第二像素状态之间驱动的双致动光调制器804。光调制器804由耦合到第一致动节点815的第一致动器驱动到第一像素状态,而光调制器804可由耦合到第二致动节点825的第二致动器驱动到第二像素状态。控制矩阵800进

一步包含电路,所述电路包含第一状态反相器811及第二状态反相器821。第一状态反相器811管控第一致动节点815处的电压且包含在第一致动节点815处耦合到第一放电晶体管814的第一充电晶体管812。第二状态反相器821管控第二致动节点825处的电压且包含在第二致动节点825处耦合到第二放电晶体管824的第二充电晶体管822。

[0127] 第一充电晶体管812的栅极连接到预充电互连件810,而第一充电晶体管812的漏极连接到致动电压互连件820。第一充电晶体管812的源极在第一致动节点815处耦合到第一放电晶体管814的漏极。第一放电晶体管814的栅极连接到写入启用晶体管852的漏极及数据存储电容器854的一端。第一放电晶体管814的源极耦合到第一更新互连件832。

[0128] 第二充电晶体管822的栅极连接到预充电互连件810,而第二充电晶体管822的漏极连接到致动电压互连件820。第二充电晶体管822的源极在第二致动节点825处耦合到第二放电晶体管824的漏极。第二放电晶体管824的栅极耦合到第一致动节点811。第二放电晶体管812的源极耦合到第二更新互连件834。

[0129] 第一更新互连件832连同存储在数据存储电容器854上的电压一起经由第一放电晶体管814控制第一致动节点815处的电压。第二更新互连件834经由第二放电晶体管824控制第二致动节点825处的电压。晶体管812、814、822、824及852中的每一者为p-MOS晶体管。

[0130] 图9展示实例帧寻址及像素致动方法900的流程图。方法900可用于例如操作图8的控制矩阵800。帧寻址及像素致动方法900实质上类似于图6所描绘的帧寻址及像素致动方法600。帧寻址及像素致动方法900进行四个大致阶段。首先,控制矩阵的各种互连件预载电压(框952)。接下来,在数据加载阶段中针对每一像素每次一行加载显示器中的像素的数据电压(框954)。接下来,在更新阶段中,预载在第一更新互连件及第二更新互连件上的电压被修改,导致光调制器呈现经更新的状态(框956)。在光调制器呈现经更新的状态后,即刻在光激活阶段中激活光源(框958)。

[0131] 帧寻址及像素致动方法900的各种阶段的细节将参考图10所描绘的时序图描述。图10展示施加到控制矩阵的各种互连件的实例电压的时序图1000。时序图1000可用于例如根据图9所描绘的帧寻址及像素致动方法900操作图8的控制矩阵800。

[0132] 特定来说,如图9所描绘,时序图1000包含指示在控制矩阵800所采用的帧寻址及像素致动方法900的各种阶段期间在各种节点及互连件处的电压的单独时序曲线。时序图1000包含指示施加在致动电压互连件820处的电压的时序曲线1002、指示施加到扫描线互连件806的电压的时序曲线1004、指示施加到数据互连件808的电压的时序曲线1006、指示施加到预充电互连件810的电压的时序曲线1008、指示第一致动节点815处的电压的时序曲线1010及指示第二致动节点825处的电压的时序曲线1012、指示施加到第一全局更新互连件832的电压的时序曲线1014及指示施加到第二全局更新互连件834的电压的时序曲线1016。

[0133] 此外,时序图1000分为对应于第一像素状态的第一区1040a及对应于第二像素状态的第二区1040b。第一区1040a及第二区1040b两者包含对应于帧寻址及像素致动方法900的各种阶段的部分。第一及第二区1040a及1040b中的每一者包含对应于预载阶段952的对应预载部分1042a及1042b,对应于数据加载阶段954的数据加载部分1044a及1044b、对应于更新阶段956的更新部分1046a及1046b及对应于光激活阶段958的致动部分1048a及1048b。应了解,时序图1000未按比例绘制且时序曲线中的每一者的相对长度及宽度不旨在指示特

定电压或持续时间。此外,图10所示的电压仅出于说明目的且并不旨在限制本发明的范围。此外,为方便起见,每一时序曲线对应于由上限及下限所定义的电压范围。通常,如本文所使用的术语“高电压状态”对应于与电压范围的上限相比更接近电压范围的上限的电压,而术语“低电压状态”对应于与电压范围的上限相比更接近电压范围的下限的电压。

[0134] 图9展示实例帧寻址及像素致动方法900的流程图。方法900可用于例如操作图8的控制矩阵800。帧寻址及像素致动方法900进行四个大致阶段。首先,在数据加载阶段中针对每一像素每次一行加载显示器中的像素的数据电压(框952)。接下来,在预充电阶段中,给耦合到光调制器的致动节点充电(框954)。接下来,在更新阶段中,预载在第一更新互连件及第二更新互连件上的电压被修改,导致光调制器呈现经更新的状态(框956)。在光调制器呈现经更新的状态后,即刻在光激活阶段中激活光源(框958)。

[0135] 帧寻址及像素致动方法900的各种阶段的细节将参考图10所描绘的时序图描述。图10展示施加到控制矩阵的各种互连件的实例电压的时序图1000。时序图1000可用于例如根据图9所描绘的帧寻址及像素致动方法900操作图8的控制矩阵800。

[0136] 特定来说,时序图1000包含指示在控制矩阵800所采用的帧寻址及像素致动方法900的各种阶段期间在各种互连件处的电压的单独时序曲线。时序图包含指示施加在数据互连件808处的电压的时序曲线1002、指示扫描线互连件806处的电压的时序曲线1004、指示第二全局更新互连件834处的电压的时序曲线1006、指示施加到预充电互连件810的电压的时序曲线1008、指示施加到致动电压的电压的时序曲线1010及指示施加到第一全局更新互连件832的电压的时序曲线1012。

[0137] 此外,时序图1000分为对应于第一像素状态的第一区1040a及对应于第二像素状态的第二区1040b。第一区1040a及第二区1040b两者包含对应于图9所示的帧寻址及像素致动方法900的各种阶段的部分。第一及第二区1040a及1040b中的每一者包含对应于数据加载阶段952的数据加载部分1042a及1042b,对应于预充电阶段954的预充电部分1044a及1044b、对应于更新阶段956的更新部分1046a及1046b及对应于光激活阶段958的激活部分1048a及1048b。应了解,时序图未按比例绘制且时序曲线中的每一者的相对长度及宽度并不旨在指示特定电压或持续时间。此外,图10所示的电压电平仅出于说明性目的。所属领域的技术人员应了解可在不同实施方案中使用其它电压电平。

[0138] 现参考图9所描绘的帧寻址及像素致动方法900,其参考图8所描绘的控制矩阵800及图10所描绘的时序图1000,数据加载阶段(框952)对应于时序图1000的数据加载部分1042a及1042b。帧寻址及像素致动方法900开始于用于对阵列的特定行的像素中的每一者寻址的数据加载阶段(框952)。数据加载阶段(框952)继续施加对应于像素的下一像素状态的数据电压(框960)。下一像素状态可为对应于光透射状态的第一像素状态及对应于光阻挡状态的第二像素状态。在一些实施方案中,高数据电压对应于第一像素状态。这描绘在时序曲线1002的部分1042a中。在一些实施方案中,低数据电压对应于第二像素状态。这描绘在时序曲线1002的部分1042b中。

[0139] 数据加载阶段(框952)随后继续施加写入启用电压 $V_{we}$ 到对应于所述行的扫描线互连件806(框962)使得扫描线互连件806经写入启用。施加写入启用电压 $V_{we}$ 到经写入启用行的扫描线互连件806接通所述行中的所有像素的写入启用晶体管,例如写入启用晶体管852。

[0140] 在施加写入启用电压到扫描线互连件806(框962)后,即刻使施加到数据互连件808的数据电压 $V_d$ 存储为所选择的像素802的数据存储电容器854上的电荷。即,由于当数据电压 $V_d$ 施加到数据互连件808时,写入启用晶体管852接通,所以数据电压 $V_d$ 穿过写入启用晶体管852到数据存储电容器854,在数据存储电容器854上所述数据电压经加载或存储为电荷。

[0141] 加载数据的过程可在经写入启用的行中的像素中的每一者中同时执行。以此方式,大约在行已被写入启用的同时,控制矩阵800选择性地施加数据电压到控制矩阵800中的给定行的列。在一些实施方案中,控制矩阵800仅施加数据电压到待朝向第一像素状态及第二像素状态中的一者致动的那些列。一旦行中的所有像素被寻址,即移除施加到扫描线互连件806的写入启用电压(框964)。在一些实施方案中,扫描线互连件806接地。这描绘在时序曲线1004的部分1042a中。施加到数据互连件808的数据电压随后也从数据电压互连件808移除(框966)。如果施加到数据互连件808的数据电压为“高”,那么这描绘在时序曲线1002的部分1042a中,且相反地,如果施加到数据互连件808的数据电压为“低”,那么这描绘在时序曲线1002的部分1042b中。在一些实施方案中,“高”电压可对应于施加低于保持电压(例如0V)的电压。相反地,“低”电压可对应于施加等于或大于例如0V的电压。如箭头968所示,数据加载阶段(框952)随后针对控制矩阵800中的阵列的后续行重复。在数据加载阶段(框952)结束时,所选择的像素群组中的数据存储电容器中的每一者含有适于下一图像状态的设定的数据电压。

[0142] 控制矩阵800随后继续预充电阶段(框954),其中第二更新互连件834被带到低预充电电压(框970)。这描绘在时序曲线1006的部分1044a及1044b中。在一些实施方案中,低预充电电压可对应于在给光调制器804的致动节点预充电时施加到致动电压互连件820的致动电压。在一些实施方案中,低预充电电压的范围从大约-12V到-40V。在一些实施方案中,第二更新互连件834可被带到足以在第一致动节点815及第二致动节点825预充电的同时保持第二放电晶体管824断开的任意电压。

[0143] 在将第二更新互连件834带到低预充电电压后,预充电互连件810被带到低预充电电压(框972)。在一些实施方案中,预充电电压的范围从大约-12V到-40V。在一些实施方案中,预充电互连件810被带到对应于施加到第二更新互连件834的低预充电电压的低预充电电压。这描绘在时序曲线1008的部分1044a及1044b中。通常,能够接通第一充电晶体管812及第二充电晶体管822的预充电电压是足够的。

[0144] 在将预充电互连件810带到低预充电电压后,施加到致动电压互连件820的致动电压导致第一致动节点815及第二致动节点825被带到施加到致动电压互连件820的致动电压。以此方式,第一致动节点815及第二致动节点825被称为‘预充电’。在一些实施方案中,致动电压互连件820维持于对应于预充电互连件810的低预充电电压的致动电压。在一些实施方案中,致动电压互连件820维持于大约-25V到-40V。

[0145] 在给第一致动节点815及第二致动节点825预充电后,预充电互连件810还被带回到高预充电电压(框974)。这描绘在时序曲线1008的部分1044a及1044b中。在一些实施方案中,预充电互连件810电压被带到接地。在一些实施方案中,预充电互连件810保持于低预充电电压达大约10 $\mu$ s到30 $\mu$ s。在一些实施方案中,预充电互连件保持于低预充电电压达长于30 $\mu$ s的周期。

[0146] 在给第一致动节点815及第二致动节点825预充电后,控制矩阵800即刻继续更新阶段(框956)。在此阶段中,第一更新互连件832被带到高电压(框980)。在一些实施方案中,第一更新互连件832连接到接地。施加到第一更新互连件832的电压的改变描绘在时序曲线1012的部分1046a及1046b中。如果存储在数据存储电容器854上的数据电压为“高”(对应于第一像素状态),那么第一放电晶体管814在将第一更新互连件832带到高电压后即刻接通。因此,第一致动节点815处的电压被带到高电压。相反地,如果存储在数据存储电容器854上的数据电压为“低”(对应于第二像素状态),那么第一放电晶体管814在将第一更新互连件832带到高电压后即刻保持断开。因此,第一致动节点815处的电压保持在对应于在预充电阶段期间施加在致动电压互连件520处的低致动电压的低电压状态。

[0147] 在第一更新互连件832被带到高电压(框980)后,第二更新互连件834被带到高电压(框982)。施加到第二更新互连件834的电压的改变描绘在时序曲线1006的部分1046a及1046b中。在一些实施方案中,第二更新互连件834连接到接地。在一些实施方案中,第二更新互连件834保持于低电压长到足以使第一致动节点815响应于升高第一更新互连件832而安定。在一些实施方案中,高电压状态可对应于足以将第二放电晶体管824从断开状态切换到接通状态的电压,前提是第一致动节点815处于低电压状态。如果第一致动节点815被带到对应于第一像素状态的高电压,那么第二放电晶体管824在将第二更新互连件834带到高电压后即刻保持断开。因此,第二致动节点825处的电压保持在低电压。相反地,如果第一致动节点815保持在对应于第二像素状态的低电压状态,那么第二放电晶体管824在将第二更新互连件834带到高电压状态后即刻接通。因此,第二致动节点825处的电压被带到高电压状态。

[0148] 基于第一致动节点815及第二致动节点825处的相对电压状态,光调制器804呈现第一像素状态或第二像素状态。在一些实施方案中,光调制器804可在第一致动节点815处于低电压状态而第二致动节点825处于高电压状态时呈现第一像素状态。相反地,光调制器804可在第一致动节点815处于高电压状态而第二致动节点825处于低电压状态时呈现第二像素状态。在一些实施方案中,光调制器804可包含光闸。在此类实施方案中,在更新阶段956期间,光闸可保持在前一像素状态或经致动以呈现新像素状态。

[0149] 一旦光调制器804的致动器稳定于其所要状态,控制矩阵800即可继续光激活阶段958。光激活阶段继续将第一更新互连件832及第二更新互连件834带到保持电压(框984)。保持电压通常大约等于施加到第一放电晶体管814及第二放电晶体管824的栅极端子的电压。以此方式,当控制矩阵800准备对应于下一像素状态的数据加载阶段时,第一放电晶体管814及第二放电晶体管824可断开。在一些实施方案中,第二更新互连件834在光调制器804已安定于对应于数据电压的像素状态之后被带到保持电压状态。

[0150] 在将第一更新互连件832及第二更新互连件834带到保持电压后,控制矩阵800即刻继续激活一个或一个以上光源(框986)。时序图1000的光激活部分1048a及1048b对应于光激活阶段(框958)。在光激活阶段期间,如时序图1000的部分1048a及1048b所描绘,施加到各种互连件的所有电压可以保持。在激活光源(框986)后,帧寻址及像素致动方法900可通过返回数据加载阶段(框952)而重复。

[0151] 图11展示另一实例控制矩阵的一部分。控制矩阵1100类似于图5所描绘的控制矩阵500,但与控制矩阵500不同之处在于控制矩阵1100包含单个激活互连件1120且无预充电

互连件。此通过使用二极管连接的晶体管而可行。如图11所示,控制矩阵包含作为二极管连接的晶体管的第一充电晶体管1112及第二充电晶体管1122。此类晶体管经配置使得漏极与栅极端子连接在一节点上,使得漏极端子与栅极端子两者接收相同电压。

[0152] 控制矩阵1100可适用于其中使用当栅极到源极电压( $V_{GS}$ )为0V时可靠地处于断开状态的晶体管的实施方案。操作为耗尽模式装置的晶体管可实施为包含单独预充电互连件及致动电压互连件的控制矩阵配置,例如图5所描绘的控制矩阵500。此类晶体管,例如使用IGZO工艺制作的晶体管易于在控制高于0V的阈值时具有困难。因此,控制矩阵例如控制矩阵500可结合使用IGZO工艺制作的显示器或其它类似显示器而使用。

[0153] 图12A及12B为说明包含多个显示元件的显示装置40的系统框图。例如,显示装置40可为智能型电话、蜂窝式或移动电话。然而,显示装置40的相同组件或其稍微的变化也说明各种类型的显示装置,例如,电视机、计算机、平板计算机、电子阅读器、手持型装置和便携式媒体装置。

[0154] 显示装置40包含壳体41、显示器30、天线43、扬声器45、输入装置48及麦克风46。壳体41可由多种制造工艺(包含注射模制及真空成形)中的任一者形成。此外,壳体41可由多种材料中的任一者制成,包含但不限于:塑料、金属、玻璃、橡胶及陶瓷或其组合。壳体41可包含可移除部分(未图示),其可与具有不同颜色或含有不同标识、图片或符号的其它可移除部分互换。

[0155] 显示器30可为多种显示器中的任一者,如本文所述,包含双稳态或模拟显示器。显示器30还可经配置而包含平板显示器,例如,等离子、电致发光(EL)、有机发光二极管(OLED)、超级扭曲向列液晶显示器(STN LCD)或薄膜晶体管(TFT)LCD,或者非平板显示器,例如阴极射线管(CRT)或其它显像管装置。

[0156] 图12A中示意性地说明显示装置40的组件。显示装置40包含壳体41且可包含至少部分地封闭于所述壳体内的额外组件。例如,显示装置40包含网络接口27,其包含天线43,天线43可耦合到收发器47。网络接口27可为用于可显示于显示装置40上的图像数据的源。因此,网络接口27为图像源模块的一个实例,但处理器21及输入装置48也可作为图像源模块。收发器47连接到处理器21,处理器21连接到调节硬件52。调节硬件52可经配置以调节信号(例如对信号进行滤波或其它操纵)。调节硬件52可连接到扬声器45及麦克风46。处理器21还可连接到输入装置48及驱动器控制器29。驱动器控制器29可耦合到帧缓冲器28,且耦合到阵列驱动器22,阵列驱动器22转而可耦合到显示阵列30。显示装置40中的一个或一个以上元件(包含图12A中未明确描绘的元件)可经配置以作为存储器装置且可经配置以与处理器21通信。在一些实施方案中,电力供应器50可向特定显示装置40设计中的实质上所有组件提供电力。

[0157] 网络接口27包含天线43及收发器47,使得显示装置40可通过网络与一个或一个以上装置通信。网络接口27还可具有一些处理能力,以例如,降低对处理器21的数据处理要求。天线43可发射及接收信号。在一些实施方案中,天线43根据IEEE16.11标准(包含IEEE16.11(a)、IEEE16.11(b)或IEEE16.11(g))或IEEE802.11标准(包含IEEE802.11a、IEEE802.11b、IEEE802.11g、IEEE802.11n)及其进一步实施方案发射及接收RF信号。在一些其它实施方案中,天线43根据蓝牙(Bluetooth®)标准发射及接收RF信号。在蜂窝式电话的情况下,天线43可经设计以接收码分多址(CDMA)、频分多址(FDMA)、时分多址(TDMA)、全球

移动通信系统(GSM)、GSM/通用包无线电服务(GPRS)、增强型数据GSM环境(EDGE)、陆地集群无线电(TETRA)、宽带-CDMA(W-CDMA)、演进数据优化(EV-DO)、1xEV-DO、EV-DO Rev A、EV-DO Rev B、高速包接入(HSPA)、高速下行链路包接入(HSDPA)、高速上行链路包接入(HSUPA)、演进高速包接入(HSPA+)、长期演进(LTE)、AMPS或用于在无线网络(例如使用3G、4G或5G技术的系统)内进行通信的其它已知信号。收发器47可预处理从天线43接收的信号,使得所述信号可由处理器21接收且进一步操纵。收发器47还可处理从处理器21接收的信号,使得所述信号可从显示装置40经由天线43发射。

[0158] 在一些实施方案中,可用接收器更换收发器47。此外,在一些实施方案中,可用图像源更换网络接口27,所述图像源可存储或产生待发送到处理器21的图像数据。处理器21可控制显示装置40的总体操作。处理器21接收数据(例如来自网络接口27或图像源的经压缩图像数据),且将所述数据处理成原始图像数据或处理成可轻易地处理为原始图像数据的格式。处理器21可将经处理数据发送到驱动器控制器29或者发送到帧缓冲器28以便存储。原始数据通常是指识别图像内的每一位置处的图像特性的信息。例如,此图像特性可包含颜色、饱和度及灰度级。

[0159] 处理器21可包含微控制器、CPU、或逻辑单元,以控制显示装置40的操作。调节硬件52可包含放大器及滤波器,以将信号发射到扬声器45,且从麦克风46接收信号。调节硬件52可为显示装置40内的离散组件,或者可并入于处理器21或其它组件内。

[0160] 驱动器控制器29可直接从处理器21或从帧缓冲器28取得由处理器21产生的原始图像数据,且可将所述原始图像数据进行适当再格式化,以高速发射到阵列驱动器22。在一些实施方案中,驱动器控制器29可将所述原始图像数据再格式化为具有类光栅格式的数据流,使得所述数据具有适于跨显示阵列30进行扫描的时间顺序。接着驱动器控制器29将经格式化信息发送到阵列驱动器22。尽管驱动器控制器29(例如LCD控制器)通常与作为独立集成电路(IC)的系统处理器21相关联,但可以许多方式实施此类控制器。例如,控制器可作为硬件嵌入处理器21中、作为软件嵌入处理器21中或者与阵列驱动器22完全集成于硬件中。

[0161] 阵列驱动器22可接收来自驱动器控制器29的经格式化信息且可将视频数据再格式化为一组平行波形,可以每秒许多次的方式将所述组波形施加到来自所述显示器的显示元件的x-y矩阵的数百且有时数千(或更多)根引线。在一些实施方案中,阵列驱动器22及显示阵列30为显示模块的一部分。在一些实施方案中,驱动器控制器29、阵列驱动器22及显示阵列30为显示模块的一部分。

[0162] 在一些实施方案中,驱动器控制器29、阵列驱动器22及显示阵列30适用于本文所述的任何类型的显示器。例如,驱动器控制器29可为常规的显示器控制器或双稳态显示器控制器(例如,上文相对于图1描述的控制器的134)。此外,阵列驱动器22可为常规的驱动器或者双稳态显示器驱动器。此外,显示阵列30可为常规的显示阵列或者双稳态显示阵列(例如,包含显示元件阵列的显示器,例如图3中描绘的光调制器阵列320)。在一些实施方案中,驱动器控制器29可与阵列驱动器22集成。此实施方案可用于高度集成系统(例如,移动电话、便携式电子装置、手表或小面积显示器)中。

[0163] 在一些实施方案中,输入装置48可经配置以允许例如用户控制显示装置40的操作。输入装置48可包含小键盘,例如QWERTY键盘或者电话小键盘、按钮、开关、摇杆、触敏型

屏幕、与显示阵列30集成的触敏型屏幕或压敏型或热敏型薄膜。麦克风46可经配置为用于显示装置40的输入装置。在一些实施方案中,通过麦克风46的话音命令可用于控制显示装置40的操作。

[0164] 电力供应器50可包含多种能量存储装置。例如,电力供应器50可为可再充电电池,例如镍-镉电池或锂离子电池。在使用可再充电电池的实施方案中,可使用来自例如壁插式插座或光伏装置或阵列的电力对所述可再充电电池充电。或者,所述可再充电电池可以无线方式充电。电力供应器50还可为可再生能源、电容器或太阳能电池,其包含塑料太阳能电池或太阳能电池涂料。电力供应器50还可经配置以从壁插式插座接收电力。

[0165] 在一些实施方案中,驱动器控制器29中存在控制可编程性,驱动器控制器29可位于电子显示系统中的若干位置。在一些其它实施方案中,阵列驱动器22中存在控制可编程性。可以任何数目的硬件及/或软件组件且以各种配置实施上述优化。

[0166] 结合本文所揭示的实施方案所述的各种说明性逻辑、逻辑块、模块、电路及算法过程可实施为电子硬件、计算机软件或两者的组合。上文已在功能性上大体上描述了硬件与软件的可互换性,且在上述的各种说明性组件、块、模块、电路及过程中说明了所述可互换性。以硬件实施还是以软件实施此功能性取决于特定的应用及施加于总系统的设计限制。

[0167] 结合本文揭示的方面所描述的用于实施各种说明性逻辑、逻辑块、模块及电路的硬件及数据处理设备可用通用单芯片处理器或通用多芯片处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑装置、离散门或晶体管逻辑、离散硬件组件或其经设计执行本文所述的功能的任何组合来实施或执行。通用处理器可为微处理器或任何常规的处理器、控制器、微控制器或状态机。处理器还可实施为计算装置的组合,例如,DSP及微处理器的组合、多个微处理器、一个或一个以上微处理器结合DSP核心或者任何其它此配置。在一些实施方案中,可通过专用于给定功能的电路来执行特定的过程及方法。

[0168] 在一个或一个以上方面中,可以硬件、数字电子电路、计算机软件、固件(包含此说明书中揭示的结构及其结构性等效物)或其任何组合实施所述的功能。此说明书中描述的标的物的实施方案还可实施为编码于计算机存储媒体上的一个或一个以上计算机程序,即,计算机程序指令的一个或一个以上模块,所述指令由数据处理设备执行或者控制所述数据处理设备的操作。

[0169] 如果以软件实施,那么所述功能可作为计算机可读媒体上的一个或一个以上指令或代码而存储或传输。本文揭示的方法或算法的过程可在处理器可执行软件模块中实施,所述处理器可执行软件模块可驻留于计算机可读媒体上。计算机可读媒体包含计算机存储媒体及通信媒体两者,通信媒体包含可将计算机程序从一个位置转移到另一位置的任何媒体。存储媒体可为可由计算机存取的任何可用的媒体。例如且不限于,此类计算机可读媒体可包含RAM、ROM、EEPROM、CD-ROM或其它光盘存储装置、磁盘存储装置或其它磁性存储装置,或者可用于存储呈指令或数据结构形式的所要程序代码且可由计算机存取的任何其它媒体。同样,任何连接可适当地称为计算机可读媒体。用于本文中时,磁盘及光盘包含压缩光盘(CD)、激光光盘、光学光盘、数字多功能光盘(DVD)、软磁盘及蓝光光盘,其中磁盘通常以磁性方式再生数据,而光盘用激光以光学方式再生数据。上述组合也应包含于计算机可读

媒体的范围内。此外,方法或算法的操作可作为代码及指令的一个或任一组合或集合而驻留于机器可读媒体及计算机可读媒体上,所述媒体可并入到计算机程序产品中。

[0170] 所属领域的技术人员可容易理解本发明所述的对实施方案的各种修改,且在不脱离本发明的精神或范围的情况下,本文所界定的基本原理可应用于其它实施方案。因此,权利要求书并不意在限于本文所示的实施方案,而是被赋予与本文揭示的本发明、原理及新颖特征一致的最广泛范围。

[0171] 此外,一股所属领域的技术人员将容易理解,使用术语“上部”及“下部”有时是为了便于描述图式,且指示对应于适当定向的页面上的图式的定向的相对位置,且可能并不反映所实施的任何装置的合适定向。

[0172] 还可组合地以单一实施方案来实施本说明书中在多个单独实施方案的背景中描述的某些特征。相反地,在单一实施方案的背景中描述的各种特征也可单独地以多个实施方案或者以任何合适的子组合实施。此外,尽管如上所述特征可以某些组合作用且甚至最初如此主张,但在一些情形下,来自所主张组合的一个或一个以上特征可从组合去除,且所主张的组合可导向子组合或子组合的变动。

[0173] 类似地,虽然图中按特定的顺序描绘操作,但不应将此理解为需要以所示的特定顺序或依序顺序来执行此类操作或执行所有说明的操作来实现所要的结果。此外,图式可能以流程图的形式示意性地描绘一个或一个以上实例过程。然而,未描绘的其它操作可并入示意性说明的实例过程中。例如,可在所说明的操作中的任一者之前、之后、同时或介于其间执行一个或一个以上额外操作。在某些情形下,多任务处理及并行处理可能较为有利。此外,在上述实施方案中的各种系统组件的分离不应被认为在所有的实施方案中需要进行此分离,且应理解为所述的程序组件及系统一股可共同集成于单一软件产品中或封装于多个软件产品中。此外,其它实施方案也在所附权利要求书的范围内。在一些情形下,可以不同的顺序执行权利要求书中陈述的动作且仍实现所要的结果。

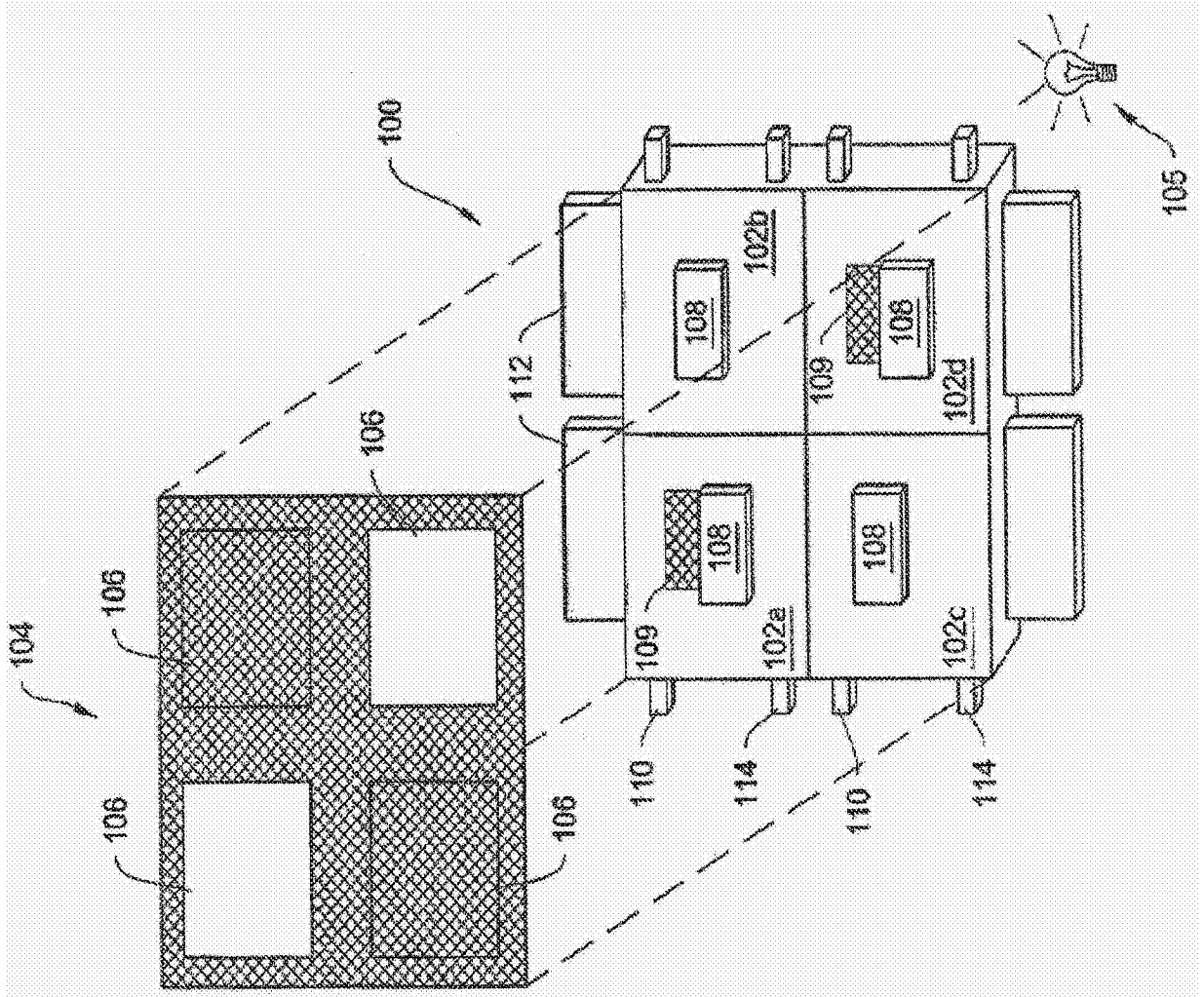


图1A

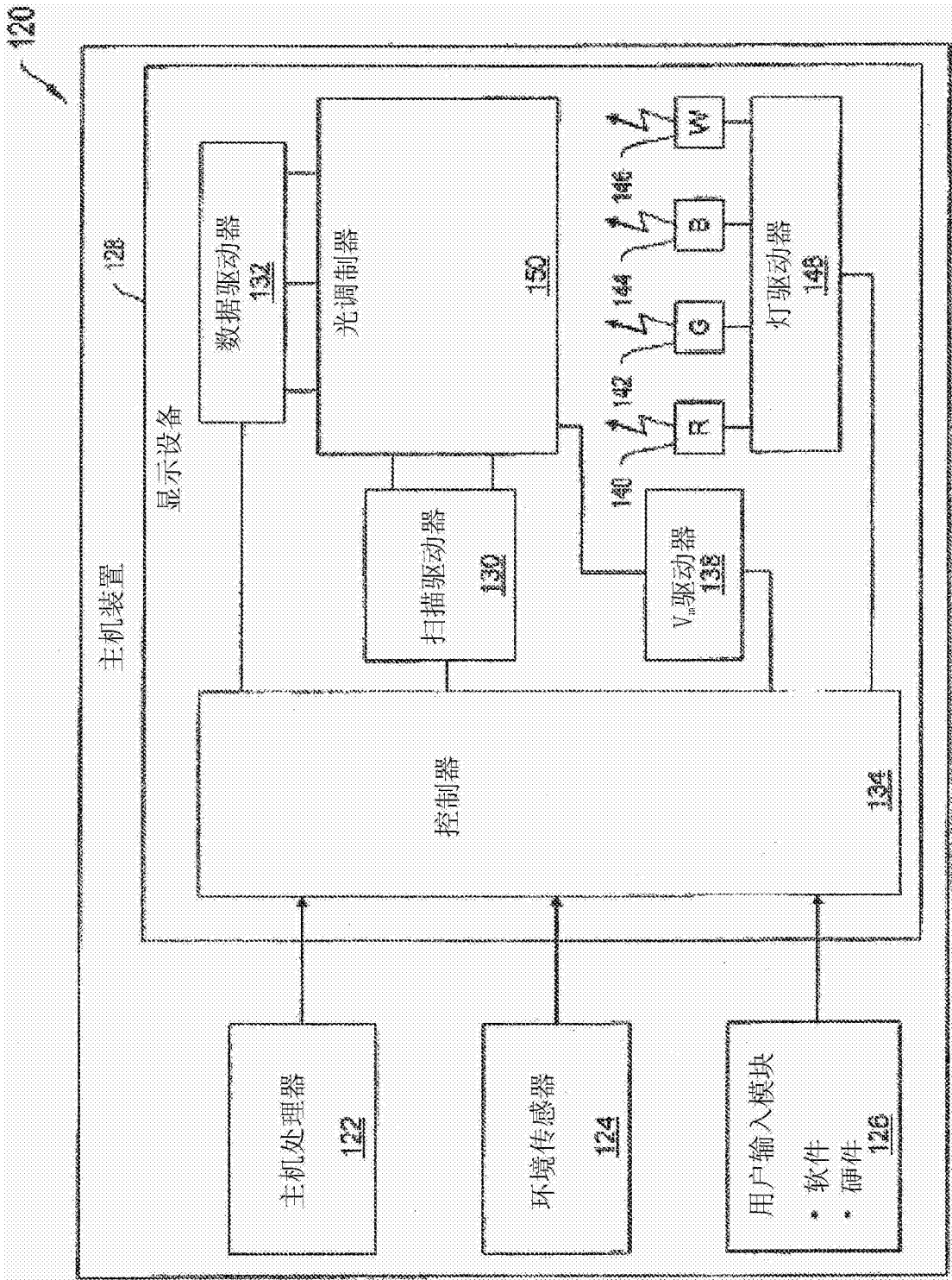


图1B

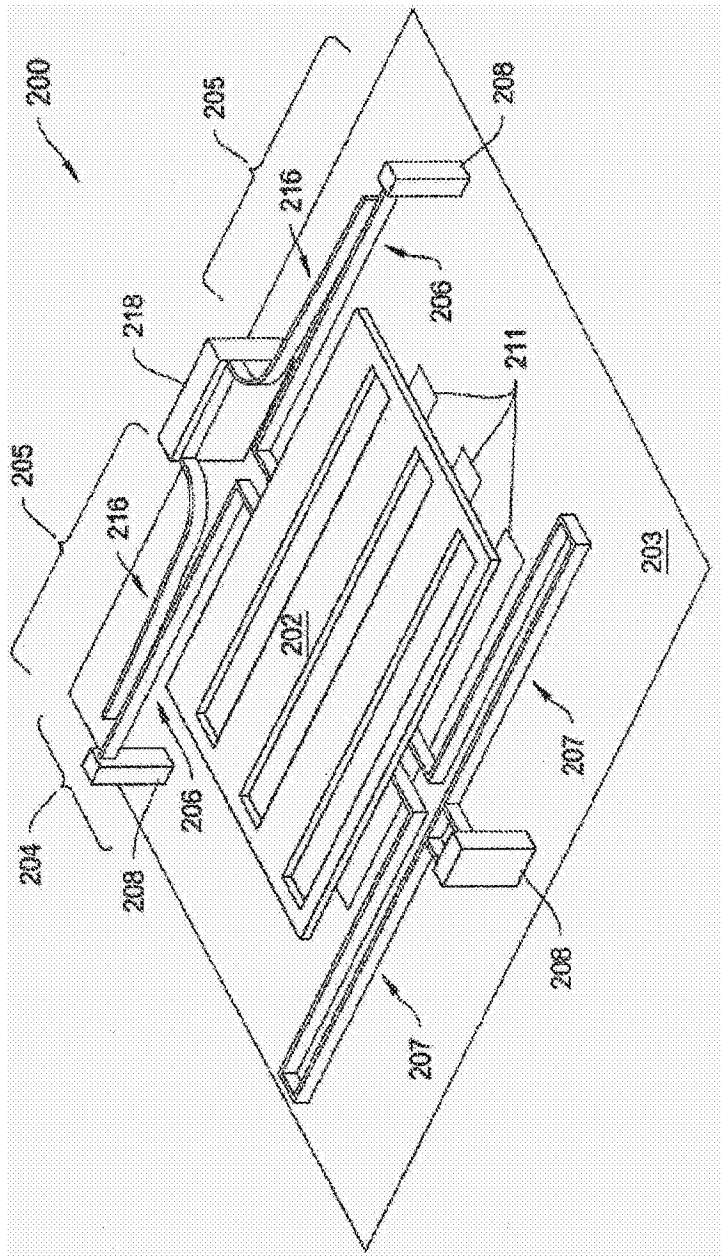


图2A

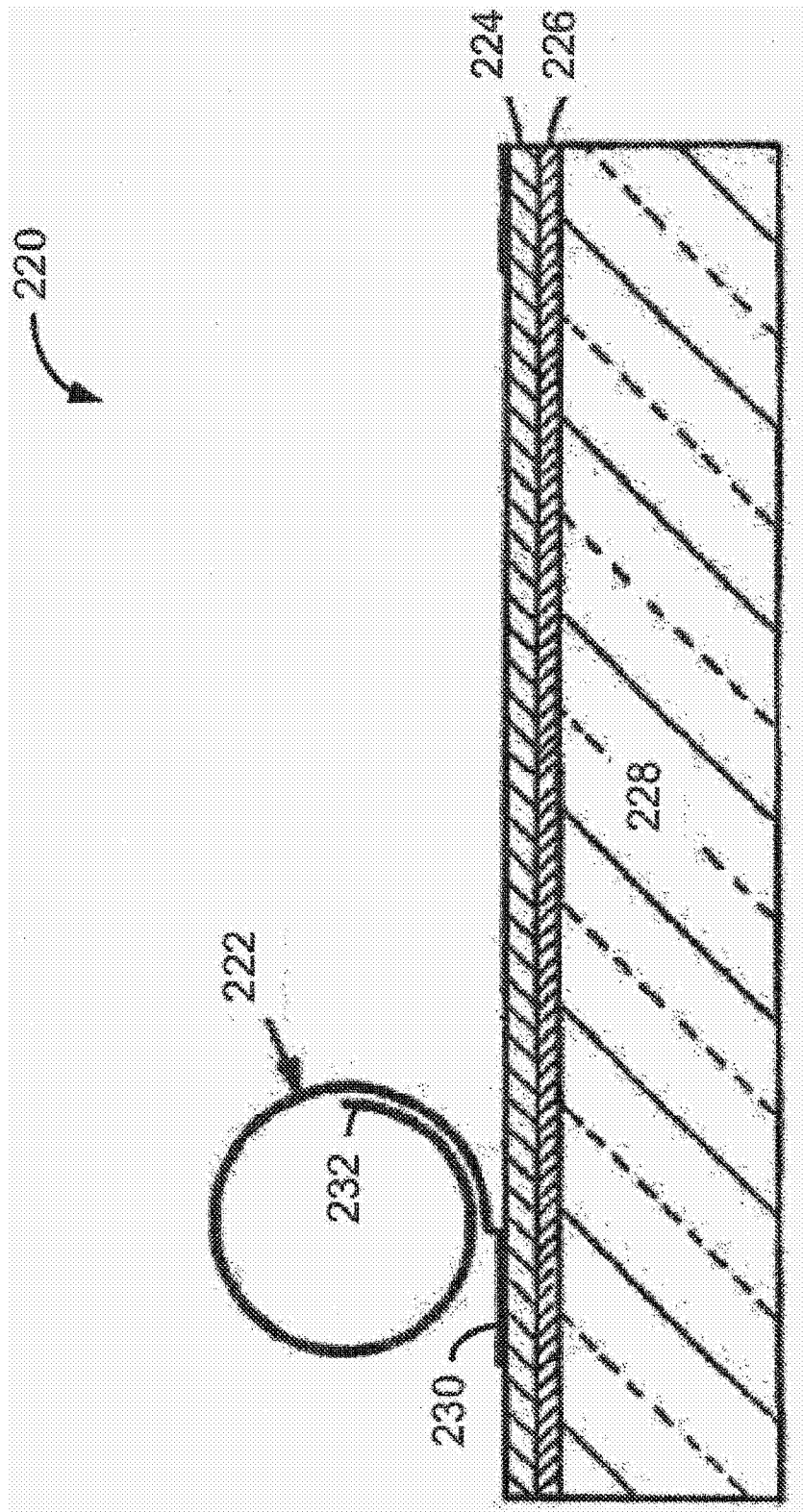


图2B

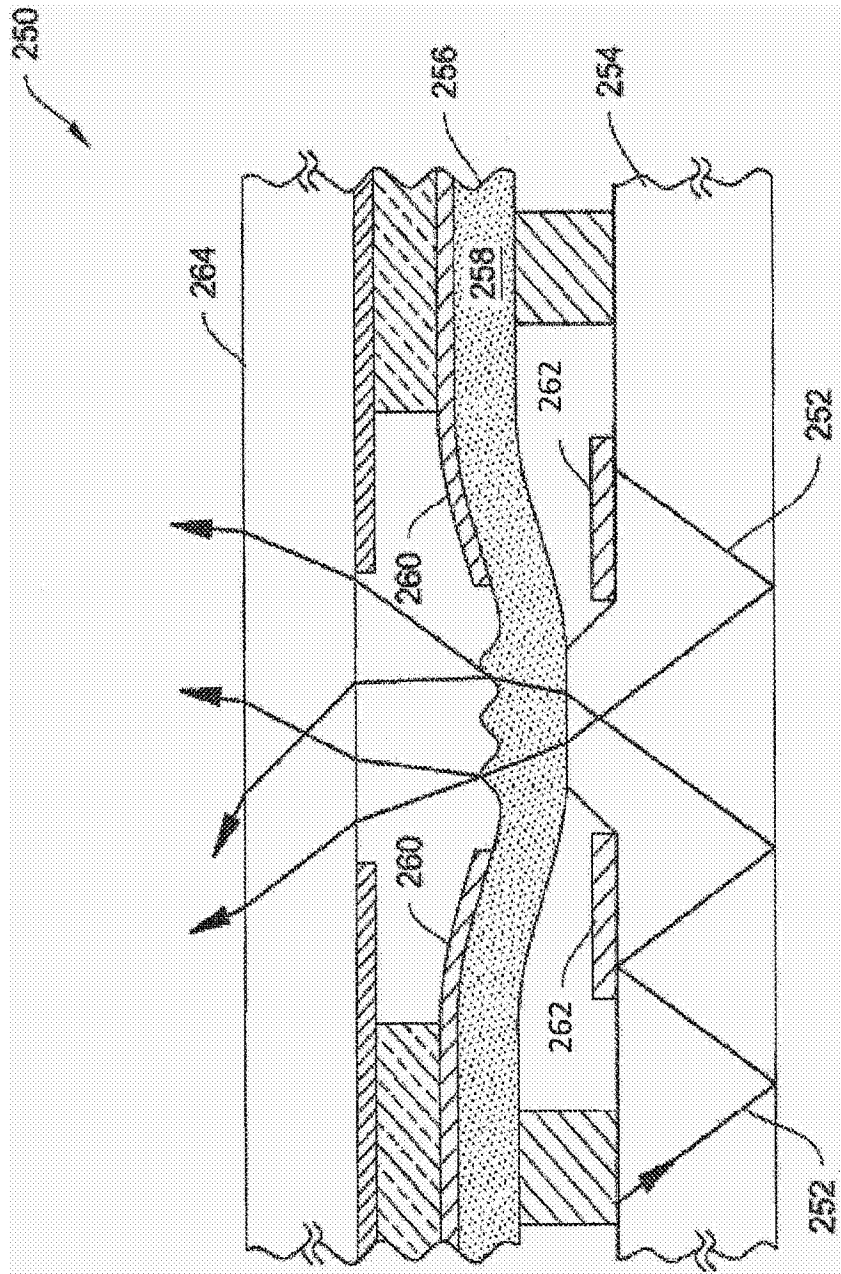


图2C

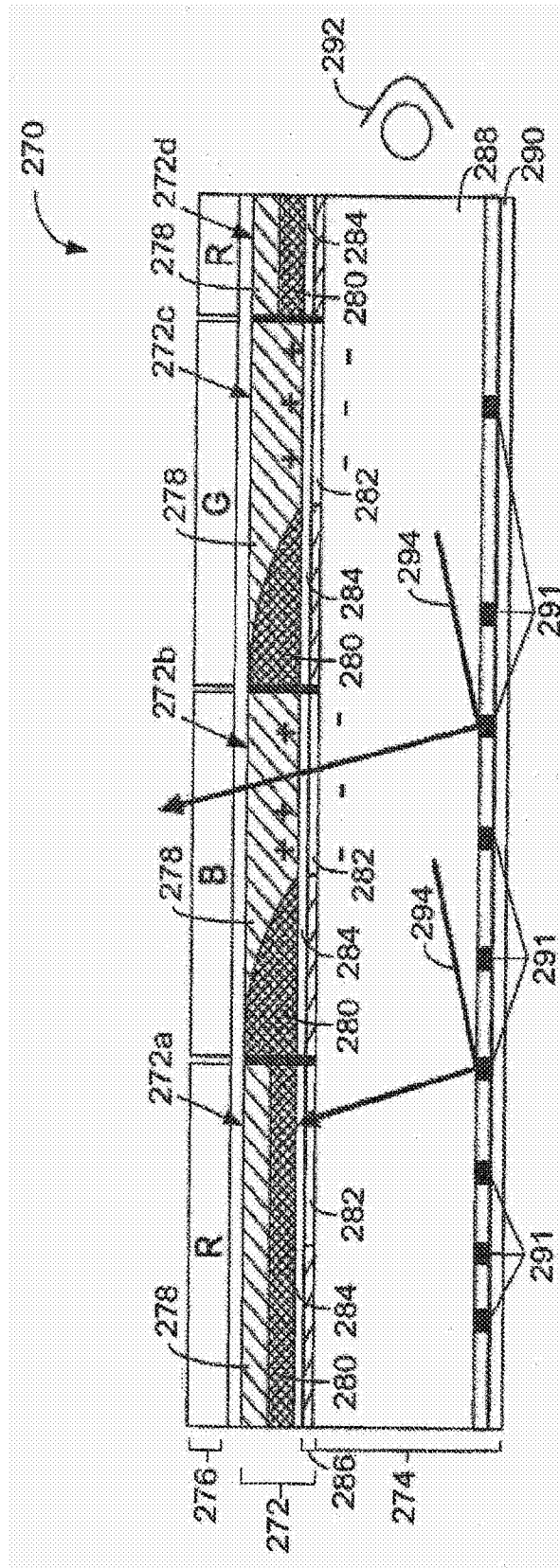


图2D

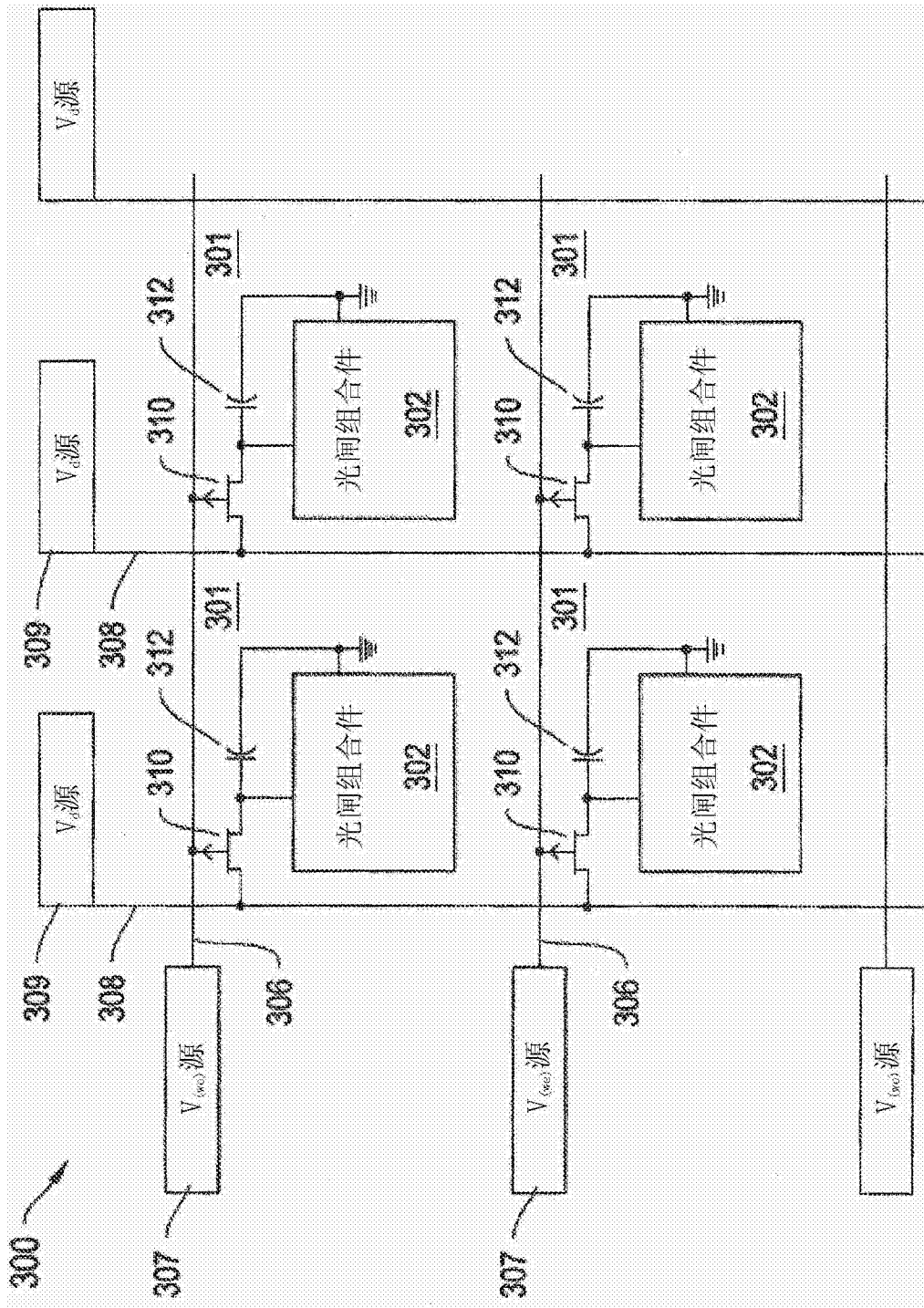


图3A

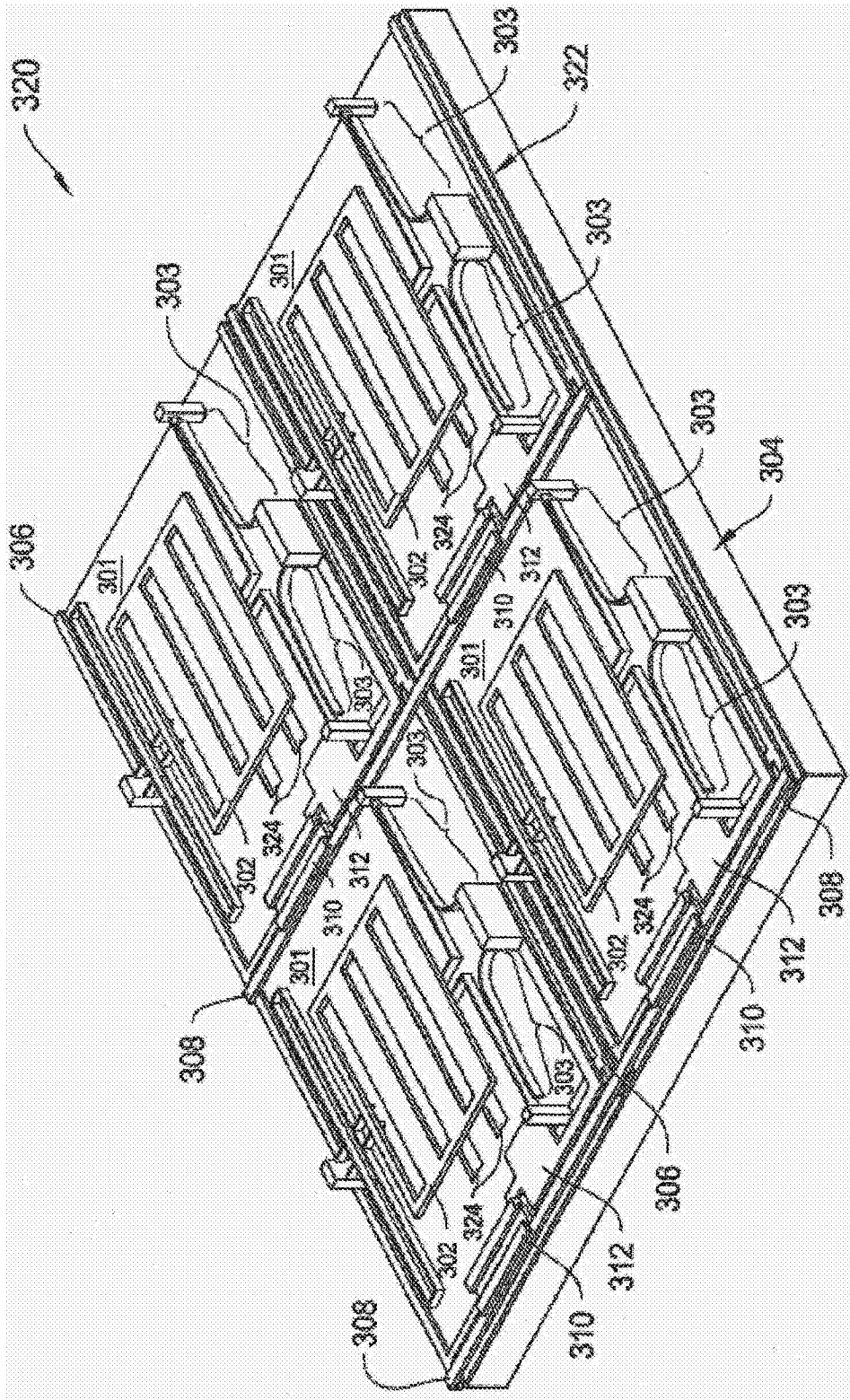


图3B

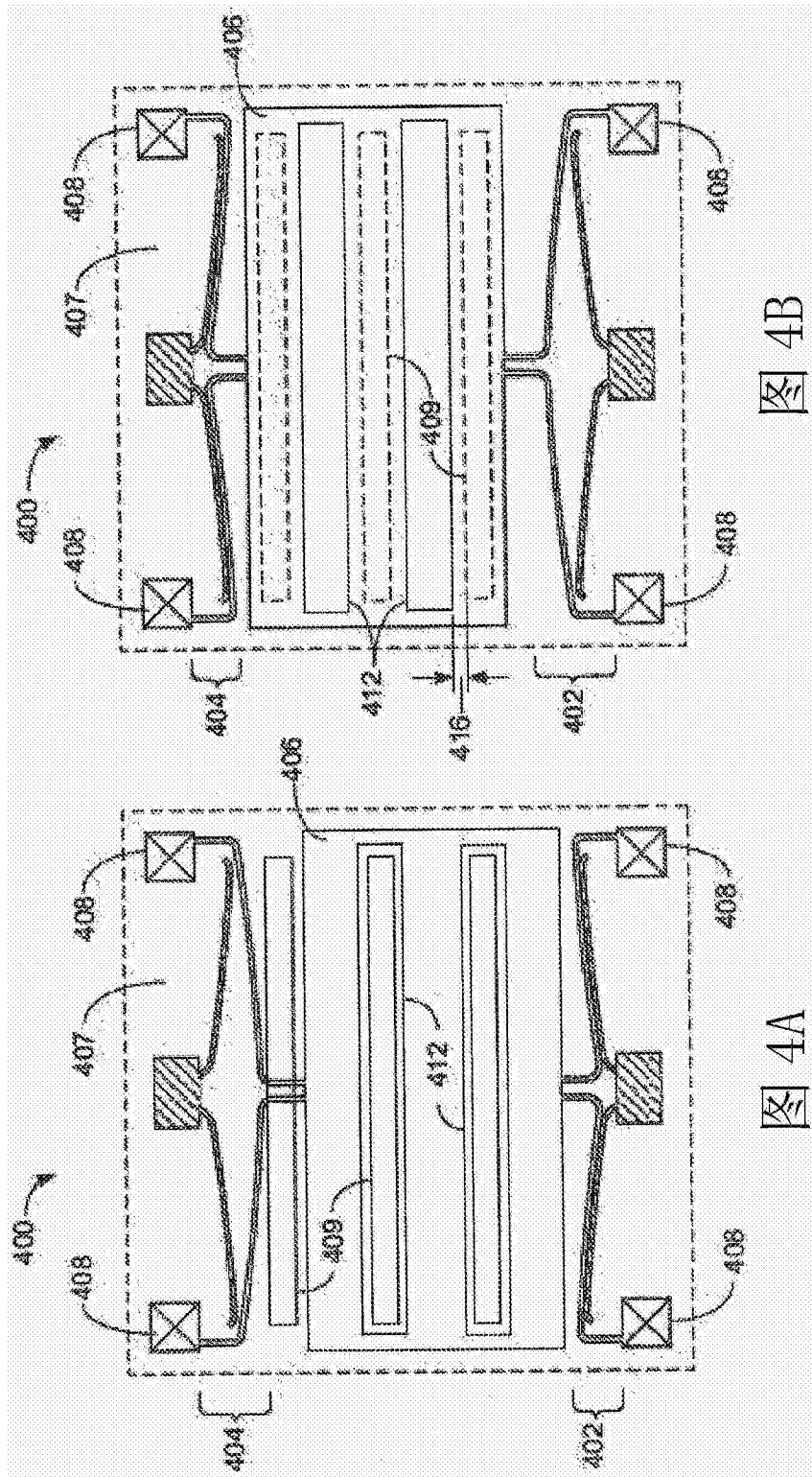


图 4B

图 4A

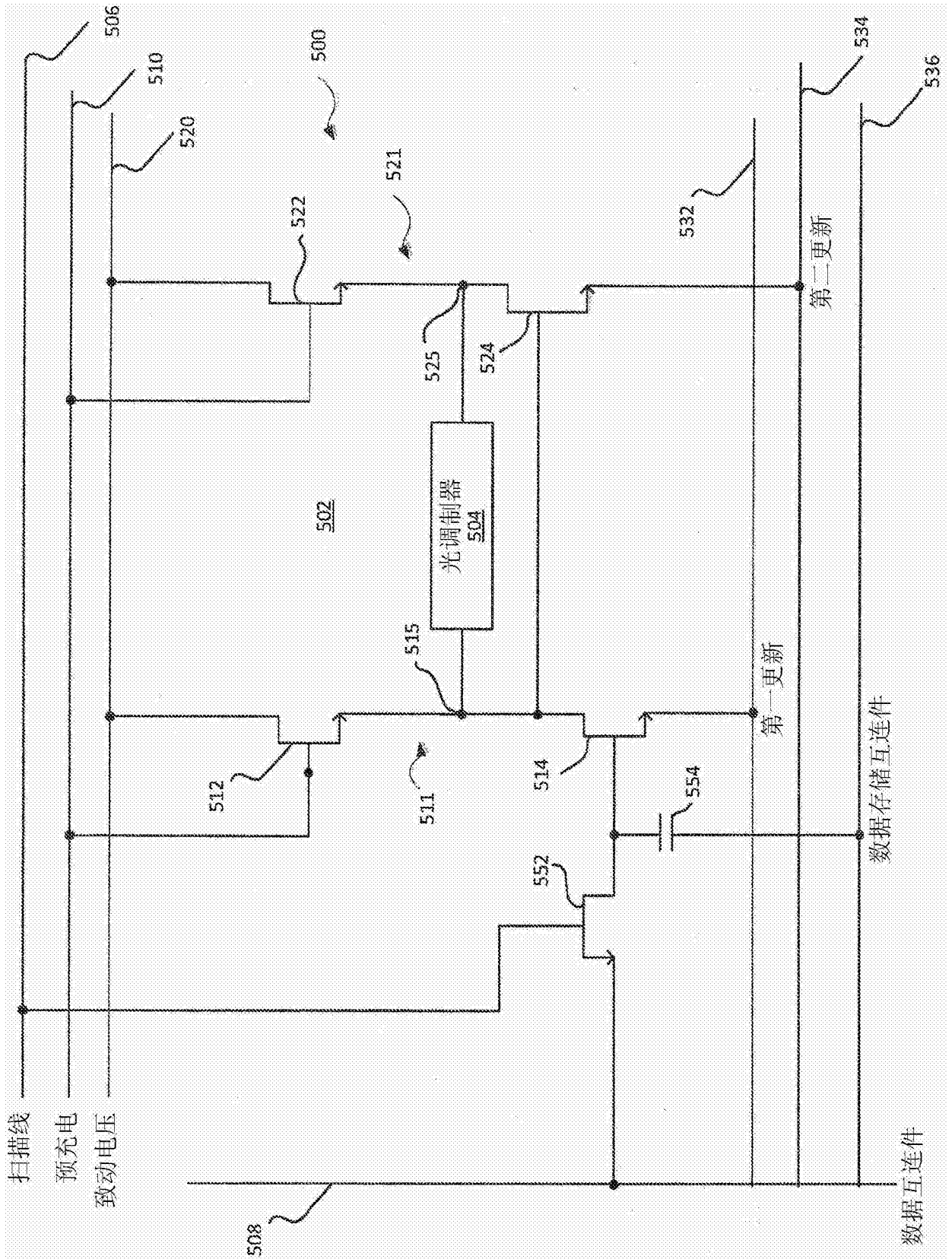


图5

600

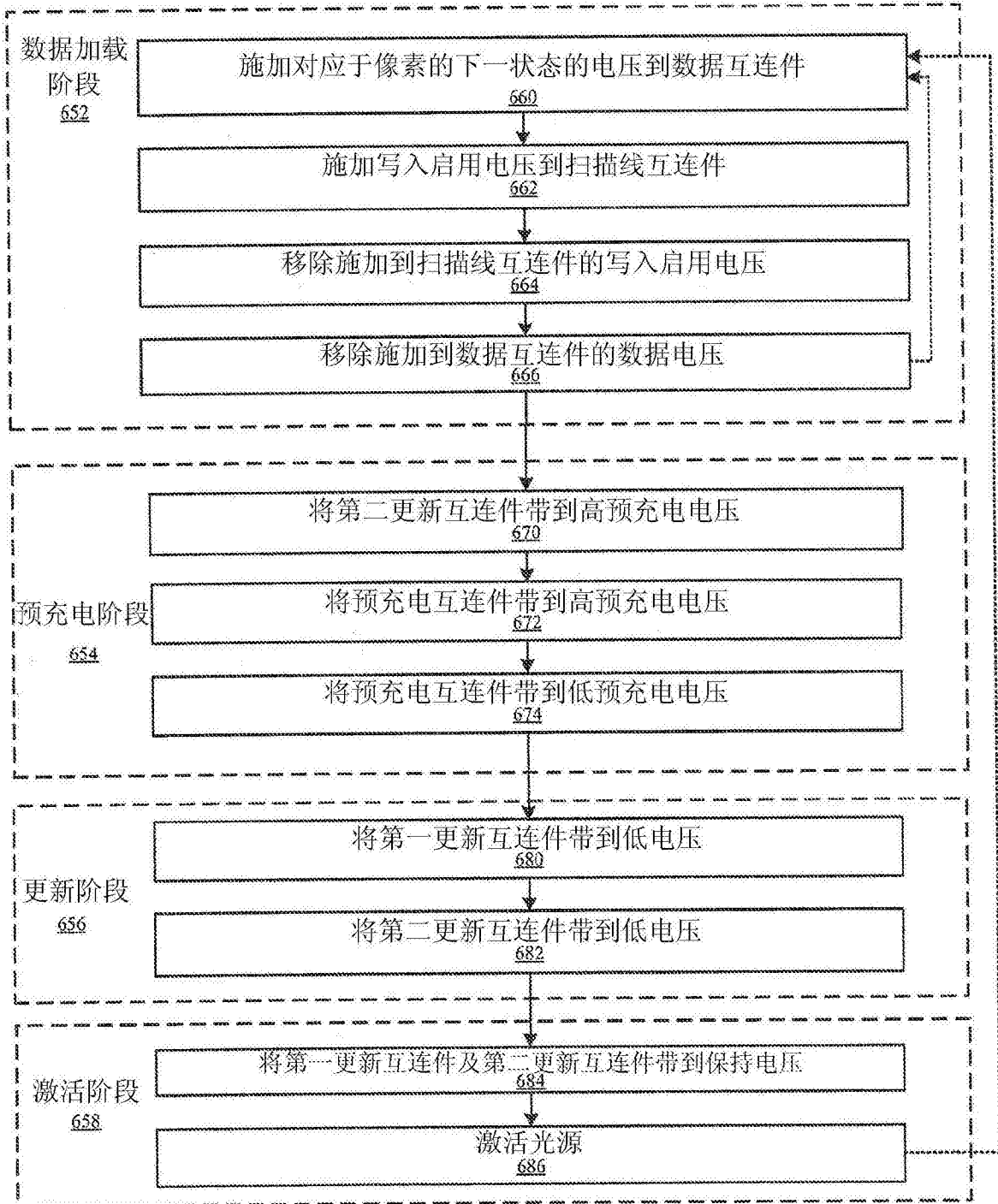


图6

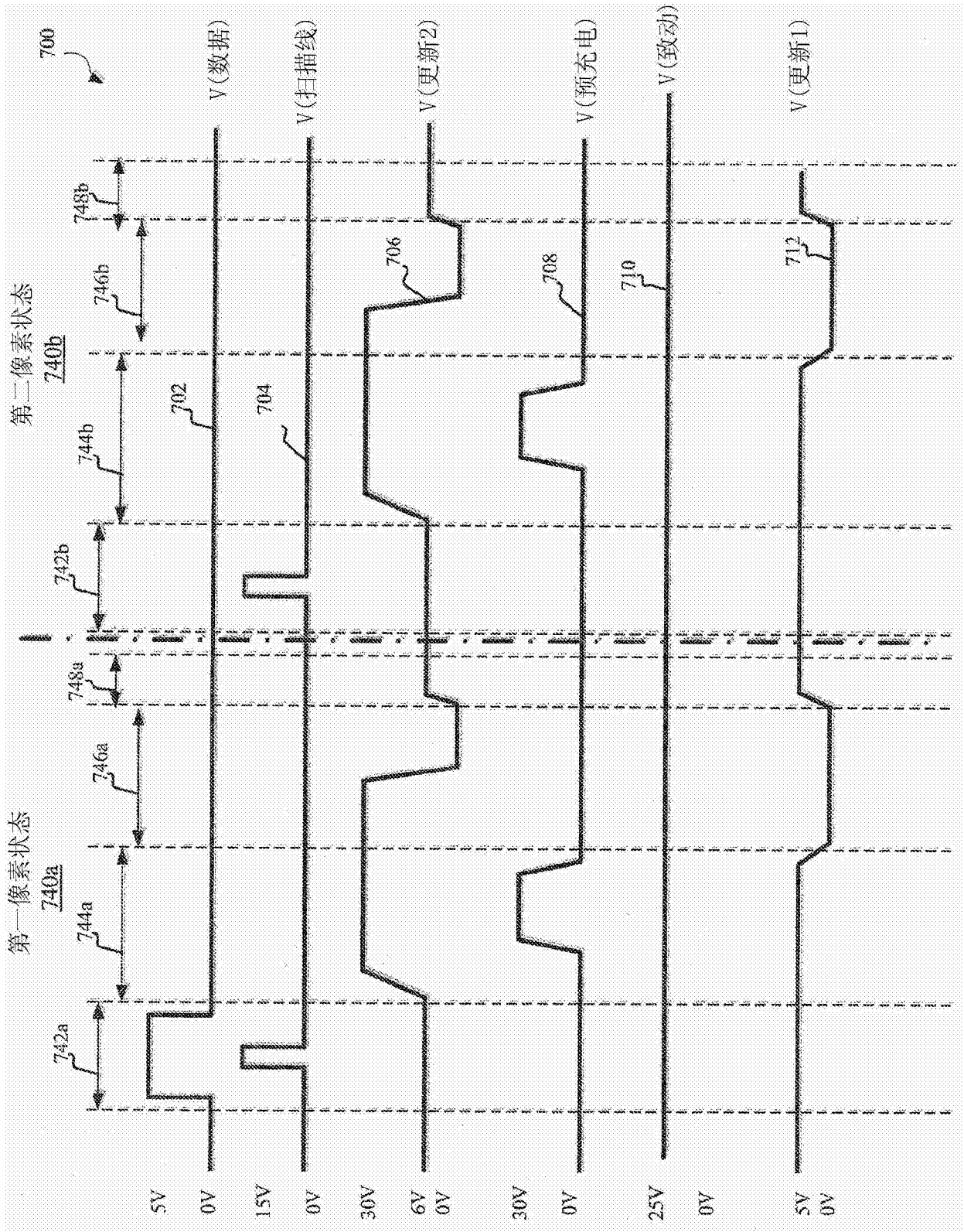


图7

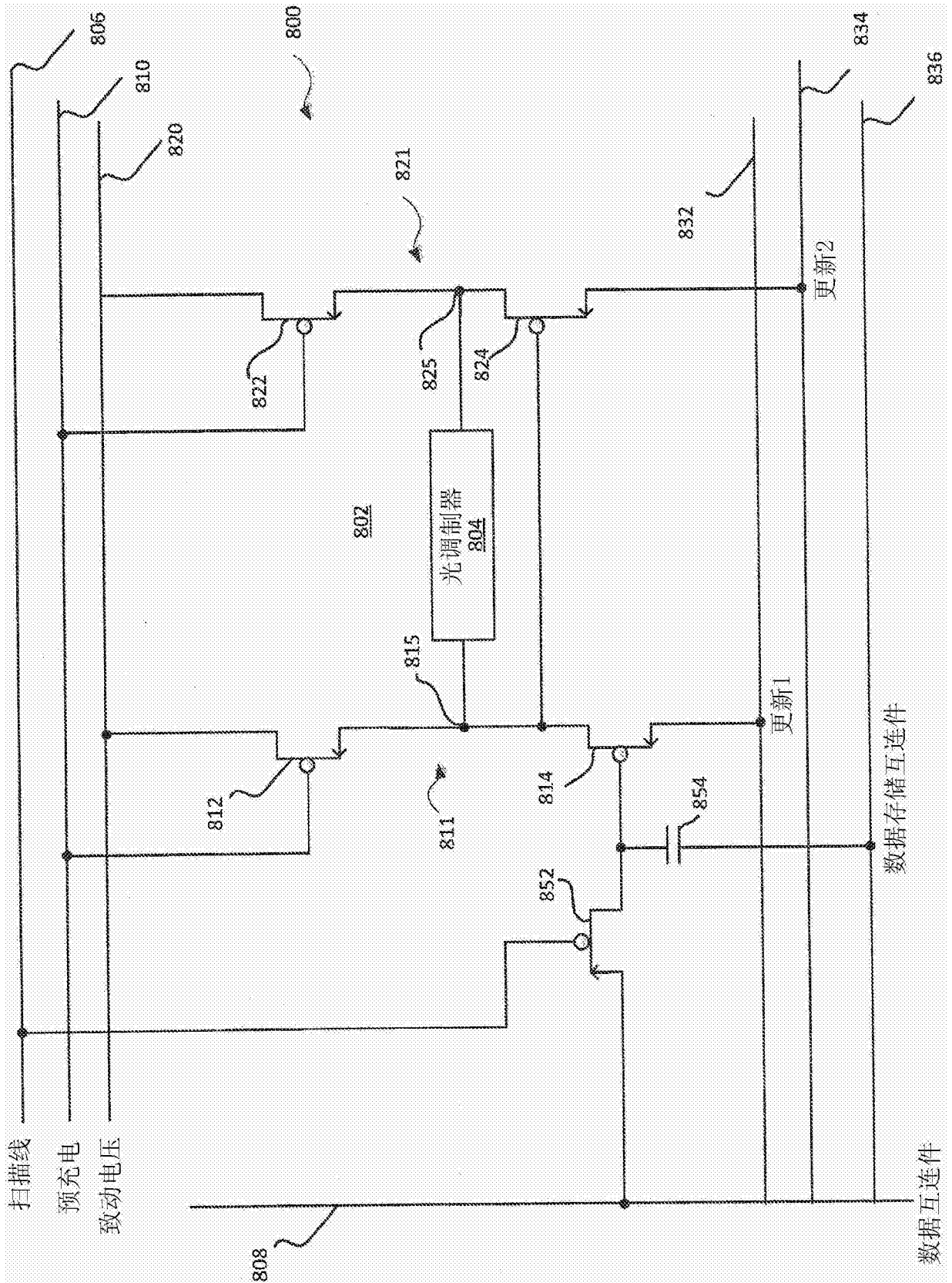


图8

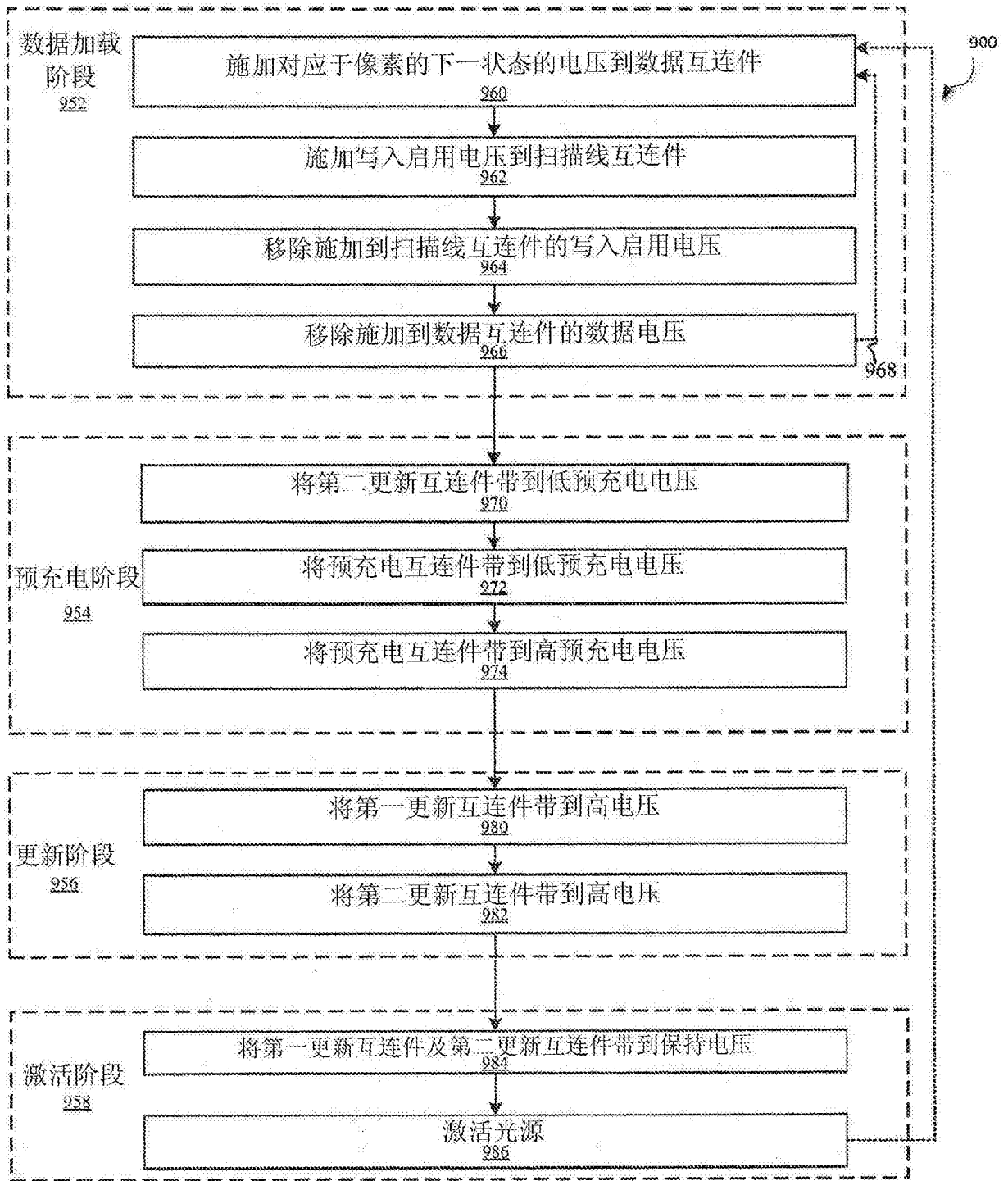


图9

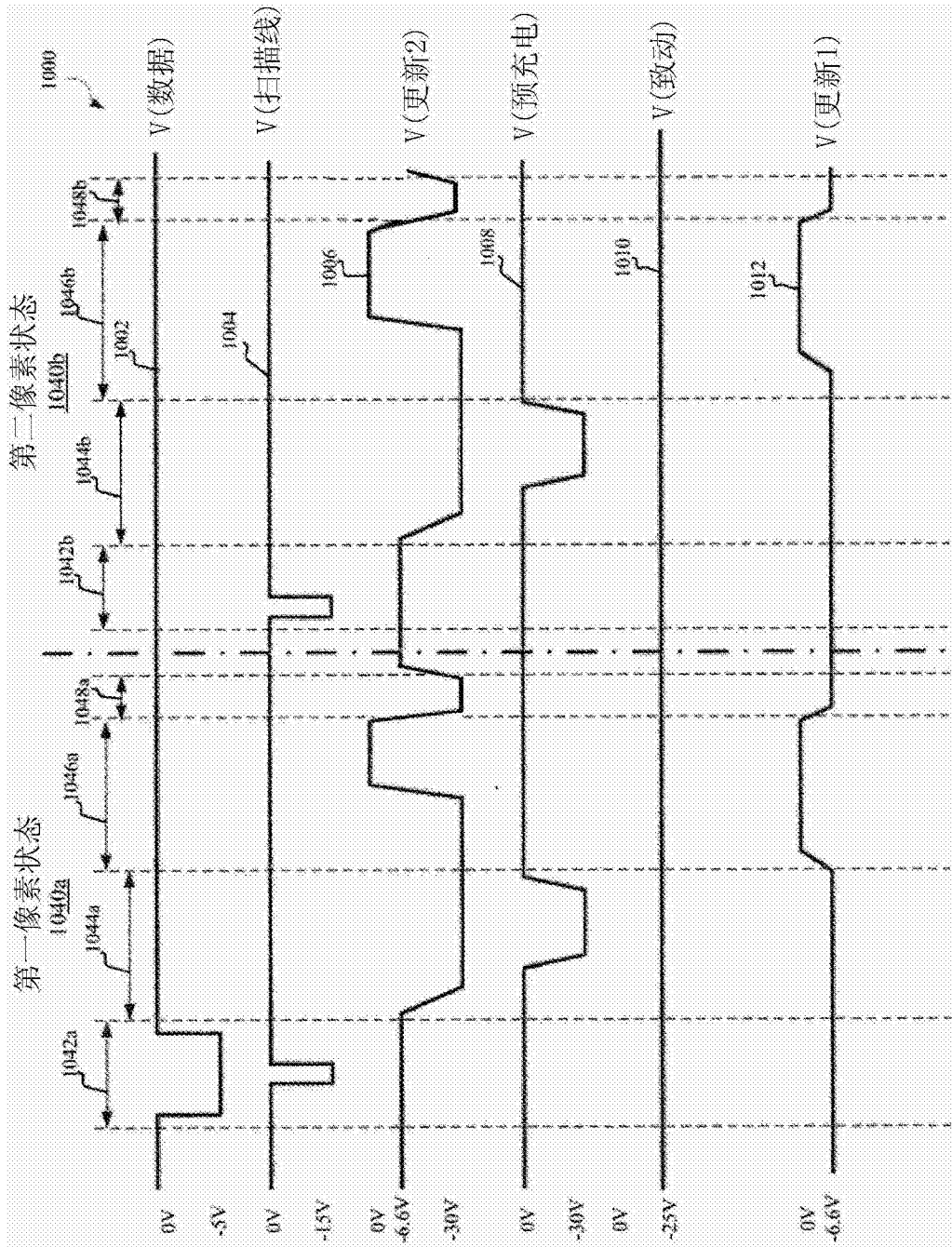


图10

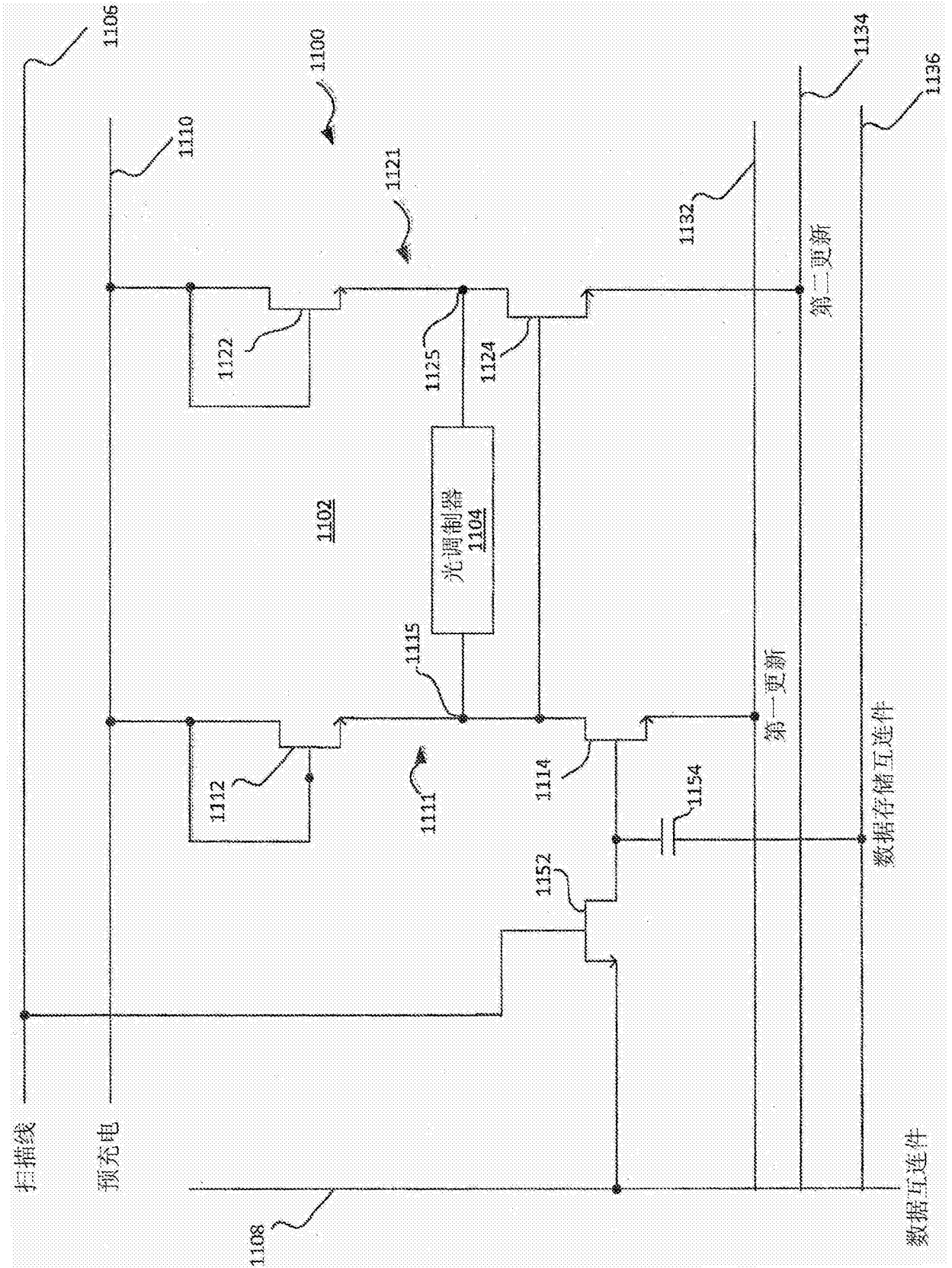


图11

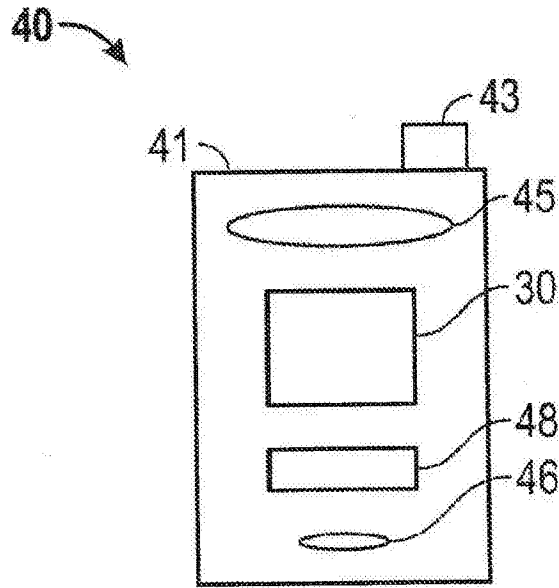


图12A

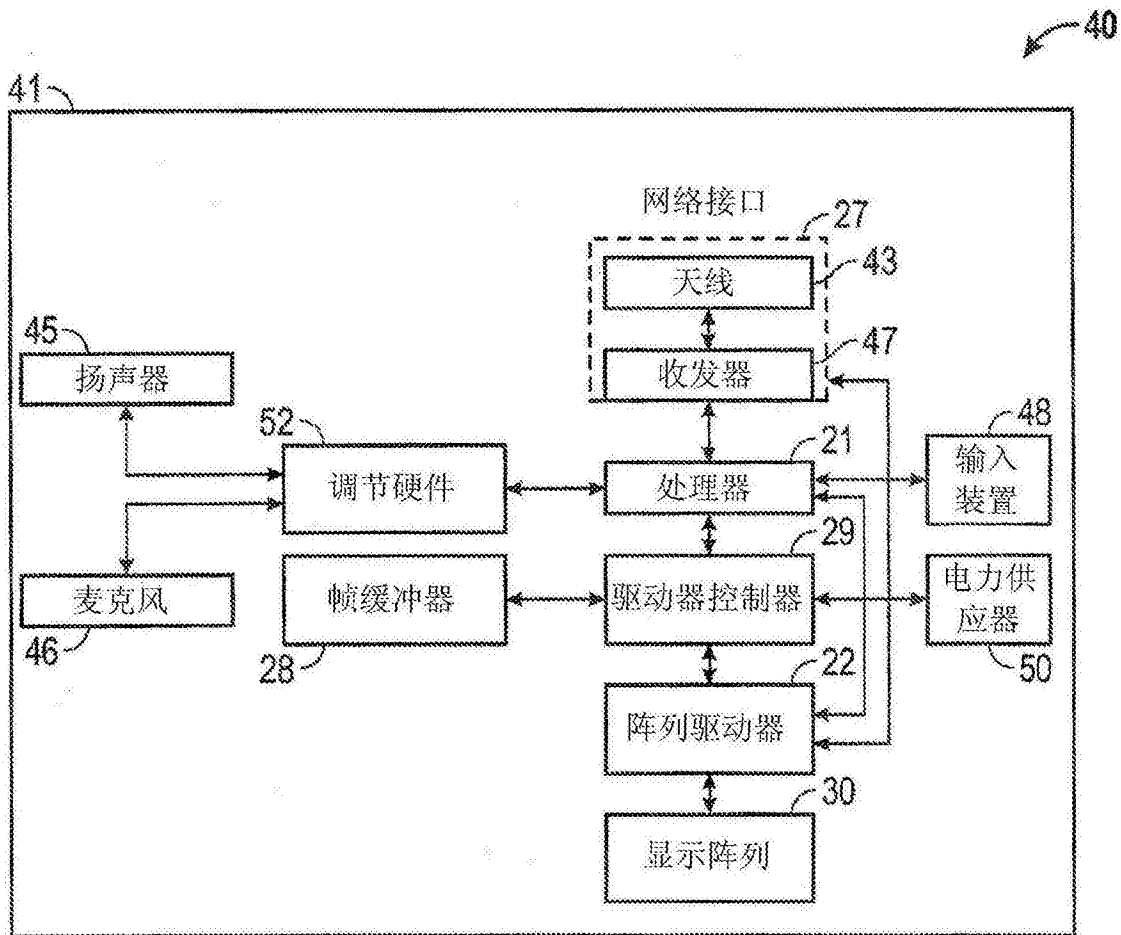


图12B