

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5615980号
(P5615980)

(45) 発行日 平成26年10月29日 (2014. 10. 29)

(24) 登録日 平成26年9月19日 (2014. 9. 19)

(51) Int. Cl. F I
A 6 1 N 1/36 (2006.01) A 6 1 N 1/36

請求項の数 8 (全 21 頁)

(21) 出願番号	特願2013-533882 (P2013-533882)	(73) 特許権者	507213592
(86) (22) 出願日	平成23年10月5日 (2011. 10. 5)		ボストン サイエントフィック ニュー
(65) 公表番号	特表2013-540021 (P2013-540021A)		ロモデュレイション コーポレイション
(43) 公表日	平成25年10月31日 (2013. 10. 31)		アメリカ合衆国 カリフォルニア州 9 1
(86) 国際出願番号	PCT/US2011/054879		3 5 5 ヴァレンシア ライ キャニオン
(87) 国際公開番号	W02012/051016		ループ 2 5 1 5 5
(87) 国際公開日	平成24年4月19日 (2012. 4. 19)	(74) 代理人	100092093
審査請求日	平成25年6月12日 (2013. 6. 12)		弁理士 辻居 幸一
(31) 優先権主張番号	61/392, 600	(74) 代理人	100082005
(32) 優先日	平成22年10月13日 (2010. 10. 13)		弁理士 熊倉 禎男
(33) 優先権主張国	米国 (US)	(74) 代理人	100088694
			弁理士 弟子丸 健
		(74) 代理人	100103609
			弁理士 井野 砂里

最終頁に続く

(54) 【発明の名称】 埋め込み型神経刺激器における電圧をモニタするためのサンプル及び保持回路

(57) 【特許請求の範囲】

【請求項 1】

複数の電極を有する埋め込み型神経刺激デバイスのための、前記複数の電極のうちの第1及び第2の電極の間に、少なくとも第1及び第2の段階を有する刺激パルスを提供するための回路であって、

前記複数の電極における電圧から、前記第1の電極における電圧からなる第1の電圧を選択するように構成可能な第1のマルチプレクサと、

前記複数の電極における電圧から、前記第2の電極における電圧からなる第2の電圧を選択するように構成可能な第2のマルチプレクサと、

前記第1の電圧及び前記第2の電圧を受信するためのかつ第1の入力及び第2の入力を生成するための保持回路と、

を含み、

前記保持回路は、第1及び第2のコンデンサを備え、

前記保持回路は、前記刺激パルスの前記第1の段階中に前記第1の電圧と前記第2の電圧との間の差を前記第1の入力として前記第1のコンデンサに格納し、前記刺激パルスの前記第2の段階中に前記第1の電圧と前記第2の電圧との間の差を前記第2の入力として前記第2のコンデンサに格納するように構成可能である、ことを特徴とする回路。

【請求項 2】

前記第1の入力と前記第2の入力の間の差を出力するための増幅器を更に含むことを特徴とする請求項 1 に記載の回路。

10

20

【請求項 3】

前記第 1 及び第 2 のマルチプレクサは、少なくとも 1 つの DC 電圧を選択可能に更に構成されることを特徴とする請求項 1 に記載の回路。

【請求項 4】

バッテリーと、前記複数の電極に刺激パルスを提供するように構成された刺激回路と、を更に備え、

前記少なくとも 1 つの DC 電圧は、接地、前記デバイスにおける前記バッテリーの電圧、及び前記刺激回路を給電するためのコンプライアンス電圧のうちの 1 つ又はそれ以上であることを特徴とする請求項 3 に記載の回路。

【請求項 5】

前記保持回路は、前記刺激パルスの前記第 1 の段階中に前記第 1 の電圧又は前記第 2 の電圧と 1 つの DC 電圧との差を前記第 1 のコンデンサに格納するように更に構成可能であり、前記第 1 及び第 2 の入力は、前記差の共通モード表現を含むことを特徴とする請求項 3 に記載の回路。

【請求項 6】

前記第 1 の入力と前記第 2 の入力との差を出力するための増幅器を更に含むことを特徴とする請求項 5 に記載の回路。

【請求項 7】

前記刺激パルスは、前記第 1 及び第 2 の段階中において反対の極性であることを特徴とする請求項 1 に記載の回路。

【請求項 8】

前記保持回路は、前記第 1 及び第 2 のコンデンサを第 3 の段階中は直列に接続するように更に構成可能であり、前記第 1 及び第 2 の入力は、前記第 1 及び第 2 のコンデンサの前記直列接続の両端での電圧である、

ことを特徴とする請求項 1 に記載の回路。

【発明の詳細な説明】

【技術分野】

【0001】

〔関連出願への相互参照〕

本出願は、優先権を請求し、かつ本明細書にその全内容が引用により組み込まれる 2010 年 10 月 13 日出願の米国特許出願出願番号第 61 / 392 , 600 号の国際 (P C T) 出願である。

【0002】

本出願は、両方が本明細書にその全内容が引用により組み込まれる 2010 年 10 月 13 日出願の米国特許出願出願番号第 61 / 392 , 594 号及び第 61 / 392 , 587 号にも関連する。

【0003】

本発明は、一般的に埋め込み型医療デバイスに関し、より具体的には、埋め込み型神経刺激デバイスにおける電圧をモニタするための改良された回路に関する。

【背景技術】

【0004】

埋め込み型神経刺激デバイスは、心不整脈を治療するペースメーカー、心細動を治療する除細動器、難聴を治療する蝸牛刺激器、視覚消失症を治療する網膜刺激器、協働四肢移動を生成する筋刺激器、慢性疼痛を治療する脊髄刺激器、移動及び精神的疾患を治療する大脳皮質及び脳深部刺激器、並びに尿失禁、睡眠時無呼吸、肩関節垂脱臼などを治療する他の神経刺激器のような様々な生物学的疾患の治療のために体神経及び組織に対して電気刺激を発生させて送出するデバイスである。以下に示す説明は、一般的に、米国特許第 6 , 516 , 227 号明細書に開示するような「脊髄刺激 (S C S) 」システムにおける本発明の使用に重点が置かれることになる。しかし、本発明は、あらゆる埋め込み型神経刺激器において適用性を見出すことができる。

10

20

30

40

50

【 0 0 0 5 】

図 1 A 及び図 1 B に示すように、SCS システムは、典型的には、例えば、チタンのような導電材料で形成された生体適合性デバイスケース 30 を含む「埋め込み型パルス発生器 (IPG)」100 を含む。ケース 30 は、典型的には、IPG が機能するのに必要な回路及びバッテリー 26 を保持するが、IPG はまた、外部 RF エネルギーによりかつバッテリーなしに給電することができる。IPG 100 は、各々がいくつかの電極 106 を含むような 1 つ又はそれよりも多くの電極アレイ (2 つのこのようなアレイ 102 及び 104 が示されている) を含む。電極 106 は、各電極に結合した個々の電極リード 112 及び 114 も収容する可撓性本体 108 上に担持される。図示の実施形態において、 $E_1 - E_8$ のラベル付きの 8 つの電極がアレイ 102 上にあり、 $E_9 - E_{16}$ のラベル付きの 8 つの電極がアレイ 104 上にあるが、アレイ及び電極の数は、特定用途向けであり、従って、異なる場合がある。アレイ 102、104 は、例えば、エポキシを含むことができる非導電性ヘッダ材料 36 において固定されたリードコネクタ 38 a 及び 38 b を使用して IPG 100 に結合する。

10

【 0 0 0 6 】

図 2 に示すように、IPG 100 は、典型的には、PCB 16 に装着されたマイクロプロセッサ、集積回路、及びコンデンサのような様々な電子構成要素 20 と共に、プリント基板 (PCB) 16 を含む電子基板アセンブリ 14 を含む。外部コントローラ 12 の間でデータを送信 / 受信するのに使用する遠隔通信 (テレメトリ) コイル 13 と、外部充電器 50 を使用して IPG のバッテリー 26 を充電又は再充電するための充電コイル 18 とである 2 つのコイル (より一般的にはアンテナ) が、一般的に IPG 100 に存在する。遠隔通信コイル 13 は、典型的には、図示のように IPG 100 のヘッダ 36 内に装着され、フェライトコア 13' に巻き付けることができる。

20

【 0 0 0 7 】

上述のように、手持ち式プログラマー又は臨床医のプログラマーのような外部コントローラ 12 は、無線で IPG 100 にデータを送信し、これからデータを受信するのに使用される。例えば、外部コントローラ 12 は、プログラミングデータを IPG 100 に送信し、IPG 100 が患者に提供することになる治療を判断することができる。同様に、外部コントローラ 12 は、IPG のステータスに関して報告される様々なデータのような IPG 100 からのデータの受信機として作用することができる。IPG 100 のような外部コントローラ 12 はまた、PCB 70 を収容し、その上に電子構成要素 72 が、外部コントローラ 12 の作動を制御するように置かれる。コンピュータ、携帯電話、又は他の手持ち式電子デバイスのために使用するものに類似し、かつ例えば触れることができるボタン及びディスプレイを含むユーザインタフェース 74 は、患者又は臨床医が外部コントローラ 12 を作動させることを可能にする。外部コントローラ 12 の間のデータの通信は、コイル (アンテナ) 17 によって可能である。

30

【 0 0 0 8 】

同じく典型的には手持ち式デバイスである外部充電器 50 は、IPG 100 に電力を無線で伝達するのに使用され、この電力を IPG のバッテリー 26 を再充電するのに使用することができる。外部充電器 50 からの電力の伝達は、コイル (アンテナ) 17' によって可能である。外部充電器 50 は、外部コントローラ 12 に類似する構成を有するとして描かれているが、実際には、それらは、当業者が認めるようにそれらの機能性に従って異なることになる。

40

【 0 0 0 9 】

外部デバイス 12 及び 50 と IPG 100 の間の無線データ遠隔通信及び電力伝達は、誘導結合及び具体的には磁気誘導結合により起こる。このような機能性を実施するために、IPG 100 と外部デバイス 12 及び 50 の両方は、対として互いに作用するコイルを有する。外部コントローラ 12 の場合には、コイルの関連の対は、コントローラからのコイル 17 及び IPG 100 からのコイル 13 を含む。外部充電器 50 の場合には、コイルの関連対は、充電器からのコイル 17' 及び IPG 100 からのコイル 18 を含む。公知

50

のように、データ又は電力の誘導送信は、経皮的に、すなわち、患者の組織 25 を通して実行することができ、特に医療埋め込み型デバイスシステムにおいてそれを有用にする。データ又は電力の送信中に、コイル 17 及び 13 又は 17' 及び 18 は、好ましくは、同一直線軸に沿って平行である平面にあり、コイルは、互いにできるだけ近い。コイル 17 及び 13 の間のこのような向きは、一般的に、それらの間の結合を改善することになるが、理想的な向きからの逸脱でも、適切に信頼できるデータ又は電力伝達をもたらすことができる。

【 0010 】

上記に組み込まれた同時出願は、それに読者は精通していると仮定し、本明細書において完全には説明しないが、図 3 A 及び 3 B に示されている I P G 295 のための改良されたアーキテクチャを開示している。改良された I P G アーキテクチャは、通信プロトコルによって管理されるバス 297 を通じた単一の集積回路 (I C) 300 における様々な I P G 機能回路ブロック (図 3 B) の統合を含む。バス 297 と通信しプロトコルを遵守するために、各回路ブロックは、そのプロトコルに準拠したバスインタフェース回路 215 を含む。各回路ブロックがプロトコルに準拠するので、いずれの所定の回路ブロックも、他のブロックの設計に影響を与えることなく容易に修正又はアップグレードすることができ、 I P G システム 290 のデバッグ及びアップグレードを容易にする。更に、集中化バス 297 を集積回路 300 から取り外すことができるので、 I P G 295 を修正又は I P G 295 に機能を追加するために特別な回路を容易にオフチップで追加することができる。

【 0011 】

例えば及び図 3 A に示すように、2つの電極ドライバ I C 300 及び 300' は、 I P G 295 における電極容量を二倍にし、すなわち、図のように 16 から 32 電極にするためにデジチェーンされる。 I C 300 は、マスターとして作動し、 I C 300' はスレーブとして作動し、2つの間の区別は、チップ選択信号 C S_m 及び C S_s それぞれによって可能になる。マイクロコントローラ 305 は、 I C 300 及び 300' における様々な回路ブロックによって処理されないシステム 290 の機能の制御を提供し、それ以外は、一般的にシステムのマスターとして作動する。しかし、同時出願に開示する方法に従って I C 300 をデジチェーンにする必要はなく、代わりに I P G システムは 1 つのこのような I C 300 だけを使用することができる。

【 0012 】

図 3 B を参照すると、 I C 300 における回路ブロックの各々は、 I P G における特定の機能を実行する。例えば、遠隔通信ブロック 62 は I P G 遠隔通信コイル 13 に結合し、外部コントローラ 12 (図 2) と通信するための送受信回路を含む。充電 / 保護ブロック 64 は、 I P G 充電コイル 18 に結合し、外部充電器 50 (図 2) から受け取った電力を整流するために、及び制御された方式で電源 (バッテリ) 26 を充電するための回路を含む。刺激回路ブロック 175 は、電極 E 1 - E 16 に結合され、これらの電極に現れる刺激パルスに対するプログラム (マグニチュード及び極性) を設定するための回路を含む。刺激回路ブロック 175 は、電流源及びシンク回路を通じて指定された電極に電流を供給するために刺激プログラムにตอบสนองするデジタル - アナログコンバータ (D A C) 82 を備えた電極のためのドライバを含む。電極 E 1 - E 16 が、リード 102 及び 104 (図 1 A) における対応する電極 106 への接続の前にオフチップ減結合コンデンサ C 1 - C N に接続されることに注意されたく、このような減結合コンデンサ C 1 - C N は、直流 D C 電流が I P G から患者に注入されないようにし、これは安全のためには望ましいが、それ以外はこのような減結合コンデンサは、刺激性能に大きく影響を与えない。

【 0013 】

コンプライアンス電圧 (V +) 生成ブロック 320 は、刺激回路ブロック 175 における電流源 (D A C) 82 によって使用されるコンプライアンス電圧、 V + を生成する。クロック生成ブロック 330 は、 I C 300 内部の必要とされる他のクロックと同様に、バス 297 における通信を同期させるために通信クロックを生成する。マスター / スレーブ (M / S) コントローラ 350 は、図 3 A に示すように、 I C 300 が 1 つよりも多い I

10

20

30

40

50

C300を備えたシステムで作動している場合にIC300がマスター又はスレーブ容量において作動しているか否かをIC300に通知する。割り込みコントローラブロック173は、その即座の重要性のためにバス297に関係なく受信される他の回路ブロックからの様々な割り込みを受信する。内部コントローラ160は、全ての他の回路ブロックのためのマスターコントローラとして作動する。EPROMブロック177は、システムにおけるいずれの関連のデータ(ログデータなど)もキャッシュに入れ、付加的なメモリ66も、シリアルインタフェースブロック167を通じてオフチップで提供することができる。外部端子202(例えば、ピン、結合パッド、半田バンプなど)が、IC300間で信号を運ぶために使用される。

【先行技術文献】

10

【特許文献】

【0014】

【特許文献1】米国特許第6,516,227号明細書

【特許文献2】米国特許第7,444,181号明細書

【特許文献3】米国特許公開第2007/0038250号明細書

【発明の概要】

【課題を解決するための手段】

【0015】

本発明の開示に特に関連するものは、サンプル及び保持ブロック310及びアナログ-デジタル(A/D)ブロック74である。図3Bに示すように、サンプル及び保持ブロック310は、電極E1-E16に現れる電圧、バッテリー電圧(Vbat)、コンプライアンス電圧(V+)のようなアナログバス192を通じて様々なアナログ信号を受信する。サンプル及び保持ブロック310の目的は、その名前が示すように、様々なアナログバス192信号の選択された信号をサンプリングし、かつその電圧マグニチュードを分解することができるように保持することである。分解されたアナログ電圧は、次に、サンプル及び保持ブロック310からA/Dブロック74に送信され、A/Dブロック74でデジタル化され、バス297を通じた解釈のためにIC300又はマイクロコントローラ305における他の場所へ送信される。

20

【0016】

刺激中又は試験中のいずれかに電極の電圧をモニタすることは特に重要である。このような電圧を評価することは、多くの理由で有用である。電極電圧を知ることによって、電極間の抵抗、Rを計算することができ、これは様々な理由のために有用である。刺激中の電極に存在する電圧を知ることが、V+生成器320(図4B)のコンプライアンス電圧、V+を適切な電力効率のマグニチュードに設定する場合に有用になる。例えば、米国特許第7,444,181号明細書を参照されたい。この開示は、IPGにおける当該の電極及び他の電圧を評価するためのサンプル及び保持ブロック310のための改良されたサンプル及び保持回路を呈示している。

30

【図面の簡単な説明】

【0017】

【図1A】従来技術による埋め込み型パルス発生器(IPG)及び電極アレイがIPGに結合される方式を示す図である。

40

【図1B】従来技術による埋め込み型パルス発生器(IPG)及び電極アレイがIPGに結合される方式を示す図である。

【図2】従来技術によるIPG、外部コントローラ、及び外部充電器を示す図である。

【図3A】上記に組み込まれた同時出願に開示するIPGアーキテクチャの態様を示す図である。

【図3B】上記に組み込まれた同時出願に開示するIPGアーキテクチャの態様を示す図である。

【図4】IPGにおける様々な電圧をモニタするための改良されたサンプル及び保持回路を示す図である。

50

【図 5 A】2 相パルスの供給中の電極電圧をモニタするために、特に電極間の抵抗を測定するために図 4 のサンプル及び保持回路が使用される例を示す図である。

【図 5 B】2 相パルスの供給中の電極電圧をモニタするために、特に電極間の抵抗を測定するために図 4 のサンプル及び保持回路が使用される例を示す図である。

【図 5 C】2 相パルスの供給中の電極電圧をモニタするために、特に電極間の抵抗を測定するために図 4 のサンプル及び保持回路が使用される例を示す図である。

【図 6 A】各図が測定の異なる段階を示す電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 6 B】各図が測定の異なる段階を示す電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 6 C】各図が測定の異なる段階を示す電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 6 D】各図が測定の異なる段階を示す電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 6 E】各図が測定の異なる段階を示す電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 7 A】各図が測定の異なる段階を示す電流源に対するコンプライアンス電圧を設定する場合に有用である電流源両端の電圧降下を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 7 B】各図が測定の異なる段階を示す電流源に対するコンプライアンス電圧を設定する場合に有用である電流源両端の電圧降下を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 7 C】各図が測定の異なる段階を示す電流源に対するコンプライアンス電圧を設定する場合に有用である電流源両端の電圧降下を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 7 D】各図が測定の異なる段階を示す電流源に対するコンプライアンス電圧を設定する場合に有用である電流源両端の電圧降下を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 7 E】各図が測定の異なる段階を示す電流源に対するコンプライアンス電圧を設定する場合に有用である電流源両端の電圧降下を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 8 A】2 つのデিজチェーン IC が使用される実施形態における電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 8 B】2 つのデিজチェーン IC が使用される実施形態における電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 8 C】2 つのデিজチェーン IC が使用される実施形態における電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 8 D】2 つのデিজチェーン IC が使用される実施形態における電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 8 E】2 つのデিজチェーン IC が使用される実施形態における電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【図 8 F】2 つのデিজチェーン IC が使用される実施形態における電極間の抵抗を判断するためのサンプル及び保持回路 310 の作動を示す図である。

【発明を実施するための形態】

【0018】

埋め込み型神経刺激器における電極及び他の電圧をモニタするためのサンプル及び保持回路を開示する。一実施形態におけるサンプル及び保持回路は、適切な電圧を選択し 2 つの異なる測定相中にこれらを 2 つの貯蔵コンデンサに通すためのマルチプレクサを含む。コンデンサは、コンデンサに蓄えられた 2 つの電圧を追加するために後の段階で直列に接続され、直列接続の上部及び下部に存在する電圧は、次に、これらの差を計算するために

10

20

30

40

50

差動増幅器に入力される。サンプル及び保持回路は、2つの電極間の抵抗を計算する場合に特に有用であり、抵抗が2相パルスを使用して測定される時に更に特に有用である。サンプル及び保持回路はフレキシブルであり、2相又は単相パルス中の当該の他の電圧を測定するために使用することができる。

【0019】

改良されたサンプル及び保持回路310の実施形態を図4に示している。上述のように、サンプル及び保持回路310は、アナログバス192における様々な信号から選択し、それによってIC300における重要な電圧をモニタすることができる。開示する実施形態において、選択は、2つのマルチプレクサ、MUX1及びMUX2を使用して行われる。各MUXへの入力は、本質的に同じであり、電極電圧(E1 - E16)、金属ケース(ケース)、バッテリー電圧(Vbat)、DAC82によって使用されるコンプライアンス電圧(V+)、及び接地(GND)を含む。以下の例に示すように、MUX1は、一般的に、アノード電極又は供給電圧(例えば、Vbat又はV+)のような高電圧を選択するのに使用され、MUX2は、一般的に、カソード電極又は接地のような低電圧を選択するのに使用される。付加的な共通モード入力(CM)を電圧モニタリング中に使用することができ、この入力の関連性を後で説明する。また、各MUXの出力は、所定の測定に対するこのような他の出力を選択するための関心である場合に他のMUXに送信される。MUXへの様々な入力信号のために、サンプル及び保持回路310は、様々な電圧をモニタすることができ、従って、IPGにおける様々な現象の分析を可能にし、その一部を後で説明する。IPG内の重要度の他のアナログ信号は、MUXへの入力として含むことができ、図示の入力を排他的なものとして理解してはならない。

【0020】

入力IN1及びIN2、スイッチS1及びS2、及び出力OUT1及びOUT2は、1つよりも多いIC300が互いにデジチェーンされた時に示唆されることになり、これは、図8A - 8Fに関して説明する。

【0021】

MUX1及びMUX2は、有効にされた信号M1en及びM2enそれぞれによって有効にされ、各々から選択された入力が、制御信号SEL1及びSEL2それぞれに従って判断される。図示の実施形態において、5ビット(SELx < 0 : 4 >)が、MUXへの24入力の1つを選択するのに使用される。

【0022】

MUXによって選択された信号は、保持回路314による分解のために保持される。図4の実施形態において、保持回路314は、2つのコンデンサ、CX及びCY、複数のスイッチ、Sa - Se、及び有効化信号B1en及びB2enそれぞれによって有効にされた出力バッファ311a及び311bを含む。コンデンサCX及びCYは、同一であるのが好ましく、例えば、4.7マイクロファラドのキャパシタンスを有することができる。図示のように、モニタされる電圧は、CX及びCYの上板に供給されるMUX1によって選択された電圧、及びCX及びCYの下部プレートに供給されるMUX2によって選択された電圧により、これらのコンデンサCX及びCY上に印加される又は蓄積される。バッファ311a及び311bの出力は、差動増幅器312に入力され、差動増幅器が、アナログ信号315としてこれらの差(すなわち、V311a - V311b)を出力する。このアナログ出力315は、A/Dブロック74(図3B)に送信することができ、ここでデジタル化され、V+生成器320(図3B)又はマイクロコントローラ305のような分析のためのシステムにおける他の場所に送信される。スイッチSa - Seは、内部コントローラ160(図3B)から発信することができる制御信号(図示せず)、その一部がスイッチであるサンプル/ホールドブロック310自体、マイクロコントローラ305、又はシステム290におけるいずれかの他の論理的又は有利な制御要素によって制御される。

【0023】

図5A - 5Cは、図4のサンプル及び保持回路310が、パルスの供給中の電極電圧E

1 及び E 2 をモニタするために、特にこれらの電極間の抵抗を測定するのに使用される例を示している。パルスは、図示のようなパルスのトレインを含むことができ、患者に送出される実際の治療パルスを含むことができる。しかし、この例では、刺激パルスは、抵抗を判断するのに使用される試験パルスであり、患者に施される間は、必ずしも患者の治療を含まない。

【 0 0 2 4 】

この例では、及び図 5 A 及び 5 B に示すように、パルスは 2 相であり、各電極で 1 次パルス（位相 1）の後に反対極性のパルス（位相 2）が続くことを意味している。2 相パルス、及びこのようなパルス方式を使用するための理論的解釈は、神経刺激器の技術は公知である。位相 1 中に、電極 E 1 は電流 I を発生するためのアノードを含み、電極 E 2 は、その電流 I をシンクするためのカソードを含む。抵抗 R は電極 E 1 と E 2 の間の抵抗を表し、多くは患者の組織の抵抗を含む多くの変数の関数である。位相 2 中に、極性は反転され、それによって電極 E 2 は電流 I を発生し、電極 E 1 はその電流 I をシンクする。いずれかの残留電荷が残っている限り、受動回復位相（位相 3）が反対極性パルスに従い、患者に注入されたいずれの残留電荷も回復する。受動回復は、通常、バッテリー電圧（V b a t）のような基準ノードに刺激電極（E 1、E 2）を結合することによって影響を受ける。電極の各々の 2 相パルスの各々を 2 つの異なる位相の 2 つのパルスとして考えることができることに注意すべきである。位相 1 及び 2 の持続時間は、同じであることが好ましい。

【 0 0 2 5 】

各電極に現れる電流（+ I、- I）は、上述のように刺激回路 1 7 5 の一部を含む D A C 8 2（図 5 B）によって設定される。公知のように、D A C 8 2 は、基準電流、I r e f が増幅される量を指定するデジタル制御信号（< P >、< N >）に基づいて望ましい電流を供給する。アノードソースとして使用される D A C は、P D A C と呼び、カソードシンクとして使用される D A C は N D A C と呼ぶ。例えば、I P G 2 9 5 のような I P G において使用可能な P D A C 及び N D A C 回路の仕様に関する更なる詳細については米国特許公開第 2 0 0 7 / 0 0 3 8 2 5 0 号明細書を参照されたい。

【 0 0 2 6 】

電極 E 1 及び E 2 にそれぞれ接続したオフチップ減結合コンデンサ C 1 及び C 2 も図 5 B に示され、各々が寄生電圧 V_{C1} 及び V_{C2} それぞれを運ぶことに注意すべきである。これらの寄生電圧は D C 電圧であり、減結合コンデンサ C 1 及び C 2 から電荷を取り除くために不能から発生し、患者の組織の電位（抵抗 R）を制御することができないので、このような寄生電圧を完全に取り除くことはできない。図示のように、開示するサンプル及び保持回路の重要な利点は、これらの寄生電圧を取り除くための機能であり、それによってより正確な抵抗測定を可能にする。刺激の極性は位相 1 と 2 の間で変化するが、電極に対する寄生電圧 V_{C1} 及び V_{C2} の極性は変化しないことに注意すべきである。減結合コンデンサが特定の I P G アーキテクチャで使用されない場合でも、寄生キャパシタンスは、電極組織インタフェースに存在することになり、このような寄生キャパシタンスは、寄生電圧 V_{C1} 及び V_{C2} を運ぶことになる。このような寄生キャパシタンスは、これらが使用される範囲で減結合コンデンサ C 1 及び C 2 に含まれると見なすことができる。

【 0 0 2 7 】

図 5 C は、電極間の抵抗を測定する場合に特に有用な 2 相パルスの更なる詳細を示し、サンプル及び保持回路 3 1 0 の作動の様々な段階を示している。（単純化するために E 1 のパルスだけを示している。）図示のように、パルスは、- 0 . 3 5 から 0 . 3 5 m A に及ぶマグニチュード、及び 4 0 マイクロ秒の総持続時間を有する。事前段階は、位相 1 に進み、t = 0 の位相 1 パルスの開始の前の 5 マイクロ秒で終わる。段階 1 は、位相 1 パルス中の 5 - 1 5 マイクロ秒の間に発生し、段階 2 は、位相 2 パルス中の 2 5 - 3 5 マイクロ秒の間に発生する。段階 3 は、位相 3 回復の間の 4 5 マイクロ秒のパルスの中断の後の 5 マイクロ秒に発生する。これらの段階の各々の間がブランキング期間（B）であり、この間に、サンプル及び保持回路 3 1 0 におけるスイッチ S a - S e の全てが開かれる。簡

10

20

30

40

50

潔に分るように、このようなブランキング期間により、サンプル及び保持回路 3 1 0 は、段階と段階の間の衝突なしに作動させることができる。

【 0 0 2 8 】

図 6 A - 6 E は、電極 E 1 と E 2 間の抵抗を判断するためのサンプル及び保持回路 3 1 0 の作動を示しており、各図は、測定の異なる段階を示している。これらの図の各々におけるアクティブ信号は、回路の作動を理解し易いように太字のイタリック体にされている。IC 3 0 0 における通信のバスの性質のために、続く抵抗測定は、適切な時間のサンプル及び保持回路 3 1 0 における適切なアドレスにバス指令を送信する段階を含むことを理解すべきである。このようなアドレス指定が上記に組み込まれた同時出願に詳しく説明されているので、これらの詳細はここでは繰り返さない。

10

【 0 0 2 9 】

図 6 A は、サンプル及び保持回路 3 1 0 事前段階の構成、すなわち、続く測定の準備を示している。この事前段階中、コンデンサは放電される。これは、両方の M U X 1 及び M U X 2 で接地入力を選択することにより、及び保持回路 3 1 4 のスイッチ S a - S e の全てを閉じることによって行われる。これは、接地までのコンデンサ C 1 及び C 2 の両方のプレートを短絡し、同様に M U X によって送られる 2 つの接地信号を共に短絡する。これは、コンデンサ C X 及び C Y が測定を実行する前にそれらの両端の残留電圧を持たないようにする。

【 0 0 3 0 】

ブランキング期間の後、図 6 B は、段階 1 中の電極電圧 E 1 及び E 2 の測定を示している。E 1 はこの位相中にアノードとして作動し、従って、高電圧にバイアスされるので、これは、上部 M U X 1 によって選択され、E 2 がカソードとして作動し、従って、低電圧にバイアスされるので、これは、下部 M U X 2 によって選択される。段階 1 中に、電極 E 1 と E 2 の間の電圧 V_x は、コンデンサ C X に印加又は蓄積され、この電圧は、減結合コンデンサ C 1 及び C 2 両端の 2 つの寄生電圧 ($V_{C1} + V_{C2}$) 及び患者の組織両端の降下 ($I R$) の和、すなわち、 $V_x = V_{C1} + I R + V_{C2}$ に等しくなる。電圧 V_x は、他のスイッチ S b、S d、及び S e を開いたまま、スイッチ S a 及び S c を閉じることにより、コンデンサ C X 両端に印加される。スイッチ S b、S d、及び S e を開いたままにしておくことで、コンデンサ C Y を絶縁し、その電圧降下は、事前段階中に接地されることによって 0 のままであることに注意すべきである。再度図 5 C を参照すると、段階 2 は、約 5 マイクロ秒で始まり、15 マイクロ秒で終わり、従って、コンデンサ C X をこの 10 マイクロ秒の間に書き込むことができる。

20

30

【 0 0 3 1 】

別のブランキング期間の後、図 6 C は、段階 2 中の電極電圧 E 1 及び E 2 の測定を示している。E 2 がこの位相中にアノードとして作動し、従って、高電圧にバイアスされるので、これは、上部 M U X 1 によって選択され、E 1 がカソードとして作動し、従って、低電圧にバイアスされるので、これは、下部 M U X 2 によって選択される。段階 2 中に、電極 E 2 と E 1 の間の電圧 V_y は、コンデンサ C Y に印加又は蓄積され、その電圧は、減結合コンデンサ C 1 及び C 2 両端の 2 つの寄生電圧及び患者の組織両端の降下 ($I R$) の和に等しくなる。しかし、刺激の極性が位相 2 で逆転されるので、位相 1 から変わらないこれらの寄生電圧が減算され、それによって $V_y = - V_{C2} + I R - V_{C1}$ になる。電圧 V_y は、他のスイッチ S a、S c、及び S e を開いたままにして、スイッチ S b 及び S d を閉じることにより、コンデンサ C Y 両端に印加される。スイッチ S a、S c、及び S e を開いたままにしておくことでコンデンサ C X を絶縁し、その電圧は、早期の段階 1 測定のために V_x のままであることに注意すべきである。図 5 C を再度参照すると、段階 2 は約 2.5 マイクロ秒で始まり、3.5 マイクロ秒で終わり、従って、コンデンサ C Y をこの 10 マイクロ秒期間に書き込むことができる。

40

【 0 0 3 2 】

更に別のブランキング期間の後、図 6 D は、段階 3 でコンデンサ C X 及び C Y が直列に接続され、M U X への共通モード入力を通じて基準電圧が供給されることを示している。

50

コンデンサは、スイッチ S_e を閉じることによって直列に接続される。これは、直列接続コンデンサ両端に、以前に蓄積された V_x 及び V_y 値の和に等しい電圧、すなわち、 $2IR$ を生成する。減結合コンデンサ、 V_{c1} 及び V_{c2} 両端の寄生電圧がこの直列追加によって取り消され、従って、測定からこれらを取り除き、上述のように測定の精度を改善する。更に、コンデンサ C_X と C_Y 間の共通ノードは、 $V+/2$ の基準電圧に設定される。これは、 MUX の各々で、共通モード入力、 CM を選択することにより、及びスイッチ S_b 及び S_c を閉じることによって行われる。共通モード入力が MUX で個別に配線され、 $MUX1$ の共通モード入力が、抵抗器 R_1 を通じてコンプライアンス電圧 $V+$ に結合され、 $MUX2$ の共通モード入力が抵抗器 R_2 を通じて接地に結合されることに注意すべきである。図示の例では、 R_1 及び R_2 は同一であり、各々が $250k$ オームのオーダの相対的に高い値である。両方の共通モード入力が選択されスイッチ S_b 及び S_c を通じてコンデンサ間の共通ノードで短絡された時に、 R_1 及び R_2 は、 $V+$ と接地間の電圧分割デバイスを形成し、 $V+/2$ の同相電圧をもたらす。直列接続コンデンサ両端の $2IR$ 電圧が保護されるので、効果は、 $(V+/2) + IR$ の電圧を上部バッファ $311a$ に、 $(V+/2) - IR$ の電圧を下部バッファ $311b$ に呈示することである。

10

【0033】

更に別のブランキング期間の後、図 $6E$ は、測定され処理された電圧が差動増幅器 312 に送られる事後段階を示している。この段階で、 MUX は使用されず、実際にはスイッチ $S_a - S_d$ を開くことによって保持回路 314 から絶縁される。スイッチ S_e は、コンデンサ C_X と C_Y の間の直列接続を維持するために閉じられ、出力バッファ $311a$ 及び $331b$ は、 C_X 及び C_Y の直列接続の両端の電圧を差動増幅器 312 の入力に通ずために、有効化信号 $B1en$ 及び $B2en$ それぞれによって有効にされる。差動増幅器は、その入力での差を表すアナログ電圧、すなわち、 $[(V+/2) + IR] - [(V+/2) - IR]$ 、又は $2IR$ をその出力 315 で生成するために、有効化信号 $DAen$ によって有効にされる。差動増幅器 312 は、コンプライアンス電圧 $V+$ によって給電され、段階 3 (図 $6D$) において差動増幅器の入力共通モードを $V+/2$ に設定することで、差動増幅器のダイナミックレンジを増す。

20

【0034】

出力 315 は、その後 A/D ブロック 74 (図 $3B$) に送信され、ここでデジタル化及び格納される。そこから、マイクロコントローラ 305 が、 A/D ブロック 74 で格納された値をアドレス指定することによってデジタル化値を読み取ることができ、電極 $E1$ と $E2$ の間の抵抗を判断するためにこれを処理することができる。電流 I で公知なので、抵抗は、デジタル化値を $2I$ で割算することによってマイクロコントローラ 305 で計算される。

30

【0035】

パルスが減結合コンデンサ $C1$ 及び $C2$ の AC 充電を起こし、この結果減結合コンデンサ $C1$ 及び $C2$ 両端に相対的に小さな電圧を生じることに注意すべきである。当業者が理解するように、このような AC 電圧は、電流 I 及びパルス幅に比例することになり、減結合コンデンサのキャパシタンスに反比例することになる。このような AC 電圧は、上述の DC 寄生電圧 V_{c1} 及び V_{c2} とは別々である。 DC 寄生電圧とは異なり、減結合コンデンサ $C1$ 及び $C2$ 両端のいずれの AC 電圧も、所定の位相中の刺激の極性に一致することになり、 DC 寄生電圧が実行する測定を無効にしなくてもよく、全体的な測定における電圧オフセット、すなわち、 A/D ブロック 74 に送られる電圧をもたらす。しかし、いずれのこのような AC 電圧も比較的小さく、計算することができ、抵抗測定から標準化することができる。例えば、図 $5C$ に説明した例の 2 相パルスを使用して、測定された電圧へのオフセットが、約 $3mV$ に等しい減結合コンデンサの AC 充電によって生じ、この小さな量を測定精度及び全体的な抵抗計算を更に改善するために、マイクロコントローラ 305 における測定された電圧からデジタル的に減算することができる。

40

【0036】

抵抗測定が完了した状態で、それは、パルストレインにおける次のパルスで繰り返すこ

50

とができる。電極の同じ対間の測定を繰り返すことで、測定された値を時間の経過と共に平均化することができ、その精度を改善することができる。更に、抵抗が電極の2つ（例えば、E1とE2）の間で測定された状態で、更に別の抵抗測定を電極の異なる対（例えば、E2とE3、E3とE4、E1とE3、E1とE4など）間で実行することができる。本発明の開示の範囲を超えるが、電極間の抵抗を知ることは、IPGの安全性及び機能を改善する場合に価値がある。

【0037】

上述のように、刺激中に電極に存在する電圧を知ることは、V+生成器320（図3B）のコンプライアンス電圧、V+を適切な電力効率のマグニチュードに設定する場合に有用になる。特に、及び米国特許第7,444,181号明細書で説明するように、電流源及びシンク、すなわち、PDAC及びNDACの両端に現れる電圧降下を知ることは、特に有用になり、電圧降下は、刺激中に使用される電極電圧をモニタすることによってのみ一部知ることができる。これらの電圧降下をモニタすることにより、コンプライアンス電圧V+は、望ましい治療電流をロードすることなく送出するのに十分なマグニチュードに設定することができるが、IPGにおける電力を消費しないように過度に高くは設定されない。開示するサンプル及び保持回路310により、これらの電圧降下を測定することができ、図7A-7Eは、これが行われる方法を示している。

【0038】

図7Aは、電極E1とE2の間のパルスの例を再度使用して、PDAC及びNDAC両端の電圧降下Vp及びVnを示している。この例がコンプライアンス電圧V+を最適化することを目的とするので、パルスは試験パルスの代わりに実際の治療刺激パルスを含むことが予想される。しかし、開示する技術を使用してIPG及び/又はコンプライアンス電圧生成器320を試験するために有用になるので、これは厳密には必要ではない。PDAC82両端の電圧降下は、アノード電極に現れる電圧からコンプライアンス電圧を引いたもの、すなわち、 $V_p = (V+) - V_{E1}$ を含み、NDAC82両端の電圧は、接地からカソード電極に現れる電圧を引いたもの、すなわち、 $V_n = V_{E2} - 0$ 、又は V_{E2} を含む。

【0039】

この例では、Vpは、パルストレインにおける第1のパルスの供給中に測定され、Vnは、トレインにおける第2の（又は後の）パルスの供給中に測定される。簡潔に示すように、及び2相パルスが使用されると仮定して、これらの測定は、第1の段階に示すように、2相パルスの1つの位相中にのみ行われる。従って、パルスの第2の（又は他の）位相は無視され測定に使用されず、従って、図7Aにおいて点線で示されている。単相パルスが使用される場合、測定（単純化するために示していない）は、パルスの単一位相中に行われることになる。

【0040】

図示の例では、Vpは、最初に測定され、図7Bで始まる。図7Bは、測定の段階1、すなわち、2相パルスの第1の位相（又は単相パルスの単一位相）の供給中に行われる測定を示している。しかし、ブランキング期間に行われるように、図6Aに示されているコンデンサCX及びCYの事前段階放電が起こる。事前段階コンデンサ放電を示す図は含まれていない。Vpは、V+とE1の間の差を含み、これらの入力、MUX1及びMUX2によってそれぞれ選択され、それによってコンデンサCXにその電圧差、すなわち、 $V_x = (V+) - V_{E1}$ を印加する。早期の抵抗測定のように、スイッチSa及びScは、段階1で閉じられ、スイッチSb、Sd、及びSeは、開いたままである。回路構造のために、オフチップ減結合コンデンサC1に現れるいずれの寄生電圧も、測定に含まれないことに注意すべきである。

【0041】

2相パルスが使用される場合、段階2は単純にバイパスされ、それによってコンデンサCYは単純には充電されず、事前段階に設定されたように $V_y = 0$ のその値を保持する。段階2のバイパスは、ブランキングと同様に、すなわち、段階2の間にスイッチSa-Seの全てを開くことによって実行することができる。

10

20

30

40

50

【 0 0 4 2 】

次に、段階 3 中に (図示せず)、コンデンサ C X 及び C Y は、直列に接続され、従って、直列接続の両端に V_X 及び V_Y を追加し、M U X への共通モード入力、コンデンサ間の共通ノードを $V + / 2$ に設定するように選択される。これは、 $V + + 1 / 2 V_{E1}$ の電圧をバッファ 3 1 1 a の入力に及び $1 / 2 V_{E1}$ の電圧をバッファ 3 1 1 b の入力に提供する。これは図 6 D のように行われ、単純化するために含まれていない。図 7 C を参照すると、差動増幅器 3 1 4 が、差 $V + - V_{E1}$ を A / D ブロック 7 4 に出力する場合に、バッファ 3 1 1 a 及び 3 1 1 b が有効にされ、A / D ブロック 7 4 で差 $V + - V_{E1}$ がデジタル化され格納される。

【 0 0 4 3 】

図 7 D 及び 7 E は、トレインにおける次の (又は後の) パルスに載せられる V_n の測定を示している。コンデンサ C x 及び C y の事前段階放電は示されていない。図 7 D では、段階 1 中に、M U X 1 は、カソード電極 E 2 を選択し、M U X 2 は、接地を選択し、従って、コンデンサ C X に、これらの差、 V_{E2} を印加する。段階 2 は、バイパスされ、次に、共通モード入力、コンデンサを直列に接続するために段階 3 (図示せず) 中に選択され、従って、 $1 / 2 (V + + V_{E2})$ 及び $1 / 2 (V + - V_{E2})$ をバッファ 3 1 1 a 及び 3 1 1 b の入力それぞれに呈示する。バッファ 3 1 1 a 及び 3 1 1 b 及び差動増幅器 3 1 4 が図 7 E に示すように有効にされた時に、差、 V_{E2} が、以前の V_p のように出力され、デジタル化され、更に格納される。減結合コンデンサ V_{C2} の両端の寄生電圧が V_n 測定に働きかけないことに注意すべきである。

【 0 0 4 4 】

図 6 A - 6 E の抵抗測定と同様に、 V_p 及び V_n 測定は、それらの精度を改善するために反復し平均化することができる。判断された状態で、 V_p 及び V_n は、例えば、米国特許第 7, 4 4 4, 1 8 1 号明細書に開示された技術を使用して、コンプライアンス電圧 $V +$ を最適レベルに設定するために、マイクロコントローラ 3 0 5 及び $V +$ 生成器 3 2 0 によって使用することができる。 $V +$ に対するこの最適値が、不確実性及び恐らく患者の組織の変化する性質のために時間の経過と共に変化すると予想される場合、時間毎に V_p 及び V_n をモニタし、更に治療刺激中の実行中に $V +$ を調節することが好ましい。

【 0 0 4 5 】

図 8 A - 8 F は、抵抗を測定するためのサンプル及び保持回路 3 1 0 の使用を示しているが、ある一定の用途では、マスター I C 3 0 0 及びスレーブ I C 3 0 0 ' が互いにデジチェーンされる。図 8 A に示す例では、I C 3 0 0 及び 3 0 0 ' の異なる方に現れる抵抗が、2 つの電極間で測定され、アノード電極 E 1 8 はスレーブ I C 3 0 0 ' に現れ、カソード電極 E 1 はマスター I C 3 0 0 に現れる。デジチェーン I C 3 0 0 及び 3 0 0 ' を有するシステムにおける 2 つの電極間の抵抗の測定が上記に組み込まれた同時出願に説明されていることに注意すべきである。これがどのように起こるかがその同時出願に詳しく説明され、読者には公知であると仮定するので、本発明の開示は、技術の説明を本発明の開示の焦点である特定のサンプル及び保持回路 3 1 0 に制限する。

【 0 0 4 6 】

測定される電圧の 1 つが、マスター 3 0 0 の代わりにスレーブ I C 3 0 0 ' から来た時に、2 つのサンプル及び保持回路 3 1 0 及び 3 1 0 ' 間の相互接続が、図 8 B に示すように示唆される。(マスター及びスレーブ I C 3 0 0 及び 3 0 0 ' が同一であるので、同じ構成要素が、マスター I C 3 0 0 の主記号なし及びスレーブ I C 3 0 0 ' の主記号ありのいずれかで示されている。) 相互接続は、オフバス信号 I N 1、I N 2、O U T 1、及び O U T 2 の使用を含む。スレーブ I C 3 0 0 ' における M U X 1 からの O U T 1 は、マスター I C 3 0 0 における I N 1 に送信され、次に、これは、マスター I C の M U X の両方への入力として送信される。スレーブ I C 3 0 0 ' における M U X 2 からの O U T 2 は、マスター I C 3 0 0 の I N 2 に送信され、これは、ここでもまた、マスター I C の M U X の両方への入力として送信される。サンプル及び保持回路 3 1 0 及び 3 1 0 ' のこの相互接続は、モニタされるいずれの関連の電圧 (V_{E18} など) もスレーブ I C 3 0 0 ' のサン

10

20

30

40

50

プル及び保持回路 310' からマスター IC 300 のサンプル及び保持回路 310 にプルするように働く。保持回路 314' がスレーブ IC 300' で使用されないの、これは図では点線で示されている。サンプル及び保持回路 310 及び 310' のこの相互接続は、使用されないスレーブ IC 300' の MUX への入力 IN1 及び IN2、及び使用されないマスター IC 300 の出力 OUT1 及び OUT2 をもたらし、これは点線によって表される。2つの IC 300 と 300' の間の PCB 上の経路指定は、スレーブ IC 300' からの OUT1 及び OUT2 とマスター IC 300 の IN1 及び IN2 の間の適正な接続を設定する。

【0047】

図 8 B は、サンプル及び保持回路 310 事前段階の構成を示し、上述の図 6 A に類似している。マスターサンプル及び保持回路 310 の両方の MUX が接地入力を選択し、スイッチ Sa - Se の全てが閉じられ、コンデンサ CX 及び CY を短絡する。

【0048】

ブランキング期間の後、図 8 C は、段階 1 中の電極電圧 E18 及び E1 の測定を示している。E18 がこの位相中はアノードとして作動し、従って、高電圧にバイアスされるので、これは、上部 MUX 1 によって選択される。しかし、この電圧は、最初にスレーブ IC 300' からマスター IC にプルすべきである。これを実行するために、スレーブにおける MUX 1' は、E2 入力 - 電極 E18 に対応する入力を選択する。スイッチ S1' は、この選択をマスター IC 300 の MUX における入力 IN1 に現れる OUT1 に通すために閉じられる。マスターのサンプル及び保持回路 310 における MUX 1 は、この入力 IN1 を選択し、従って、コンデンサ CX の上部の E18 に電圧を印加する。E1 がカソードとして作動し、従って、低電圧にバイアスされるので、これは、下部 MUX 2 によって選択され、この電極がマスター IC 300 に既に存在するので、この電極はスレーブからプルする必要はない。E1 を選択することで、コンデンサ CX の下部の E1 に電圧を印加する。電極の減結合コンデンサからの寄生電圧が含まれる時に、コンデンサ CX、 V_x に蓄積された電圧は、 $V_{C18} + IR + V_{C1}$ に等しい。

【0049】

別のブランキング期間の後、図 8 D は、段階 2 中の電極電圧の測定を示している。E1 はこの位相中アノードとして作動し、従って、高電圧にバイアスされるので、これは、上部 MUX 1 によって選択される。E18 がカソードとして作動し、従って、低電圧にバイアスされるので、これは、最終的には下部 MUX 2 によって選択されるが、最初にスレーブ IC 300' からプルすべきである。従って、スレーブの MUX 2' は E18 (E2 入力) を選択し、スイッチ S2' は、この選択を OUT2 に通すために閉じられる。この出力は、入力 IN2 としてマスターの MUX 2 で選択される。これは、コンデンサ CY 両端に $V_y = -V_{C1} + IR - V_{C18}$ を印加する。

【0050】

図 8 E 及び 8 F は、上述の図 6 D 及び 6 E と本質的には同じであり、抵抗測定の段階 3 及び事後段階部分を示している。参照すると、段階 3 (図 8 E) 中に、コンデンサ CX 及び CY は、直列に接続され、その共通ノードは $V + / 2$ にバイアスされる。効果は、 $(V + / 2) + IR$ の電圧を上部バッファ 311 a に、及び $(V + / 2) - IR$ の電圧を下部バッファ 311 b に呈示することである。事後段階 (図 8 F) では、出力バッファ 311 a 及び 311 b は、これらの電圧を差動増幅器 312 の入力に通すために有効にされ、差動増幅器 312 も有効にされる。出力 315 の結果は、 $2IR$ のアナログ信号であり、出力 315 は、その後、A/D ブロック 74 (図 3 B) に送信され、A/D ブロック 74 でデジタル化及び格納される。そこから、マイクロコントローラ 305 は、A/D ブロック 74 に格納された値をアドレス指定することによってデジタル化値を読み取ることができ、例えば、デジタル化値を $2I$ で割算することにより、電極 E1 と E2 の間の抵抗を判断するためにこれを処理することができる。マイクロコントローラ 305 はまた、上述のように、測定中の減結合コンデンサ C18 及び C1 の AC 充電によって発生したいずれの AC オフセット電圧も減算することができる。

10

20

30

40

50

【 0 0 5 1 】

図示されていないが、デジチェーンサンプル及び保持回路 3 1 0 及び 3 1 0 ' も、スレーブ IC 3 0 0 ' から 1 つよりも多い電圧をモニタするために使用することができることを理解すべきである。例えば、スレーブ IC 3 0 0 ' に現れる 2 つの電極両方（例えば、電極 E 2 3 及び E 2 4 ）の間の抵抗を測定する必要がある場合、これらの電極電圧の両方は、マスター IC 3 0 0 にプルされることになり、これらの電圧を選択するためにスレーブの M U X の両方を同時に使用すること、両方のスイッチ S 1 ' 及び S 2 ' を閉じること、及びマスター IC 3 0 0 の M U X の入力 I N 1 及び I N 2 での出力 O U T 1 及び O U T 2 の両方の選択を伴うことになる。

【 0 0 5 2 】

本発明の特定のな実施形態を図示して説明したが、以上の説明は、本発明をこれらの実施形態に制限するものではないことを理解すべきである。様々な変形及び修正が本発明の精神及び範囲から逸脱することなく実行することができることは当業者には明らかであろう。従って、本発明は、特許請求の範囲によって定義される本発明の精神及び範囲に入ると考えられる代替、修正、及び均等物を含むものとする。

【 符号の説明 】

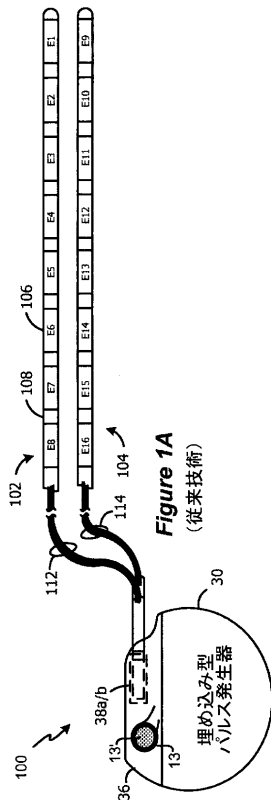
【 0 0 5 3 】

- 1 9 2 アナログバス
- 3 1 0 サンプル及び保持回路
- 3 1 1 a、3 1 1 b 出力バッファ
- 3 1 2 差動増幅器
- 3 1 5 アナログ信号

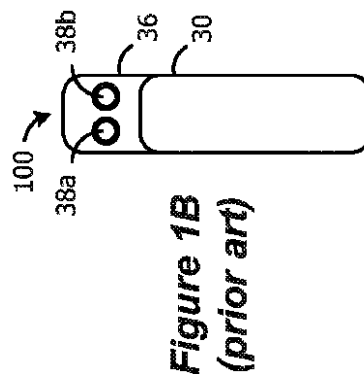
10

20

【 図 1 A 】



【 図 1 B 】



【図2】

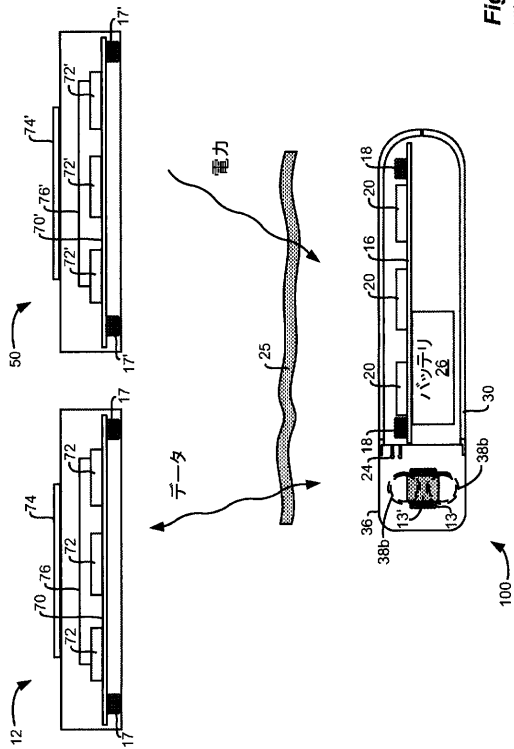


Figure 2
(従来技術)

【図3A】

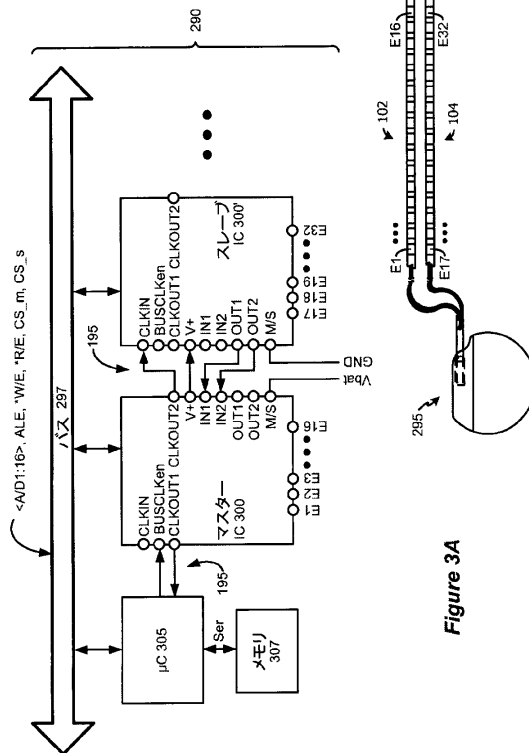


Figure 3A

【図3B】

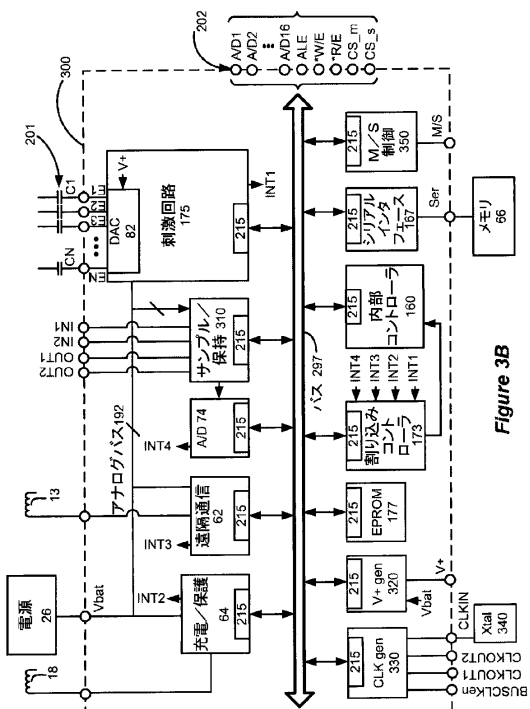


Figure 3B

【図4】

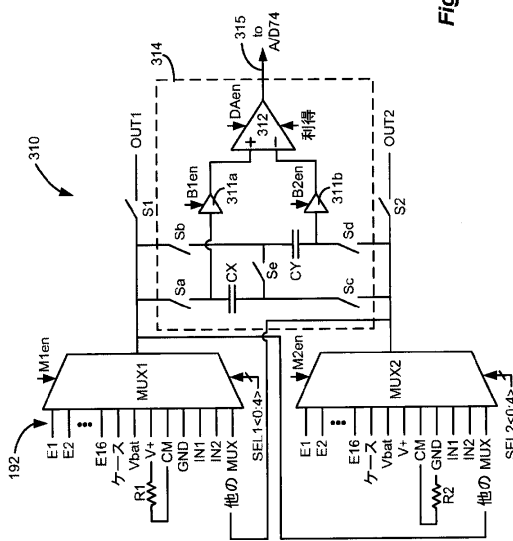


Figure 4

【図 5 A】

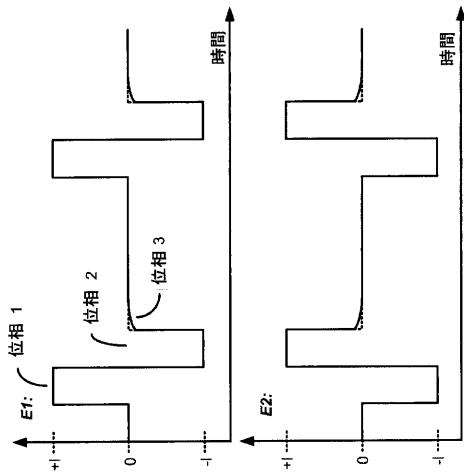


Figure 5A

【図 5 B】

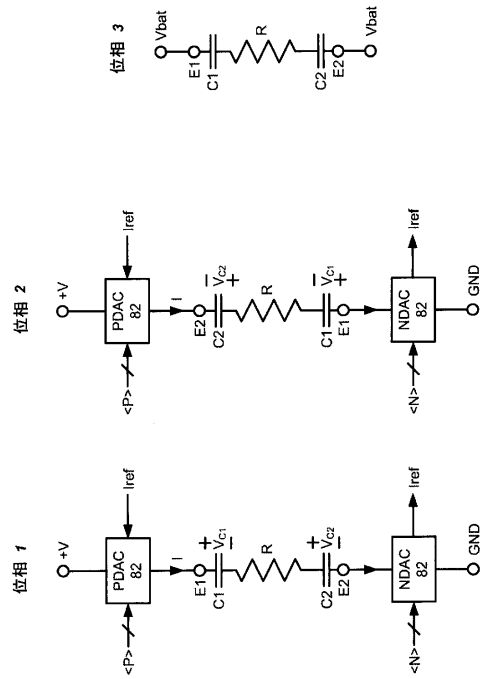


Figure 5B

【図 5 C】

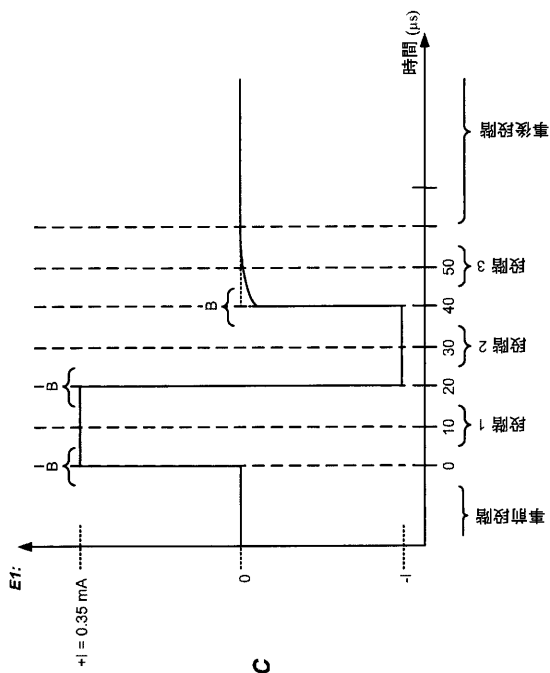


Figure 5C

【図 6 A】

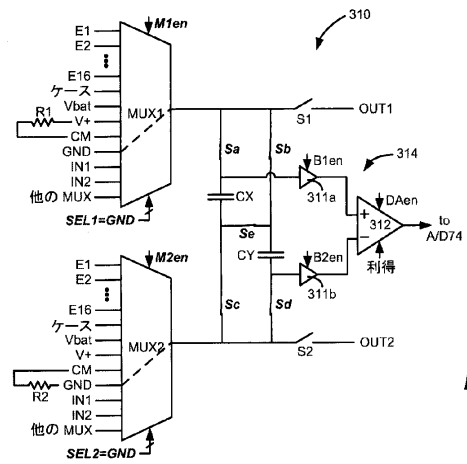


Figure 6A (事前段階)

【図6B】

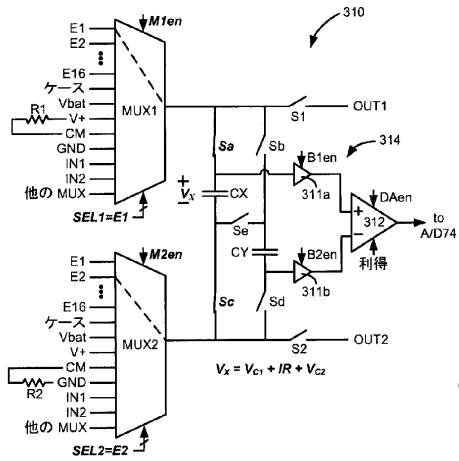


Figure 6B
(段階1)

【図6C】

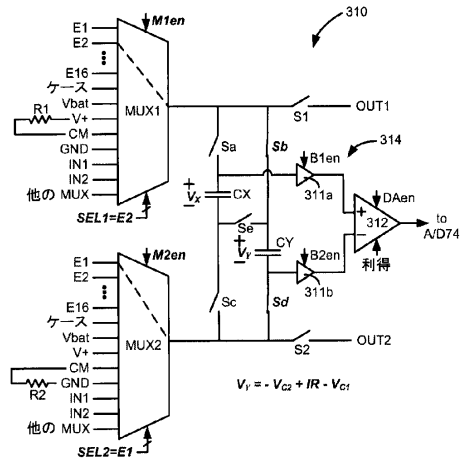


Figure 6C
(段階2)

【図6D】

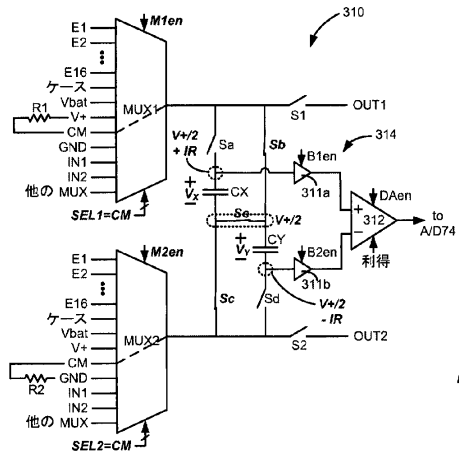


Figure 6D
(段階3)

【図6E】

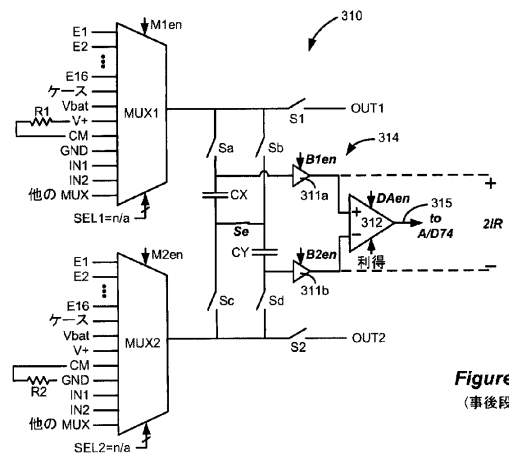
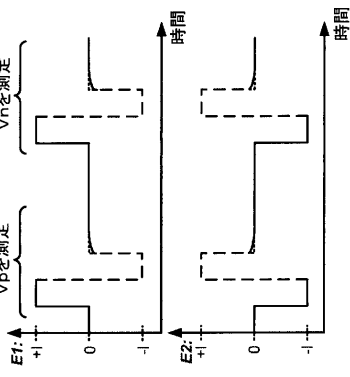


Figure 6E
(事後段階)

【図7A】



【図7B】

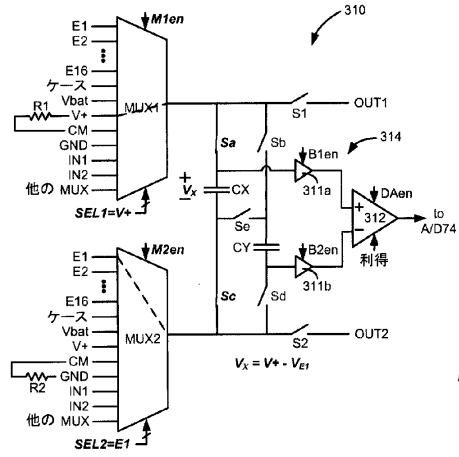
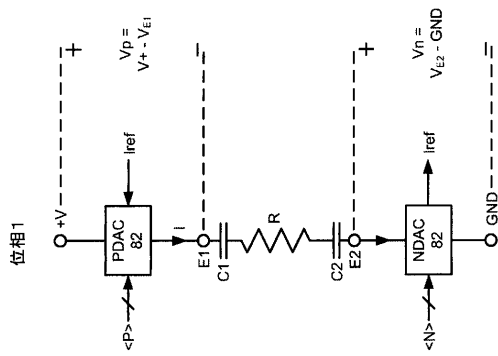


Figure 7B
(段階1)



【図7C】

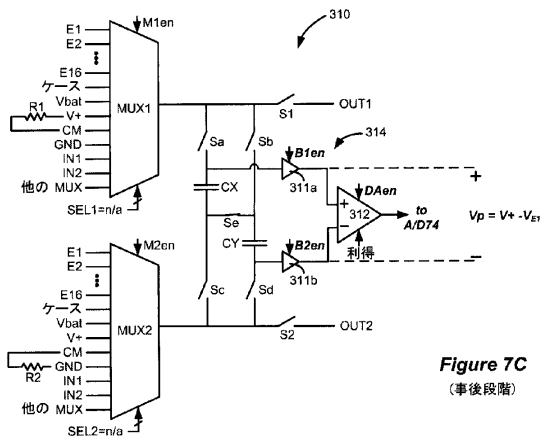


Figure 7C
(事後段階)

【図7D】

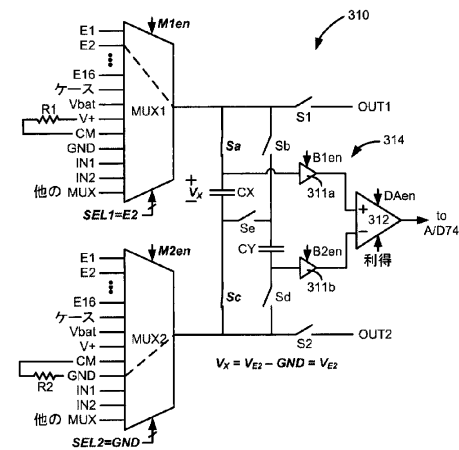


Figure 7D
(段階1)

【図7E】

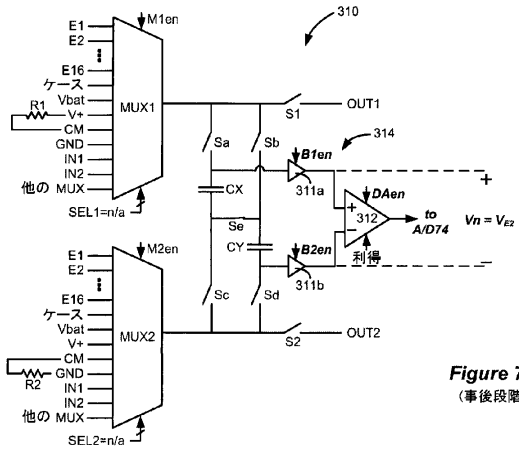


Figure 7E
(事後段階)

【図8A】

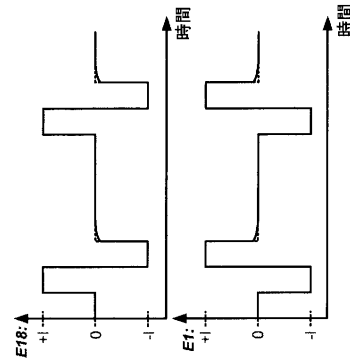
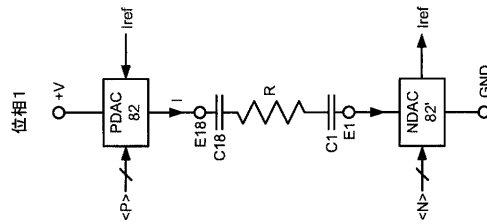


Figure 8A



【図8B】

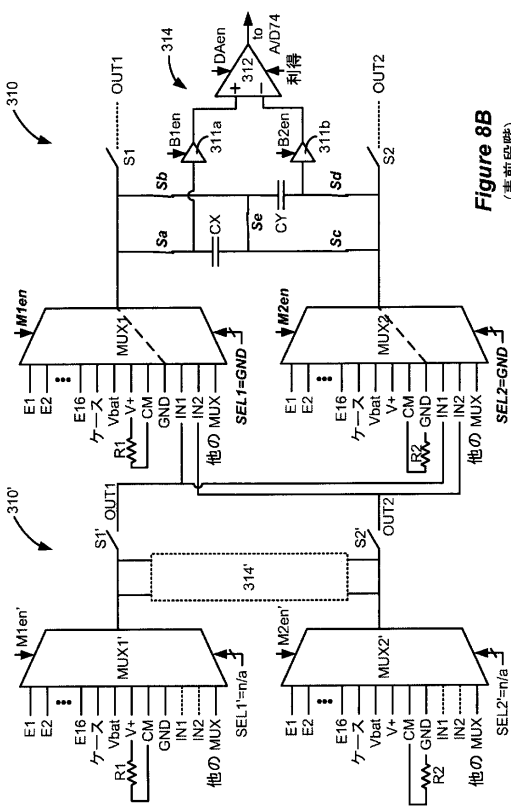


Figure 8B
(事前段階)

【図8C】

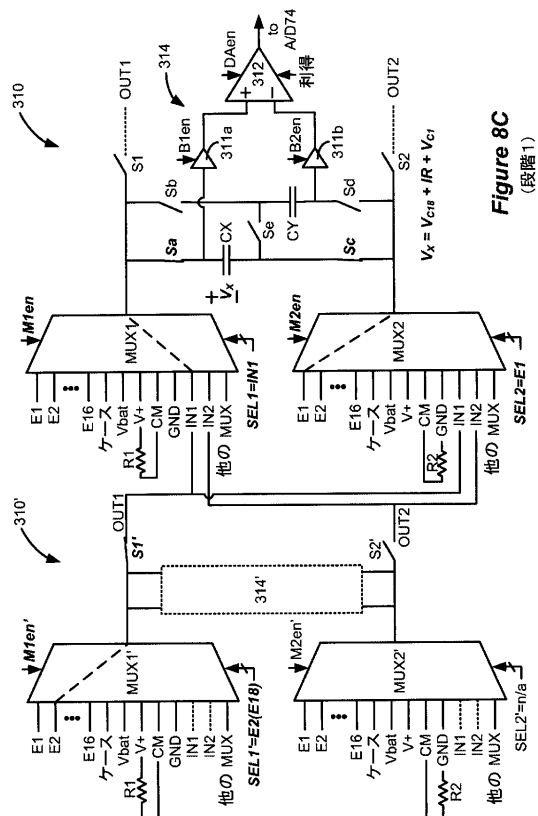
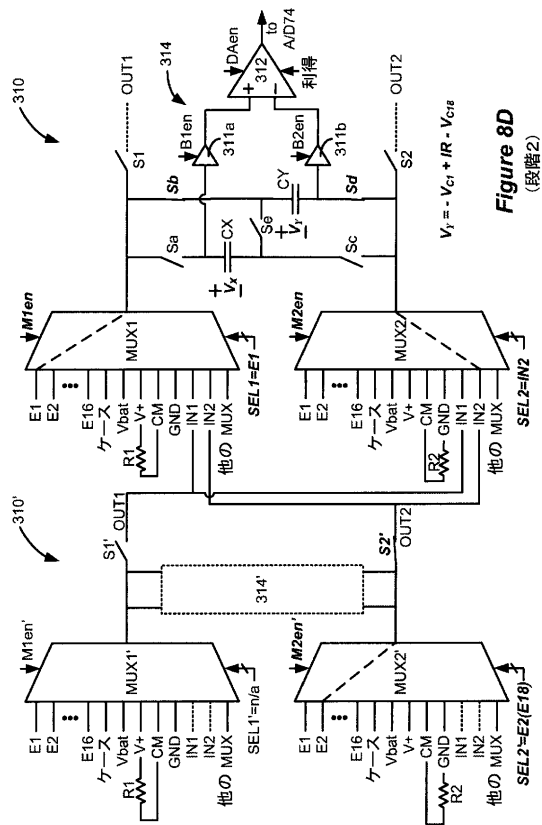
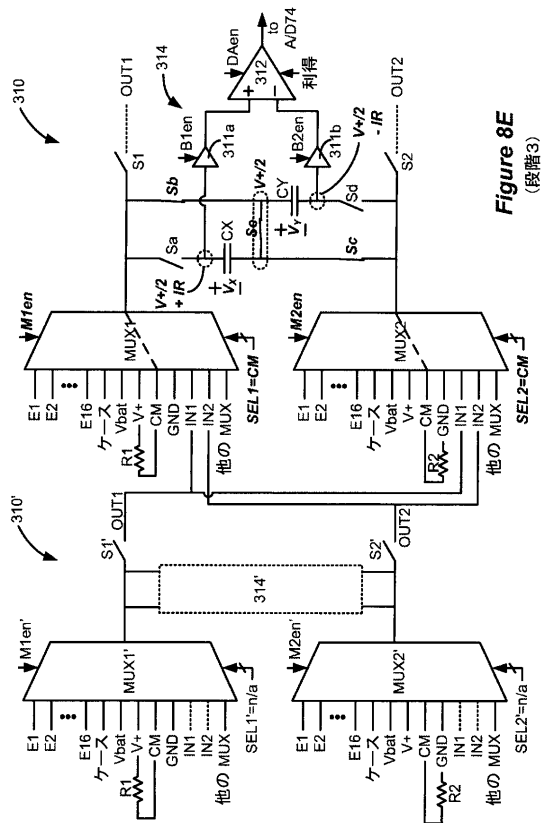


Figure 8C
(段階1)

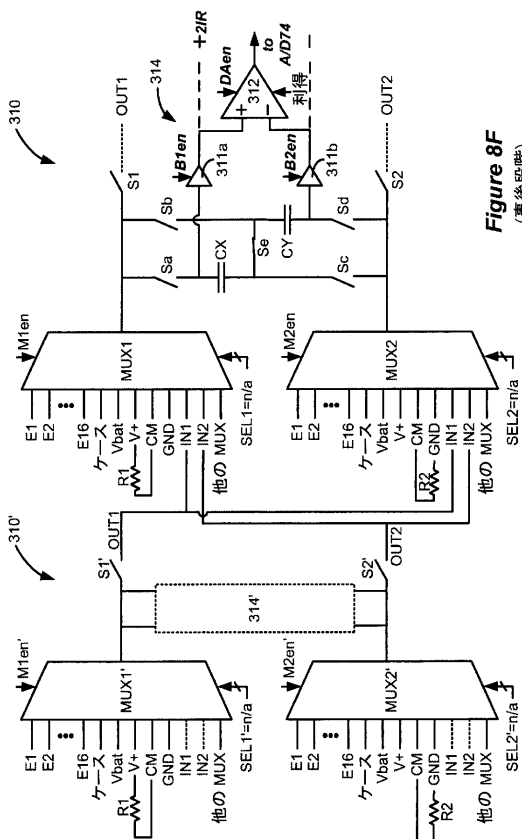
【 図 8 D 】



【 図 8 E 】



【 図 8 F 】



フロントページの続き

(74)代理人 100095898

弁理士 松下 満

(74)代理人 100098475

弁理士 倉澤 伊知郎

(74)代理人 100130937

弁理士 山本 泰史

(72)発明者 シ ジェス ダブリュ

アメリカ合衆国 カリフォルニア州 9 1 3 2 4 ノースリッジ ラセダ ブールヴァード 1 0
0 0 0 #ディー

(72)発明者 フェルドマン エマニュエル

アメリカ合衆国 カリフォルニア州 9 3 0 6 3 シミ ヴァレー ナットウッド サークル 5
7 8 5

(72)発明者 パルラモン ジョルディ

アメリカ合衆国 カリフォルニア州 9 1 3 5 4 ヴァレンシア コブルストーン コート 2 7
6 3 1

審査官 佐藤 智弥

(56)参考文献 特表2009-519771(JP,A)

(58)調査した分野(Int.Cl., DB名)

A 6 1 N 1 / 3 6