



# (12) 发明专利

(10) 授权公告号 CN 113498552 B

(45) 授权公告日 2025. 05. 02

(21) 申请号 201980093002.0

(22) 申请日 2019.12.30

(65) 同一申请的已公布的文献号  
申请公布号 CN 113498552 A

(43) 申请公布日 2021.10.12

(30) 优先权数据  
10-2019-0024263 2019.02.28 KR

(85) PCT国际申请进入国家阶段日  
2021.08.25

(86) PCT国际申请的申请数据  
PCT/KR2019/018712 2019.12.30

(87) PCT国际申请的公布数据  
W02020/175783 KO 2020.09.03

(73) 专利权人 三星显示有限公司  
地址 韩国京畿道

(72) 发明人 吴元植 赵显敏 姜信喆 金大贤

(74) 专利代理机构 北京英赛嘉华知识产权代理  
有限责任公司 11204  
专利代理师 王达佐 刘铮

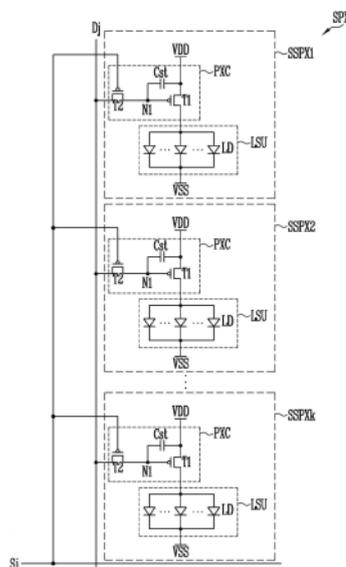
(51) Int.Cl.  
H10H 29/32 (2025.01)  
H10H 29/39 (2025.01)  
H10H 29/49 (2025.01)

(56) 对比文件  
CN 108806595 A, 2018.11.13  
KR 20160007900 A, 2016.01.21  
KR 20170050371 A, 2017.05.11  
KR 20180072909 A, 2018.07.02  
CN 101261376 A, 2008.09.10

审查员 张虹  
权利要求书3页 说明书26页 附图22页

(54) 发明名称  
显示装置

(57) 摘要  
本申请涉及显示装置。显示装置包括：第一电力线；第二电力线；数据线，用于传输数据信号；扫描线，用于传输扫描信号；以及多个像素，连接到第一电力线、第二电力线、数据线和扫描线。多个像素中的每个包括：发光元件，连接在第一电力线与第二电力线之间；以及第一晶体管，用于响应于数据信号向发光元件提供驱动电流。



1. 显示装置,包括:
  - 第一电力线;
  - 第二电力线;
  - 一个数据线,配置为传输数据信号;
  - 一个扫描线,配置为传输扫描信号;以及
  - 多个像素,联接到所述第一电力线、所述第二电力线、所述一个数据线和所述一个扫描线,所述多个像素中的每个布置成响应于通过所述一个扫描线传输的所述扫描信号独立地发射具有与通过所述一个数据线传输的所述数据信号对应的亮度的光;
  - 其中,所述多个像素中的每个包括:
    - 发光元件,联接在所述第一电力线与所述第二电力线之间;以及
    - 第一晶体管,配置为响应于所述数据信号向所述发光元件提供驱动电流。
2. 根据权利要求1所述的显示装置,其中,所述发光元件中的每个包括具有在纳米级到微米级的范围内的尺寸的杆状发光二极管。
3. 根据权利要求1所述的显示装置,其中,所述多个像素设置在由所述一个数据线、邻近于所述一个数据线的相邻的数据线、所述一个扫描线、以及邻近于所述一个扫描线的相邻的扫描线限定的像素区域中。
4. 根据权利要求1所述的显示装置,其中,所述多个像素中的每个还包括第二晶体管,所述第二晶体管联接在所述一个数据线与所述第一晶体管之间,并且配置为响应于所述扫描信号将所述数据信号传输到所述第一晶体管。
5. 根据权利要求4所述的显示装置,其中,所述多个像素中的每个还包括联接在所述第一晶体管的栅电极与所述第一电力线之间的电容器。
6. 根据权利要求1所述的显示装置,还包括联接在所述一个数据线与所述多个像素之间的公共电路,
  - 其中,所述公共电路包括第二晶体管,所述第二晶体管配置为响应于所述扫描信号将所述数据信号传输到所述多个像素中的每个的所述第一晶体管。
7. 根据权利要求6所述的显示装置,还包括第三电力线,
  - 其中,所述公共电路还包括:
    - 电容器,联接在所述多个像素中的每个的所述第一晶体管的栅电极与所述第一电力线之间;以及
    - 第三晶体管,联接到所述第三电力线和所述电容器的一个电极。
8. 根据权利要求7所述的显示装置,其中,所述多个像素中的每个还包括联接在所述发光元件的阳极电极与所述第三电力线之间的第四晶体管。
9. 根据权利要求6所述的显示装置,其中,所述多个像素中的每个还包括联接到所述第一晶体管的栅电极和所述第一晶体管的一个电极的电容器。
10. 根据权利要求6所述的显示装置,还包括第三电力线,
  - 其中,所述多个像素中的每个还包括:
    - 电容器,联接在所述多个像素中的每个的所述第一晶体管的栅电极与所述第一电力线之间;
    - 第三晶体管,联接到所述第三电力线和所述电容器的一个电极;以及

第四晶体管,联接在所述发光元件的阳极电极与所述第三电力线之间。

11.根据权利要求9所述的显示装置,还包括感测线,

其中,所述多个像素中的每个还包括联接在所述发光元件的阳极电极与所述感测线之间的第五晶体管。

12.根据权利要求1所述的显示装置,其中,包括在所述多个像素中的每个中的所述发光元件中的至少一些串联联接在所述第一电力线与所述第二电力线之间。

13.显示装置,包括:

第一电力线;

第二电力线;

一个数据线,配置为传输数据信号;

一个扫描线,配置为传输扫描信号;以及

像素,联接到所述第一电力线、所述第二电力线、所述一个数据线和所述一个扫描线,

其中,所述像素包括:

多个光源单元,联接在所述第一电力线与所述第二电力线之间,并且所述多个光源单元各自包括多个发光元件;以及

多个像素电路,所述多个像素电路中的每个配置为向所述多个光源单元中的相应的光源单元独立地提供与响应于通过所述一个扫描线传输的所述扫描信号而被提供的通过所述一个数据线传输的所述数据信号对应的驱动电流。

14.根据权利要求13所述的显示装置,其中,所述多个像素电路中的每个包括第一晶体管,所述第一晶体管配置为响应于所述数据信号向所述多个发光元件提供所述驱动电流。

15.根据权利要求14所述的显示装置,

其中,所述像素还包括联接到所述一个数据线、所述一个扫描线和所述多个像素电路的公共电路,以及

其中,所述公共电路包括第二晶体管,所述第二晶体管配置为响应于所述扫描信号将所述数据信号传输到所述多个像素电路中的每个的所述第一晶体管。

16.显示装置,包括:

衬底,包括发射区域;

第一电极,设置在所述衬底的所述发射区域上;

第二电极,设置在所述衬底的所述发射区域上,面向所述第一电极,并且彼此间隔开且彼此电断开;

第一发光元件,设置在所述第二电极的第一子电极与所述第一电极之间;

第二发光元件,设置在所述第二电极的第二子电极与所述第一电极之间;以及

沿着所述发射区域的周边设置在所述衬底上的堤部,

其中,在所述第二电极沿其延伸的方向上彼此相邻的所述发射区域中,所述堤部不设置在所述第二电极之间。

17.根据权利要求16所述的显示装置,其中,所述第一电极在第一方向上延伸,以及

其中,所述第二电极在所述第一方向上延伸并且在所述第一方向上彼此间隔开。

18.根据权利要求16所述的显示装置,其中,所述第一电极在第一方向上延伸,以及

其中,所述第二电极在所述第一方向上延伸并且在垂直于所述第一方向的第二方向上

彼此间隔开。

19. 根据权利要求16所述的显示装置,还包括第三电极,所述第三电极设置在所述第一子电极与所述第一电极之间,并且与所述第一子电极和所述第一电极间隔开,

其中,所述第一发光元件各自设置在所述第一子电极、所述第一电极和所述第三电极中的两个相邻的电极之间。

## 显示装置

### 技术领域

[0001] 本公开的各种实施方式涉及显示装置。

### 背景技术

[0002] 近来,已经开发了使用具有可靠无机晶体结构的材料制造超小型发光元件和使用该发光元件制造发光装置的技术。例如,已经开发了使用具有与从纳米级尺寸到微米级尺寸的范围对应的小尺寸的超小型发光元件来配置发光装置的光源的技术。这种发光装置可以用于诸如显示装置和照明装置的各种电子装置中。

### 发明内容

[0003] 技术问题

[0004] 形成显示装置的每个像素可以包括驱动晶体管和联接到驱动晶体管的多个超小型发光元件。虽然期望从驱动晶体管提供的驱动电流均匀地分配到发光元件,从而使发光元件均匀地发光,但是由于发光元件的特性偏差(例如,由发光元件导致的正向电压降( $V_f$ )偏差),驱动电流可能集中在特定的发光元件(例如,具有最小 $V_f$ 的发光元件)上,从而仅特定的发光元件可以发光。

[0005] 本公开的目的在于提供每个像素中的发光元件可以在其中均匀地发光的显示装置。

[0006] 技术方案

[0007] 根据本公开的方面,根据本公开的实施方式的显示装置可以包括:第一电力线;第二电力线;数据线,配置为传输数据信号;扫描线,配置为传输扫描信号;以及多个像素,联接到第一电力线、第二电力线、数据线和扫描线。像素中的每个可以包括:发光元件,联接在第一电力线与第二电力线之间;以及第一晶体管,配置为响应于数据信号向发光元件提供驱动电流。

[0008] 在实施方式中,发光元件中的每个可以包括具有在纳米级到微米级的范围内的尺寸的杆状发光二极管。

[0009] 在实施方式中,像素可以设置在由数据线、邻近于数据线的相邻的数据线、扫描线、以及邻近于扫描线的相邻的扫描线限定的像素区域中。

[0010] 在实施方式中,像素中的每个还可以包括第二晶体管,第二晶体管联接在数据线与第一晶体管之间,并且配置为响应于扫描信号将数据信号传输到第一晶体管。

[0011] 在实施方式中,像素中的每个还可以包括联接在第一晶体管的栅电极与第一电力线之间的电容器。

[0012] 在实施方式中,显示装置还可以包括联接在数据线与像素之间的公共电路。公共电路可以包括第二晶体管,第二晶体管配置为响应于扫描信号将数据信号传输到像素中的每个的第一晶体管。

[0013] 在实施方式中,显示装置还可以包括第三电力线。公共电路还可以包括:电容器,

联接在像素中的每个的第一晶体管的栅电极与第一电力线之间;以及第三晶体管,联接第三电力线和电容器的一个电极。

[0014] 在实施方式中,像素中的每个还可以包括联接在发光元件的阳极电极与第三电力线之间的第四晶体管。

[0015] 在实施方式中,像素中的每个还可以包括联接到第一晶体管的栅电极和第一晶体管的一个电极的电容器。

[0016] 在实施方式中,显示装置还可以包括第三电力线。像素中的每个还可以包括:电容器,联接在像素中的每个的第一晶体管的栅电极与第一电力线之间;第三晶体管,联接第三电力线和电容器的一个电极;以及第四晶体管,联接在发光元件的阳极电极与第三电力线之间。

[0017] 在实施方式中,显示装置还可以包括感测线。像素中的每个还可以包括联接在发光元件的阳极电极与感测线之间的第五晶体管。

[0018] 在实施方式中,包括在像素中的每个中的发光元件中的至少一些可以串联联接在第一电力线与第二电力线之间。

[0019] 根据本公开的方面,根据本公开的显示装置的实施方式可以包括:第一电力线;第二电力线;数据线,配置为传输数据信号;扫描线,配置为传输扫描信号;以及像素,联接第一电力线、第二电力线、数据线和扫描线。像素可以包括:多个光源单元,联接在第一电力线与第二电力线之间,并且多个光源单元各自包括多个发光元件;以及多个像素电路,配置为向多个光源单元中的相应的光源单元独立地提供与响应于扫描信号而被提供的数据信号对应的驱动电流。

[0020] 在实施方式中,像素电路中的每个可以包括第一晶体管,第一晶体管配置为响应于数据信号向发光元件提供驱动电流。

[0021] 在实施方式中,像素还可以包括联接到数据线、扫描线和像素电路的公共电路。公共电路可以包括第二晶体管,第二晶体管配置为响应于扫描信号将数据信号传输到像素电路中的每个的第一晶体管。

[0022] 根据本公开的方面,根据本公开的显示装置的实施方式可以包括:衬底,包括发射区域;第一电极,设置在衬底的发射区域上;第二电极,设置在衬底的发射区域上,面向第一电极,并且彼此间隔开且彼此电断开;第一发光元件,设置在第二电极的第一子电极与第一电极之间;以及第二发光元件,设置在第二电极的第二子电极与第一电极之间。

[0023] 在实施方式中,显示装置还可以包括沿着发射区域的周边设置在衬底上的堤部。堤部在第二电极沿其延伸的方向上彼此相邻的发射区域中可以不设置在第二电极之间。

[0024] 在实施方式中,第一电极可以在第一方向上延伸。第二电极可以在第一方向上延伸并且在第一方向上彼此间隔开。

[0025] 在实施方式中,第一电极可以在第一方向上延伸。第二电极可以在第一方向上延伸并且在垂直于第一方向的第二方向上彼此间隔开。

[0026] 在实施方式中,显示装置还可以包括第三电极,第三电极设置在第一子电极与第一电极之间,并且与第一子电极和第一电极间隔开。第一发光元件各自可以设置在第一子电极、第一电极和第三电极中的两个相邻的电极之间。

[0027] 技术效果

[0028] 在根据本公开的实施方式的显示装置中,分配到形成每个像素的多个子发射区域的发光元件可以针对子发射区域独立地驱动,使得每个像素中的发光元件可以均匀地发光。

### 附图说明

- [0029] 图1a和图1b分别是示出根据本公开的实施方式的发光元件的立体图和剖视图。  
[0030] 图2a和图2b分别是示出根据本公开的实施方式的发光元件的立体图和剖视图。  
[0031] 图3a和图3b分别是示出根据本公开的实施方式的发光元件的立体图和剖视图。  
[0032] 图4是示出根据本公开的实施方式的显示装置的平面图。  
[0033] 图5是示出包括在图4的显示装置中的子像素的示例的电路图。  
[0034] 图6a至图6d是示出包括在图5的子像素中的单位像素的示例的电路图。  
[0035] 图6e是示出待施加到图6c的子像素的信号示例的波形图。  
[0036] 图7是示出包括在图4的显示装置中的子像素的示例的平面图。  
[0037] 图8是示出包括在图7的子像素的第一子像素中的第一单位像素的示例的平面图。  
[0038] 图9a至图9d是示出沿着图8的线I-I'截取的单位像素的示例的剖视图。  
[0039] 图10a和图10b是示出包括在图4的显示装置中的子像素的其它示例的平面图。  
[0040] 图11是示出包括在图4的像素中的子像素的示例的电路图。  
[0041] 图12是示出包括在图4的像素中的子像素的示例的电路图。  
[0042] 图13是示出包括在图4的像素中的子像素的示例的电路图。  
[0043] 图14是示出包括在图4的像素中的子像素的示例的电路图。  
[0044] 图15是示出图14的子像素的示例的平面图。

### 具体实施方式

[0045] 由于本公开的实施方式可以以许多不同的形式进行各种修改,因此现在将详细参照本公开的各种实施方式,其具体示例在附图中示出并在下面描述。然而,本公开不限于以下实施方式,并且可以修改成各种形式。

[0046] 为了清楚地说明本公开,可以在附图中省略与本公开的特征不直接相关的一些元件。此外,附图中的一些元件的尺寸、比例等可能被稍微夸大。应注意的是,在全部附图中,相同的附图标记用于表示相同或类似的元件,并且将省略重复的说明。

[0047] 图1a和图1b分别是示出根据本公开的实施方式的发光元件的立体图和剖视图。虽然在图1a和图1b中示出了圆柱形形状的杆型发光元件LD,但是根据本公开的发光元件LD的类型和/或形状不限于此。

[0048] 参照图1a和图1b,发光元件LD可以包括第一半导体层11、第二半导体层13和插置在第一半导体层11与第二半导体层13之间的有源层12。例如,发光元件LD可以配置为堆叠体,所述堆叠体通过在一方向上依次堆叠第一半导体层11、有源层12和第二半导体层13而形成。

[0049] 在实施方式中,发光元件LD可以以在一方向上延伸的杆的形式设置。发光元件LD在一方向上可以具有第一端和第二端。

[0050] 在实施方式中,第一半导体层11和第二半导体层13中的一个可以设置在发光元件

LD的第一端上,并且第一半导体层11和第二半导体层13中的另一个可以设置在发光元件LD的第二端上。

[0051] 在实施方式中,发光元件LD可以是以杆的形式制造的杆型发光二极管。这里,术语“杆状形状”涵盖在纵向方向上比在宽度方向上长(即,具有大于1的纵横比)的杆状形状和棒状形状(诸如,圆柱形形状和棱柱形状),并且其剖面形状不限于特定形状。例如,发光元件LD的长度L可大于其直径D(或其剖面的宽度)。

[0052] 在实施方式中,发光元件LD可以具有与纳米级或微米级对应的小尺寸,例如,与纳米级或微米级对应的直径D和/或长度L。然而,发光元件LD的尺寸不限于此。例如,根据采用使用发光元件LD的发光装置作为光源的各种装置(例如,显示装置)的设计条件,发光元件LD的尺寸可以以各种方式改变。

[0053] 第一半导体层11可以包括至少一个n型半导体层。例如,第一半导体层11可以包括n型半导体层,该n型半导体层包括InAlGa<sub>N</sub>、Ga<sub>N</sub>、AlGa<sub>N</sub>、InGa<sub>N</sub>、AlN和InN中的半导体材料,并且掺杂有诸如Si、Ge或Sn的第一导电掺杂剂。然而,用于形成第一半导体层11的材料不限于此,并且第一半导体层11可以由各种其它材料形成。

[0054] 有源层12可以设置在第一半导体层11上并且具有单量子阱结构或多量子阱结构。在实施方式中,掺杂有导电掺杂剂的包覆层(未示出)可以形成在有源层12之上和/或可以形成在有源层12之下。例如,包覆层可以由AlGa<sub>N</sub>层或InAlGa<sub>N</sub>层形成。在实施方式中,诸如AlGa<sub>N</sub>或AlInGa<sub>N</sub>的材料可以用于形成有源层12,并且各种其它材料可以用于形成有源层12。

[0055] 如果在发光元件LD的相对端之间施加有等于或大于预定电压的电压,则发光元件LD可以通过电子-空穴对在有源层12中的复合来发射光。由于可以基于前述原理来控制发光元件LD的光发射,因此发光元件LD可以用作各种发光装置和显示装置的像素的光源。

[0056] 第二半导体层13可以设置在有源层12上并且包括具有与第一半导体层11的半导体层的类型不同类型的半导体层。例如,第二半导体层13可以包括至少一个p型半导体层。例如,第二半导体层13可以包括p型半导体层,该p型半导体层包括InAlGa<sub>N</sub>、Ga<sub>N</sub>、AlGa<sub>N</sub>、InGa<sub>N</sub>、AlN和InN中的任一种半导体材料,并且掺杂有诸如Mg的第二导电掺杂剂。然而,用于形成第二半导体层13的材料不限于此,并且第二半导体层13可以由各种其它材料形成。

[0057] 在实施方式中,发光元件LD还可以包括设置在发光元件LD的表面上的绝缘膜INF。绝缘膜INF可以形成在发光元件LD的表面上以包围至少有源层12的外周表面,并且还可以包围第一半导体层11和第二半导体层13的预定区域。这里,绝缘膜INF可以允许发光元件LD的具有不同极性的相对端暴露于外部。例如,绝缘膜INF可以暴露在纵向方向上设置在发光元件LD的相应的相对端上的第一半导体层11和第二半导体层13中的每个的一端,并且例如,可以暴露圆柱体的两个表面(例如,顶表面和底表面)而不覆盖它们。

[0058] 在实施方式中,绝缘膜INF可以包括氧化硅(SiO<sub>2</sub>)、氮化硅(Si<sub>3</sub>N<sub>4</sub>)、氧化铝(Al<sub>2</sub>O<sub>3</sub>)和氧化钛(TiO<sub>2</sub>)中的至少一种绝缘材料,但本公开不限于此。换言之,形成绝缘膜INF的材料不限于特定材料,并且绝缘膜INF可以由各种绝缘材料形成。

[0059] 在实施方式中,除了第一半导体层11、有源层12、第二半导体层13和/或绝缘膜INF之外,发光元件LD还可以包括附加的其它组件。例如,发光元件LD还可以包括设置在第一半导体层11、有源层12和/或第二半导体层13的一端上的一个或多个荧光层、一个或多个有源

层、一个或多个半导体层和/或一个或多个电极层。

[0060] 图2a和图2b分别是示出根据本公开的实施方式的发光元件的立体图和剖视图。图3a和图3b分别是示出根据本公开的实施方式的发光元件的立体图和剖视图。

[0061] 参照图2a和图2b,发光元件LD还可以包括设置在第二半导体层13的一端上的至少一个电极层14。

[0062] 参照图3a和图3b,发光元件LD还可以包括设置在第一半导体层11的一端上的至少一个电极层15。

[0063] 电极层14和15中的每个可以是欧姆接触电极,但本公开不限于此。此外,电极层14和15中的每个可以包括金属或导电金属氧化物。例如,电极层14和15中的每个可以由诸如铬(Cr)、钛(Ti)、铝(Al)、金(Au)、镍(Ni)、其氧化物或合金、铟锡氧化物(ITO)、铟锌氧化物(IZO)、锌氧化物(ZnO)或铟锡氧化物(ITZO)的透明电极材料单独或组合形成。电极层14和15可以是基本上透明的或半透明的。由此,从发光元件LD生成的光可以在穿过电极层14和15之后被发射到外部。

[0064] 在实施方式中,绝缘膜INF可以至少部分地包围电极层14和15的外表面,或者可以不包围所述外表面。换言之,绝缘膜INF可以选择性地形成在电极层14和15的表面上。此外,绝缘膜INF可以形成为暴露发光元件LD的具有不同极性的相对端,并且例如,可以暴露电极层14和15中的每个的至少一区域。然而,本公开不限于此,可以不设置绝缘膜INF。

[0065] 如果绝缘膜INF设置在发光元件LD的表面上,例如,设置在有源层12的表面上,则可以防止有源层12与至少一个电极(例如,电联接到发光元件LD的相对端的接触电极中的至少一个接触电极等)短路。因此,可以确保发光元件LD的电稳定性。

[0066] 此外,绝缘膜INF可以形成在发光元件LD的表面上,从而最小化发光元件LD的表面缺陷,并改善发光元件LD的寿命和效率。此外,绝缘膜INF形成在发光元件LD的表面上,从而即使多个发光元件LD布置成彼此紧邻,也防止发光元件LD之间发生不期望的短路。

[0067] 在实施方式中,发光元件LD可以通过表面处理工艺(例如,涂覆)来制造。例如,当多个发光元件LD与流体溶液(或溶剂)混合并且被供应给每个发射区域(例如,每个像素的发射区域)时,发光元件LD可以均匀地分布,而非在溶液中不均匀地聚集。这里,发射区域是在其中通过发光元件LD发射光的区域。发射区域可以与在其中不发射光的非发射区域区分开。

[0068] 在一些实施方式中,绝缘膜INF本身可以由使用疏水材料的疏水膜形成,或者可以在绝缘膜INF上形成由疏水材料形成的附加疏水膜。在实施方式中,疏水材料可以是包含氟的材料以表现疏水性。在实施方式中,疏水材料可以以自组装单层(SAM)的形式施加到发光元件LD。在这种情况下,疏水材料可以包括十八烷基三氯硅烷、氟烷基三氯硅烷、全氟烷基三乙氧基硅烷等。此外,疏水材料可以是商业可用的含氟材料(诸如,Teflon<sup>TM</sup>或Cytop<sup>TM</sup>)或者相应材料。

[0069] 包括上述发光元件LD的发光装置可以用在包括需要光源的显示装置的各种装置中。例如,至少一个超小型发光元件LD(例如,各自具有在纳米级到微米级的范围内的尺寸的多个超小型发光元件LD)可以设置在显示面板的每个像素区域中,以使用超小型发光元件LD形成相应像素的光源(或光源单元)。此外,根据本公开的发光元件LD的应用的领域不限于显示装置。例如,发光元件LD也可以用在需要光源的其它类型的装置(诸如,照明装置)

中。

[0070] 图4是示出根据本公开的实施方式的显示装置的平面图。在实施方式中,图4示出了显示装置(特别地,设置在显示装置中的显示面板PNL)作为可使用参照图1a至图3b描述的发光元件LD作为光源的装置的示例。根据该实施方式,图4侧重于显示区域DA示意性地示出了显示面板PNL的结构。在一些实施方式中,虽然未示出,但是在显示面板PNL上还可以设置有至少一个驱动电路组件(例如,扫描驱动器和数据驱动器中的至少一个)和/或多条线。

[0071] 参照图4,显示面板PNL可以包括基层SUB1(或衬底)和设置在基层SUB1上的像素PXL。详细地,显示面板PNL和基层SUB1可以包括配置为显示图像的显示区域DA、以及形成在除了显示区域DA之外的预定区域中的非显示区域NDA。

[0072] 在实施方式中,显示区域DA可以设置在显示面板PNL的中央区域中,并且非显示区域NDA可以沿着显示面板PNL的边界设置成包围显示区域DA。显示区域DA和非显示区域NDA的位置不限于此,并且其位置可以改变。

[0073] 基层SUB1可以形成显示面板PNL的基底。例如,基层SUB1可以形成下面板(例如,显示面板PNL的下板)的基底。

[0074] 在实施方式中,基层SUB1可以是刚性衬底或柔性衬底,并且其材料或特性不受特别限制。例如,基层SUB1可以由玻璃或增强玻璃制成的刚性衬底,或由通过塑料或金属制成的薄膜形成的柔性衬底。此外,基层SUB1可以是透明衬底,但本公开不限于此。例如,基层SUB1可以是半透明衬底、不透明衬底或反射衬底。

[0075] 基层SUB1的一区域被限定为其中设置有像素PXL的显示区域DA,并且其另一区域被限定为非显示区域NDA。例如,基层SUB1可以包括显示区域DA以及设置在显示区域DA周围的非显示区域NDA,其中,显示区域DA包括其中形成有像素PXL的多个像素区域。在非显示区域NDA中可以设置有与显示区域DA的像素PXL联接的各种线和/或内部电路。

[0076] 像素PXL可以包括由相应的扫描信号和相应的数据信号驱动的至少一个发光元件LD(例如,根据图1a至图3b中所示的实施方式中的任一个的至少一个杆型发光二极管)。例如,像素PXL可以包括多个杆型发光二极管,杆型发光二极管中的每个具有在纳米级到微米级的范围内的小尺寸,并且彼此并联联接。多个杆型发光二极管可以形成每个像素PXL的光源。

[0077] 此外,像素PXL可以包括多个子像素。例如,像素PXL可以包括第一子像素SPX1、第二子像素SPX2和第三子像素SPX3。在实施方式中,第一子像素SPX1、第二子像素SPX2和第三子像素SPX3可以发射不同颜色的光。例如,第一子像素SPX1可以是用于发射红光的红色子像素,第二子像素SPX2可以是用于发射绿光的绿色子像素,以及第三子像素SPX3可以是用于发射蓝光的蓝色子像素。然而,形成每个像素PXL的子像素的颜色、类型和/或数量不受特别限制。例如,可以以各种方式改变从每个子像素发射的光的颜色。虽然图4示出了像素PXL在显示区域DA中以条纹形状布置的实施方式,但是本公开不限于此。例如,像素PXL可以以各种像素阵列形式布置。

[0078] 在实施方式中,第一子像素SPX1、第二子像素SPX2和第三子像素SPX3中的每个可以包括多个单位像素。

[0079] 图5是示出包括在图4的显示装置中的子像素的示例的电路图。图5示出了包括在图4的显示装置中的第一子像素SPX1、第二子像素SPX2和第三子像素SPX3。由于除了第一子

像素SPX1、第二子像素SPX2和第三子像素SPX3分别连接到相应的数据线D<sub>j</sub>、D<sub>j+1</sub>和D<sub>j+2</sub>之外,第一子像素SPX1、第二子像素SPX2和第三子像素SPX3基本上彼此相同,因此将侧重于第一子像素SPX1来描述第一子像素SPX1、第二子像素SPX2和第三子像素SPX3。

[0080] 第一子像素SPX1、第二子像素SPX2和第三子像素SPX3可以分别设置在由扫描线S<sub>i-1</sub>和S<sub>i</sub> (其中,i是正整数)以及数据线D<sub>j</sub>、D<sub>j+1</sub>和D<sub>j+2</sub> (其中,j是正整数)分隔开的区域中。例如,第一子像素SPX1可以设置在由第i-1扫描线S<sub>i-1</sub>和第i扫描线S<sub>i</sub>以及第j数据线D<sub>j</sub>和第j+1数据线D<sub>j+1</sub>限定的区域中。然而,第一子像素SPX1、第二子像素SPX2和第三子像素SPX3的布置不限于此。

[0081] 第一子像素SPX1可以联接到第i扫描线S<sub>i</sub>和第j数据线D<sub>j</sub>,并且也联接到第一电力线和第二电力线。这里,第一电源VDD可以被施加到第一电力线,且第二电源VSS可以被施加到第二电力线。第一电力线和第二电力线中的每个可以是联接到第一子像素SPX1、第二子像素SPX2和第三子像素SPX3的公共线。第一电源VDD和第二电源VSS可以具有不同的电势以使第一子像素SPX1发射光。第一电源VDD可以具有比第二电源VSS的电压电平高的电压电平。

[0082] 在实施方式中,第一子像素SPX1可以包括第一单位像素SSPX1至第k单位像素SSPXk (k是2或更大的整数)。

[0083] 第一单位像素SSPX1至第k单位像素SSPXk中的每个可以联接到第i扫描线S<sub>i</sub>和第j数据线D<sub>j</sub>,并且还可以联接到第一电力线和第二电力线。第一单位像素SSPX1至第k单位像素SSPXk中的每个可以响应于通过第i扫描线S<sub>i</sub>传输的扫描信号而发射具有与通过第j数据线D<sub>j</sub>传输的数据信号对应的亮度的光。第一单位像素SSPX1至第k单位像素SSPXk可以包括基本上相同的像素结构或像素电路。

[0084] 换言之,第一子像素SPX1可以包括响应于一扫描信号和一数据信号而独立地发光的第一单位像素SSPX1至第k单位像素SSPXk。

[0085] 在实施方式中,第一单位像素SSPX1至第k单位像素SSPXk (或第一子像素SPX1至第三子像素SPX3) 中的每个可以配置为有源像素。然而,能够应用于根据本公开的显示装置的单位像素的类型、结构和/或驱动方法不受特别限制。例如,单位像素可以配置为具有各种无源结构或有源结构的显示装置的像素。

[0086] 图6a至图6d是示出包括在图5的子像素中的单位像素的示例的电路图。

[0087] 图6a中所示的第一单位像素SSPX1至第k单位像素SSPXk可以具有基本上相同或类似的结构。图6b至图6d中所示的单位像素SSPX可以是设置在图6a的第一子像素SPX1中的第一单位像素SSPX1至第k单位像素SSPXk中的任一个。因此,如图6a至图6d中所示,第一单位像素SSPX1至第k单位像素SSPXk将被统称为“单位像素SSPX”。

[0088] 首先,参照图6a,单位像素SSPX可以包括发射具有与数据信号对应的亮度的光的光源单元LSU。单位像素SSPX可以选择性地进一步包括配置为驱动光源单元LSU的像素电路PXC。

[0089] 在实施方式中,光源单元LSU可以包括彼此电联接在第一电源VDD与第二电源VSS之间的多个发光元件LD。在实施方式中,发光元件LD可以彼此并联联接,但是本公开不限于此。例如,多个发光元件LD可以以串联/并联组合结构联接在第一电源VDD与第二电源VSS之间。

[0090] 第一电源VDD和第二电源VSS可以具有不同的电势以允许发光元件LD发射光。例如,第一电源VDD可以被设定为高电势电源,以及第二电源VSS可以被设定为低电势电源。这里,至少在单位像素SSPX(或第一子像素SPX1)的发光周期期间,第一电源VDD与第二电源VSS之间的电势差可以被设定成发光元件LD的阈值电压或更大。

[0091] 虽然在图6a中示出了发光元件LD在第一电源VDD与第二电源VSS之间在相同方向上(例如,在正向方向上)并联联接的实施方式,但是本公开不限于此。例如,发光元件LD中的一些可以在第一电源VDD与第二电源VSS之间在正向方向上彼此联接,从而形成相应的有效光源,以及其他发光元件LD可以在反向方向上彼此联接。作为另一示例,单位像素SSPX可以仅包括单个发光元件LD(例如,在第一电源VDD与第二电源VSS之间在正向方向上联接的单个有效光源)。

[0092] 在实施方式中,发光元件LD中的每个的第一端可以通过第一电极共同联接到相应的像素电路PXC,并且可以通过像素电路PXC和第一电力线联接到第一电源VDD。发光元件LD中的每个的第二端可以通过第二电极和第二电力线共同联接到第二电源VSS。

[0093] 光源单元LSU可以发射具有与通过相应的像素电路PXC供应给光源单元LSU的驱动电流对应的亮度的光。由此,可以在显示区域DA(参见图4)中显示预定图像。

[0094] 像素电路PXC可以联接到相应的子像素(即,第一子像素SPX1)的第i扫描线Si和第j数据线Dj。例如,如果第一子像素SPX1设置在显示区域DA的第i行和第j列中,则单位像素SSPX的像素电路PXC可以联接到显示区域DA的第i扫描线Si和第j数据线Dj。

[0095] 像素电路PXC可以包括第一晶体管T1、第二晶体管T2和存储电容器Cst。

[0096] 第一晶体管(或驱动晶体管)T1可以联接在第一电源VDD与光源单元LSU之间。第一晶体管T1的栅电极可以联接到第一节点N1。第一晶体管T1可以响应于第一节点N1的电压来控制待供应给光源单元LSU的驱动电流。

[0097] 第二晶体管(或开关晶体管)T2可以联接在第j数据线Dj与第一节点N1之间。第二晶体管T2的栅电极可以联接到第i扫描线Si。

[0098] 响应于从第i扫描线Si供应的具有栅极导通电压(例如,低电压)的扫描信号,第二晶体管T2可以被导通以将第一节点N1电联接到第j数据线Dj。

[0099] 在每个帧周期期间,相应帧的数据信号被供应给第j数据线Dj。数据信号可以经由第二晶体管T2传输到第一节点N1。由此,与数据信号对应的电压可以被存储到存储电容器Cst。

[0100] 存储电容器Cst的一电极可以联接到第一电源VDD,并且存储电容器Cst的另一电极可以联接到第一节点N1。存储电容器Cst可以存储与在每个帧周期期间供应给第一节点N1的数据信号对应的电压,并且保持存储的电压直到供应后续帧的数据信号。

[0101] 虽然图6a示出了包括在像素电路PXC中的所有晶体管(例如,第一晶体管T1和第二晶体管T2)是P型晶体管,但本公开不限于此。例如,第一晶体管T1和第二晶体管T2中的任一个可以改变为N型晶体管。

[0102] 例如,如图6b中所示,第一晶体管T1和第二晶体管T2可以是N型晶体管。在这种情况下,用于将每个帧周期中供应给第j数据线Dj的数据信号写至单位像素SSPX中的扫描信号的栅极导通电压可以是高电平电压。同样,用于使第一晶体管T1导通的数据信号的电压可以是具有与图6a的实施方式的波形相反的波形的电压。例如,在图6b的实施方式中,随着

待呈现的灰度级值提高,可以供应具有更高电压电平的数据信号。

[0103] 除了一些电路元件的连接位置和控制信号(例如,扫描信号和数据信号)的电压电平根据晶体管的类型的改变而改变之外,图6b中所示的单位像素SSPX在配置和操作方面与图6a的单位像素SSPX基本上类似。因此,将省略对图6b的单位像素SSPX的详细描述。

[0104] 像素电路PXC的结构不限于图6a和图6b中所示的实施方式。换言之,像素电路PXC可以形成为可具有各种结构和/或由各种驱动方法操作的像素电路。例如,像素电路PXC可以以与图6c中所示的实施方式的方式相同的方式配置。

[0105] 参照图6c,像素电路PXC不仅可以联接到相应的第*i*扫描线 $S_i$ ,而且可以联接到至少另一扫描线(或另一控制线)。例如,设置在显示区域DA的第*i*行中的子像素SPX1至SPX3(或包括在其中的单位像素SSPX)的像素电路PXC还可以联接到第*i*-1扫描线 $S_{i-1}$ 和/或第*i*+1扫描线 $S_{i+1}$ 。在实施方式中,像素电路PXC不仅可以联接到第一电源VDD和第二电源VSS,而且可以联接到其它电源。例如,像素电路PXC也可以联接到初始化电源 $V_{int}$ 。

[0106] 在实施方式中,像素电路PXC可以包括第一晶体管T1至第七晶体管T7以及存储电容器 $C_{st}$ 。

[0107] 第一晶体管T1可以联接在第一电源VDD与光源单元LSU之间。第一晶体管T1的第一电极(例如,源电极)可以通过第五晶体管T5联接到第一电源VDD,以及第一晶体管T1的第二电极(例如,漏电极)可以经由第六晶体管T6联接到光源单元LSU的第一电极(例如,相应的子像素SPX1至SPX3的第一电极)。第一晶体管T1的栅电极可以联接到第一节点N1。第一晶体管T1可以响应于第一节点N1的电压来控制待供应给光源单元LSU的驱动电流。

[0108] 第二晶体管T2可以联接在第*j*数据线 $D_j$ 与第一晶体管T1的第一电极之间。第二晶体管T2的栅电极可以联接到相应的第*i*扫描线 $S_i$ 。当从第*i*扫描线 $S_i$ 供应具有栅极导通电压的扫描信号时,第二晶体管T2可以被导通以将第*j*数据线 $D_j$ 电联接到第一晶体管T1的第一电极。因此,如果第二晶体管T2导通,则从第*j*数据线 $D_j$ 供应的数据信号可以传输到第一晶体管T1。

[0109] 第三晶体管T3可以联接在第一晶体管T1的第二电极(例如,漏电极)与第一节点N1之间。第三晶体管T3的栅电极可以联接到相应的第*i*扫描线 $S_i$ 。当从第*i*扫描线 $S_i$ 供应具有栅极导通电压的扫描信号时,第三晶体管T3可以被导通以使第一晶体管T1以二极管形式连接。

[0110] 第四晶体管T4可以联接在第一节点N1与初始化电源 $V_{int}$ 之间。第四晶体管T4的栅电极可以联接到前一扫描线,例如,第*i*-1扫描线 $S_{i-1}$ 。当具有栅极导通电压的扫描信号被供应给第*i*-1扫描线 $S_{i-1}$ 时,第四晶体管T4可以被导通,使得初始化电源 $V_{int}$ 的电压可以传输到第一节点N1。这里,初始化电源 $V_{int}$ 的电压可以是数据信号的最小电压或更低。

[0111] 第五晶体管T5可以联接在第一电源VDD与第一晶体管T1之间。第五晶体管T5的栅电极可以联接到相应的发射控制线,例如,第*i*发射控制线 $E_i$ 。当具有栅极截止电压(例如,高电压)的发射控制信号被供应给第*i*发射控制线 $E_i$ 时,第五晶体管T5可以被截止,并且第五晶体管T5可以在其它情况下被导通。

[0112] 第六晶体管T6可以联接在第一晶体管T1与光源单元LSU的第一电极之间。第六晶体管T6的栅电极可以联接到相应的发射控制线,例如,第*i*发射控制线 $E_i$ 。当具有栅极截止电压的发射控制信号被供应给第*i*发射控制线 $E_i$ 时,第六晶体管T6可以被截止,并且第六晶

晶体管T6可以在其它情况下被导通。

[0113] 第七晶体管T7可以联接在光源单元LSU的第一电极与初始化电源Vint(或配置为传输初始化电源Vint的第三电力线)之间。第七晶体管T7的栅电极可以联接到后续级的扫描线中的任一条,例如,联接到第i+1扫描线Si+1。当具有栅极导通电压的扫描信号被供应给第i+1扫描线Si+1时,第七晶体管T7可以被导通,使得初始化电源Vint的电压可以被供应给光源单元LSU的第一电极。在这种情况下,在初始化电源Vint的电压传输到光源单元LSU的初始化周期期间,光源单元LSU的第一电极的电压可以被初始化。

[0114] 用于控制第七晶体管T7的操作的控制信号可以不同地改变。例如,第七晶体管T7的栅电极可以联接到相应的水平线的扫描线,即,第i扫描线Si。在这种情况下,当具有栅极导通电压的扫描信号被供应给第i扫描线Si时,第七晶体管T7可以被导通,使得初始化电源Vint的电压可以被供应给光源单元LSU的第一电极。

[0115] 存储电容器Cst可以联接在第一电源VDD与第一节点N1之间。存储电容器Cst可以存储与在每个帧周期期间施加到第一节点N1的数据信号和第一晶体管T1的阈值电压对应的电压。

[0116] 可以参照图6e来描述对图6c的单位像素SSPX的操作。图6e是示出待施加到图6c的子像素的信号的示例的波形图。

[0117] 参照图6c和图6e,第一扫描信号GI(或前一扫描信号)可以被提供到图6c中所示的第i-1扫描线Si-1,且第二扫描信号GW可以被提供到图6c中所示的第i扫描线Si(或相应的扫描线)。第一扫描信号GI也可以被提供到图6c中所示的第i+1扫描线Si+1。发射控制信号EM可以被提供到图6c中所示的第i发射控制线Ei。

[0118] 在第一时间点t1处,第一扫描信号GI可以从栅极截止电压(例如,高电压)OFF的电压电平转换到栅极导通电压(例如,低电压)ON的电压电平,并且保持栅极导通电压的电压电平直到第二时间点t2。第二扫描信号GW和发射控制信号EM可以具有栅极截止电压的电压电平。

[0119] 在这种情况下,第四晶体管T4可以响应于具有栅极导通电压的第一扫描信号GI而导通,并且第一节点N1和存储电容器Cst可以由初始化电源Vint的电压初始化。在这种情况下,第七晶体管T7可以响应于具有栅极导通电压的第一扫描信号GI而导通,并且光源单元LSU的第一电极的电压可以由初始化电源Vint的电压初始化

[0120] 换言之,在第一时间点t1与第二时间点t2之间的第一周期P1(或初始化周期)期间,单位像素SSPX可以由初始化电源Vint的电压初始化。

[0121] 此后,在第二时间点t2处,第一扫描信号GI可以转换到栅极截止电压的电压电平,且第二扫描信号GW可以转换到栅极导通电压的电压电平。此外,第二扫描信号GW的电压电平可以保持在栅极导通电压(例如,低电压)的电压电平处直到第三时间点t3。

[0122] 在这种情况下,第二晶体管T2和第三晶体管T3可以响应于具有栅极导通电压的第二扫描信号GW而导通。数据信号可以通过第二晶体管T2、第一晶体管T1和第三晶体管T3从第j数据线Dj被传输到存储电容器Cst。存储电容器Cst可以存储数据信号。

[0123] 换言之,在第二时间点t2与第三时间点t3之间的第二周期P2(或数据写入周期)期间,数据信号可以被提供到单位像素SSPX并存储在单位像素SSPX中。

[0124] 随后,在第四时间点t4处,发射控制信号EM可以从栅极截止电压的电压电平转换

到栅极导通电压的电压电平,并且保持在栅极导通电压的电压电平处直到第五时间点 $t_5$ 。第一扫描信号GI和第二扫描信号GW各自可以具有栅极截止电压的电压电平。

[0125] 在这种情况下,第五晶体管T5和第六晶体管T6可以响应于具有栅极导通电压的发射控制信号EM而导通。可以形成从第一电源VDD经过第五晶体管T5、第一晶体管T1和第六晶体管T6到光源单元LSU的用于驱动电流的电流移动路径。与第一节点N1的电压对应的驱动电流(即,存储在存储电容器Cst中的数据信号)可以被供应给光源单元LSU。因此,光源单元LSU可以发射具有与数据信号对应的亮度的光。

[0126] 换言之,在第四时间点 $t_4$ 到第五时间点 $t_5$ 之间的第三周期P3(或发射周期)期间,单位像素SSPX可以发射具有与数据信号对应的亮度的光。

[0127] 在第六时间点 $t_6$ 处,第一扫描信号GI、第二扫描信号GW和发射控制信号EM的波形可以与在第一时间点 $t_1$ 处的第一扫描信号GI、第二扫描信号GW和发射控制信号EM的波形相同。换言之,第一时间点 $t_1$ 到第六时间点 $t_6$ 可以形成一帧FRAME1,并且单位像素SSPX可以以帧为基础重复操作。

[0128] 虽然图6c示出了包括在像素电路PXC中的晶体管(例如,第一晶体管T1至第七晶体管T7)是P型晶体管,但本公开不限于此。例如,第一晶体管T1至第七晶体管T7中的至少一个可以改变为N型晶体管。

[0129] 在实施方式中,像素电路PXC还可以联接到除第j数据线Dj之外的其它线。

[0130] 参照图6d,像素电路PXC可以联接到感测线SENj。像素电路PXC可以包括第一晶体管T1至第三晶体管T3以及存储电容器Cst。由于第一晶体管T1和第二晶体管T2以及存储电容器Cst与参照图6b描述的第一晶体管T1和第二晶体管T2以及存储电容器Cst基本上相同或类似,因此将省略对其的重复描述。

[0131] 第三晶体管T3可以联接在感测线SENj与第二节点N2之间。第三晶体管T3的栅电极可以联接到不同于第一扫描线S1的第二扫描线S2(例如,不同于第i扫描线Si的第i+1扫描线Si+1)。

[0132] 光源单元LSU可以联接在第二节点N2与第二电力线(即,向其施加第二电源VSS的电力线)之间。

[0133] 第三晶体管T3可以响应于从第二扫描线S2传输的具有栅极导通电压的扫描信号而导通,以将感测线SENj电联接到第二节点N2。

[0134] 例如,当第三晶体管T3在与参考电压对应的驱动电流在第一晶体管T1中流动的情况下导通时,流过第一晶体管T1的驱动电流可以通过第三晶体管T3和感测线SENj被提供到外部感测装置,并且基于驱动电流的与第一晶体管T1的特性对应的信号(例如,阈值)可以通过感测线SENj被输出到外部装置。

[0135] 此外,可应用于本公开的单位像素SSPX的结构不限于图6a至图6d中所示的实施方式,并且单位像素SSPX可以具有各种结构。例如,包括在单位像素SSPX中的像素电路PXC可以形成为可具有各种结构和/或由各种驱动方法操作的像素电路。单位像素SSPX可以形成在无源发光显示面板等中。在这种情况下,像素电路PXC可以被省略,并且光源单元LSU的第一电极和第二电极中的每个可以直接联接到第i扫描线Si、第j数据线Dj、电力线和/或控制线。

[0136] 图7是示出包括在图4的显示装置中的子像素的示例的平面图。图7基于包括在第

一子像素SPX1至第三子像素SPX3中的光源单元LSU(参照图6a至图6d)(或发光元件层)示出了第一子像素SPX1至第三子像素SPX3的结构。图8是示出包括在图7的子像素的第一子像素中的第一单位像素的示例的平面图。第一子像素SPX1至第三子像素SPX3可以彼此相同。由于包括在第一子像素SPX1至第三子像素SPX3中的每个中的第一单位像素SSPX1和第二单位像素SSPX2可以是基于参考线L\_REF的上下对称结构,因此将侧重于第一子像素SPX1和第一单位像素SSPX1描述光源单元LSU。

[0137] 参照图7和图8,第一子像素SPX1可以包括设置在第一子像素区域SPA1中彼此间隔开的位置处的第一电极ELT1和第二电极ELT2、以及联接在第一电极ELT1与第二电极ELT2之间的至少一个发光元件LD。

[0138] 在实施方式中,分别包括在第一子像素SPX1至第三子像素SPX3中的第一发光元件LD1、第二发光元件LD2和第三发光元件LD3可以发射具有相同颜色或不同颜色的光。例如,每个第一发光元件LD1可以是配置为发射红光的红色发光二极管。每个第二发光元件LD2可以是配置为发射绿光的绿色发光二极管。每个第三发光元件LD3可以是配置为发射蓝光的蓝色发光二极管。

[0139] 例如,第一发光元件LD1、第二发光元件LD2和第三发光元件LD3中的所有可以形成配置为发射蓝光的蓝色发光二极管。在这种情况下,为了形成全色像素PXL,可以在第一子像素SPX1、第二子像素SPX2和第三子像素SPX3中的至少一些上设置用于转换从相应的子像素发射的光的颜色的光转换层和/或滤色器。

[0140] 在实施方式中,第一电极ELT1和第二电极ELT2可以在第一子像素区域SPA1中设置彼此间隔开的位置处,使得其至少预定区域彼此面对。例如,第一电极ELT1和第二电极ELT2各自可以在第一方向DR1上延伸,并且可以在与第一方向DR1基本上垂直或相交的第二方向DR2上彼此间隔开预定距离。然而,本公开不限于此。例如,第一电极ELT1和第二电极ELT2的形状和/或相互布置关系可以以各种方式改变。

[0141] 在实施方式中,第一子像素区域SPA1可以包括发射区域EMA和非发射区域NEMA。发射区域EMA可以包括彼此分离的多个子发射区域。第一电极ELT1可以设置在子发射区域中的每个中。第二电极ELT2可以设置在整個发射区域EMA中,即,设置成跨过子发射区域。这里,发射区域EMA可以是呈现出(或显示出)单色光的单位区域,与配置为发射另一种颜色的光的发射区域分离,并且由阻挡从发光元件LD发射的光穿过其它区域的像素限定层(或堤部,或遮光图案)等限定。

[0142] 例如,如图7中所示,第一子像素区域SPA1(或第二子像素区域SPA2、第三子像素区域SPA3)可以包括发射区域EMA和非发射区域NEMA。发射区域EMA可以包括基于参考线L\_REF在第一方向DR1上彼此分离的第一子发射区域EMA\_S1和第二子发射区域EMA\_S2。第一电极ELT1可以基于参考线L\_REF设置在第一子发射区域EMA\_S1和第二子发射区域EMA\_S2中的每个中。第二电极ELT2可以设置在整個发射区域EMA中,即,设置成跨过第一子发射区域EMA\_S1和第二子发射区域EMA\_S2。设置在第二子发射区域EMA\_S2中的第一电极ELT1可以在第一方向DR1上与设置在第一子发射区域EMA\_S1中的第一电极ELT1间隔开,并且与设置在第一子发射区域EMA\_S1中的第一电极ELT1电分离或电绝缘。

[0143] 虽然图7示出了发射区域EMA包括第一子发射区域EMA\_S1和第二子发射区域EMA\_S2,但是这是出于说明性目的。例如,发射区域EMA可以包括三个或更多个子发射区域。此

外,虽然图7示出了第一子发射区域EMA\_S1和第二子发射区域EMA\_S2彼此连续(或相邻),但这是出于说明性目的。第一子发射区域EMA\_S1和第二子发射区域EMA\_S2可以通过设置在其间的像素限定层(或堤部)等彼此间隔开。

[0144] 第一电极ELT1可以电联接到在第二方向DR2上延伸的第一连接电极CNL1(或第一连接线)。包括在每个子发射区域中的第一电极ELT1可以通过第一连接电极CNL1彼此电联接。

[0145] 第二电极ELT2可以联接到在第二方向DR2上延伸的第二连接电极CNL2(或第二连接线)。第二连接电极CNL2可以联接到参照图6a、图6c和图6d描述的第二电力线(即,向其施加第二电源VSS的电力线)。

[0146] 虽然图7示出了第二连接电极CNL2仅设置在相应的子像素SPX中,但是这是出于说明性目的,且本公开不限于此。例如,第二连接电极CNL2可以延伸到相邻的子像素(例如,基于第一子像素SPX1延伸到第二子像素SPX2和第三子像素SPX3)。

[0147] 在实施方式中,第一电极ELT1可以包括突起ELT\_P。例如,突起ELT\_P可以在第二方向DR2上从第一电极ELT1的中央部分突出到非发射区域NEMA。突起ELT\_P可以联接到参照图6a至图6d描述的像素电路PXC(或第一晶体管T1)。根据第一晶体管T1的布置,可以省略突起ELT\_P,并且第一连接电极CNL1可以联接到像素电路PXC(或第一晶体管T1)。

[0148] 在实施方式中,第一电极ELT1和第二电极ELT2中的每个可以具有单层结构或多层结构。例如,第一电极ELT1可以具有包括第一反射电极和第一导电封盖层的多层结构。第二电极ELT2可以具有包括第二反射电极和第二导电封盖层的多层结构。

[0149] 在实施方式中,第一电极ELT1可以联接到第一连接电极CNL1。第一电极ELT1可以一体地联接到第一连接电极CNL1(或与第一连接电极CNL1成一体)。例如,第一电极ELT1可以由从第一连接电极CNL1分叉的至少一个分支形成。在第一电极ELT1和第一连接电极CNL1彼此一体形成的情况下,第一连接电极CNL1可以被认为第一电极ELT1的一区域。然而,本公开不限于此。例如,在本公开的实施方式中,第一电极ELT1和第一连接电极CNL1可以单独形成并通过至少一个接触孔CH1、通孔等彼此电联接。

[0150] 在实施方式中,第一连接电极CNL1可以具有单层结构或多层结构。例如,第一连接电极CNL1可以包括与第一反射电极一体地联接的第一子连接电极、以及与第一导电封盖层一体地联接的第二子连接电极。在实施方式中,第一连接电极CNL1可以具有与第一电极ELT1的剖面结构相同的剖面结构(或堆叠结构),但是本公开不限于此。

[0151] 在实施方式中,第二电极ELT2可以联接到第二连接电极CNL2。例如,第二连接电极CNL2可以独立于第二电极ELT2形成,并且通过至少一个接触孔CH2、通孔等电联接到第二电极ELT2。然而,本公开不限于此。例如,在本公开的实施方式中,第二电极ELT2可以一体地联接到第二连接电极CNL2。例如,第二电极ELT2可以由从第二连接电极CNL2分叉的至少一个分支形成。在第二电极ELT2和第二连接电极CNL2彼此成一体的情况下,第二连接电极CNL2可以被认为第二电极ELT2的一区域。

[0152] 在实施方式中,第二连接电极CNL2可以以与第一连接电极CNL1的方式类似的方式具有单层结构或多层结构。

[0153] 参照图8,第一堤部图案PW1可以设置在第一电极ELT1之下并与第一电极ELT1的一区域重叠。第二堤部图案PW2可以设置在第二电极ELT2之下并与第二电极ELT2的一区域重

叠。第一堤部图案PW1和第二堤部图案PW2可以在发射区域EMA中设置彼此间隔开的位置处,并且使得第一电极ELT1和第二电极ELT2的区域向上突出。例如,第一电极ELT1可以设置在第一堤部图案PW1上并且通过第一堤部图案PW1在基层SUB1的高度方向(或厚度方向)上突出。第二电极ELT2可以设置在第二堤部图案PW2上并且通过第二堤部图案PW2在基层SUB1的高度方向上突出。

[0154] 在实施方式中,至少一个发光元件LD(例如,多个发光元件LD)可以布置在第一电极ELT1与第二电极ELT2之间。例如,多个发光元件LD可以在发射区域EMA(或第一子发射区域EMA\_S1,参照图7)中彼此并联联接,在发射区域EMA中,第一电极ELT1和第二电极ELT2设置成彼此面对。

[0155] 虽然图8示出了发光元件LD在第二方向DR2上(例如,在水平方向上)布置在第一电极ELT1与第二电极ELT2之间,但是发光元件LD的布置方向不限于此。例如,发光元件LD中的至少一个可以定向在对角线方向上。

[0156] 发光元件LD中的每个可以电联接在第一电极ELT1与第二电极ELT2之间。例如,发光元件LD的相应的第一端EP1(例如参照图9a至图9d)可以电联接到第一电极ELT1。发光元件LD的相应的第二端EP2(例如参照图9a至图9d)可以电联接到第二电极ELT2。

[0157] 在实施方式中,发光元件LD中的每个的第一端可以通过至少一个接触电极(例如,第一接触电极CNE1)电联接到相应的第一电极ELT1,而不是直接设置在第一电极ELT1上。然而,本公开不限于此。例如,在本公开的实施方式中,发光元件LD的第一端可以与第一电极ELT1直接接触以电联接到第一电极ELT1。

[0158] 同样,发光元件LD中的每个的第二端可以通过至少一个接触电极(例如,第二接触电极CNE2)电联接到相应的第二电极ELT2,而不是直接设置在第二电极ELT2上。然而,本公开不限于此。例如,在本公开的实施方式中,发光元件LD中的每个的第二端可以与第二电极ELT2直接接触以电联接到第二电极ELT2。

[0159] 在实施方式中,发光元件LD中的每个可以是发光二极管,该发光二极管由具有无机晶体结构的材料制成,并且具有超小型尺寸(例如,与纳米级或微米级对应的尺寸)。例如,发光元件LD中的每个可以是具有在纳米级到微米级的范围内的尺寸的超小型发光二极管,如图1a至图3b中的任一个中所示。然而,可应用于本公开的发光元件LD的类型不限于此。例如,发光元件LD可以通过生长方法形成,并且是具有核-壳结构的发光二极管,该核-壳结构具有与例如微米级至纳米级对应的尺寸。

[0160] 在实施方式中,发光元件LD可以制备成散布在预定溶液中的形式,并且通过喷墨印刷方法或狭缝涂覆方法供应给每个子像素SPX的发射区域EMA。此外,发光元件LD可以同时被供应给发射区域EMA中的第一子发射区域EMA\_S1和第二子发射区域EMA\_S2。例如,发光元件LD可以与挥发性溶剂混合并且供应给发射区域EMA。这里,如果向子像素SPX的第一电极ELT1和第二电极ELT2供应预定电压,则在第一电极ELT1与第二电极ELT2之间形成电场,由此发光元件LD自对准在第一电极ELT1与第二电极ELT2之间。在已对准发光元件LD之后,可以通过挥发方法或其它方法去除溶剂。由此,发光元件LD可以可靠地布置在第一电极ELT1与第二电极ELT2之间。此外,由于第一接触电极CNE1和第二接触电极CNE2形成在发光元件LD的第一端EP1和第二端EP2上,因此发光元件LD可以可靠地联接在第一电极ELT1与第二电极ELT2之间。

[0161] 由于在第一电极ELT1和第二电极ELT2与基底层SUB1之间不设置单独的电路元件、单独的线等,因此可以防止在第一电极ELT1与第二电极ELT2之间形成电场的步骤中出现由电路元件或导电图案引起的干扰。因此,可以提高发光元件LD的对准效率。

[0162] 在实施方式中,第一接触电极CNE1可以形成在发光元件LD的第一端EP1和与第一端EP1对应的第一电极ELT1的至少一个区域上,由此发光元件LD的第一端EP1可以物理地和/或电联接到第一电极ELT1。同样,第二接触电极CNE2可以形成在发光元件LD的第二端EP2和与第二端EP2对应的第二电极ELT2的至少一个区域上,由此发光元件LD的第二端可以物理地和/或电联接到第二电极ELT2。

[0163] 设置在发射区域EMA中的发光元件LD可以聚集,从而形成相应的单位像素SSPX(和子像素SPX)的光源。例如,设置在图7中所示的第一子发射区域EMA\_S1和第二子发射区域EMA\_S2中的发光元件LD可以形成光源。例如,如果驱动电流在每个帧周期期间流过至少一个子像素SPX(或第一单位像素SSPX1和第二单位像素SSPX2中的每个),则在正向方向上联接在子像素SPX的第一电极ELT1与第二电极ELT2之间的发光元件LD可以发射具有与驱动电流对应的亮度的光。

[0164] 图9a至图9d是示出沿着图8的线I-I'截取的单位像素的示例的剖视图。图9a至图9d各自示出了在显示面板PNL中形成的任一个子像素区域SPA(例如,第一子像素区域SPA1)。在实施方式中,上述第一子像素SPX1、第二子像素SPX2和第三子像素SPX3以及包括在其中的第一单位像素SSPX1和第二单位像素SSPX2的剖面结构可以基本上彼此相同或类似。因此,为了进行说明,如图9a至图9d中所示,将侧重于第一单位像素SSPX1共同地描述第一子像素SPX1、第二子像素SPX2和第三子像素SPX3以及包括在其中的第一单位像素SSPX1和第二单位像素SSPX2的结构。

[0165] 参照图9a,像素电路层PCL和显示元件层LDL可以依次设置在基底层SUB1的每个子像素区域SPA中。在实施方式中,像素电路层PCL和显示元件层LDL可以形成在显示面板PNL的整个显示区域DA中。

[0166] 在实施方式中,像素电路层PCL可以包括构成子像素SPX的像素电路PXC的电路元件。显示元件层LDL可以包括子像素SPX(或单位像素SSPX)的发光元件LD。

[0167] 例如,在基底层SUB1上在第一子像素区域SPA1中,包括构成相应的第一子像素SPX1的像素电路PXC的电路元件的像素电路层PCL、以及包括设置在第一子像素SPX1中的至少一个发光元件LD(例如,多个第一发光元件LD1)的显示元件层LDL可以依次设置在基底层SUB1的一表面上。

[0168] 在实施方式中,像素电路层PCL可以包括形成在第一子像素区域SPA1中并且形成第一子像素SPX1(或第一单位像素SSPX1)的像素电路PXC的多个电路元件。例如,像素电路层PCL可以包括设置在第一子像素区域SPA1中的多个晶体管,例如图6a的第一晶体管T1和第二晶体管T2。虽然在图9a中未示出,但是像素电路层PCL可以包括设置在子像素区域SPA中的存储电容器Cst、联接到像素电路PXC的各种信号线(例如,图6a中所示的第i扫描线Si和第j数据线Dj)、以及联接到像素电路PXC和/或发光元件LD的各种电力线(例如,配置为分别传输第一电源VDD和第二电源VSS的第一电力线(未示出)和第二电力线PL)。

[0169] 在实施方式中,设置在像素电路PXC中的多个晶体管(例如,第一晶体管T1和第二晶体管T2)可以具有基本上相同或类似的剖面结构。然而,本公开不限于此。在实施方式中,

多个晶体管中的至少一些可以具有不同的类型和/或结构。

[0170] 此外,像素电路层PCL可以包括多个绝缘层。例如,像素电路层PCL可以包括依次堆叠在基底层SUB1的所述一表面上的缓冲层BFL、栅极绝缘层GI、层间绝缘层ILD和钝化层PSV。

[0171] 在实施方式中,缓冲层BFL可以防止杂质扩散到电路元件中。缓冲层BFL可以形成为单层,或者可以形成为具有双层或更多层的多层。在缓冲层BFL具有多层结构的情况下,相应层可以由相同的材料或不同的材料形成。在实施方式中,可以省略缓冲层BFL。

[0172] 在实施方式中,第一晶体管T1和第二晶体管T2中的每个可以包括半导体层SCL、栅电极GE、第一晶体管电极ET1和第二晶体管电极ET2。虽然图9a示出了第一晶体管T1和第二晶体管T2中的每个包括与半导体层SCL分开形成的第一晶体管电极ET1和第二晶体管电极ET2,但本公开不限于此。例如,在本公开的实施方式中,设置在设置于每个子像素区域SPA中的至少一个晶体管中的第一晶体管电极ET1和/或第二晶体管电极ET2可以与相应的半导体层SCL成一体。

[0173] 半导体层SCL可以设置在缓冲层BFL上。例如,半导体层SCL可以设置在栅极绝缘层GI与其上形成有缓冲层BFL的基底层SUB1之间。半导体层SCL可以包括与第一晶体管电极ET1接触的第一区域、与第二晶体管电极ET2接触的第二区域以及设置在第一区域与第二区域之间的沟道区域。在实施方式中,第一区域和第二区域中的一个可以是源极区域,以及另一个可以是漏极区域。

[0174] 在实施方式中,半导体层SCL可以由多晶硅、非晶硅、氧化物半导体等形成的半导体图案。半导体层SCL的沟道区域可以是本征半导体,该本征半导体是未掺杂的半导体图案。半导体层SCL的第一区域和第二区域中的每个可以是掺杂有预定杂质的半导体图案。

[0175] 栅电极GE可以设置在半导体层SCL上,且在栅电极GE与半导体层SCL之间插置有栅极绝缘层GI。例如,栅电极GE可以设置在栅极绝缘层GI与层间绝缘层ILD之间,并且与半导体层SCL的至少一个区域重叠。

[0176] 第一晶体管电极ET1和第二晶体管电极ET2可以设置在半导体层SCL和栅电极GE之上,且在其间插置有至少一个层间绝缘层ILD。例如,第一晶体管电极ET1和第二晶体管电极ET2可以设置在层间绝缘层ILD与钝化层PSV之间。第一晶体管电极ET1和第二晶体管电极ET2可以电联接到半导体层SCL。例如,第一晶体管电极ET1和第二晶体管电极ET2可以分别通过穿过栅极绝缘层GI和层间绝缘层ILD的接触孔联接到半导体层SCL的第一区域和第二区域。

[0177] 在实施方式中,设置在像素电路PXC中的至少一个晶体管(例如,图6a中所示的第一晶体管T1)的第一晶体管电极ET1和第二晶体管电极ET2中的任一个可以通过穿过钝化层PSV的第三接触孔CH3电联接到光源单元LSU的设置在钝化层PSV之上的第一电极ELT1。

[0178] 在实施方式中,联接到子像素SPX的至少一条信号线和/或至少一条电力线可以设置在与形成像素电路PXC的电路元件中的每个的一电极的层相同的层上。例如,用于供应第二电源VSS的第二电力线PL可以设置在与第一晶体管T1和第二晶体管T2中的每个的栅电极GE的层相同的层上,并且通过设置在与第一晶体管电极ET1和第二晶体管电极ET2的层相同的层上的第二连接电极CNL2(或第二连接线,或桥接图案)以及通过穿过钝化层PSV的至少一个第二接触孔CH2两者电联接到光源单元LSU的设置在钝化层PSV之上的第二电极ELT2。

然而,第二电力线PL的结构和/或位置等可以以各种方式改变。

[0179] 在实施方式中,显示元件层LDL可以包括依次设置和/或形成在像素电路层PCL上的第一堤部图案PW1和第二堤部图案PW2、第一电极ELT1和第二电极ELT2、第一绝缘层INS1、发光元件LD、第二绝缘层INS2、第一接触电极CNE1和第二接触电极CNE2以及第三绝缘层INS3。

[0180] 第一堤部图案PW1和第二堤部图案PW2可以设置在像素电路层PCL上。第一堤部图案PW1和第二堤部图案PW2可以在发射区域EMA中设置在彼此间隔开的位置处。第一堤部图案PW1和第二堤部图案PW2可以在像素电路层PCL上在高度方向上突出。在实施方式中,第一堤部图案PW1和第二堤部图案PW2可以具有基本上相同的高度,但是本公开不限于此。

[0181] 在实施方式中,第一堤部图案PW1可以设置在像素电路层PCL与第一电极ELT1之间。第一堤部图案PW1可以设置成与发光元件LD的第一端EP1相邻。例如,第一堤部图案PW1的一侧壁可以定位成与发光元件LD的第一端EP1相邻,并且设置成面对第一端EP1。

[0182] 在实施方式中,第二堤部图案PW2可以设置在像素电路层PCL与第二电极ELT2之间。第二堤部图案PW2可以设置成与发光元件LD的第二端EP2相邻。例如,第二堤部图案PW2的一侧壁可以定位成与发光元件LD的第二端EP2相邻,并且设置成面对第二端EP2。

[0183] 在实施方式中,第一堤部图案PW1和第二堤部图案PW2中的每个可以具有各种形状。例如,如图9a中所示,第一堤部图案PW1和第二堤部图案PW2中的每个可以具有从其底部到顶部宽度减小的梯形的剖面形状。在这种情况下,第一堤部图案PW1和第二堤部图案PW2中的每个可以在至少一侧上具有倾斜表面。作为另一示例,如图9b中所示,第一堤部图案PW1和第二堤部图案PW2中的每个可以具有从其底部到顶部宽度减小的半圆形或半椭圆形剖面。在这种情况下,第一堤部图案PW1和第二堤部图案PW2中的每个可以在其至少一侧上具有弯曲表面。换言之,第一堤部图案PW1和第二堤部图案PW2中的每个的形状可以不限于特定形状,并且可以以各种方式改变。在实施方式中,第一堤部图案PW1和第二堤部图案PW2中的至少一个可以省略,或其位置可以改变。

[0184] 第一堤部图案PW1和第二堤部图案PW2中的每个可以包括具有无机材料和/或有机材料的绝缘材料。例如,第一堤部图案PW1和第二堤部图案PW2可以包括至少一个无机层,其包括各种无机绝缘材料,诸如, $\text{SiN}_x$ 或 $\text{SiO}_x$ 。作为另一示例,第一堤部图案PW1和第二堤部图案PW2可以包括包含各种有机绝缘材料的至少一个有机层和/或光刻胶层,或者可以形成以组合形式包含有机/无机材料的单层绝缘体或多层绝缘体。换言之,第一堤部图案PW1和第二堤部图案PW2的材料可以不同地改变。

[0185] 在实施方式中,第一堤部图案PW1和第二堤部图案PW2中的每个可以用作反射构件。例如,第一堤部图案PW1和第二堤部图案PW2与设置在第一堤部图案PW1和第二堤部图案PW2上的第一电极ELT1和第二电极ELT2一起可以用作反射器,其在期望的方向上引导从每个发光元件LD发射的光,从而增强像素PXL的光效率。

[0186] 第一电极ELT1和第二电极ELT2可以分别设置在第一堤部图案PW1和第二堤部图案PW2之上。第一电极ELT1和第二电极ELT2可以在发射区域EMA中设置在彼此间隔开的位置处。

[0187] 在实施方式中,分别设置在第一堤部图案PW1和第二堤部图案PW2之上的第一电极ELT1和第二电极ELT2可以具有与第一堤部图案PW1和第二堤部图案PW2的相应形状对应的

形状。例如,第一电极ELT1和第二电极ELT2可以分别具有与第一堤部图案PW1和第二堤部图案PW2的倾斜表面或弯曲表面对应的倾斜表面或弯曲表面,并且在显示元件层LDL的高度方向(或厚度方向)上突出。

[0188] 第一电极ELT1和第二电极ELT2中的每个可以包括至少一种导电材料。例如,第一电极ELT1和第二电极ELT2中的每个可以包括金属(诸如,Ag、Mg、Al、Pt、Pd、Au、Ni、Nd、Ir、Cr、Ti或其合金)、导电氧化物(诸如,ITO、IZO、ZnO或ITZO)和导电聚合物(诸如,聚(3,4-亚乙基二氧噻吩)(PEDOT))中的至少一种。然而,本公开不限于此。

[0189] 第一电极ELT1和第二电极ELT2中的每个可以具有单层结构或多层结构。例如,第一电极ELT1和第二电极ELT2中的每个可以包括至少一个反射电极层。第一电极ELT1和第二电极ELT2中的每个可以选择性地进一步包括设置在反射电极层的上部分和/或下部分上的至少一个透明电极层和覆盖反射电极层和/或透明电极层的上部分的至少一个导电封盖层中的至少一个。

[0190] 在实施方式中,第一电极ELT1和第二电极ELT2中的每个的反射电极层可以由具有均匀反射率的导电材料形成。例如,反射电极层可以包括诸如Ag、Mg、Al、Pt、Pd、Au、Ni、Nd、Ir、Cr及其合金的金属中的至少一种。然而,本公开不限于此。换言之,反射电极层可以由各种反射导电材料形成。包括反射电极层的第一电极ELT1和第二电极ELT2中的每个可以使得从发光元件LD中的每个的相对端(即,第一端EP1和第二端EP2)发射的光能够在沿其显示图像的方向上(例如,在前向方向上)行进。特别地,如果第一电极ELT1和第二电极ELT2分别具有与第一堤部图案PW1和第二堤部图案PW2的形状对应的倾斜表面或弯曲表面,并且分别设置成面对发光元件LD的第一端EP1和第二端EP2,则从发光元件LD中的每个的第一端EP1和第二端EP2发射的光可以被第一电极ELT1和第二电极ELT2反射,并且因此更可靠地在显示面板PNL的前向方向上(例如,在基底层SUB1的向上方向上)行进。因此,可以提高从发光元件LD发射的光的效率。

[0191] 此外,第一电极ELT1和第二电极ELT2中的每个的透明电极层可以由各种透明电极材料形成。例如,透明电极层可以包括ITO、IZO或ITZO,但本公开不限于此。在实施方式中,第一电极ELT1和第二电极ELT2中的每个可以具有三层结构,该三层结构具有ITO/Ag/ITO的堆叠结构。这样,如果第一电极ELT1和第二电极ELT2各自形成为双层或更多层的多层结构,则可以最小化由于信号延迟(RC延迟)而引起的电压降。因此,可以将期望的电压有效地传输到发光元件LD。

[0192] 此外,如果第一电极ELT1和第二电极ELT2中的每个包括覆盖反射电极层和/或透明电极层的导电封盖层,则可以防止第一电极ELT1和第二电极ELT2的反射电极层由于在像素PXL的制造过程期间引起的缺陷而被损坏。然而,导电封盖层可以选择性地包括在第一电极ELT1和第二电极ELT2中,并且可以根据实施方式省略。此外,导电封盖层可以被认为是在第一电极ELT1和第二电极ELT2中的每个的组件,或者被认为是设置在第一电极ELT1和第二电极ELT2上的单独组件。

[0193] 第一绝缘层INS1可以设置在第一电极ELT1和第二电极ELT2中的每个的一区域上。例如,第一绝缘层INS1可以形成为覆盖第一电极ELT1和第二电极ELT2的预定区域,并且第一绝缘层INS1可以包括开口以暴露第一电极ELT1和第二电极ELT2的其它预定区域。

[0194] 在实施方式中,第一绝缘层INS1可以主要形成为覆盖第一电极ELT1和第二电极

ELT2的整个表面。在将发光元件LD供应并对准在第一绝缘层INS1上之后,第一绝缘层INS1可以如图9a中所示地部分开口以在第一接触部CNT1和第二接触部CNT2中暴露第一电极ELT1和第二电极ELT2。作为另一示例,在已完成发光元件LD的供应和对准之后,第一绝缘层INS1可以以分段地设置在发光元件LD之下的单独图案的形式被图案化。

[0195] 换言之,第一绝缘层INS1可以插置在第一电极ELT1和第二电极ELT2与发光元件LD之间,并且可以暴露第一电极ELT1和第二电极ELT2中的每个的至少一个区域。在形成第一电极ELT1和第二电极ELT2之后,可以形成第一绝缘层INS1以覆盖第一电极ELT1和第二电极ELT2,从而可以防止第一电极ELT1和第二电极ELT2被损坏或防止金属在随后的工艺中被沉淀。此外,第一绝缘层INS1可以稳定地支撑每个发光元件LD。在实施方式中,可以省略第一绝缘层INS1。

[0196] 发光元件LD可以被供应给其中形成有第一绝缘层INS1的发射区域EMA并且在其中对准。例如,可以通过喷墨方法等将多个发光元件LD供应给发射区域EMA,并且可以通过施加到第一电极ELT1和第二电极ELT2的预定对准电压(或对准信号)将发光元件LD对准在第一电极ELT1与第二电极ELT2之间。

[0197] 堤部BNK可以设置在第一绝缘层INS1上。例如,堤部BNK可以形成在包围子像素SPX的发射区域EMA的其它子像素之间,从而可以形成用于限定子像素SPX的发射区域EMA的像素限定层。

[0198] 在实施方式中,堤部BNK可以形成为具有比第一堤部图案PW1和第二堤部图案PW2的第一高度大的第二高度。在这种情况下,在将发光元件LD供应给每个发射区域EMA的步骤中,堤部BNK可以用作坝结构,其配置为防止与发光元件LD混合的溶液被引入相邻的子像素SPX的发射区域EMA中,或者控制溶液的量使得向每个发射区域EMA供应恒定量的溶液。

[0199] 堤部BNK可以形成为防止从每个发射区域EMA发射的光进入相邻的发射区域EMA并导致光学干涉。为此,堤部BNK可以形成为防止从每个子像素SPX的发光元件LD发射的光穿过堤部BNK。

[0200] 在一些实施方式中,堤部BNK可以不设置在第一子发射区域EMA\_S1和第二子发射区域EMA\_S2(参照图7)之间,但是本公开不限于此。

[0201] 第二绝缘层INS2可以设置在对准在第一电极ELT1与第二电极ELT2之间的发光元件LD之上,并且可以暴露发光元件LD的第一端EP1和第二端EP2。例如,第二绝缘层INS2可以仅部分地设置在发光元件LD的预定区域之上,而不覆盖发光元件LD的第一端EP1和第二端EP2。第二绝缘层INS2可以在每个发射区域EMA中以独立的图案形成,但是本公开不限于此。此外,如图9a中所示,如果在形成第二绝缘层INS2之前在第一绝缘层INS1与发光元件LD之间存在空间,则可以利用第二绝缘层INS2填充该空间。因此,可以更稳定地支撑发光元件LD。

[0202] 第一接触电极CNE1和第二接触电极CNE2可以设置在第一电极ELT1和第二电极ELT2以及发光元件LD的第一端EP1和第二端EP2上。在实施方式中,第一接触电极CNE1和第二接触电极CNE2可以设置在相同的层上,如图9a中所示。虽然在这种情况下,第一接触电极CNE1和第二接触电极CNE2使用相同的导电材料通过相同的工艺形成,但是本公开不限于此。

[0203] 第一接触电极CNE1和第二接触电极CNE2可以分别将发光元件LD的第一端EP1和第

二端EP2电联接到第一电极ELT1和第二电极ELT2。

[0204] 例如,第一接触电极CNE1可以设置在第一电极ELT1上以与第一电极ELT1接触。例如,第一接触电极CNE1可以设置成在第一电极ELT1的未被第一绝缘层INS1覆盖的预定区域上与第一电极ELT1接触。此外,第一接触电极CNE1可以设置在至少一个发光元件LD的与第一电极ELT1相邻的第一端EP1上,例如,设置在多个发光元件LD的相应的第一端EP1上,使得第一接触电极CNE1可以与第一端EP1接触。换言之,第一接触电极CNE1可以设置成覆盖发光元件LD的第一端EP1和相应的第一电极ELT1的至少一个区域。因此,发光元件LD的第一端EP1可以电联接到第一电极ELT1。

[0205] 同样,第二接触电极CNE2可以设置在第二电极ELT2上以与第二电极ELT2接触。例如,第二接触电极CNE2可以设置成在第二电极ELT2的未被第一绝缘层INS1覆盖的预定区域上与第二电极ELT2接触。此外,第二接触电极CNE2可以设置在至少一个发光元件LD的与第二电极ELT2相邻的第二端EP2上,例如,设置在多个发光元件LD的第二端EP2上,使得第二接触电极CNE2可以与第二端EP2接触。换言之,第二接触电极CNE2可以设置成覆盖发光元件LD的第二端EP2和相应的第二电极ELT2的至少一个区域。因此,发光元件LD的第二端EP2可以电联接到第二电极ELT2。

[0206] 第三绝缘层INS3可以形成和/或设置在基底层SUB1的其上形成有第一堤部图案PW1和第二堤部图案PW2、第一电极ELT1和第二电极ELT2、发光元件LD、第一接触电极CNE1和第二接触电极CNE2以及堤部BNK的一表面上,使得第三绝缘层INS3可以覆盖第一堤部图案PW1和第二堤部图案PW2、第一电极ELT1和第二电极ELT2、发光元件LD、第一接触电极CNE1和第二接触电极CNE2以及堤部BNK。第三绝缘层INS3可以包括薄膜封装层,该薄膜封装层包括至少一个无机层和/或有机层,但是本公开不限于此。在一些实施方式中,在第三绝缘层INS3之上还可以设置有未示出的至少一个外涂层。

[0207] 在实施方式中,第一绝缘层INS1、第二绝缘层INS2和第三绝缘层INS3中的每个可以具有单层结构或多层结构,并且包括至少一种无机绝缘材料和/或有机绝缘材料。例如,除了 $\text{SiN}_x$ ,第一绝缘层INS1、第二绝缘层INS2和第三绝缘层INS3中的每个还可以包括各种有机/无机绝缘材料,并且第一绝缘层INS1、第二绝缘层INS2和第三绝缘层INS3中的每个的材料不受特别限制。第一绝缘层INS1、第二绝缘层INS2和第三绝缘层INS3可以包括不同的绝缘材料,或者第一绝缘层INS1、第二绝缘层INS2和第三绝缘层INS3中的至少一些可以包括相同的绝缘材料。

[0208] 在实施方式中,第一接触电极CNE1和第二接触电极CNE2可以设置在不同的层上。

[0209] 参照图9c,第一接触电极CNE1可以设置在其中设置有第二绝缘层INS2的子像素区域SPA中。在实施方式中,第一接触电极CNE1可以设置在设置于相应的子像素区域SPA中的第一电极ELT1上,使得第一接触电极CNE1与第一电极ELT1的一个区域接触。此外,第一接触电极CNE1可以设置在设置于相应的子像素区域SPA中的至少一个发光元件LD的第一端EP1上,使得第一接触电极CNE1与第一端EP1接触。由于第一接触电极CNE1,设置在子像素区域SPA中的至少一个发光元件LD的第一端EP1可以电联接到设置在相应的子像素区域SPA中的第一电极ELT1。

[0210] 第四绝缘层INS4可以设置在其中设置有第一接触电极CNE1的子像素区域SPA中。在实施方式中,第四绝缘层INS4可以覆盖设置在相应的子像素区域SPA中的第二绝缘层

INS2和第一接触电极CNE1。

[0211] 在实施方式中,第四绝缘层INS4可以具有单层结构或多层结构,并且以与第一绝缘层INS1、第二绝缘层INS2和第三绝缘层INS3的方式类似的方式包括至少一种无机绝缘材料和/或有机绝缘材料。例如,除了 $\text{SiN}_x$ ,第四绝缘层INS4还可以包括各种有机/无机绝缘材料。此外,第四绝缘层INS4可以包括与第一绝缘层INS1、第二绝缘层INS2和第三绝缘层INS3的绝缘材料不同的绝缘材料,或者可以包括与第一绝缘层INS1、第二绝缘层INS2和第三绝缘层INS3中的至少一些的绝缘材料相同的绝缘材料。

[0212] 第二接触电极CNE2可以设置在其中设置有第四绝缘层INS4的每个子像素区域SPA中。在实施方式中,第二接触电极CNE2可以设置在设置于相应的子像素区域SPA中的第二电极ELT2上,使得第二接触电极CNE2与第二电极ELT2的一个区域接触。此外,第二接触电极CNE2可以设置在设置于相应的子像素区域SPA中的至少一个发光元件LD的第二端EP2上,使得第二接触电极CNE2与第二端EP2接触。由于第二接触电极CNE2,设置在每个子像素区域SPA中的至少一个发光元件LD的第二端EP2可以电联接到设置在相应的子像素区域SPA中的第二电极ELT2。

[0213] 在实施方式中,第一堤部图案PW1和第二堤部图案PW2中的每个可以具有各种形状。例如,如图9c中所示,第一堤部图案PW1和第二堤部图案PW2中的每个可以具有从其底部到顶部宽度减小的梯形的剖面形状。作为另一示例,如图9d中所示,第一堤部图案PW1和第二堤部图案PW2中的每个可以具有从其底部到顶部宽度减小的半圆形或半椭圆形剖面。

[0214] 图10a和图10b是示出包括在图4的显示装置中的子像素的其它示例的平面图。以类似于图7的方式,图10a和图10b基于包括在第一子像素SPX1至第三子像素SPX3中的光源单元LSU(参照图6a至图6d)(或发光元件层)示出了第一子像素SPX1至第三子像素SPX3的结构。由于第一子像素SPX1至第三子像素SPX3基本上彼此等同,因此将侧重于第一子像素SPX1来描述光源单元LSU。

[0215] 参照图7和图10a,除了发射区域EMA之外,图10a的第一子像素SPX1可以与图7的第一子像素SPX1基本上相同。因此,将省略对其的重复描述。

[0216] 如图10a中所示,发射区域EMA可以包括基于参考线L\_REF在第一方向DR1上彼此间隔开的第一子发射区域EMA\_S1和第二子发射区域EMA\_S2。

[0217] 例如,参照图9a描述的堤部BNK可以沿着参考线L\_REF设置在第一子发射区域EMA\_S1与第二子发射区域EMA\_S2之间。换言之,堤部BNK在平面图中也可以设置在第一电极ELT1之间。

[0218] 参照图7和图10b,除了第一电极ELT1、第二连接电极CNL2和发射区域EMA之外,图10b的第一子像素SPX1可以与图7的第一子像素SPX1基本上相同。因此,将省略对其的重复描述。

[0219] 如图10b中所示,发射区域EMA可以包括基于第二电极ELT2而不是基于参考线L\_REF、在第二方向DR2上彼此分离的第一子发射区域EMA\_S1、第二子发射区域EMA\_S2和第三子发射区域EMA\_S3。第一子发射区域EMA\_S1、第二子发射区域EMA\_S2和第三子发射区域EMA\_S3可以彼此相邻,并且在其间可以不设置单独的堤部。

[0220] 在这种情况下,第一电极ELT1可以具有与第二电极ELT2的长度类似的长度(即,在第一方向DR1上的长度),并且在第一方向DR1上延伸。此外,第一电极ELT1可以彼此电分离

或电绝缘。在这种情况下,第一电极ELT1中的每个可以通过第一接触孔CH1联接到相应的像素电路(例如,参照图6a描述的像素电路PXC,其为单位像素SSPX1、SSPX2和SSPX3的像素电路PXC)。

[0221] 在实施方式中,第二连接电极CNL2可以在第二方向DR2上延伸,并且也可以设置在其它相邻的子像素(例如,第二子像素SPX2和第三子像素SPX3)中,但是本公开不限于此。

[0222] 如参照图10a和图10b描述,可以以各种方式设定或限定发射区域EMA中的第一子发射区域EMA\_S1、第二子发射区域EMA\_S2和第三子发射区域EMA\_S3。

[0223] 图11是示出包括在图4的像素中的子像素的示例的电路图。

[0224] 图4中所示的第一子像素SPX1至第三子像素SPX3可以具有基本上相同或类似的结构。图11中所示的子像素SPX可以是设置在图4的显示面板PNL中的第一子像素SPX1至第三子像素SPX3中的任一个。因此,如在图11中所示,第一子像素SPX1至第三子像素SPX3将被统称为子像素SPX。

[0225] 参照图4和图11,子像素SPX可以包括配置为发射具有与数据信号对应的亮度的光的第一发光元件LD1至第k发光元件LDk。此外,子像素SPX可以包括公共电路PXC\_C以及配置为独立地驱动相应的第一发光元件LD1至第k发光元件LDk的第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk。

[0226] 子像素SPX的公共电路PXC\_C可以响应于从第i扫描线Si提供的扫描信号来存储或记录从第j数据线Dj提供的数据信号,并将数据信号提供到第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk。

[0227] 公共电路PXC\_C可以包括第二晶体管T2至第五晶体管T5、以及存储电容器Cst。由于第二晶体管T2至第五晶体管T5以及存储电容器Cst分别基本上等同于参照图6c描述的第二晶体管T2至第五晶体管T5以及存储电容器Cst,因此将省略对其的重复描述。

[0228] 第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk可以分别向第一发光元件LD1至第k发光元件LDk提供与存储在公共电路PXC\_C中的数据信号对应的驱动电流。

[0229] 在实施方式中,第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk可以包括分别与参照图6a描述的第一晶体管T1、第六晶体管T6和第七晶体管T7对应的第一晶体管T1\_1至T1\_k、第六晶体管T6\_1至T6\_k以及第七晶体管T7\_1至T7\_k。

[0230] 例如,第一子像素电路PXC\_S1可以包括第一晶体管T1\_1、第六晶体管T6\_1和第七晶体管T7\_1,并且向第一发光元件LD1提供与数据信号对应的第一驱动电流。这里,第一晶体管T1\_1、第六晶体管T6\_1和第七晶体管T7\_1可以分别与参照图6a描述的第一晶体管T1、第六晶体管T6和第七晶体管T7基本上相同,从而将省略对其的重复说明。同样,第二子像素电路PXC\_S2可以包括第一晶体管T1\_2、第六晶体管T6\_2和第七晶体管T7\_2,并且向第二发光元件LD2提供与数据信号对应的第二驱动电流。第k子像素电路PXC\_Sk可以包括第一晶体管T1\_k、第六晶体管T6\_k和第七晶体管T7\_k,并且向第k发光元件LDk提供与数据信号对应的第k驱动电流。

[0231] 换言之,第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk可以具有相同的电路结构,并且分别独立地向第一发光元件LD1至第k发光元件LDk提供与存储在公共电路PXC\_C中的一个数据信号对应的驱动电流。例如,在参照图6e描述的第三周期P3中,总驱动电流可以通过第五晶体管T5从第一电源VDD提供到第一节点N1。此后,在第一节点N1中,总驱动电流

可以分配到第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk,并且分配的驱动电流可以分别被提供到第一发光元件LD1至第k发光元件LDk。由于不管发光元件LD1至LDk中的每个的特性如何,流过第一发光元件LD1至第k发光元件LDk中的每个的驱动电流由第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk的相应的第一晶体管T1\_1至T1\_k控制,因此可以向第一发光元件LD1至第k发光元件LDk中的每个提供均匀的驱动电流。

[0232] 换言之,驱动电流被独立地提供到第一发光元件LD1至第k发光元件LDk。因此,即使当第一发光元件LD1至第k发光元件LDk具有特性偏差(例如,正向电压降(Vf)偏差)时,也可以分别向第一发光元件LD1至第k发光元件LDk提供相同或类似的驱动电流。因此,第一发光元件LD1至第k发光元件LDk可以均匀地发光。

[0233] 虽然图11示出了第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk分别联接到第一发光元件LD1至第k发光元件LDk,但这仅是用于描述第一发光元件LD1至第k发光元件LDk可以彼此独立地发光的实施方式的示例,且子像素SPX不限于此。例如,第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk中的每个可以联接到彼此串联/并联连接的多个发光元件(例如,参照图6a至图6d描述的光源单元LSU)。

[0234] 此外,虽然图11示出了子像素SPX包括公共电路PXC\_C以及第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk,但是子像素SPX不限于此。例如,公共电路PXC\_C和第一子像素电路PXC\_S1可以形成像素电路(例如,参照图6c描述的像素电路PXC)并且向第一发光元件LD1提供第一驱动电流。第二子像素电路PXC\_S2至第k子像素电路PXC\_Sk中的每个可以镜像第一驱动电流并且将镜像电流提供到第二发光元件LD2至第k发光元件LDk中的每个。

[0235] 图12是示出包括在图4的像素中的子像素的示例的电路图。

[0236] 参照图4和图12,图12中所示的公共电路PXC\_C与图11中所示的公共电路PXC\_C的不同之处在于,图12的公共电路PXC\_C仅包括第二晶体管T2和第五晶体管T5。此外,图12中所示的第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk与图11的那些的不同之处在于,图12的第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk中的每个包括第三晶体管T3和第四晶体管T4以及存储电容器Cst。

[0237] 用于第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk的第一晶体管T1可能具有特性偏差(例如,阈值电压偏差)。因此,响应于一个数据信号(例如,存储在图11中所示的存储电容器Cst中的数据信号)从第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk生成的驱动电流中的一些可以具有偏差。

[0238] 因此,图12中所示的第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk中的每个可以将反映相应的第一晶体管T1的特性的数据信号存储在存储电容器Cst中,并且将与相关的数据信号对应的驱动电流提供到相应的发光元件(即,第一发光元件LD1至第k发光元件LDk中的相应的发光元件)。因此,第一发光元件LD1至第k发光元件LDk可以更均匀地发光。

[0239] 图13是示出包括在图4的像素中的子像素的示例的电路图。

[0240] 参照图13,子像素SPX可以包括配置为以与数据信号对应的亮度发射光的第一发光元件LD1至第k发光元件LDk。此外,子像素SPX可以包括公共电路PXC\_C以及配置为独立地驱动相应的第一发光元件LD1至第k发光元件LDk的第一子像素电路PXC\_S1至第k子像素电路PXC\_Sk。

[0241] 子像素SPX的公共电路PXC\_C可以响应于从第一扫描线S1提供的扫描信号将从第j

数据线D<sub>j</sub>提供的数据信号提供到第一子像素电路PXC\_S1至第k子像素电路PXC\_S<sub>k</sub>。

[0242] 公共电路PXC\_C可以包括第二晶体管T2。第二晶体管T2可以与参照图6d描述的第二晶体管T2基本上相同,因此将省略对其的重复描述。

[0243] 第一子像素电路PXC\_S1至第k子像素电路PXC\_S<sub>k</sub>中的每个可以存储从公共电路PXC\_C提供的数据信号,并且向相应的发光元件(即,第一发光元件LD1至第k发光元件LD<sub>k</sub>中的一个)提供与所存储的数据信号对应的驱动电流。

[0244] 在实施方式中,第一子像素电路PXC\_S1至第k子像素电路PXC\_S<sub>k</sub>可以分别包括与参照图6d描述的第一晶体管T1、第三晶体管T3和存储电容器C<sub>st</sub>对应的第一晶体管T1\_1至T1\_k、第三晶体管T3\_1至T3\_k以及存储电容器C<sub>st</sub>\_1至C<sub>st</sub>\_k。

[0245] 例如,第一子像素电路PXC\_S1可以包括第一晶体管T1\_1、第三晶体管T3\_1和第一存储电容器C<sub>st</sub>1,并且向第一发光元件LD1提供与数据信号对应的第一驱动电流。这里,第一晶体管T1\_1、第三晶体管T3\_1和第一存储电容器C<sub>st</sub>1可以分别与参照图6a描述的第一晶体管T1、第三晶体管T3和存储电容器C<sub>st</sub>基本上相同,从而将省略对其的重复描述。同样,第二子像素电路PXC\_S2可以包括第一晶体管T1\_2、第三晶体管T3\_2和第二存储电容器C<sub>st</sub>2,并且向第二发光元件LD2提供与数据信号对应的第二驱动电流。第k子像素电路PXC\_S<sub>k</sub>可以包括第一晶体管T1\_k、第三晶体管T3\_k和第k存储电容器C<sub>st</sub>k,并且向第k发光元件LD<sub>k</sub>提供与数据信号对应的第k驱动电流。

[0246] 换言之,图13中所示的第一子像素电路PXC\_S1至第k子像素电路PXC\_S<sub>k</sub>中的每个可以将数据信号存储在第一存储电容器C<sub>st</sub>1至第k存储电容器C<sub>st</sub>k中,并且将与相关的数据信号对应的驱动电流提供到相应的发光元件(即,第一发光元件LD1至第k发光元件LD<sub>k</sub>中的相应的发光元件)。因此,第一发光元件LD1至第k发光元件LD<sub>k</sub>可以更均匀地发光。

[0247] 图14是示出包括在图4的像素中的子像素的示例的电路图。图15是示出图14的子像素的示例的平面图。

[0248] 参照图13和图14,图14的子像素SPX与图13的子像素SPX的不同之处在于,第一子像素电路PXC\_S1至第k子像素电路PXC\_S<sub>k</sub>分别联接到包括彼此串联连接的发光元件的第一发光元件串LDS1至第k发光元件串LDS<sub>k</sub>(或子光源单元)。除了发光元件串LDS1至LDS<sub>k</sub>之外,图14的子像素SPX与图13的子像素SPX基本上等同或类似,从而将省略对其的重复描述。

[0249] 第一子像素电路PXC\_S1可以向第一发光元件串LDS1(或第一子光源单元)提供与从公共电路PXC\_C提供的数据信号对应的第一驱动电流。同样,第二子像素电路PXC\_S2可以向第二发光元件串LDS2提供与从公共电路PXC\_C提供的数据信号对应的第二驱动电流。第k子像素电路PXC\_S<sub>k</sub>可以向第k发光元件串LDS<sub>k</sub>提供与从公共电路PXC\_C提供的数据信号对应的第k驱动电流。

[0250] 参照图15,在图15中侧重于包括在图14的子像素SPX中的第一发光元件串LDS1至第k发光元件串LDS<sub>k</sub>(或发光元件层)示出了第一子像素SPX1至第三子像素SPX3的结构。为了进行说明,图15示出了子像素SPX包括三个发光元件串(即,k=3),并且发光元件串中的每个包括彼此串联连接的四个发光元件LD。

[0251] 参照图15,发射区域EMA可以通过第一参考线L\_REF1和第二参考线L\_REF2分成第一子发射区域EMA\_S1、第二子发射区域EMA\_S2和第三子发射区域EMA\_S3。第一子发射区域EMA\_S1、第二子发射区域EMA\_S2和第三子发射区域EMA\_S3中的发光元件LD的布置基本上彼

此等同或类似,从而将侧重于第一子发射区域EMA\_S1描述发光元件LD的布置。

[0252] 第一子像素SPX1(或与第一子发射区域EMA\_S1对应的第一单位像素SSPX1)可以包括在发射区域EMA(或子像素区域)中设置在彼此间隔开的位置处的第一电极ELT1和第二电极ELT2、以及布置在第一电极ELT1与第二电极ELT2之间的第三电极ELT3。此外,第一子像素SPX1(或第一单位像素SSPX1)可以包括通过第三电极ELT3串联联接在第一电极ELT1与第二电极ELT2之间的发光元件LD。

[0253] 在实施方式中,第一电极ELT1和第二电极ELT2可以在发射区域EMA(或子像素区域)中设置彼此间隔开的位置处,使得其至少预定区域彼此面对。例如,第一电极ELT1和第二电极ELT2各自可以在第一方向DR1上延伸,并且可以在基本上垂直于或相交于第一方向DR1的第二方向DR2上彼此间隔开预定距离。然而,本公开不限于此。例如,第一电极ELT1和第二电极ELT2的形状和/或相互布置关系可以以各种方式改变。

[0254] 第三电极ELT3可以在第一方向DR1上延伸,并且在第二方向DR2上以规则的间隔设置在第一电极ELT1与第二电极ELT2之间。例如,如图15中所示,四个第三电极ELT3可以在第二方向DR2上以规则的间隔设置在第一电极ELT1与第二电极ELT2之间,但是本公开不限于此。第三电极ELT3的数量可以以各种方式改变。

[0255] 在实施方式中,第一电极ELT1可以设置在第一子发射区域EMA\_S1、第二子发射区域EMA\_S2和第三子发射区域EMA\_S3中的每个中。第二电极ELT2可以设置在整個发射区域EMA中,即,设置成跨过第一子发射区域EMA\_S1、第二子发射区域EMA\_S2和第三子发射区域EMA\_S3。第三电极ELT3可以在相应的子发射区域中(例如,在第一子发射区域EMA\_S1中)设置在第一电极ELT1与第二电极ELT2之间。

[0256] 在实施方式中,第一电极ELT1可以与第三电极ELT3成一体。

[0257] 第一电极ELT1、第二电极ELT2和第三电极ELT3中的每个可以具有如参照图7所述的单层结构或多层结构。此外,第一电极ELT1、第二电极ELT2和第三电极ELT3中的每个可以通过设置成与相应的电极重叠的堤部图案而在向上方向(或基底层SUB1的高度方向或厚度方向)上突出。

[0258] 发光元件LD各自可以设置在第二电极ELT2和第三电极ELT3中的两个相邻的电极之间,并且电联接到两个相邻的电极。例如,发光元件LD可以设置在第二电极ELT2与第二子电极(即,第三电极ELT3中的最靠近第二电极ELT2的第三电极ELT3)之间。发光元件LD的第一端可以电联接到第二子电极,且发光元件LD的第二端可以电联接到第二电极ELT2。这样,第一子发射区域EMA\_S1中的发光元件LD可以串联联接在第一电极ELT1与第二电极ELT2之间。

[0259] 虽然图15示出了发光元件LD在一子发射区域(例如,第一子发射区域EMA\_S1)中串联联接,但是发光元件LD不限于此。例如,在一个子发射区域中,发光元件LD中的至少一些可以与其它发光元件LD并联联接。换言之,在图15中,在所述一子发射区域中的发光元件LD可以以串联/并联组合连接结构布置。

[0260] 此外,虽然图15中所示的发光元件LD已经被描述为应用于图14的子像素SPX,但是本公开不限于此。例如,图15中所示的发光元件LD(或发光元件LD的连接结构)可以应用于图11的子像素SPX、图12的子像素SPX等。

[0261] 虽然通过详细的示例性实施方式描述了本公开的精神和范围,但是应注意,上述

实施方式仅是描述性的,并且不应理解为限制性的。本领域的技术人员应理解,在不脱离如由所附权利要求限定的本公开的范围的情况下,可以在本文中做出各种改变、替换和变化。

[0262] 本公开的范围不受本说明书的详细描述的限制,并且应由所附权利要求来限定。此外,从权利要求的含义和范围以及其等同得到的本公开的所有改变或修改应被解释为包括在本公开的范围內。

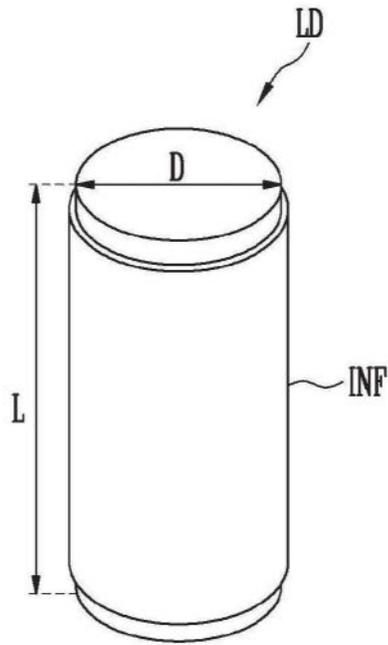


图1a

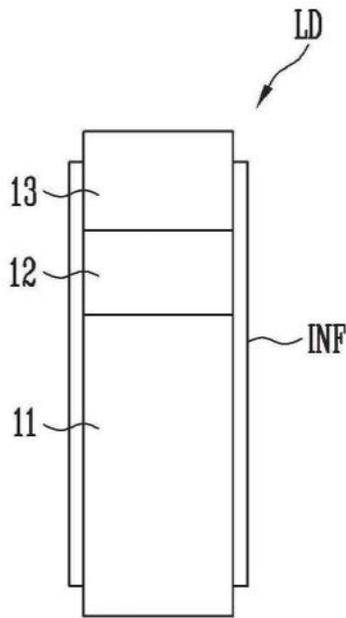


图1b

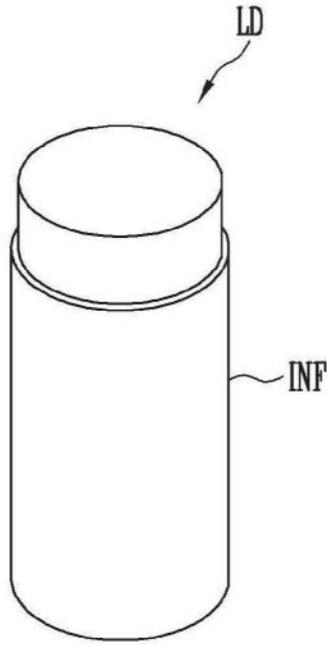


图2a

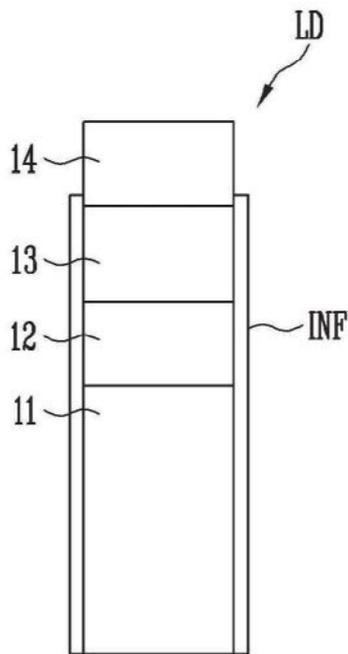


图2b

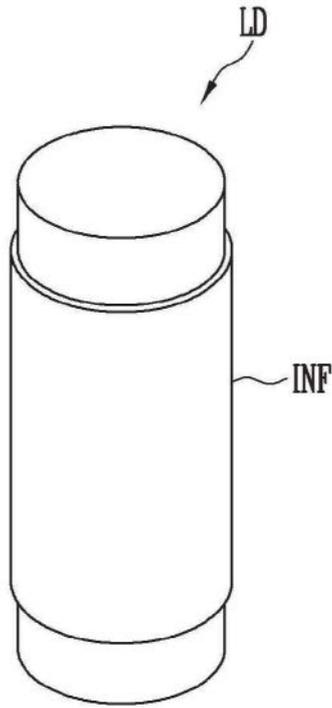


图3a

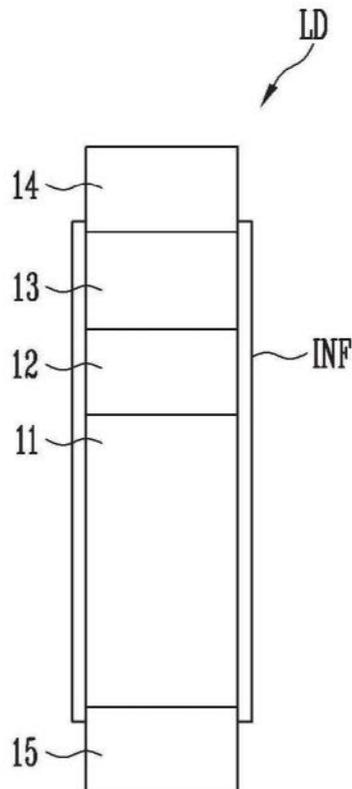


图3b

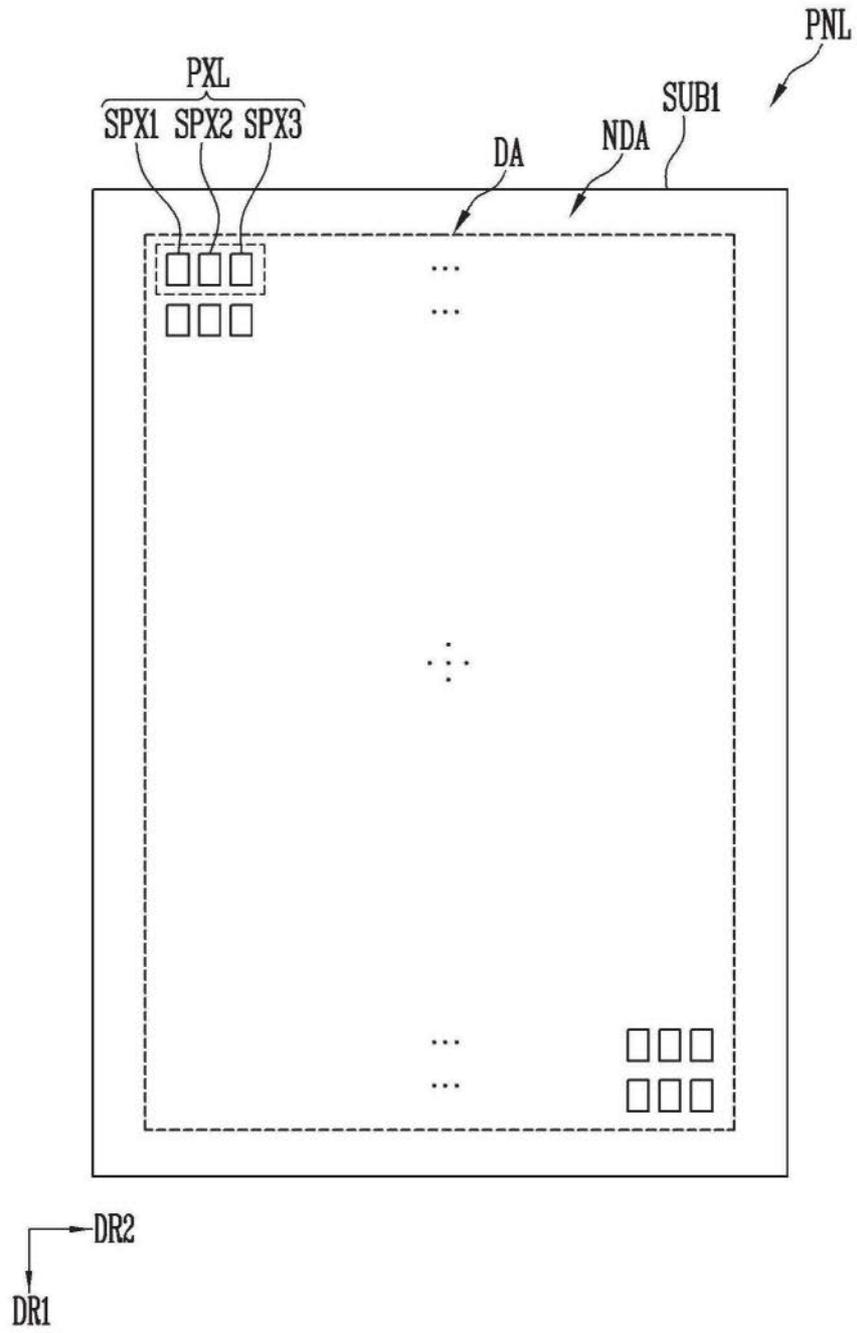


图4

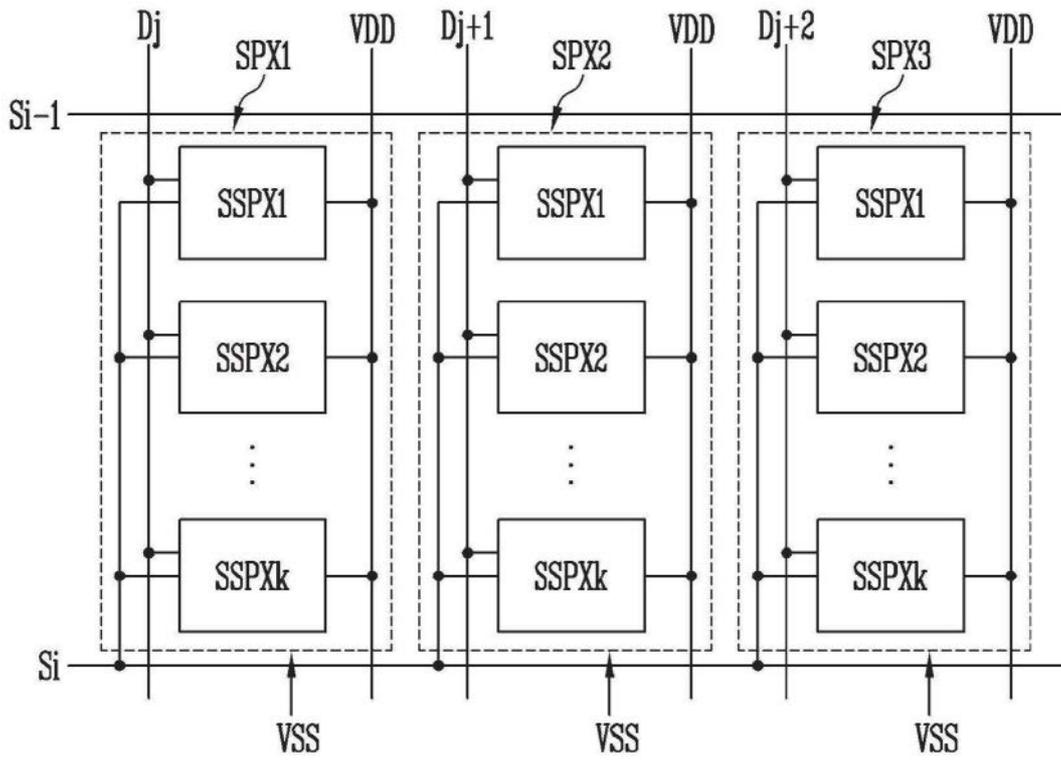


图5

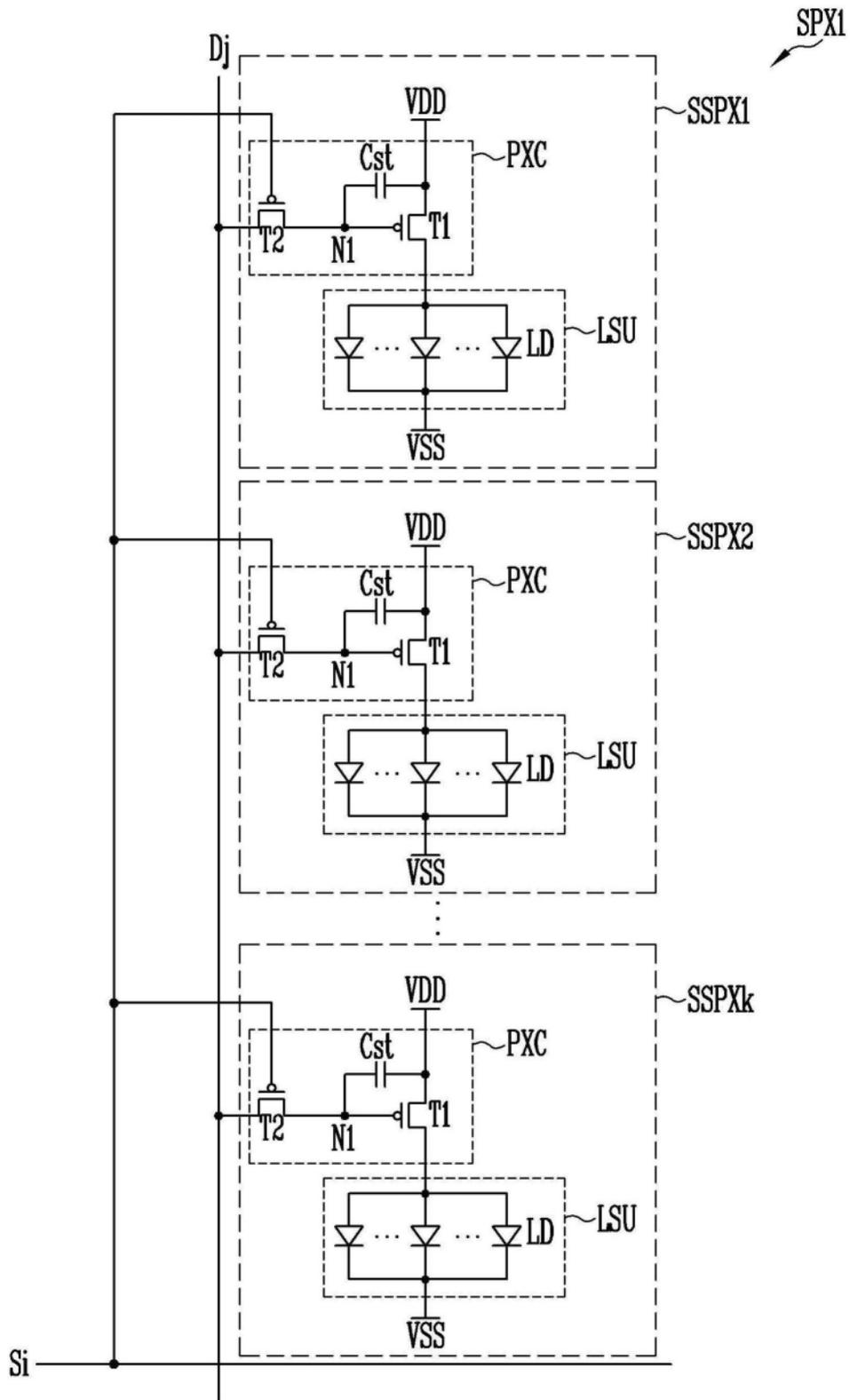


图6a

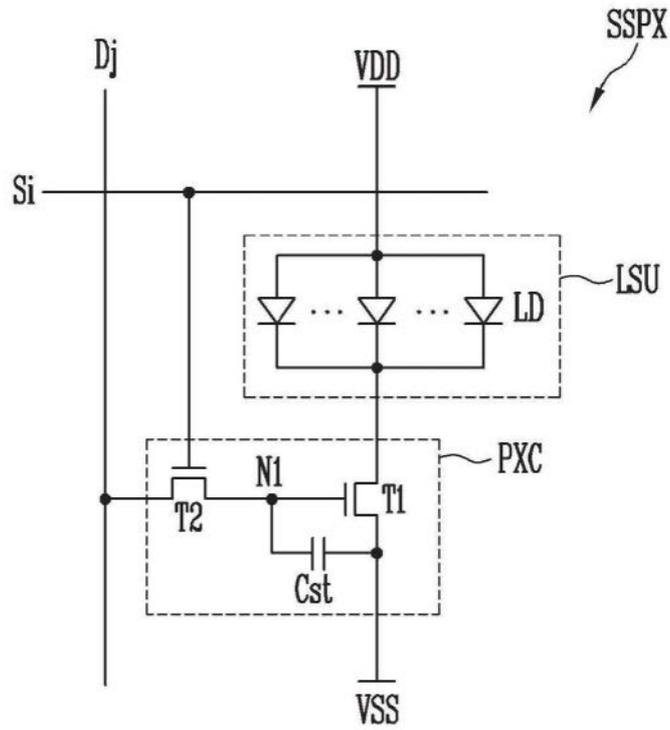


图6b

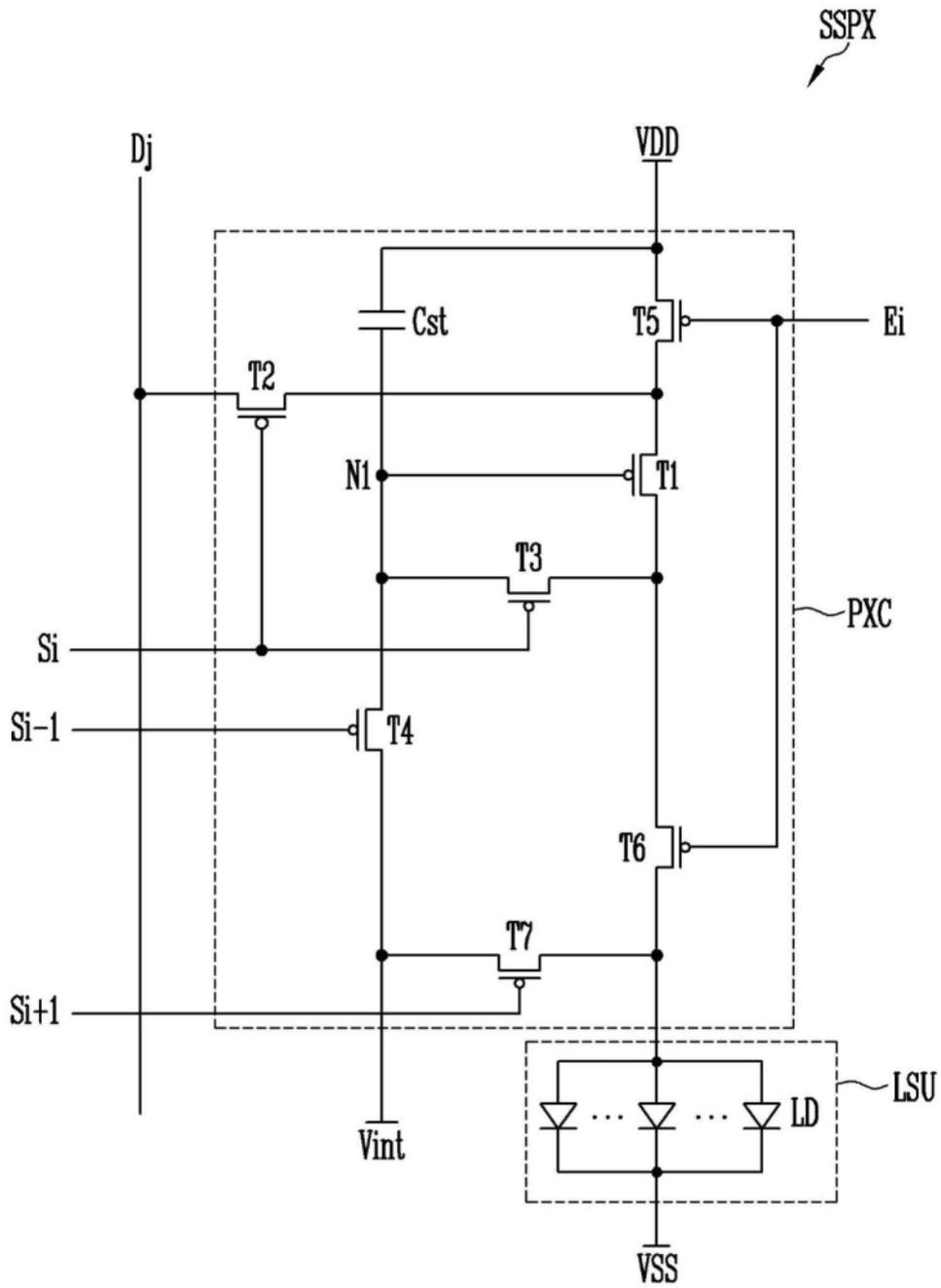


图6c

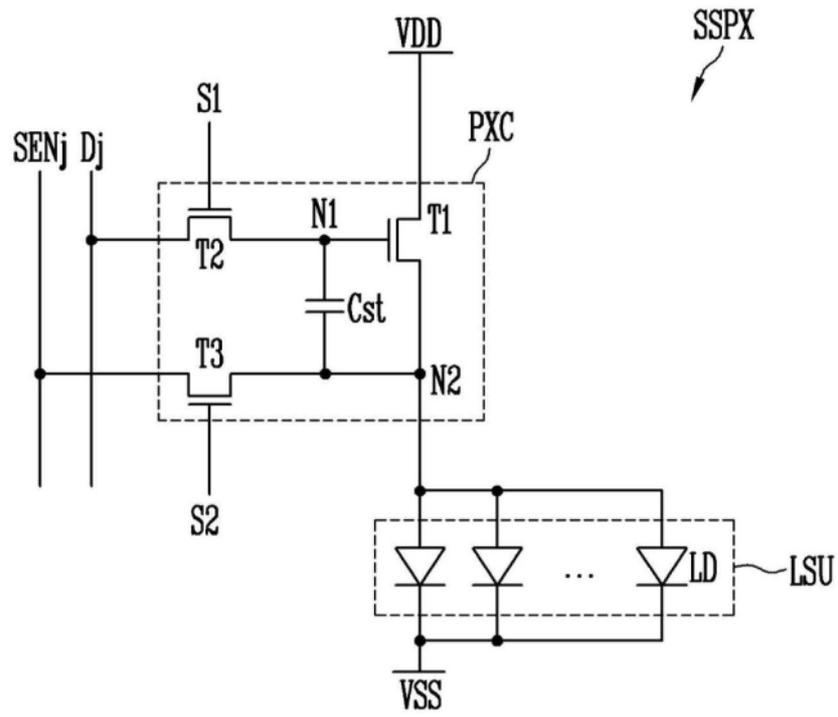


图6d

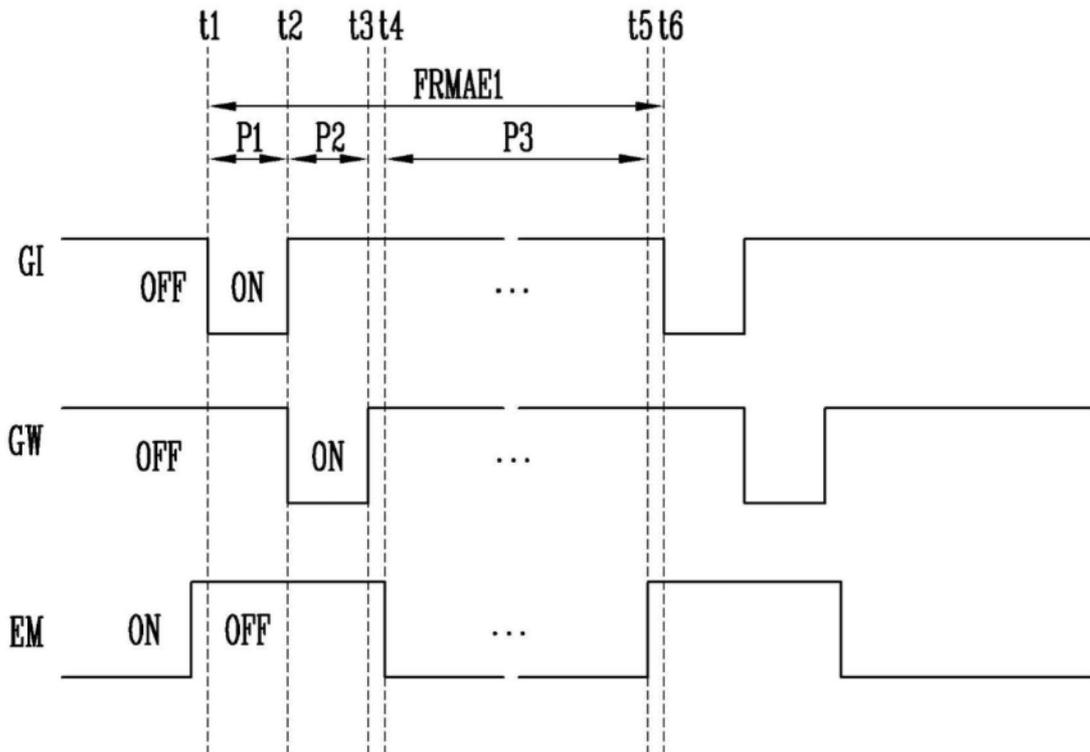


图6e

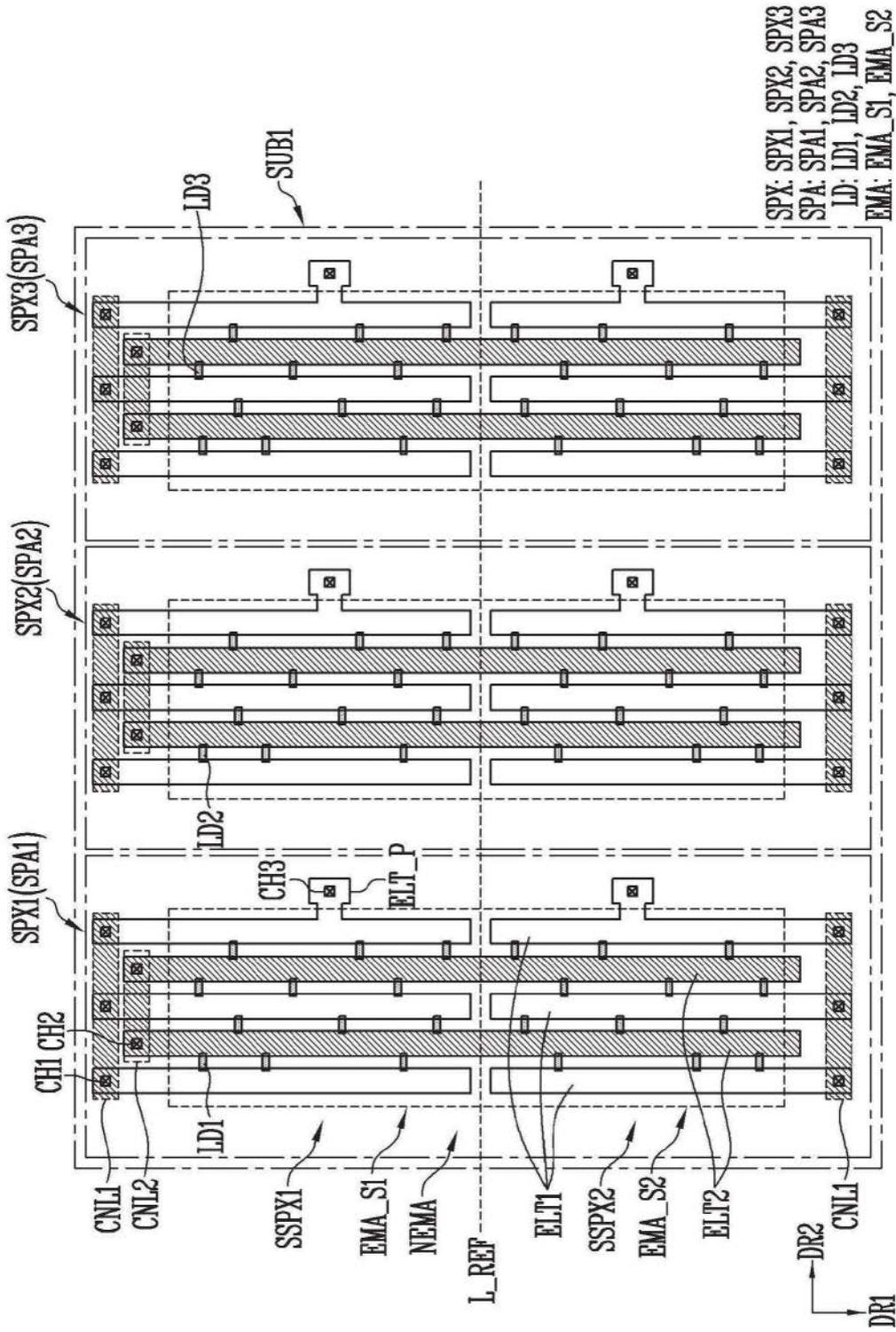


图7

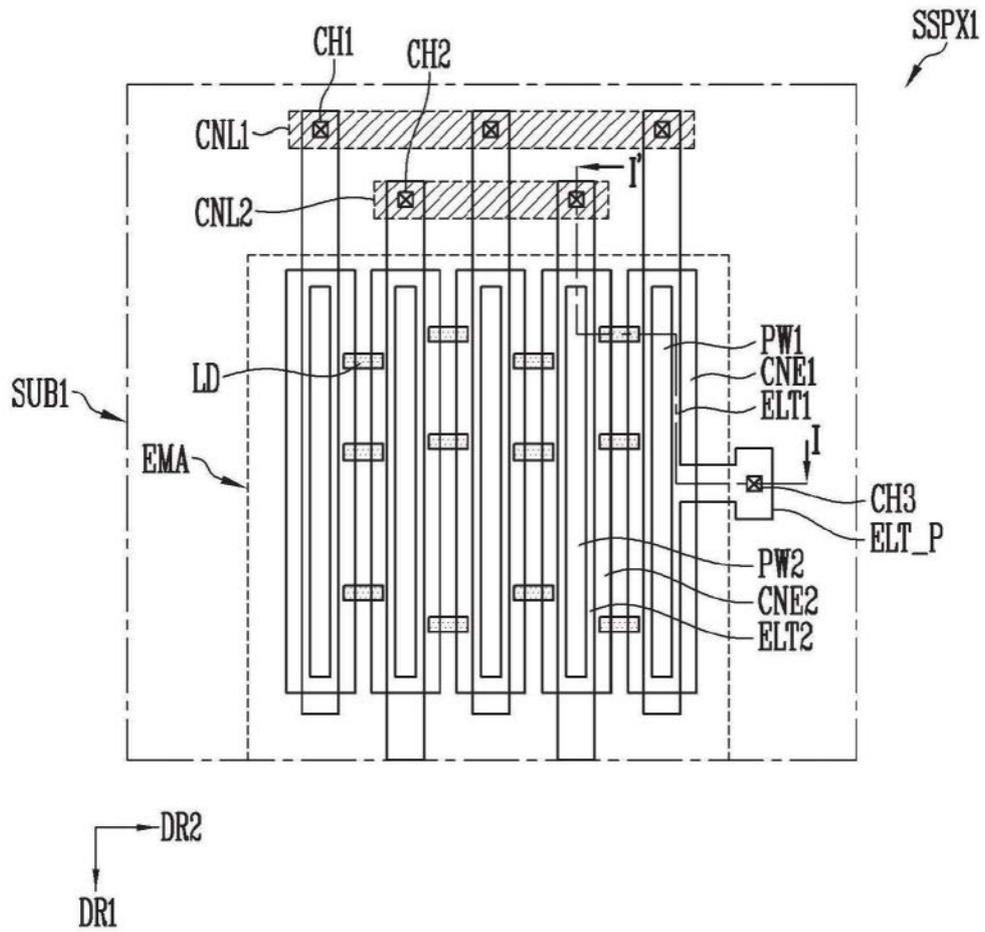


图8

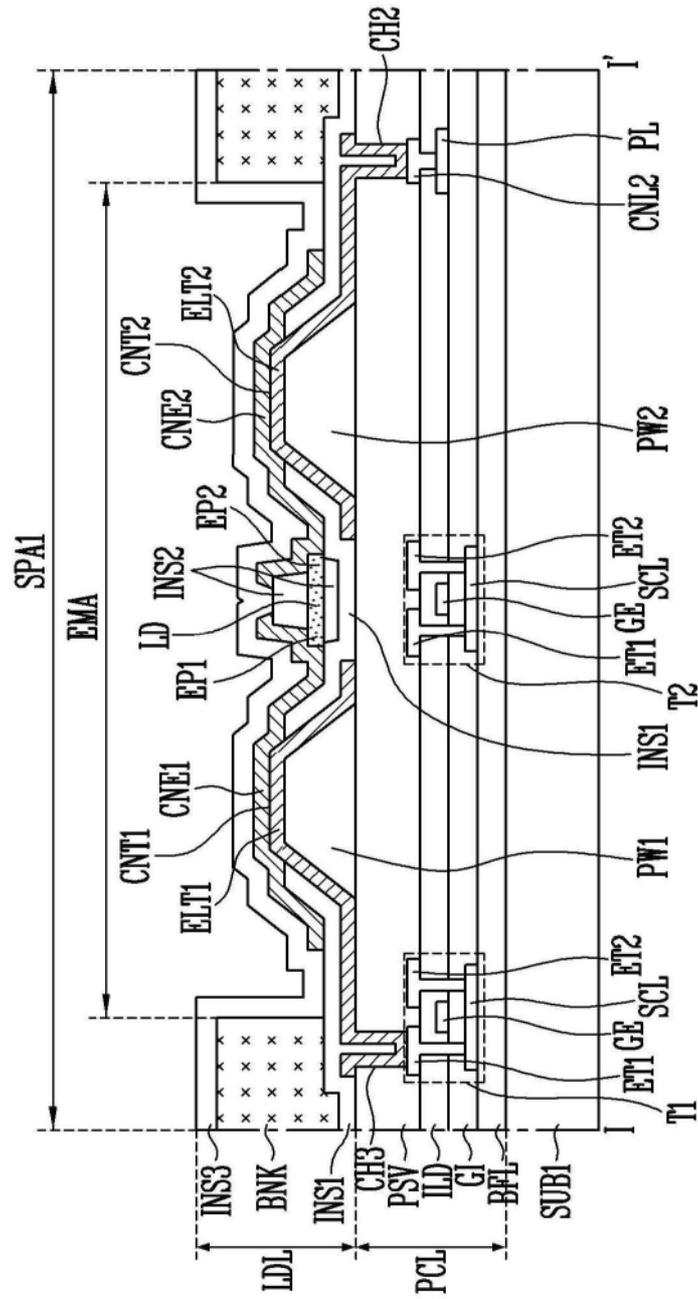


图9a



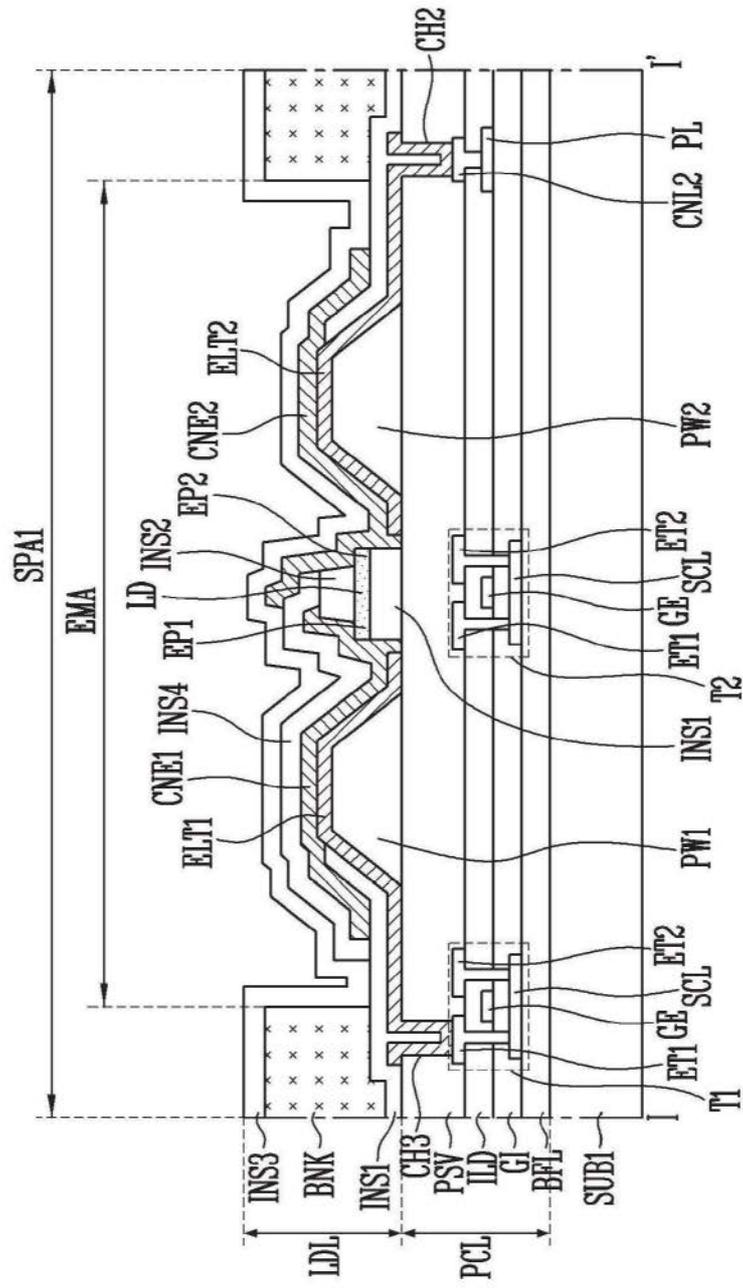


图9c

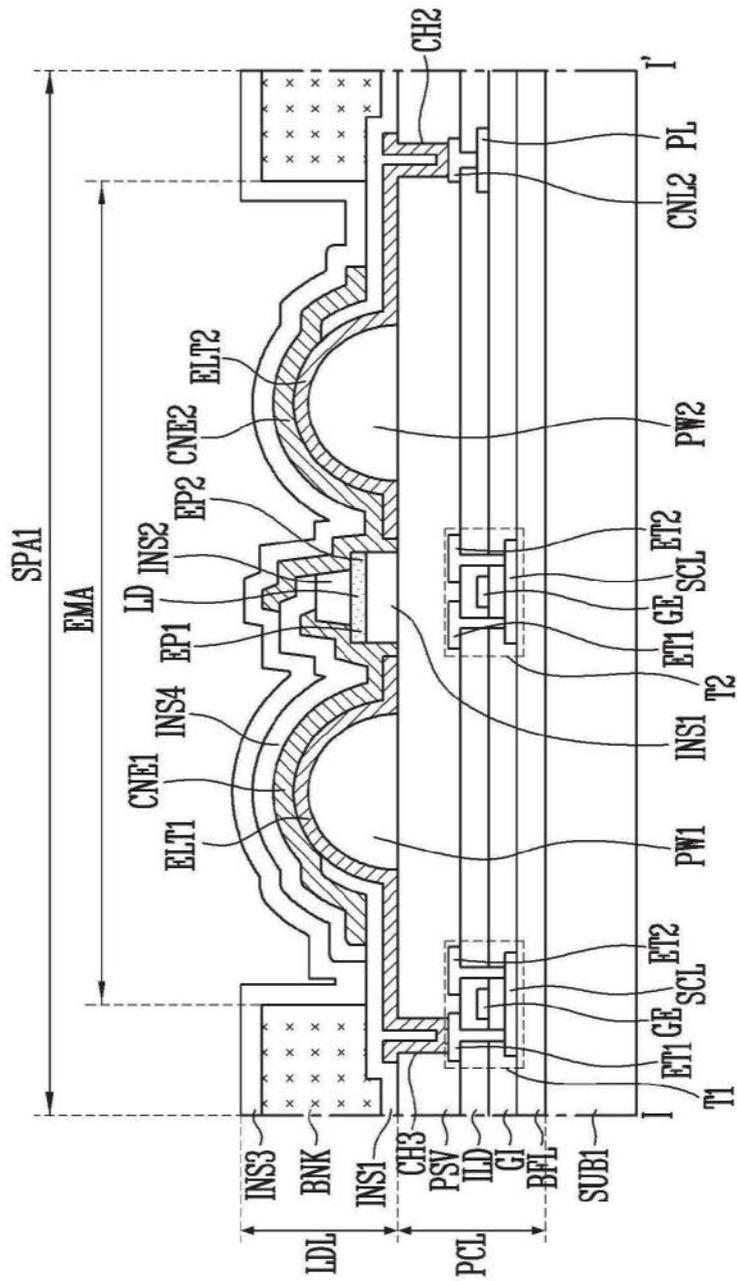


图9d

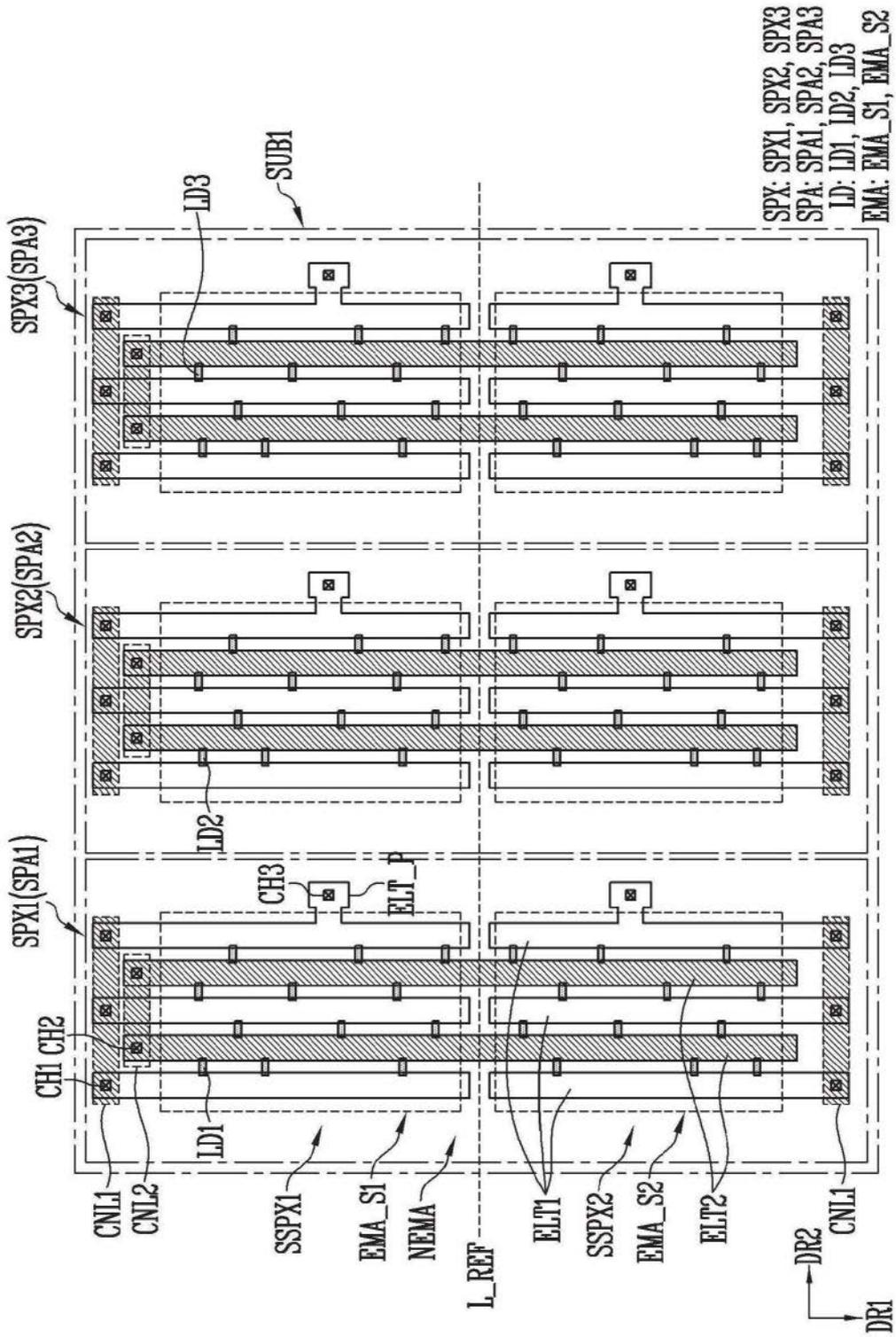


图10a

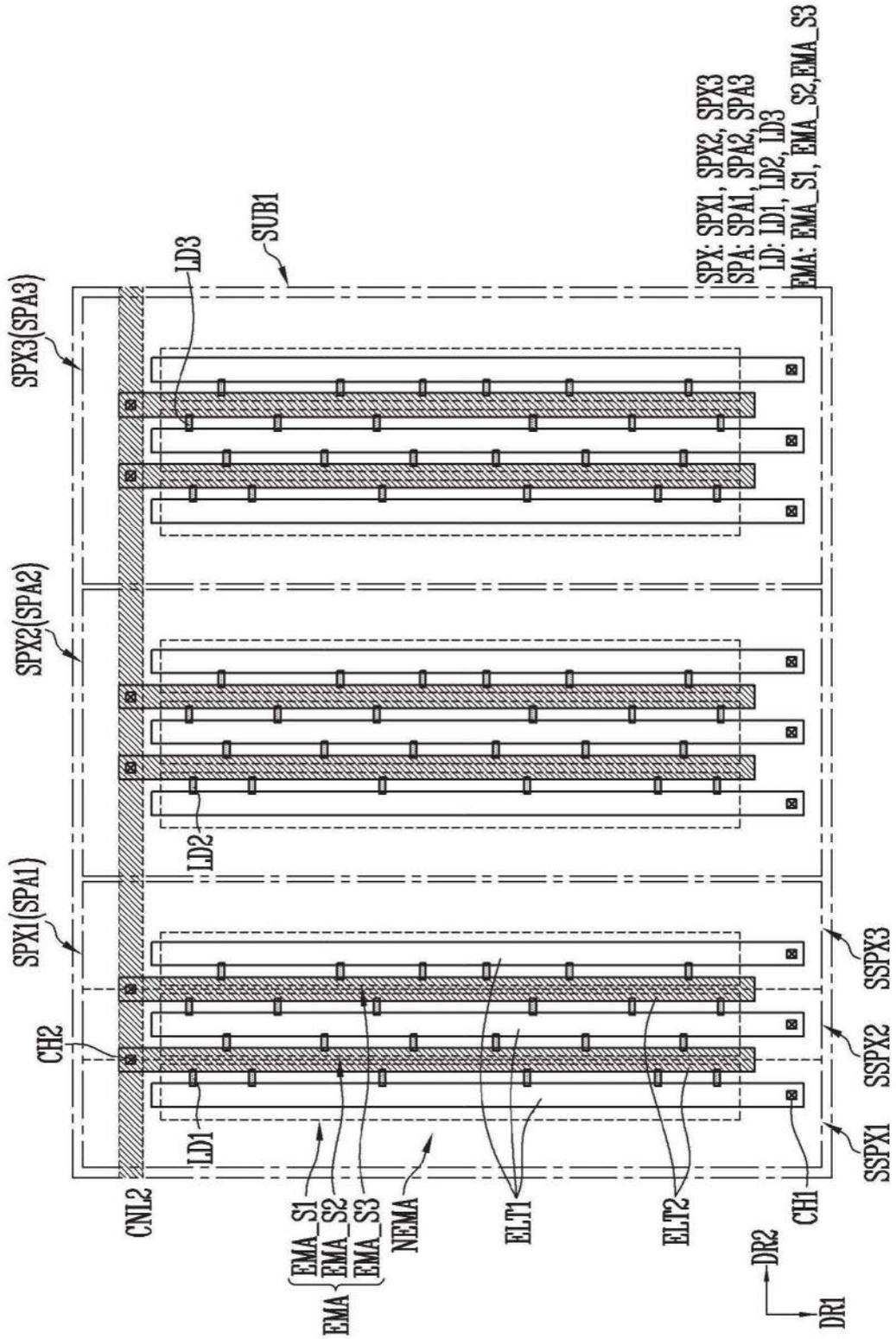


图10b

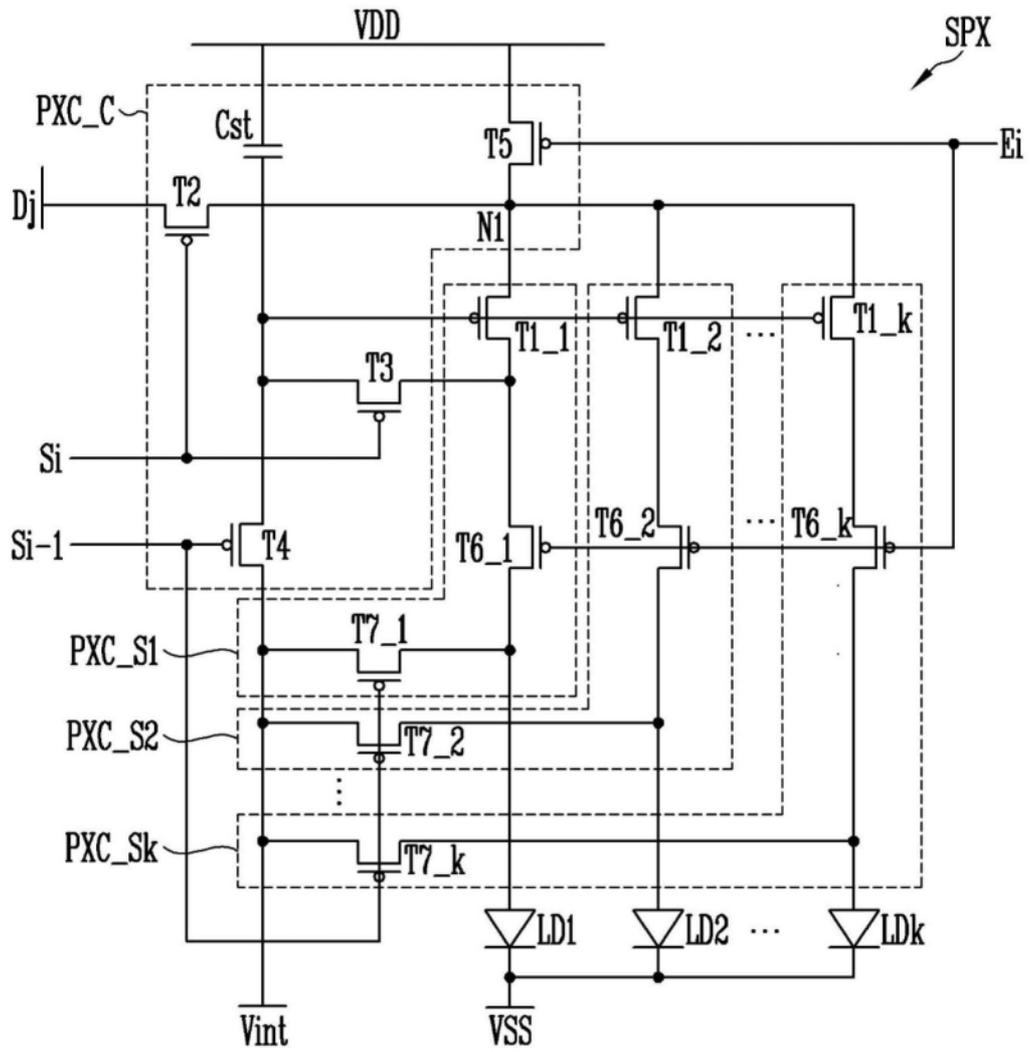


图11

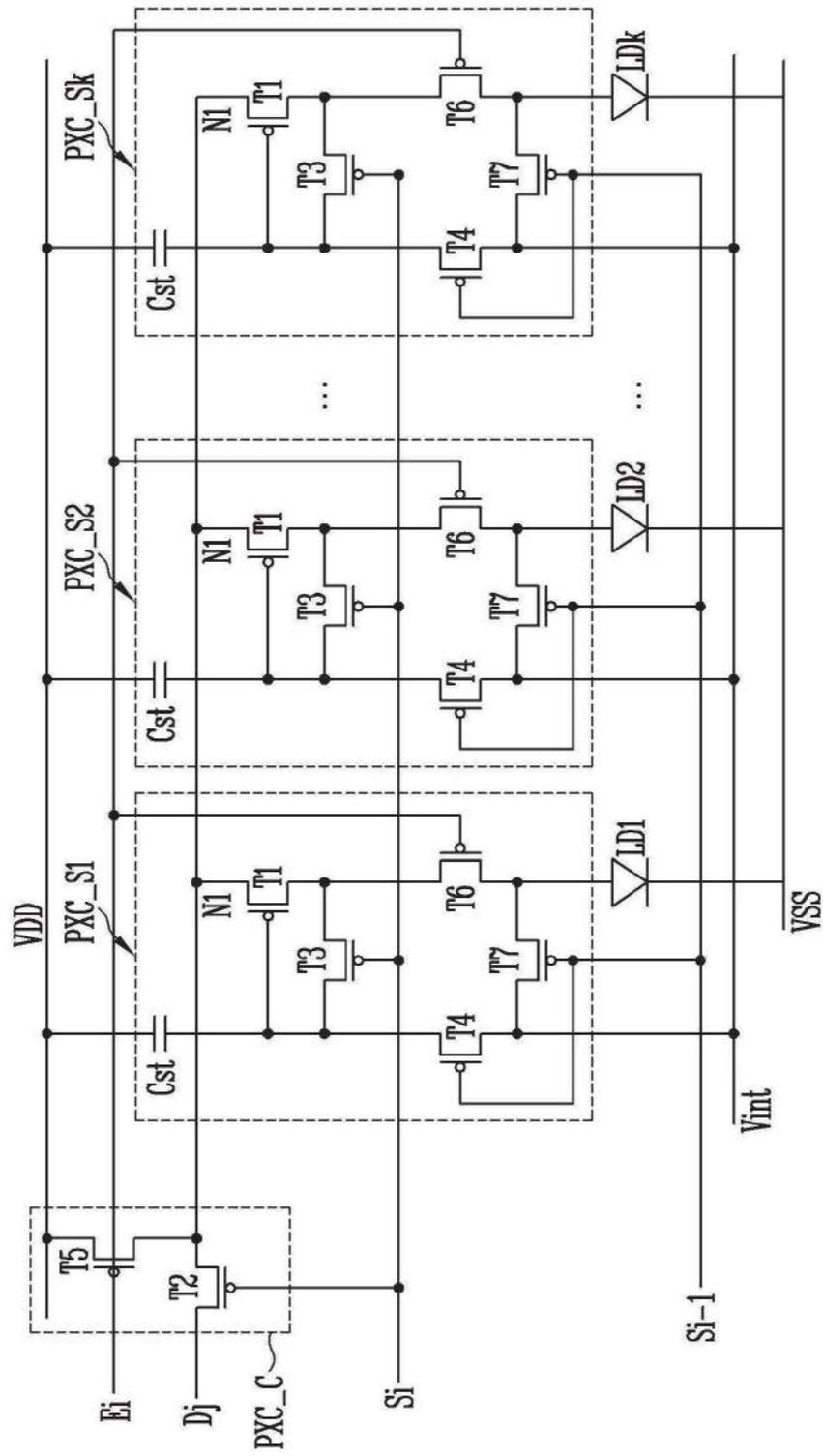


图12

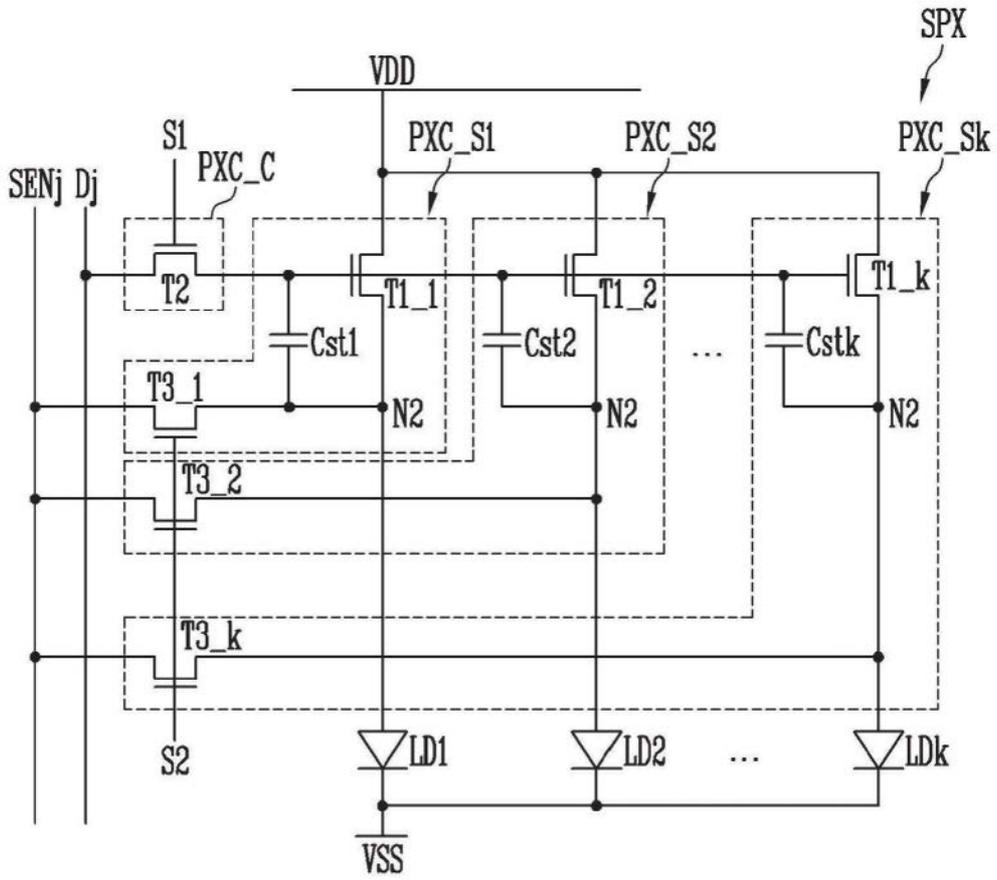


图13

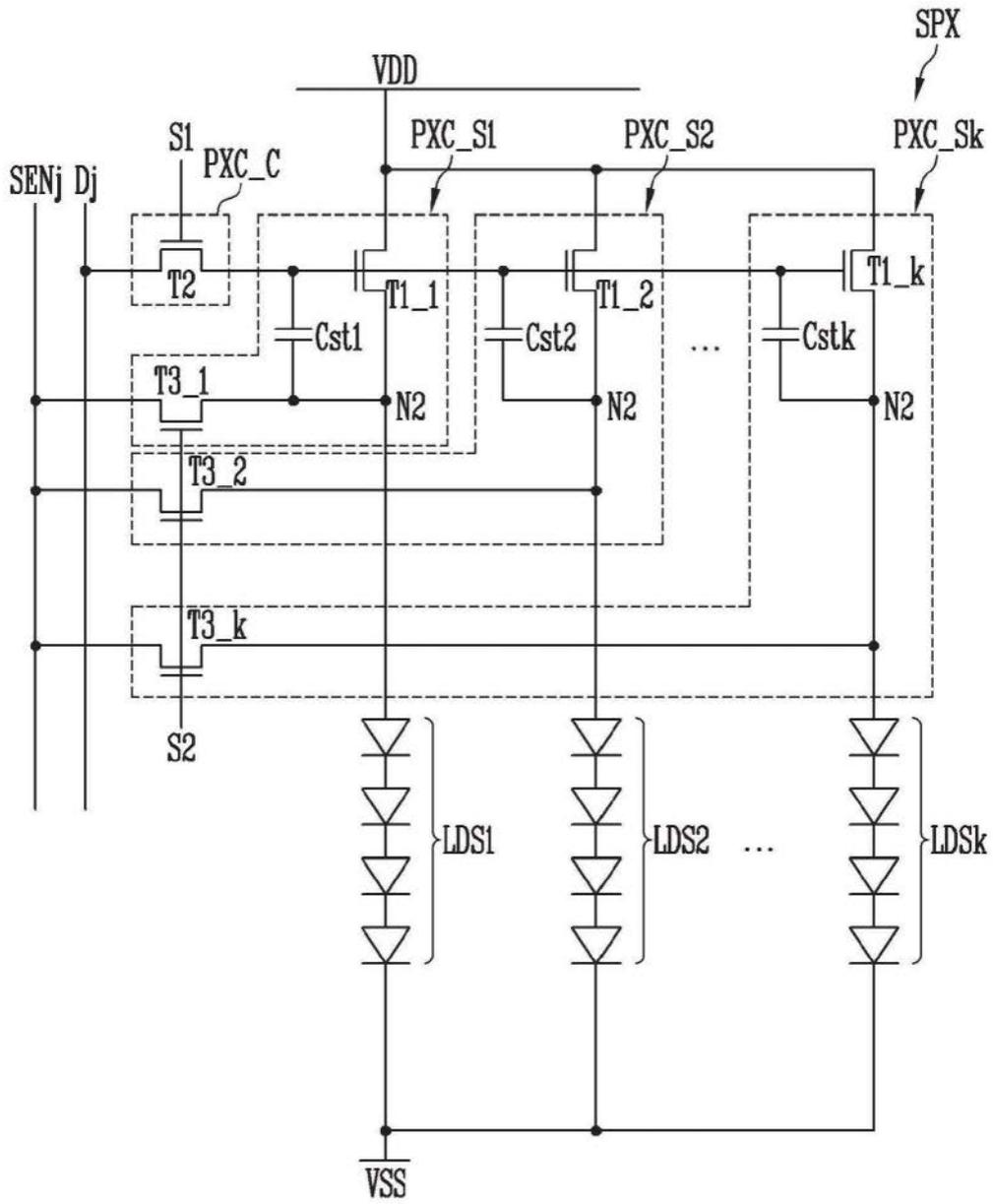


图14

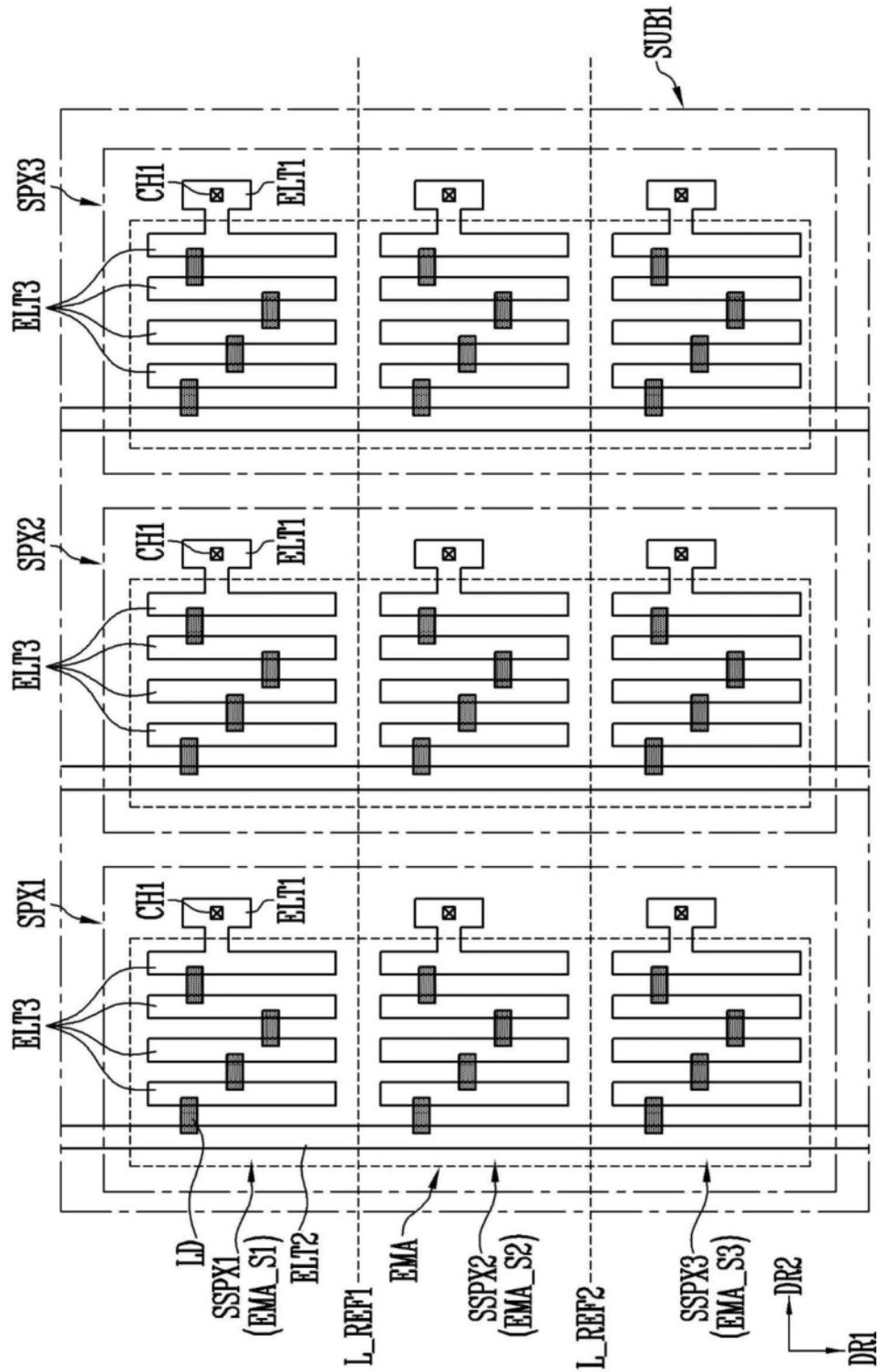


图15