



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0122514
(43) 공개일자 2013년11월07일

(51) 국제특허분류(Int. Cl.)
HO1L 29/78 (2006.01) *HO1L 21/336* (2006.01)
HO1L 29/12 (2006.01)

(21) 출원번호 10-2012-7026283

(22) 출원일자(국제) 2011년10월19일
심사청구일자 없음

(85) 번역문제출일자 2012년10월08일

(86) 국제출원번호 PCT/JP2011/073996

(87) 국제공개번호 WO 2012/060223
국제공개일자 2012년05월10일

(30) 우선권주장
JP-P-2010-245150 2010년11월01일 일본(JP)

(71) 출원인
스미토모덴키고교가부시키가이샤
일본 오사카후 오사카시 쥬오쿠 기타하마 4쵸메
5반33고

(72) 발명자
다마소 히데토
일본 5540024 오사카후 오사카시 고노하나쿠 시마
야 1-1-3 스미토모덴키고교가부시키가이샤 오사카
세이사쿠쇼 나이

(74) 대리인
송승필, 강승옥

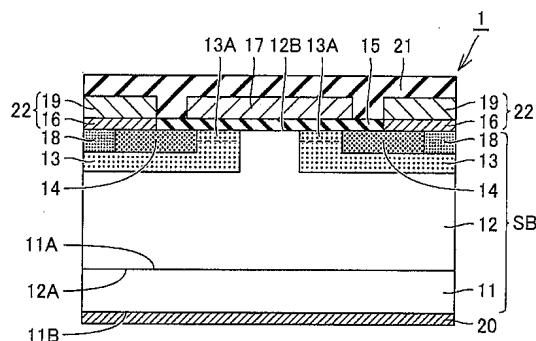
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요 약

탄화규소 기판(SB)은 기판면(12B)을 갖는다. 게이트 절연막(15)은 기판면(12B)의 일부를 덮도록 마련되어 있다. 게이트 전극(17)은 게이트 절연막(15)의 일부를 덮고 있다. 컨택트 전극(16)은, 게이트 절연막(15)에 접촉하여 인접하도록 기판면(12B) 상에 마련되어 있고, A1 원자를 갖는 합금을 포함한다. 게이트 절연막(15) 중 기판면(12B)과 게이트 전극(17)에 의해 끼워지는 부분으로는 컨택트 전극(16)으로부터 A1 원자가 확산되지 않는다. 이에 따라, A1 원자를 갖는 컨택트 전극이 이용되는 경우에, 반도체 장치의 게이트 절연막(15)의 신뢰성을 향상시킬 수 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

기판면(12B)을 갖는 탄화규소 기판(SB)과,
 상기 기판면의 일부를 덮도록 마련된 게이트 절연막(15)과,
 상기 게이트 절연막의 일부를 덮는 게이트 전극(17)과,
 상기 게이트 절연막에 접촉하여 인접하도록 상기 기판면 상에 마련되고, Al 원자를 갖는 합금을 포함하는 컨택트 전극(16)
 을 구비하며,
 상기 게이트 절연막 중 상기 기판면과 상기 게이트 전극 사이에 끼워지는 부분으로는, 상기 컨택트 전극으로부터 Al 원자가 확산되지 않는 것인 반도체 장치.

청구항 2

제1항에 있어서, 상기 게이트 절연막은 규소산화물을 함유하는 것인 반도체 장치.

청구항 3

제2항에 있어서, 상기 규소산화물은 이산화규소를 포함하는 것인 반도체 장치.

청구항 4

제1항에 있어서, 상기 컨택트 전극은 Ti 원자를 갖는 것인 반도체 장치.

청구항 5

기판면(12B)을 갖는 탄화규소 기판(SB)을 준비하는 공정과,
 상기 기판면의 일부를 덮도록 게이트 절연막(15)을 형성하는 공정과,
 상기 게이트 절연막에 접촉하여 인접하도록 상기 기판면 상에, Al 원자를 갖는 컨택트 전극(16)을 형성하는 공정과,
 상기 컨택트 전극을 레이저광으로 어닐링함으로써, Al 원자를 갖는 합금을 형성하는 공정과,
 상기 게이트 절연막의 일부를 덮는 게이트 전극(17)을 형성하는 공정
 을 포함하는 반도체 장치의 제조 방법.

청구항 6

제5항에 있어서, 상기 게이트 절연막은 규소산화물을 함유하는 것인 반도체 장치의 제조 방법.

청구항 7

제6항에 있어서, 상기 규소산화물은 이산화규소를 포함하는 것인 반도체 장치의 제조 방법.

청구항 8

제5항에 있어서, 상기 컨택트 전극은 Ti 원자를 갖는 것인 반도체 장치의 제조 방법.

청구항 9

제5항에 있어서, 상기 레이저광의 파장은 386 nm 이하인 것인 반도체 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은, 반도체 장치 및 그 제조 방법에 관한 것으로서, 보다 특정적으로는, 탄화규소 기판을 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 국제 공개 제2009/128419호(특허문현 1)에 따르면, SiC 웨이퍼(탄화규소 기판)에 접촉하여 배치되는 오믹 컨택트 전극의 재료로서, 티탄(Ti) 및 알루미늄(Al)을 함유하는 것이 개시되어 있다. 이 공보에 따르면, 상기 재료의 적용에 의해 SiC 웨이퍼에 대하여 접촉 저항을 저감할 수 있다고 되어 있다.

선행기술문현

특허문현

[0003] (특허문현 0001) 특허문현 1 : 국제 공개 제2009/128419호

발명의 내용

해결하려는 과제

[0004] Al 원자를 갖는 컨택트 전극이 게이트 절연막에 접촉하도록 배치되는 경우, 어닐링 처리시에 컨택트 전극의 Al 원자가 게이트 절연막 속으로 확산되기 쉽다. 이 때문에, 게이트 전극과 탄화규소 기판 사이의 전기적 절연의 신뢰성이 낮아질 수 있다.

[0005] 따라서, 본 발명의 목적은, Al 원자를 갖는 컨택트 전극이 이용되는 경우에, 반도체 장치의 게이트 절연막의 신뢰성을 향상시킬 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 반도체 장치는, 탄화규소 기판과, 게이트 절연막과, 게이트 전극과, 컨택트 전극을 갖는다. 탄화규소 기판은 기판면을 갖는다. 게이트 절연막은 기판면의 일부를 덮도록 마련되어 있다. 게이트 전극은 게이트 절연막의 일부를 덮고 있다. 컨택트 전극은, 게이트 절연막에 접촉하여 인접하도록 기판면 상에 설치되어 있고, Al 원자를 갖는 합금을 포함한다. 게이트 절연막 중 기판면과 게이트 전극 사이에 끼워지는 부분에는, 컨택트 전극으로부터 Al 원자가 확산되지 않는다.

[0007] 이 반도체 장치에 따르면, 게이트 절연막 중 기판면과 게이트 전극 사이에 끼워지는 부분에, 컨택트 전극으로부터 Al 원자가 확산되지 않는다. 따라서 게이트 전극과 탄화규소 기판 사이의 전기적 절연의 신뢰성이 높아진다.

[0008] 바람직하게는, 게이트 절연막은 규소 산화물을 함유한다. 보다 바람직하게는, 규소 산화물은 이산화규소를 포함한다.

[0009] 바람직하게는 컨택트 전극은 Ti 원자를 갖는다. 이에 따라 컨택트 전극의 탄화규소 기판에 대한 접촉 저항을 저감할 수 있다.

[0010] 본 발명의 반도체 장치의 제조 방법은, 이하의 공정을 갖는다.

[0011] 기판면을 갖는 탄화규소 기판이 준비된다. 기판면의 일부를 덮도록 게이트 절연막이 형성된다. 게이트 절연막에 접촉하여 인접하도록 기판면 상에, Al 원자를 갖는 컨택트 전극이 형성된다. 컨택트 전극을 레이저광으로 어닐링함으로써, Al 원자를 갖는 합금이 형성된다. 게이트 절연막의 일부를 덮는 게이트 전극이 형성된다.

[0012] 이 제조 방법에 따르면, 컨택트 전극의 어닐링이 레이저광에 의해 행해지기 때문에, 다른 어닐링 방법이 이용되는 경우에 비하여, 단시간으로의 국소 가열에 의해 어닐링이 행해진다. 이 때문에 컨택트 전극의 Al 원자의 게이트 절연막 속으로의 확산 거리가 억제되기 때문에, 게이트 절연막 중 기판면과 게이트 전극 사이에 끼워지는 부분까지 Al 원자가 도달하는 것을 피할 수 있다. 이에 따라 게이트 전극과 탄화규소 기판 사이의 전기적 절연의 신뢰성이 높아진다.

[0013] 바람직하게는, 게이트 절연막은 규소 산화물을 함유한다. 보다 바람직하게는, 규소 산화물은 이산화규소를 포함

한다.

[0014] 바람직하게는 컨택트 전극은 Ti 원자를 갖는다. 이에 따라 컨택트 전극의 탄화규소 기판에 대한 접촉 저항을 저감할 수 있다.

[0015] 바람직하게는 레이저광의 파장은 386 nm 이하이다. 이에 따라 레이저광은 폴리 타입 4H의 탄화규소의 밴드갭에 대응하는 에너지 이상의 광자 에너지를 갖는다. 따라서, 탄화규소 기판의 표면에 있어서 레이저광의 흡수가 보다 확실하게 생기기 때문에, 보다 효율적으로 어닐링을 행할 수 있다.

발명의 효과

[0016] 이상의 설명으로부터 밝혀진 바와 같이, 본 발명에 따르면, 게이트 전극과 탄화규소 기판 사이의 전기적 절연의 신뢰성이 높아진다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시형태에 있어서의 반도체 장치의 구성을 개략적으로 나타낸 단면도이다.

도 2는 도 1의 반도체 장치의 제조 방법을 개략적으로 나타낸 흐름도이다.

도 3은 도 2에 있어서의 오믹 전극 형성 공정을 상세하게 나타낸 흐름도이다.

도 4는 도 1의 반도체 장치의 제조 방법의 제1 공정을 개략적으로 나타낸 단면도이다.

도 5는 도 1의 반도체 장치의 제조 방법의 제2 공정을 개략적으로 나타낸 단면도이다.

도 6은 도 1의 반도체 장치의 제조 방법의 제3 공정을 개략적으로 나타낸 단면도이다.

도 7은 도 1의 반도체 장치의 제조 방법의 제4 공정을 개략적으로 나타낸 단면도이다.

도 8은 도 1의 반도체 장치의 제조 방법의 제5 공정을 개략적으로 나타낸 단면도이다.

도 9는 도 1의 반도체 장치의 제조 방법의 제6 공정을 개략적으로 나타낸 단면도이다.

도 10은 이산화규소막에 매립된 Ti/Al 패턴을 어닐링했을 때의 Al 원자의 열화산의 모습을 나타낸 광학 현미경 사진이다.

도 11은 이산화규소막에 매립된 Al 패턴을 어닐링했을 때의 Al 원자의 열화산의 모습을 나타낸 광학 현미경 사진이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 도면에 기초하여 본 발명의 실시형태를 설명한다.

[0019] 먼저 본 실시형태의 반도체 장치로서의 MOSFET(Metal Oxide Semiconductor Field Effect Transistor: 산화막 전계 효과 트랜지스터)의 구성을 개략적으로 설명한다.

[0020] 도 1을 참조하여, MOSFET(1)는, 탄화규소 기판(SB)과, 게이트 절연막(15)과, 게이트 전극(17)과, 소스 전극(22)과, 패시베이션막(21)과, 드레인 전극(20)을 갖는다. 소스 전극(22)은 컨택트 전극(16) 및 소스 배선(19)을 갖는다. 탄화규소 기판(SB)은 기판면(12B)을 갖는다. 기판면(12B)의 일부를 덮도록 게이트 절연막(15)이 마련되어 있다. 게이트 절연막(15)의 일부를 게이트 전극(17)이 덮고 있다. 컨택트 전극(16)은, 게이트 절연막(15)에 접촉하여 인접하도록 기판면(12B) 상에 설치되어 있다. 또한, 컨택트 전극(16)은 Al 원자를 갖는 합금을 포함한다. 게이트 절연막(15) 중 기판면(12B)과 게이트 전극(17) 사이에 끼워지는 부분으로는, 컨택트 전극(16)으로부터 Al 원자가 확산되지 않는다.

[0021] 또한, 전술한 Al 원자를 갖는 합금으로는, 예컨대, Al과, Ti, Ni 및 Si 중 적어도 어느 하나와의 합금을 이용할 수 있다. 또한, 게이트 절연막(15)으로는, 예컨대, SiO_2 막, $SiON$ 막 또는 ONO 막을 이용할 수 있다. 여기서 ONO 막이란, 산화막-질화막-산화막의 3층 구조를 갖는 막이다. 이 산화막으로는 SiO_2 를 이용할 수 있고, 이 질화막으로는 Si_3N_4 를 이용할 수 있다.

[0022] 다음에 MOSFET(1)의 구성의 상세한 내용에 대해서 설명한다.

[0023] MOSFET(1)는, 탄화규소(SiC)로 이루어지고, 도전형이 n형(제1 도전형)의 웨이퍼인 n^+ SiC 웨이퍼(11)와, SiC로 이루어지고, 도전형이 n형(제1 도전형)인 반도체층으로서의 n^- SiC층(12)과, 도전형이 p형(제2 도전형)인 제2 도전형 영역으로서의 한 쌍의 p 보디(13)와, 도전형이 n형(제1 도전형)인 고농도 제1 도전형 영역으로서의 n^+ 소스 영역(14)과, 도전형이 p형(제2 도전형)인 고농도 제2 도전형 영역으로서의 p^+ 영역(18)을 구비하고 있다. p 보디(13), n^+ 소스 영역(14) 및 p^+ 영역(18)이 형성된 n^- SiC층(12)과, n^+ SiC 웨이퍼(11)는, 탄화규소로 이루어지는 탄화규소 기판(SB)을 구성한다. n^+ SiC 웨이퍼(11)는, 고농도의 n형 불순물(도전형이 n형인 불순물), 예컨대 N(질소)을 포함하고 있다.

[0024] n^- SiC층(12)은, n^+ SiC 웨이퍼(11)의 한쪽의 주면(11A) 상에, 예컨대 $10 \mu\text{m}$ 정도의 두께로 형성되고, n형 불순물을 포함함으로써 도전형이 n형으로 되어 있다. n^- SiC층(12)에 포함되는 n형 불순물은, 예컨대 N(질소)이며, n^+ SiC 웨이퍼(11)에 포함되는 n형 불순물보다 낮은 농도, 예컨대 $5 \times 10^{15} \text{ cm}^{-3}$ 의 농도로 포함되어 있다.

[0025] 한 쌍의 p 보디(13)는, n^- SiC층(12)에 있어서 기판면(12B)을 포함하도록 서로 분리되어 형성되고, p형 불순물(도전형이 p형인 불순물)을 포함함으로써, 도전형이 p형(제2 도전형)으로 되어 있다. p 보디(13)에 포함되는 p형 불순물은, 예컨대 Al, B(붕소) 등이며, n^+ SiC 웨이퍼(11)에 포함되는 n형 불순물보다 낮은 농도, 예컨대 $1 \times 10^{17} \text{ cm}^{-3}$ 의 농도로 포함되어 있다.

[0026] n^+ 소스 영역(14)은, 기판면(12B)을 포함하고, 또한 p 보디(13)에 둘러싸이도록, 한 쌍의 p 보디(13)의 각각의 내부에 형성되어 있다. n^+ 소스 영역(14)은, n형 불순물, 예컨대 P(인) 등을, n^- SiC층(12)에 포함되는 n형 불순물보다도 높은 농도, 예컨대 $1 \times 10^{20} \text{ cm}^{-3}$ 의 농도로 포함하고 있다.

[0027] p^+ 영역(18)은, 한 쌍의 p 보디(13) 중 한쪽의 p 보디(13)의 내부에 형성된 n^+ 소스 영역(14)에서 보아, 다른 쪽의 p 보디(13)의 내부에 형성된 n^+ 소스 영역(14)과는 반대측에, 기판면(12B)을 포함하도록 형성되어 있다. p^+ 영역(18)은, p형 불순물, 예컨대 Al, B 등을, p 보디(13)에 포함되는 p형 불순물보다도 높은 농도, 예컨대 $1 \times 10^{20} \text{ cm}^{-3}$ 의 농도로 포함하고 있다.

[0028] 또한, MOSFET(1)는, 게이트 절연막(15)과, 게이트 전극(17)과, 한 쌍의 컨택트 전극(16)과, 소스 배선(19)과, 드레인 전극(20)과, 패시베이션막(21)을 구비하고 있다.

[0029] 게이트 절연막(15)은, 기판면(12B)에 접촉하고, 한쪽의 n^+ 소스 영역(14)의 상부 표면으로부터 다른 쪽의 n^+ 소스 영역(14)의 상부 표면으로까지 연장되어 있도록 n^- SiC층(12)의 기판면(12B) 상에 형성되어 있다. 게이트 절연막(15)은, 규소 산화물을 함유하고, 규소 산화물은 이산화규소(SiO_2)를 포함한다. 즉 게이트 절연막(15)은, 예컨대 이산화규소막이다.

[0030] 게이트 전극(17)은, 한쪽의 n^+ 소스 영역(14) 상으로부터 다른 쪽의 n^+ 소스 영역(14) 상으로까지 연장되어 있도록, 게이트 절연막(15)에 접촉하여 배치되어 있다. 또한, 게이트 전극(17)은 폴리실리콘, Al 등의 도전체로 이루어져 있다.

[0031] 컨택트 전극(16)은, 한 쌍의 n^+ 소스 영역(14) 상의 각각으로부터, 게이트 절연막(15)으로부터 떨어지는 방향으로 p^+ 영역(18) 상으로까지 연장되어 있고, 기판면(12B)에 접촉하여 배치되어 있다. 그리고, 컨택트 전극(16)은, 티탄(Ti) 원자, 알루미늄(Al) 원자, 규소(Si) 원자, 탄소(C) 원자 및 잔부 불가피적 불순물로 이루어져 있다. 여기서, 불가피적 불순물에는, 제조 공정에 있어서 불가피하게 혼입되는 산소(O) 원자가 포함된다. 그리고, 컨택트 전극(16)은, 소스 영역(14) 및 p^+ 영역(18)이 형성된 n^- SiC층(12)과의 계면을 포함하는 영역에, 알루미늄 원자와 티탄 원자를 갖는다.

[0032] 소스 배선(19)은, 컨택트 전극(16)에 접촉하여 형성되어 있고, Al 등의 도전체로 이루어져 있다. 그리고, 소스

배선(19)은, 컨택트 전극(16)을 통해 n^+ 소스 영역(14)과 전기적으로 접속되어 있다. 이 소스 배선(19)과 컨택트 전극(16)은, 소스 전극(22)을 구성한다.

[0033] 드레인 전극(20)은, n^+ SiC 웨이퍼(11)에 있어서 n^- SiC층(12)이 형성되는 측의 주면인 한쪽의 주면(11A)과는 반대측 주면인 다른 쪽의 주면(11B)에 접촉하여 형성되어 있다. 이 드레인 전극(20)은, 예컨대 상기 컨택트 전극(16)과 동일한 구성을 갖고 있어도 좋고, Ni 등, n^+ SiC 웨이퍼(11)와 오믹 컨택트 가능한 다른 재료로 이루어져 있어도 좋다. 이에 따라, 드레인 전극(20)은 n^+ SiC 웨이퍼(11)와 전기적으로 접속되어 있다.

[0034] 패시베이션막(21)은, 한쪽의 소스 배선(19) 상으로부터 게이트 전극(17) 상을 지나 다른 쪽의 소스 배선(19) 상으로까지 연장되어 있도록 형성되어 있다. 이 패시베이션막(21)은, 예컨대 SiO_2 로 이루어져 있고, 소스 배선(19) 및 게이트 전극(17)을 외부와 전기적으로 절연하며, MOSFET(1)를 보호하는 기능을 갖고 있다.

[0035] 다음에, MOSFET(1)의 동작에 대해서 설명한다. 도 1을 참조하여, 게이트 전극(17)에 임계값 이하의 전압을 부여한 상태, 즉 오프 상태에서는, 게이트 절연막(15)의 바로 아래에 위치하는 p 보디(13)와 n^- SiC층(12) 사이가 역바이어스가 되어, 비도통 상태가 된다. 한편, 게이트 전극(17)에 플러스의 전압을 인가해 나가면, p 보디(13)의 게이트 절연막(15)과 접촉하는 부근인 채널 영역(13A)에 있어서, 반전층이 형성된다. 그 결과, n^+ 소스 영역(14)과 n^- SiC층(12)이 전기적으로 접속되고, 소스 전극(22)과 드레인 전극(20) 사이에 전류가 흐른다.

[0036] 다음에 MOSFET(1)의 제조 방법에 대해서 설명한다.

[0037] 도 2를 참조하여, 우선 공정 (S10)으로서 기판 준비 공정이 실시된다. 이 공정 (S10)에서는, 제1 도전형의 SiC 웨이퍼가 준비된다. 구체적으로는, 도 4를 참조하여, 예컨대 육방정 SiC로 이루어지고, n형 불순물을 포함함으로써 도전형이 n형인 n^+ SiC 웨이퍼(11)가 준비된다.

[0038] 다음에, 도 2를 참조하여, 공정 (S20)으로서 n형층 형성 공정이 실시된다. 이 공정 (S20)에서는, n^+ SiC 웨이퍼(11) 상에 제1 도전형의 반도체층이 형성된다. 구체적으로는, 도 4를 참조하여, 에피택셜 성장에 의해 n^+ SiC 웨이퍼(11)의 한쪽의 주면(11A) 상에 n^- SiC층(12)이 형성된다. 에피택셜 성장은, 예컨대 원료 가스로서 SiH_4 (실란)과 C_3H_8 (프로판)의 혼합 가스를 채용하여 실시할 수 있다. 이 때, n형 불순물로서, 예컨대 N을 도입한다. 이에 따라, n^+ SiC 웨이퍼(11)에 포함되는 n형 불순물보다 낮은 농도의 n형 불순물을 포함하는 n^- SiC층(12)을 형성할 수 있다.

[0039] 다음에, 도 2를 참조하여, 공정 (S30)으로서 p 보디 형성 공정이 실시된다. 이 공정 (S30)에서는, 도 5를 참조하여, n^- SiC층(12)에 있어서 기판면(12B)을 포함하도록 제2 도전형의 제2 도전형 영역이 형성된다. 구체적으로는, 우선, 기판면(12B) 상에, 예컨대 CVD(Chemical Vapor Deposition: 화학 증착법)에 의해 SiO_2 로 이루어지는 산화막이 형성된다. 그리고, 산화막 상에 레지스트가 도포된 후, 노광 및 현상이 행해져, 원하는 제2 도전형 영역으로서의 p 보디(13)의 형상에 따른 영역에 개구를 갖는 레지스트막이 형성된다. 그리고, 이 레지스트막을 마스크로서 이용하여, 예컨대 RIE(Reactive Ion Etching: 반응성 이온 에칭)에 의해 산화막이 부분적으로 제거됨으로써, n^- SiC층(12) 상에 개구 패턴을 갖는 산화막을 포함하는 마스크층이 형성된다. 그 후, 상기 레지스트막을 제거한 후에, 이 마스크층을 마스크로서 이용하여, Al 등의 p형 불순물을 n^- SiC층(12)에 이온 주입함으로써, n^- SiC층(12)에 p 보디(13)가 형성된다.

[0040] 다음에, 도 2를 참조하여, 공정 (S40)으로서 n^+ 영역 형성 공정이 실시된다. 이 공정 (S40)에서는, p 보디(13) 내의 기판면(12B)을 포함하는 영역에, n^- SiC층(12)보다도 고농도의 제1 도전형의 불순물을 포함하는 고농도 제1 도전형 영역이 형성된다. 구체적으로는, 도 5를 참조하여, 우선, 공정 (S30)에서 마스크로서 사용된 상기 산화막이 제거된 후에, 공정 (S30)과 동일한 절차로, 원하는 n^+ 소스 영역(14)의 형상에 따른 영역에 개구를 갖는 마스크층이 형성된다. 그리고, 이 마스크층을 마스크로서 이용하여, P 등의 n형 불순물이 n^- SiC층(12)에 이온 주입에 의해 도입됨으로써 n^+ 소스 영역(14)이 형성된다.

[0041] 다음에, 도 2를 참조하여, 공정 (S50)으로서 p^+ 영역 형성 공정이 실시된다. 이 공정 (S50)에서는, 도 5를 참조하여, 한 쌍의 p 보디(13) 중 한쪽의 p 보디(13)의 내부에 형성된 n^+ 소스 영역(14)으로부터 보아, 다른 쪽의 p 보디(13)의 내부에 형성된 n^+ 소스 영역(14)과는 반대측에, 기판면(12B)을 포함하도록 고농도 제2 도전형 영역 [p^+ 영역(18)]이 형성된다. 구체적으로는, 도 5를 참조하여, 공정 (S30) 및 (S40)과 동일한 절차로, 원하는 p^+ 영역(18)의 형상에 따른 영역에 개구를 갖는 마스크층이 형성되고, 이것을 마스크로서 이용하여, Al, B 등의 p 형 불순물이 n^- SiC층(12)에 이온 주입에 의해 도입됨으로써 p^+ 영역(18)이 형성된다.

[0042] 다음에, 도 2를 참조하여, 공정 (S60)으로서 활성화 어닐링 공정이 실시된다. 이 공정 (S60)에서는, 이온 주입이 실시된 n^- SiC층(12)을, 예컨대 Ar(아르곤) 분위기 내에서 1700°C 정도로 가열하여, 30분간 정도 유지함으로써, 상기 이온 주입에 의해 도입된 불순물을 활성화시키는 열처리인 활성화 어닐링이 실시된다.

[0043] 다음에, 도 2를 참조하여, 공정 (S70)으로서 게이트 절연막 형성 공정이 실시된다. 이 공정 (S70)에서는, 도 6을 참조하여, 공정 (S10) 내지 (S60)이 실시되어 원하는 이온 주입 영역을 포함하는 n^- SiC층(12)이 형성된 n^+ SiC 웨이퍼(11)가 열산화된다. 열산화는, 예컨대 산소 분위기 내에서 1300°C 정도로 가열하여, 40분간 정도 유지함으로써 실시할 수 있다. 이에 따라, 이산화규소(SiO₂)로 이루어지는 게이트 절연막(15)(도 1 참조)이 되어야 할 열산화막(15A)(예컨대 두께 50 nm 정도)이 기판면(12B) 상에 형성된다.

[0044] 다음에, 도 2를 참조하여, 공정 (S80)으로서 드레인 전극 형성 공정이 실시된다. 공정 (S80)에서는, 도 6을 참조하여 n^+ SiC 웨이퍼(11)의 주면(11B) 상에, Ti로 이루어지는 Ti막(51), Al로 이루어지는 Al막(52) 및 Si로 이루어지는 Si막(53)이 이 순서로 형성된다. 다음에 이 적층막의 합금화 공정이 실시된다. 구체적으로는, Ar 등의 불활성 가스 분위기 내에서, 550°C 이상 1200°C 이하의 온도, 바람직하게는 900°C 이상 1100°C 이하의 온도, 예컨대 1000°C로 가열되어, 10분간 이하의 시간, 예컨대 2분간 유지되는 열처리가 실시된다. 이에 따라, Ti막(51), Al막(52) 및 Si막(53)에 포함되는 Ti, Al, Si 및 n^+ SiC 웨이퍼(11)에 포함되는 Si, C가 합금화된다. 그 결과, 도 7에 도시된 바와 같이, 드레인 전극(20)이 형성된다.

[0045] 다음에, 도 2를 참조하여, 공정 (S90)으로서 오믹 전극 형성 공정이 실시된다. 공정 (S90)에서는, 도 3을 참조하여, 우선, 공정 (S91) 내지 (S93)으로서 Ti 막 형성 공정, Al막 형성 공정 및 Si막 형성 공정이 이 순서로 실시된다.

[0046] 구체적으로는, 도 7을 참조하여, 우선, 열산화막(15A) 상에 레지스트가 도포된 후, 노광 및 현상이 행해지고, 컨택트 전극(16)(도 1 참조)을 형성해야 할 영역에 따른 개구(91A)를 갖는 레지스트막(91)이 형성된다. 그리고, 이 레지스트막(91)을 마스크로서 이용하여, 예컨대 RIE에 의해 열산화막(15A)이 부분적으로 제거됨으로써, 기판면(12B)의 일부를 덮는 게이트 절연막(15)이 형성된다. 그 후, Ti로 이루어지는 Ti막(51), Al로 이루어지는 Al막(52) 및 Si로 이루어지는 Si막(53)이 기판면(12B) 상에, 예컨대 스퍼터링에 의해 이 순서로 형성된다. 또한, 레지스트막(91)이 제거됨으로써, 레지스트막(91) 상의 Ti막(51), Al막(52) 및 Si막(53)이 제거(리프트 오프)되어, 도 8에 도시된 바와 같이, 게이트 절연막(15)으로부터 노출되는 기판면(12B) 상에 Ti막(51), Al막(52) 및 Si막(53)이 잔존한다. 이에 따라, 나중에 컨택트 전극(16)(도 1)이 되는 컨택트 전극(16m)이, 게이트 절연막(15)에 접촉하여 인접하도록 기판면(12B) 상에 형성된다.

[0047] 여기서, 공정 (S91)에서는, 두께 100 Å 이상 400 Å 이하의 Ti막(51)이 형성되는 것이 바람직하다. 이에 따라, 안정적으로 저저항의 오믹 접촉 전극을 형성할 수 있다. 또한, 공정 (S92)에서는, 공정 (S91)에서 형성된 Ti막(51)의 두께의 1.5배 이상 6배 이하의 두께를 갖는 Al막(52)이 형성되는 것이 바람직하다. 이에 따라, n^+ 소스 영역(14) 및 p 보디(13)의 접촉 저항을 한층 더 확실하게 저감한 컨택트 전극(16)을 제작할 수 있게 된다. 또한, 공정 (S93)에서는, 두께 100 Å 이상 500 Å 이하의 Si막(53)이 형성되는 것이 바람직하다. 이에 따라, 안정적으로 저저항의 오믹 접촉 전극을 형성할 수 있다.

[0048] 다음에, 도 3을 참조하여, 공정 (S94)로서 합금화 공정이 실시된다. 구체적으로는, 도 8 및 도 9를 참조하여, Ar 등의 불활성 가스 분위기 내에서 컨택트 전극(16m)이 레이저광으로 어닐링된다. 이에 따라, Ti막(51), Al막(52) 및 Si막(53)에 포함되는 Ti, Al, Si 및 n^- SiC층(12)에 포함되는 Si, C가 합금화된다. 그 결과, 도 9에 도시된 바와 같이, 한 쌍의 n^+ 소스 영역(14) 상의 각각으로부터, 게이트 절연막(15)으로부터 떨어지는 방향으로

p^+ 영역(18) 상으로까지 연장되어 있고, 기판면(12B)에 접촉하여 배치되는 컨택트 전극(16)이 형성된다.

[0049] 여기서, 레이저광에 의한 어닐링은 극히 단시간으로의 국소 가열에 의해 행해지기 때문에, 어닐링 중의 원자의 확산 거리는 작아진다. 이 때문에, 게이트 절연막(15) 중, 나중에 기판면(12B)과 게이트 전극(17)(도 1) 사이에 끼워지게 되는 부분까지는, 컨택트 전극(16m)으로부터 Al 원자가 확산되지 않는다.

[0050] 또한, 공정 (S94)에서는, 불활성 가스, 특히 Ar 또는/및 N_2 와, 수소와의 혼합 가스 중에서 $n^+ SiC$ 웨이퍼(11)가 가열되는 것이 바람직하다. 이에 따라, 제조 비용을 억제하면서, n^+ 소스 영역(14) 및 p 보디(13)[p^+ 영역(18)]의 접촉 저항을 한층 더 확실하게 저감한 컨택트 전극(16)을 제작할 수 있다. 이상의 절차에 의해 공정 (S90)이 완료된다.

[0051] 다음에, 도 2를 참조하여, 공정 (S100)으로서 게이트 전극 형성 공정이 실시된다. 이 공정 (S100)에서는, 다시 도 1을 참조하여, 게이트 절연막(15)의 일부를 덮는 게이트 전극(17)이 형성된다. 게이트 전극(17)의 단부는, 게이트 절연막(15)의 단부로부터 떨어져 배치된다. 구체적으로는, 예컨대 도전체인 폴리실리콘, Al 등으로 이루어지는 게이트 전극(17)이, 한쪽의 n^+ 소스 영역(14) 상으로부터 다른 쪽의 n^+ 소스 영역(14) 상으로까지 연장되어 있도록, 게이트 절연막(15) 상에 직접 형성된다. 게이트 전극의 소재로서 폴리실리콘을 채용하는 경우, 이 폴리실리콘은 P가 $1 \times 10^{20} \text{ cm}^{-3}$ 을 초과하는 높은 농도로 포함되는 것으로 할 수 있다.

[0052] 다음에, 도 2를 참조하여, 공정 (S110)으로서 소스 배선 형성 공정이 실시된다. 이 공정 (S110)에서는, 예컨대 중착법에 의해 도전체인 Al로 이루어지는 소스 배선(19)(도 1 참조)이, 컨택트 전극(16)의 상부 표면 상에 형성된다. 전술한 공정 (S90) 및 이 공정 (S110)에 의해 소스 전극(22)(도 1 참조)이 완성된다.

[0053] 다음에, 도 2를 참조하여, 공정 (S120)으로서 패시베이션막 형성 공정이 실시된다. 이 공정 (S120)에서는, 도 1을 참조하여, 한쪽의 소스 배선(19) 상으로부터 게이트 전극(17) 상을 지나 다른 쪽의 소스 배선(19) 상으로까지 연장되어 있도록, 예컨대 SiO_2 로 이루어지는 이 패시베이션막(21)이 형성된다. 이 패시베이션막(21)은, 예컨대 CVD법에 의해 형성할 수 있다. 이상의 공정 (S10) 내지 (S120)에 의해 MOSFET(1)(도 1 참조)가 완성된다.

[0054] 본 실시형태의 MOSFET(1)에 따르면, 게이트 절연막(15) 중 기판면(12B)과 게이트 전극(17) 사이에 끼워지는 부분에, 컨택트 전극(16)으로부터 Al 원자가 확산되지 않는다. 따라서 게이트 전극(17)과 탄화규소 기판(SB) 사이의 전기적 절연의 신뢰성이 높아진다.

[0055] 또한, 본 실시 형태의 MOSFET(1)의 제조 방법에 따르면, 컨택트 전극(16m)의 어닐링이 레이저광에 의해 행해지기 때문에, 다른 어닐링 방법이 이용되는 경우에 비하여 단시간으로의 국소 가열에 의해 어닐링이 행해진다. 이 때문에 컨택트 전극(16m)의 Al 원자의 게이트 절연막(15) 내로의 확산 거리가 억제되기 때문에, 게이트 절연막(15) 중 기판면과 게이트 전극(17) 사이에 끼워지는 부분까지 Al 원자가 도달하는 것을 피할 수 있다. 이에 따라 게이트 전극(17)과 탄화규소 기판(SB) 사이의 전기적 절연의 신뢰성이 높아진다.

[0056] 바람직하게는, 레이저광의 파장은 386 nm 이하이다. 예컨대 YAG 레이저의 제3 고조파에 의한 레이저광이 이용된다. 이에 따라 레이저광은, 폴리 타입 4H의 탄화규소의 밴드갭에 대응하는 에너지 이상의 광자 에너지를 갖는다. 따라서 탄화규소 기판(SB)의 표면에 있어서 레이저광의 흡수가 보다 확실하게 일어나기 때문에, 보다 효율적으로 어닐링을 행할 수 있다.

[0057] 또한, 레이저광의 폴스 폭은, 10 μs 이하가 되고, 보다 바람직하게는 100 ns 이하가 된다. 이에 따라, 보다 단시간으로 어닐링이 행해진다. 따라서 Al 원자의 확산을 보다 확실하게 억제할 수 있다.

[0058] 또한, 1펄스당 레이저광의 에너지 밀도는, 바람직하게는 0.3 J/cm^2 이상 1.5 J/cm^2 이하, 보다 바람직하게는 0.5 J/cm^2 이상 1.3 J/cm^2 이하가 된다. 이에 따라, 어닐링에 의한 합금화를 충분히 진행시키고, Al 원자의 확산을 억제할 수 있다.

[0059] 또한, 상기한 설명에 있어서, 게이트 절연막(15) 중 Al 원자가 확산되지 않는 영역이란, Al 원자가 실질적으로 확산되지 않는 영역을 말하고, 바꿔 말하면, 게이트 절연막(15)이 컨택트 전극(16)으로부터의 Al 원자의 확산을 실질적으로 받고 있지 않은 영역을 말한다. Al 원자가 실질적으로 확산되지 않는 영역과, 실질적으로 확산된 영역의 경계를 명확하게 구분하여 정하는 것은, 예컨대 광학 현미경에 의한 관찰에 의해 행할 수 있다. 테스트 패턴을 이용한 이 관찰례에 대해서, 이하에 설명한다.

[0060]

제1 예(도 10)에 있어서는, 이산화규소막에 매립된 Ti/Al 패턴(101)을 어닐링했을 때의 Al 원자의 열확산의 모습이 광학 현미경에 의해 관찰되었다. 이산화규소막 및 Ti/Al 패턴(101)의 각각은, 전술한 게이트 절연막(15) 및 컨택트 전극(16)에 대응하고 있다. 이 관찰에 따르면, 이산화규소막을 명도의 현저한 차이에 의해 제1 영역(DF) 및 제2 영역(ND)으로 구분할 수 있었다. 제1 영역(DF) 및 제2 영역의 각각의 Al 농도를 조성 분석법에 의해 측정한 결과, 제1 영역(DF)은 높은 Al 농도값을 가지며, 제2 영역(ND)은 제1 영역(DF)에 비하여 현저히 작은 Al 농도값을 가지며, 제2 영역(ND)으로는 실질적으로 Al 원자가 확산되지 않는 것을 알았다. 또한, 조성 분석법으로는, 에너지 분산성 X선 회절, 오제 전자 분광법 및 2차 이온 질량 분석법을 이용하였다.

[0061]

제2 예(도 11)에 있어서는, 이산화규소막에 매립된 Al 패턴(102)을 어닐링했을 때의 Al 원자의 열확산의 모습이 광학 현미경에 의해 관찰되었다. 이산화규소막 및 Al 패턴(102)의 각각은, 전술한 게이트 절연막(15) 및 컨택트 전극(16)에 대응하고 있다. 이 관찰에 있어서도, 이산화규소막을 명도의 현저한 차이에 의해 제1 영역(DF) 및 제2 영역(ND)으로 구분할 수 있었다.

[0062]

또한, 제1 및 제2 예를 서로 비교하면, 제1 예 쪽이 제1 영역(DF)의 넓이가 작았다. 이것으로부터 이산화규소막 내로의 Al 원자의 확산 거리는, Al 패턴(102)으로부터에 비하여 Ti/Al 패턴(101)으로부터 쪽이 짧아지는 것을 알 수 있었다. 따라서, 컨택트 전극(16)의 재료로서 Ti/Al을 사용하면, Al을 사용하는 경우에 비하여, 컨택트 전극(16)으로부터 게이트 절연막(15) 내로의 Al 원자의 확산 거리를 억제할 수 있다는 것을 알 수 있었다.

[0063]

이번에 개시된 실시형태 및 실시예는 모든 점에서 예시로서, 제한적인 것이 아니라고 생각되어야 한다. 본 발명의 범위는 상기한 설명이 아니라 청구범위에 의해 나타내어지며, 청구범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

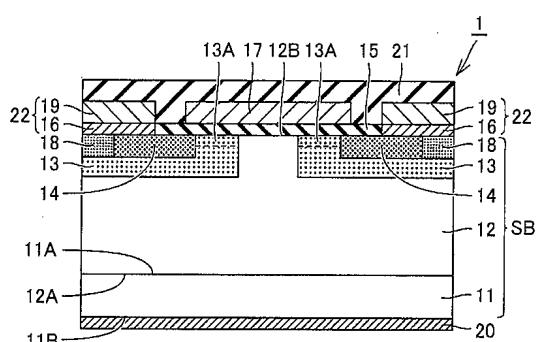
부호의 설명

[0064]

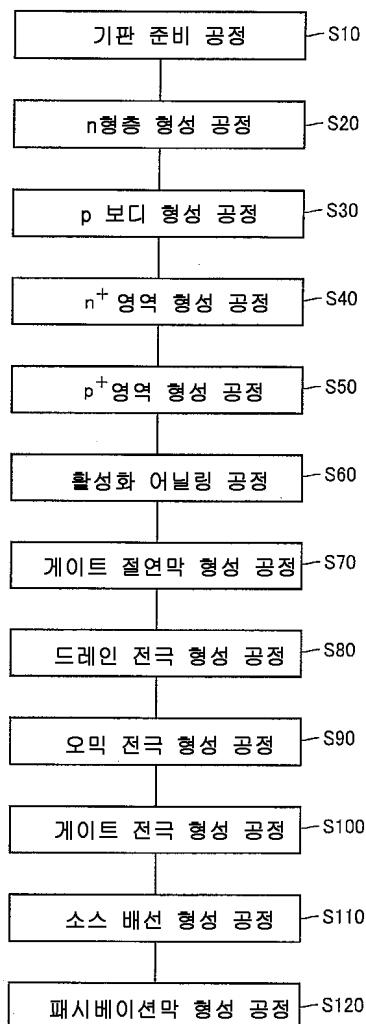
11 : n^+ SiC 웨이퍼	12 : n^- SiC층
12B : 기판면	13 : p 보디
13A : 채널 영역	14 : n^+ 소스 영역
15 : 게이트 절연막	15A : 열산화막
16, 16m : 컨택트 전극	17 : 게이트 전극
18 : p^+ 영역	19 : 소스 배선
20 : 드레인 전극	21 : 패시베이션막
22 : 소스 전극	51 : Ti막
52 : Al막	53 : Si막

도면

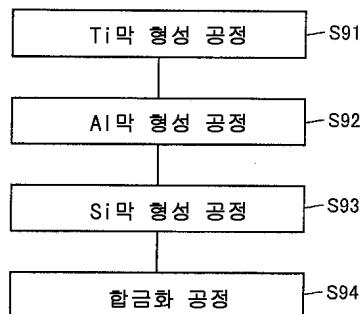
도면1



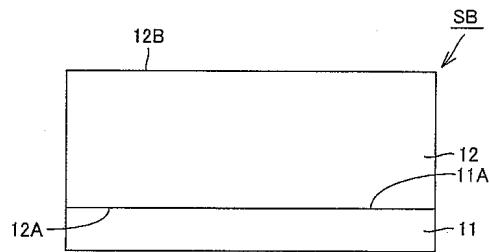
도면2



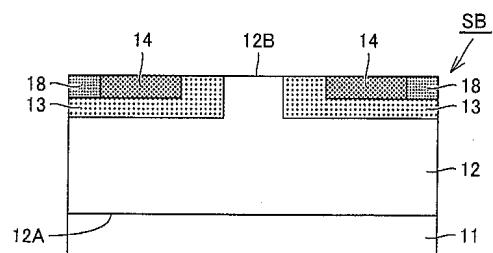
도면3



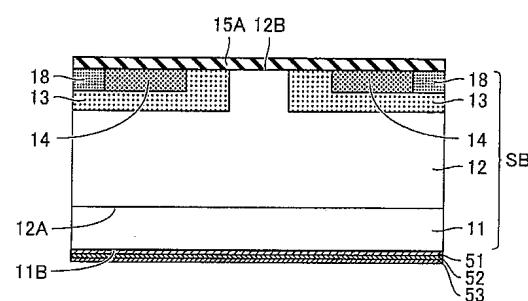
도면4



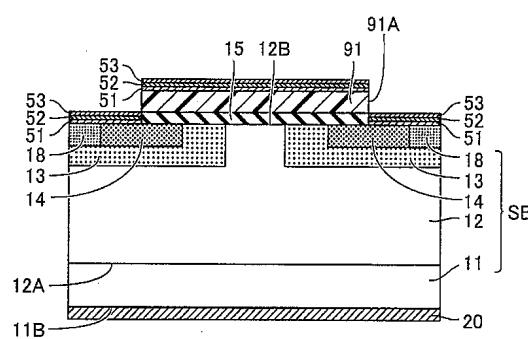
도면5



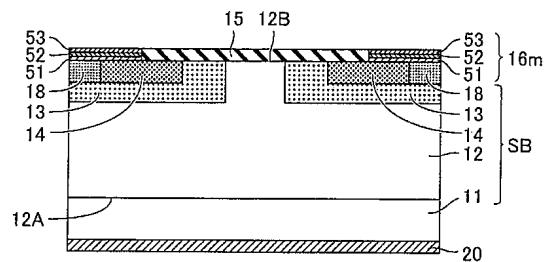
도면6



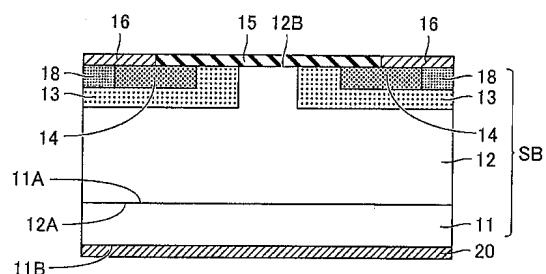
도면7



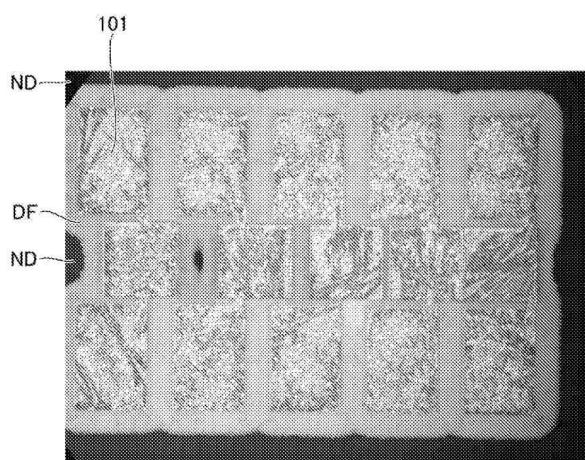
도면8



도면9



도면10



도면11

