



(12) 发明专利

(10) 授权公告号 CN 102543997 B

(45) 授权公告日 2015.03.11

(21) 申请号 201210029815.3

(22) 申请日 2008.09.19

(62) 分案原申请数据

200810161502.7 2008.09.19

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 孙铭伟 赵志伟

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 任默闻

(56) 对比文件

CN 1536620 A, 2004.10.13, 说明书第6页第1行-第9页第5行、附图1-2.

CN 1393032 A, 2003.01.22, 说明书第7页第20行-第9页第9行、说明书第32页第5行-第34页第17行、图1-4, 11.

CN 1458698 A, 2003.11.26, 说明书第5页第7行-第13页第2行、图1-8.

审查员 李静

(51) Int. Cl.

H01L 27/02(2006.01)

H01L 29/786(2006.01)

H01L 29/04(2006.01)

H01L 21/77(2006.01)

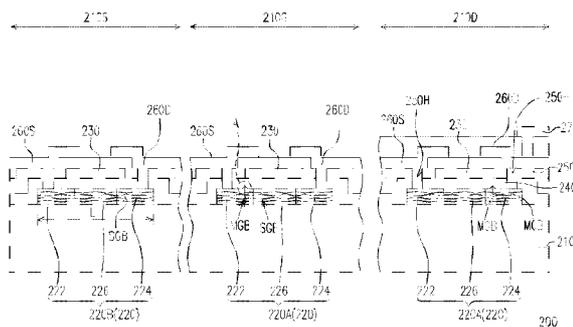
权利要求书1页 说明书10页 附图9页

(54) 发明名称

薄膜晶体管阵列基板

(57) 摘要

提供一种薄膜晶体管阵列基板,所述薄膜晶体管阵列基板包括基板、多个多晶硅岛以及多个栅极。基板具有显示区、栅极驱动区以及源极驱动区。多晶硅岛配置于基板上,且各多晶硅岛具有源极区、漏极区以及位于源极区与漏极区之间的沟道区,多晶硅岛包括多个第一多晶硅岛以及多个第二多晶硅岛,其中第一多晶硅岛配置于显示区以及栅极驱动区内,第一多晶硅岛具有主晶界以及次晶界,且第一多晶硅岛的主晶界仅位于源极区及/或漏极区内。第二多晶硅岛配置于源极驱动区内,且第一多晶硅岛中的晶粒尺寸不同于第二多晶硅膜中的晶粒尺寸。栅极配置于基板上,且对应于沟道区。



CN 102543997 B

1. 一种薄膜晶体管阵列基板,其特征在于,所述薄膜晶体管阵列基板包括:
 - 一基板,具有一显示区、一栅极驱动区以及一源极驱动区;
 - 多个多晶硅岛,配置于所述基板上,且各所述多晶硅岛具有一源极区、一漏极区以及一位于所述源极区与所述漏极区之间的沟道区;
 - 所述这些多晶硅岛包括:
 - 多个第一多晶硅岛,配置于所述显示区以及所述栅极驱动区内,各所述第一多晶硅岛分别具有一主晶界以及一次晶界,所述第一多晶硅岛的主晶界仅位于各所述第一多晶硅岛的源极区及 / 或漏极区内;
 - 多个第二多晶硅岛,配置于所述源极驱动区内;
 - 其中,所述显示区以及所述栅极驱动区的晶粒尺寸不同于所述源极驱动区的晶粒尺寸;
 - 多个栅极,配置于所述基板上,且对应于所述这些沟道区;
 - 所述这些第一多晶硅岛的晶粒尺寸为多种;
 - 所述显示区以及所述栅极驱动区包括一邻近所述源极驱动区的第一区域以及一远离所述源极驱动区的第二区域,其中位于所述第一区域中的所述这些第一多晶硅岛分别具有一第一晶粒尺寸,位于所述第二区域中的所述这些第一多晶硅岛分别具有一第二晶粒尺寸,且所述第一晶粒尺寸不同于所述第二晶粒尺寸。
2. 如权利要求 1 所述的薄膜晶体管阵列基板,其特征在于,所述这些第二多晶硅岛中实质上仅具有次晶界。
3. 如权利要求 1 所述的薄膜晶体管阵列基板,其特征在于,各所述第二多晶硅岛的晶粒尺寸为沿其沟道方向上的长度距离。
4. 如权利要求 1 所述的薄膜晶体管阵列基板,其特征在于,所述各第二多晶硅岛分别具有一主晶界以及一次晶界,其中所述这些第二多晶硅岛的主晶界仅位于各所述第二多晶硅岛的源极区或漏极区内。
5. 如权利要求 4 所述的薄膜晶体管阵列基板,其特征在于,所述这些第二多晶硅岛中的晶粒尺寸实质上大于所述第一多晶硅岛中的晶粒尺寸。
6. 如权利要求 4 所述的薄膜晶体管阵列基板,其特征在于,所述这些第二多晶硅岛中的晶粒尺寸实质上小于所述第一多晶硅岛中的晶粒尺寸。
7. 如权利要求 1 所述的薄膜晶体管阵列基板,其特征在于,所述薄膜晶体管阵列基板更包括多个源极以及多个漏极,其中所述这些源极分别与所述这些多晶硅岛的源极区电连接,所述这些漏极分别与所述这些多晶硅岛的漏极区电连接。
8. 如权利要求 7 所述的薄膜晶体管阵列基板,其特征在于,所述薄膜晶体管阵列基板包括栅绝缘层,所述栅绝缘层配置于所述栅极与所述多晶硅岛之间;所述薄膜晶体管阵列基板更包括一介电层,覆盖所述这些栅极以及所述栅绝缘层,其中所述介电层具有多个开口,所述这些源极与所述这些漏极分别经由所述这些开口而与对应的所述源极区与所述漏极区电连接。
9. 如权利要求 1 所述的薄膜晶体管阵列基板,其特征在于,所述薄膜晶体管阵列基板更包括多个像素电极,其中所述这些像素电极分别与所述这些漏极电连接。

薄膜晶体管阵列基板

[0001] 本专利申请是申请日为 2008 年 9 月 19 日、申请号为 200810161502.7、发明名称为“薄膜晶体管阵列基板及其制作方法”的中国专利申请的分案申请。

技术领域

[0002] 本发明是有关于一种半导体元件阵列基板以及半导体元件阵列基板的制作方法，且特别是有关于薄膜晶体管阵列基板以及薄膜晶体管阵列基板的制作方法。

背景技术

[0003] 近年来，随着光电技术与半导体制造技术的日益成熟，平面显示器便蓬勃发展起来，其中液晶显示器基于其低电压操作、无辐射线散射、重量轻以及体积小等优点，更逐渐取代传统的阴极射线管显示器而成为近年来显示器产品的主流。

[0004] 一般而言，液晶显示器可分为非晶硅薄膜晶体管 (amorphous silicon thin film transistor) 液晶显示器及低温多晶硅薄膜晶体管 (low temperature poly-silicon thin film transistor) 液晶显示器等两种。低温多晶硅薄膜晶体管相较于非晶硅薄膜晶体管而言，具有较高的电子迁移率 (约比非晶硅薄膜晶体管高 2 ~ 3 个数量级)，因此多晶硅薄膜晶体管除了作为像素开关之外，更可应用于周边电路区，作为驱动液晶显示器的电路。

[0005] 在实际操作上，作为像素开关与作为驱动电路所需的薄膜晶体管特性不同。一般而言，作为像素开关的薄膜晶体管对于电性的均匀度要求较高，而作为驱动电路的薄膜晶体管则较需要具有高载子迁移率 (mobility) 与高可靠度 (reliability) 的电性。其中，薄膜晶体管的元件特性与其多晶硅膜中的结晶型态与结晶位置相关，而多晶硅层的结晶型态可依不同的工艺来加以控制。近年来多晶硅薄膜低温结晶技术已被广泛的研究，其中，又以准分子激光结晶 (Excimer Laser Crystallization) 为目前主流的结晶技术。

[0006] 为了得到元件特性优良的薄膜晶体管，一种细光束方向性结晶 (Thin Beam Directional X' tallization, TDX) 工艺被提出，其主要利用是由原有的准分子激光系统加装具有次微米移动的基板载台以及高精密的光学系统，再经由以下两种方式：(1) 利用掩膜狭缝尺寸将激光束图形化，使得被激光照射的非晶硅层区域由两侧往开始中央进行侧向结晶，并在被照射区域中的主晶界尚未形成前，于单一扫描间距 (scan pitch) 内移动掩膜并使得此扫描间距不大于掩膜狭缝区域的二分之一。(2) 将激光束长度拉长并将宽度窄化，使得被激光照射的非晶硅层区域由短轴两侧往开始中央进行侧向结晶，并在被照射区域中的主晶界尚未形成前，于单一扫描间距 (scan pitch) 移动基板载台并使得此扫描间距不大于激光短轴宽度区域的二分之一。如此反复进行上述 (1) 或 (2) 步骤，可以控制薄膜横向固化结晶的区域，并且使得多晶硅晶粒连续地成长而不会形成主晶界 (main grain boundary)，因而可制得具有高结晶品质的多晶硅薄膜，此多晶硅晶粒尺寸可大于利用传统准分子激光结晶所得的晶粒。

[0007] 然而，在上述 TDX 激光结晶技术中，由于激光束照射在位于基板上的非晶硅层，且移动基板以进行 TDX 激光结晶方法中的扫描操作时，每次移动基板时仅能移动不大于二分

之一激光照射区域的基板。所以,在一个方向上进行 TDX 激光结晶方法的扫描时,不但需要较多的激光照射次数 (laser shot),所需移动基板的总次数也变多,如此一来,虽然可以得到高品质的多晶硅膜,但是由于工艺时间的增长,不利于产能的提升。另外,移动基板或掩膜上皆为单一扫描间距,虽然得基板上不同区域上的多晶硅皆相同,但是需要较多的激光照射次数 (laser shot),所需移动基板或掩膜的总次数也变多,如此一来,虽然可以得到品质均一的多晶硅膜,也就是于基板上所有位置的多晶硅的主晶界都是均一分布的,基板上但是由于工艺时间的增长,不利于产能的提升。

发明内容

[0008] 本发明提供一种薄膜晶体管阵列基板,所述薄膜晶体管阵列基板具有高载子迁移率的薄膜晶体管,且能提升产品的产能。

[0009] 本发明提供一种薄膜晶体管阵列基板的制作方法,可以制作具有高载子迁移率的薄膜晶体管,并提高工艺效率与提升产能。

[0010] 本发明提出一种薄膜晶体管阵列基板,此薄膜晶体管阵列基板包括基板、多个多晶硅岛 (poly-silicon islands) 以及多个栅极。基板具有显示区、栅极驱动区以及源极驱动区。多晶硅岛配置于基板上,且各多晶硅岛具有源极区、漏极区以及位于源极区与漏极区之间的沟道区,多晶硅岛包括多个第一多晶硅岛以及多个第二多晶硅岛,其中第一多晶硅岛配置于显示区以及栅极驱动区内,第一多晶硅岛具有主晶界以及次晶界,且第一多晶硅岛的主晶界仅位于源极区及 / 或漏极区内。第二多晶硅岛配置于源极驱动区内,且第一多晶硅岛中的晶粒尺寸不同于第二多晶硅膜中的晶粒尺寸。栅极配置于基板上,且对应于沟道区。

[0011] 本发明另提出一种薄膜晶体管阵列基板的制作方法,其包括下列步骤。首先,提供一基板,且基板上具有显示区、栅极驱动区以及源极驱动区。之后,形成非晶硅层于基板上。接着,通过激光照射非晶硅层膜,以形成多晶硅层,其中多晶硅层中具有多个主晶界以及多个次晶界,且位于显示区以及栅极驱动区的多晶硅层的晶粒尺寸不同于位于源极驱动区的多晶硅层的晶粒尺寸。之后,图案化多晶硅层以形成多个多晶硅岛,其中位于显示区以及栅极驱动区的多晶硅岛构成多个第一多晶硅岛,位于源极驱动区的多晶硅岛构成多个第二多晶硅岛。接着,分别于各第一多晶硅岛中与各第二多晶硅岛中定义出源极区、漏极区以及位于源极区以及漏极区之间的沟道区,其中各第一多晶硅岛的主晶界仅位于各第一多晶硅岛的源极区及 / 或漏极区内。之后,形成多个栅极于基板上,以对应于沟道区。

[0012] 在本发明的一实施例中,上述通过激光照射非晶硅层膜而形成多晶硅层的步骤中,于显示区与栅极驱动区中的不同区域所形成的多晶硅层的晶粒尺寸为多种。此时,显示区以及栅极驱动区至少包括一第一区域以及一第二区域,其中形成于第一区域中的第一多晶硅岛具有第一晶粒尺寸,形成于第二区域中的第一多晶硅岛具有第二晶粒尺寸,且第一晶粒尺寸不同于第二晶粒尺寸。

[0013] 在本发明的一实施例中,上述通过激光照射非晶硅层而形成多晶硅层的方法包括下列步骤。首先,提供一激光,激光具有宽度为 W 的光束区。接着,令激光照射非晶硅层,以使被非晶硅层的一部份熔融。之后,使激光相对于非晶硅层移动距离 $D1$,其中 $D1 < 0.5W$,并令激光照射非晶硅层。接着,使激光相对于非晶硅层移动距离 $D2$,其中 $D2 \geq 0.5W$,并令

激光照射非晶硅层。其中,上述使激光相对于非晶硅层移动距离 D1 并使激光照射非晶硅层的步骤例如为多次。此外,激光相对于非晶硅层移动距离 D1 并使激光照射非晶硅层的步骤实质上多于激光相对于非晶硅层移动距离 D2。

[0014] 在本发明的一实施例中,薄膜晶体管阵列基板的制作方法更包括形成多个源极以及多个漏极,源极分别与多晶硅岛的源极区电连接,漏极分别与多晶硅岛的漏极区电连接。另外,薄膜晶体管阵列基板的制作方法还可以在形成源极以及漏极后,更形成介电层以覆盖栅极以及栅绝缘层,其中介电层具有多个开口,源极与漏极分别经由开口而与对应的源极区与漏极区电连接。

[0015] 在本发明的一实施例中,薄膜晶体管阵列基板的制作方法更包括形成多个像素电极,分别与漏极电连接。

[0016] 基于上述,在本发明的薄膜晶体管阵列基板中,由于第一多晶硅岛的主晶界仅位于薄膜晶体管中的源极区以及漏极区内,薄膜晶体管中的沟道区并不存在主晶界,因此沟道区的载子迁移率高,薄膜晶体管的元件特性佳。并且,本发明的薄膜晶体管阵列基板的制作方法因此本发明的薄膜晶体管阵列基板及其制作方法可以同时兼顾薄膜晶体管中沟道层的载子迁移率,以及产品的产出效能。

附图说明

[0017] 图 1A 为本发明一实施例的薄膜晶体管阵列基板的示意图。

[0018] 图 1B 为图 1A 中沿 AA、BB 与 CC 剖面线的剖面示意图。

[0019] 图 2 绘示为本发明第一实施例的薄膜晶体管的多晶硅膜在结晶后的晶粒排列状态图。

[0020] 图 3A ~图 3F 为本发明一实施例的薄膜晶体管阵列基板的制作方法。

[0021] 图 4A ~图 4D 为本发明的一种通过激光 L 照射非晶硅层而形成多晶硅层的方法。

[0022] 图 5A 为本发明第二实施例的薄膜晶体管阵列基板沿图 1A 的 AA、BB、CC 剖面线的剖面示意图。

[0023] 图 5B 为本发明第二实施例的薄膜晶体管的多晶硅膜在结晶后的晶粒排列状态图。

[0024] 图 6A 为本发明第三实施例的薄膜晶体管阵列基板沿图 1A 的 AA、BB、CC 剖面线的剖面示意图。

[0025] 图 6B 为本发明第三实施例的薄膜晶体管的多晶硅膜在结晶后的晶粒排列状态图。

[0026] 图 7A 为本发明第四实施例的薄膜晶体管阵列基板沿图 1A 的 AA、BB、CC、DD 剖面线的剖面示意图。

[0027] 图 7B 为本发明第四实施例的薄膜晶体管的多晶硅膜在结晶后的晶粒排列状态图。

[0028] 附图标号

[0029] 200、300、400、500 :薄膜晶体管阵列基板

[0030] 210 :基板

[0031] 210D :显示区

- [0032] 210G :栅极驱动区
- [0033] 210S :源极驱动区
- [0034] 220 :多晶硅岛
- [0035] 220A、220A'、320A、420A、520A :第一多晶硅岛
- [0036] 220B、320B、420B、520B :第二多晶硅岛
- [0037] 222 :源极区
- [0038] 224 :漏极区
- [0039] 226 :沟道区
- [0040] 230 :栅极
- [0041] 240 :栅绝缘层
- [0042] 250 :介电层
- [0043] 250H :开口
- [0044] 260S :源极
- [0045] 260D :漏极
- [0046] 270 :像素电极
- [0047] 280 :掩膜
- [0048] 280T :透光区
- [0049] 290、390、490、590 :非晶硅层
- [0050] 292、392、492、592 :多晶硅层
- [0051] MGB :主晶界
- [0052] SGB :次晶界
- [0053] D1、D2 :相对移动距离
- [0054] G1 :第一晶粒尺寸
- [0055] G2 :第二晶粒尺寸
- [0056] R1 :第一区域
- [0057] R2 :第二区域
- [0058] W :透光区宽度

具体实施方式

[0059] 为了让本发明的上述和其他目的、特征和优点能更明显易懂，下文特举多个实施例，并配合所附附图，作详细说明如下。

[0060] 第一实施例

[0061] 图 1A 为本发明一实施例的薄膜晶体管阵列基板的示意图，而图 1B 为图 1A 中沿 AA、BB 与 CC 剖面线的剖面示意图。请同时参照图 1A 与图 1B，此薄膜晶体管阵列基板 200 包括基板 210、多个配置于基板 210 上的多晶硅岛 220 以及多个栅极 230，其中基板 210 上主要划分为显示区 210D、栅极驱动区 210G 以及源极驱动区 210S，且多晶硅岛 220 包括多个第一多晶硅岛 220A 以及多个第二多晶硅岛 220B、第一多晶硅岛 220A 配置于显示区 210D 以及栅极驱动区 210G 内，而第二多晶硅岛 220B 配置于源极驱动区 210S 内。

[0062] 请继续参照图 1B，各多晶硅岛 220A、220B 分别具有源极区 222、漏极区 224 以及位

于源极区 222 与漏极区 224 之间的沟道区 226, 第一多晶硅岛 220A 具有主晶界 MGB 以及次晶界 SGB, 且第一多晶硅岛 220A 的主晶界 MGB 仅位于源极区 222 及 / 或漏极区 224 内。第二多晶硅岛 220B 配置于源极驱动区 210S 内, 且第一多晶硅岛 220A 中的晶粒尺寸实质上不同于第二多晶硅膜中的晶粒尺寸。栅极 230 配置于基板 210 上, 且在本实施例中, 栅极 230 是对应地配置于沟道区 226 上方, 且栅绝缘层 240 配置于栅极 230 与多晶硅层 220A、220B 之间。在本实施例中, 栅极 230、沟道区 226、源极区 222 以及漏极区 224 构成一种顶栅极型态的薄膜晶体管, 在其他实施例中, 栅极 230 也可以对应地配置于沟道区 226 下方, 而构成一种底栅极型态的薄膜晶体管, 本发明并不以此为限。

[0063] 此外, 薄膜晶体管阵列基板 200 可以选择性地于栅极 230 与栅绝缘层 240 上方覆盖介电层 250, 其中介电层 250 例如具有多个开口 250H。并且于此介电层 250 上, 选择性地配置多个源极 260S 以及多个漏极 260D, 其中源极 260S 分别与多晶硅岛 220 的源极区 222 电连接, 而漏极 260D 分别与多晶硅岛 220 的漏极区 224 电连接。在本实施例中, 薄膜晶体管阵列基板 200 更包括多个分别与漏极 260D 电连接的像素电极 270。

[0064] 特别的是, 如图 1B 所示, 本发明的第一多晶硅岛 220A 的主晶界 MGB 仅位于源极区 222 及 / 或漏极区 224 内, 换言之, 在第一多晶硅岛 220A 的沟道区 226 中, 晶粒与晶粒之间的界面主要为次晶界 SGB, 并无存在主晶界 MGB。这里要说明的是, 此处所谓的主晶界 MGB 为多晶硅岛 220 表面因晶粒成长过程中所形成的突起处, 如图 1B 中的 A 处, 而次晶界 SGB 多为多晶硅岛 220 的表面的凹限处。因此, 当具有第一多晶硅岛 220A 的薄膜晶体管处于开启状态时, 沟道区 226 中的载子可以顺利地在该区中迁移而不会被陷于 (trap) 主晶界 MGB 的缺陷中, 因此本发明中具有第一多晶硅岛 220A 的薄膜晶体管具有高载子迁移率, 使得位于显示区 210D 中用以作为显示单元的开关的薄膜晶体管具有较佳的显示品质, 并且, 提高位于栅极驱动区 210G 中用以作为栅极驱动电路的薄膜晶体管的驱动效率。

[0065] 另一方面, 为了提升薄膜晶体管阵列基板 200 的制作产能, 设计者在进行基板 210 上的薄膜晶体管的布局设计 (layout design) 时, 搭配多晶硅层 220 的结晶工艺而选择性地让第一多晶硅岛 220A 的主晶界 MGB 仅出现在源极区 222 及 / 或漏极区 224, 藉此, 大幅提升薄膜晶体管阵列基板 200 的产能, 关于薄膜晶体管阵列基板 200 的工艺将于后详加说明。再者, 由于载子在源极区 222 与漏极区 224 中的迁移率主要是由多晶硅层中的掺杂 (dopant) 的掺杂浓度所决定, 因此主晶界 MGB 出现于源极区 222 与漏极区 224 中几乎不会影响薄膜晶体管的元件特性。如此一来, 相较于已知技术, 本发明的薄膜晶体管阵列基板 200 在显示区 210D 以及栅极驱动区 210G 不但具有高迁移率的薄膜晶体管, 同时可以使得移动基板 210 的总次数以及激光照射次数变少, 进而大幅提升产能。

[0066] 值得注意的是, 在本实施例中, 第二多晶硅岛 220B 中实质上仅具有次晶界 SGB, 意即源极区 222、漏极区 224 与沟道区 226 仅具有次晶界 SGB。换言之, 第二多晶硅岛 220B 中不具有主晶界 MGB, 因而第二多晶硅岛 220B 的晶粒尺寸大致为沿其沟道方向上的长度距离 L, 并且, 在本实施例中, 第二多晶硅岛 220B 的晶粒尺寸实质上大于第一多晶硅膜中的晶粒尺寸。因此对于源极驱动区 210S 中的薄膜晶体管而言, 不具有主晶界 MGB 的第二多晶硅岛 220B 提供载子一超低阻力的传导路径, 使得载子得以顺利地在该区中迁移, 因而有助于提升薄膜晶体管的元件特性, 尤其对于作为源极驱动电路的薄膜晶体管而言, 这种不具有主晶界 MGB 的多晶硅膜层更能在更短的薄膜晶体管开启时间内, 将预定的资料电压迅

速地传递至显示区 210D 所对应的多个源极区 222 内,有助于显示区 210D 的显示品质的提升。

[0067] 为清楚说明第一多晶硅岛 220A 与第二多晶硅岛 220B 在基板 210 上的晶粒排列状态,图 2 绘示为本发明第一实施例的薄膜晶体管的多晶硅膜 292 在结晶后的晶粒排列状态图。请参照图 2,位于源极驱动区 210S 中,预定形成第二多晶硅岛 220B 的多晶硅膜 292 不具有主晶界 MGB,因此图案化该区的多晶硅岛 220 后,即构成如图 1A 与图 1B 所示的不具有主晶界 MGB 的第二多晶硅岛 220B。如图 2 所示,位于显示区 210D 以及栅极驱动区 210G 中,预定形成第一多晶硅岛 220A 的多晶硅膜中的主晶界 MGB 是以长度为 S1 的间距周期性排列,因此只要适当布局薄膜晶体管在基板 210 上的形成位置,即可在图案化该区的多晶硅岛 220 后,构成主晶界 MGB 仅出现于源极区 222 及 / 或漏极区 224 的第一多晶硅岛 220A,当然,部分的第一多晶硅岛 220A 中亦可以不具有主晶界 MGB,如图 2 中位于显示区中的第一多晶硅岛 220A' 的预定形成位置标示处,本发明并不以此为限。

[0068] 以下将以图 1A 与图 1B 的薄膜晶体管阵列基板 200 为例,搭配图 2 的多晶硅膜的结晶状态示意图,举例说明薄膜晶体管阵列基板 200 的制作方法。图 3A ~图 3F 为本发明一实施例的薄膜晶体管阵列基板的制作方法。

[0069] 请参照图 3A,首先提供基板 210,且基板 210 上具有显示区 210D、栅极驱动区 210G 以及源极驱动区 210S。之后,形成非晶硅层 290 于基板 210 上。接着,通过激光 L 照射非晶硅层 290。之后,如图 3B 所示,形成多晶硅层 292,其中此多晶硅层 292 的俯视图如图 2 所示。请同时参照图 2 与图 3B,多晶硅层 292 中具有多个主晶界 MGB 以及多个次晶界 SGB,且位于显示区 210D 以及栅极驱动区 210G 的多晶硅层 292 的晶粒尺寸 S1 实质上不同于位于源极驱动区 210S 的多晶硅层 292 的晶粒尺寸 S2。在本实施例中,于源极驱动区 210S 中所形成的多晶硅层 292 中仅具有次晶界 SGB 而无主晶界 MGB。并且,第二多晶硅岛 220B 中的晶粒尺寸 S2 实质上大于第一多晶硅岛 220A 中的晶粒尺寸 S1。

[0070] 之后,请参照图 3C,在图案化多晶硅层 292 之后,形成多个多晶硅岛 220,其中位于显示区 210D 以及栅极驱动区 210G 的多晶硅岛 220 构成多个第一多晶硅岛 220A,位于源极驱动区 210S 的多晶硅岛 220 构成多个第二多晶硅岛 220B。

[0071] 接着,请参照图 3D,分别于各第一多晶硅岛 220A 中与各第二多晶硅岛 220B 中定义出源极区 222、漏极区 224 以及一位于源极区 222 以及漏极区 224 之间的沟道区 226,使得各第一多晶硅岛 220A 的主晶界 MGB 仅位于各第一多晶硅岛 220A 的源极区 222 及 / 或漏极区 224 内,而上述用以定义源极区 222、漏极区 224 以及沟道区 226 的方法例如是经由离子掺杂工艺,其中此离子掺杂工艺例如是使用一暴露出源极区 222 以及漏极区 224 的图案化光刻胶层(未绘示)为罩幕,而沟道区 226 未被图案化光刻胶层(未绘示)暴露出,通过溅射工艺进行一高能离子冲击多晶硅表面后,再移除所述图案化光刻胶层,以形成源极区 222、漏极区 224 以及位于源极区 222 以及漏极区 224 之间的沟道区 226。

[0072] 之后,请参照图 3E,于第一多晶硅岛 220A 以及第二多晶硅岛 220B 上方覆盖栅绝缘层 240,其中栅绝缘层 240 例如是通过化学气相沉积法(chemical vapor deposition,CVD)或其他合适的薄膜沉积技术所形成,而栅绝缘层 240 为单层或多层结构,且其材质例如是氧化硅、氮化硅、氮氧化硅、光刻胶、苯并环丁烯、环烯类、聚酰亚胺类、聚酰胺类、聚酯类、聚醇类、聚环氧乙烷类、聚苯类、树脂类、聚醚类、聚酮类等介电材料、或其它合适的材料、或上

述的组合。并且,于沟道区 226 上方对应地形成多个栅极 230,使得栅极 230、沟道区 226、源极区 222 以及漏极区 224 构成薄膜晶体管,其中栅极 230 例如是通过溅射 (sputtering)、蒸发 (evaporation) 或是其他薄膜沉积技术所形成,栅极 230 为单层或多层结构,且其材质例如为铝 (Al)、钼 (Mo)、钛 (Ti)、钕 (Nd)、上述的氮化物如氮化钼 (MoN)、氮化钛 (TiN)、其迭层、上述的合金或是其他导电材料。

[0073] 接着,请参照图 3F,在本实施例中,于薄膜晶体管上可选择性地形成介电层 250,以覆盖栅极 230 以及栅绝缘层 240,并图案化所述介电层 250,使得介电层 250 具有多个开口 250H。接着,于介电层 250 上选择性地形成源极 260S 与漏极 260D,使得源极 260S 分别与多晶硅岛 220 的源极区 222 电连接,漏极 260D 分别与多晶硅岛 220 的漏极区 224 电连接。分别经由开口 250H 而与对应的源极区 222 与漏极区 224 电连接。接着,在本实施例中,更可于显示区 210D 内形成一暴露出漏极 260D 的保护层 268,并于保护层 268 上形成一与漏极 260D 电连接的像素电极 270。必需说明的是,本实施例的图 3A ~ 3F 所述的制造流程,以栅极 230、沟道区 226、源极区 222 以及漏极区 224 构成一种顶栅极型态的薄膜晶体管,在其他实施例中,栅极 230 也可以对应地配置于沟道区 226 下方,而构成一种底栅极型态的薄膜晶体管,本发明并不以此为限。

[0074] 更详细而言,图 4A ~ 图 4D 为本发明的一种通过激光 L 照射非晶硅层而形成多晶硅层的方法。请先参照图 4A,例如包括下列步骤。首先,提供掩膜 280,其中掩膜 280 具有宽度为 W 的透光区 280T,并令激光 L 经由透光区 280T 照射非晶硅层 290,以使被激光 L 照射的非晶硅层 290 熔融,而熔融的非晶硅层 290 会以被照射区域两侧的固态非晶硅为晶种,由两侧向被照射区域中央侧向成长。

[0075] 之后,如图 4B 所示的步骤 (A),其中步骤 (A) 为先使掩膜 280 相对于非晶硅层 290 移动距离 D1,其中 $D1 < 0.5W$ 。之后,令激光 L 经由透光区 280T 照射非晶硅层 290。实施步骤 (A) 将使得被激光 L 照射的区域沿着已成长的多晶硅晶粒继续侧向成长,如此重复上述 (A) 步骤,可以使得晶粒在不形成主晶界 MGB 的情况下连续性地成长。其中,掩膜 280 相对于非晶硅层 290 移动情况,包括:掩膜 280 移动而非晶硅层 290 不动的情况、或是掩膜 280 不动而非晶硅层 290 移动的情况、或者是掩膜 280 向某一方向移动而非晶硅层 290 向另一方向移动,其中另一方向实质上不同于某一方向的情况。本发明的实施例以掩膜 280 移动,而非晶硅层 290 不动为范例,但不限于此。

[0076] 接着,如图 4C 所示的步骤 (B),其中步骤 (B) 为先使掩膜 280 相对于非晶硅层 290 移动距离 D2,其中 $D2 \geq 0.5W$ 。之后,令激光 L 经由透光区 280T 照射非晶硅层 290。由于掩膜 280 与非晶硅层 290 的相对移动量实质上大于透光区 280T 的二分之一,因此实施步骤 (B) 时,主晶界 MGB 将形成于前一次被照射的非晶硅层 290 的中央。

[0077] 之后,如图 4D 所示,重复 m 次的步骤 (A) 后搭配一次步骤 (B),并将上述的重复 m 次的步骤 (A) 后搭配一次步骤 (B) 的程序来回操作数次,而形成主晶界 MGB 为周期性排列且固定间距为 S1 的多晶硅层 290。

[0078] 值得注意的是,上述非晶硅结晶方式也可不使用掩膜,而是将激光束平行于移动方向的宽度窄化,而拉长激光束垂直移动方向的长度,来达到相同目的。换句话说,不使用掩膜来制造多晶硅的步骤,包括 (A) 提供一激光,所述激光具有一宽度为 W 的光束区;(B) 令所述激光照射所述非晶硅层,以使被所述非晶硅层的一部份熔融;(C) 使所述激光相对

于所述非晶硅层移动一距离 $D1$, 其中 $D1 < 0.5W$, 并令所述激光照射所述非晶硅层; 以及 (D) 使所述激光相对于所述非晶硅层移动一距离 $D2$, 其中 $D2 \geq 0.5W$, 并令所述激光照射该非晶硅层。其它步骤或详细步骤相同于需使用掩膜的步骤, 于此不再赘言。必需说明的是, 激光的光束区尺时实质上相同于上述需使用掩膜的透光区 280T 尺时。

[0079] 实务上, 可依基板尺寸、薄膜晶体管尺寸以及预定形成位置, 而重复地使用上述步骤 (A) 多次以使晶粒在不形成主晶界 MGB 的情况下成长, 并依据主晶界 MGB 的预定形成位置而适时搭配一次上述的步骤 (B), 以控制多晶硅层 292 中主晶界 MGB 的形成并缩短制作时程。举例而言, 在本实施例中, 将源极驱动区 210S 中的非晶硅层 290 转变成多晶硅层 292 的步骤中, 例如是重复地使用上述步骤 (A), 以使得位于源极驱动区 210S 中的多晶硅层 292 的结构中仅具有次晶界 SGB 而无主晶界 MGB。另一方面, 将显示区 210D 以及栅极驱动区 210G 中的非晶硅层 290 转变成多晶硅层 292 的步骤中, 例如是重复 m 次的步骤 (A) 后搭配一次步骤 (B), 并将上述的重复 m 次的步骤 (A) 后搭配一次步骤 (B) 的程序来回操作数次, 以形成主晶界 MGB 为周期性排列且间距为 $S1$ 的多晶硅层 292。

[0080] 使用者可以依据产品解析度、产品尺寸、生产产能或其他需求来搭配选用上述适当的多晶硅结晶步骤, 以使得第一多晶硅岛 220A 中的主晶界 MGB 仅出现于源极区 222 及 / 或漏极区 224, 如此一来, 不但可以得到高载子迁移的薄膜晶体管, 另一方面, 可以提升薄膜晶体管阵列基板 200 的制作效能。以下再列举几种本发明的薄膜晶体管阵列基板 200, 并搭配本发明不同实施例的薄膜晶体管的多晶硅膜在结晶后的晶粒排列状态图, 以清楚说明多晶硅在不同基板 210 上的结晶型态。

[0081] 第二实施例

[0082] 图 5A 为本发明第二实施例的薄膜晶体管阵列基板沿图 1A 的 AA、BB、CC 剖面线的剖面示意图。请参照图 5A, 为简化说明, 不再对所述这些与前述类似的构件作说明。与前述实施例相较, 本实施例的薄膜晶体管阵列基板 300 的第二多晶硅岛 320B 具有主晶界 MGB 以及次晶界 SGB, 且第二多晶硅岛 320B 的主晶界 MGB 仅位于源极区 222 及 / 或漏极区 224 内, 换言之, 第二多晶硅岛 320B 的沟道区 226 中并无主晶界 MGB 存在。第二多晶硅岛 320B 的主晶界 MGB 以及次晶界 SGB 的形成位置例如可通过调变前述的扫描间距加以控制。并且, 在本实施例中, 薄膜晶体管阵列基板 300 的第二多晶硅岛 320B 中的晶粒尺寸实质上大于第一多晶硅膜中的晶粒尺寸。

[0083] 图 5B 绘示为本发明第二实施例的薄膜晶体管的多晶硅膜在结晶后的晶粒排列状态图。请参照图 5B, 位于源极驱动区 210S 中, 预定形成第二多晶硅岛 320B 的多晶硅膜具有主晶界 MGB 以及次晶界 SGB, 因此图案化该区的多晶硅岛后, 即构成如图 5A 所示的主晶界 MGB 与次晶界 SGB 仅位于第二多晶硅岛 320B 的源极区 222 及 / 或漏极区 224 的型态, 并且第二多晶硅岛 320B 的主晶界 MGB 是以长度为 $S2$ 的间距周期性排列。如图 5A 所示, 位于显示区 210D 以及栅极驱动区 210G 中, 预定形成第一多晶硅岛 320A 的多晶硅膜中的主晶界 MGB 是以长度为 $S1$ 的间距周期性排列, 且 $S2 > S1$ 。因此只要适当布局薄膜晶体管在基板 210 上的形成位置, 即可在图案化该区的多晶硅岛后, 构成主晶界 MGB 仅出现于源极区 222 及 / 或漏极区 224 的第一多晶硅岛 320A, 以及主晶界 MGB 仅出现于源极区 222 及 / 或漏极区 224 的第二多晶硅岛 320B。

[0084] 以前述通过激光 L 照射非晶硅层 290 的方法来制作本实施例如图 5B 的多晶硅层

392 时,例如是 n 次的步骤 (A) 后搭配一次步骤 (B),并将上述的重复 n 次的步骤 (A) 后搭配一次步骤 (B) 的程序来回操作数次,以形成主晶界 MGB 为周期性排列且间距为 S_2 的多晶硅层 392,使得该区的多晶硅层 392 在经后续的图案化工艺后,形成如图 5A 的第二多晶硅岛 320B,其中第二多晶硅岛 320B 中的主晶界 MGB 仅位于源极区 222 及 / 或漏极区 224 中。如此,可以进一步提升薄膜晶体管的产能,并且获得高元件特性的薄膜晶体管。另一方面,将显示区 210D 以及栅极驱动区 210G 中的非晶硅层 390 转变成多晶硅层 392 的步骤中,例如是重复 m 次的步骤 (A) 后搭配一次步骤 (B),并将上述的重复 m 次的步骤 (A) 后搭配一次步骤 (B) 的程序来回操作数次,以形成主晶界 MGB 为周期性排列且间距为 S_1 的多晶硅层 392,使得该区的多晶硅层 392 在经后续的图案化工艺后,形成如图 5B 的第一多晶硅岛 220A,其中第一多晶硅岛 220A 中的主晶界 MGB 仅位于源极区 222 及 / 或漏极区 224 中。并且,在本实施例中,上述多晶硅层 392 的结晶步骤中, $n > m$,如此,多晶硅层 392 中结晶后的主晶界 MGB 间距 $S_2 > S_1$,使得图案化多晶硅层 392 之后,第二多晶硅岛 320B 中的晶粒尺寸实质上大于第一多晶硅膜中的晶粒尺寸。

[0085] 第三实施例

[0086] 图 6A 为本发明第三实施例的薄膜晶体管阵列基板沿图 1A 的 AA、BB、CC 剖面线的剖面示意图。请参照图 6A,为简化说明,不再对所述这些与前述类似的构件作说明。与第二实施例相较,本实施例的薄膜晶体管阵列基板 400 的第二多晶硅岛 420B 的主晶界 MGB 仅位于源极区 222 及 / 或漏极区 224 内,换言之,第二多晶硅岛 420B 的沟道区 226 中并无主晶界 MGB 存在。并且,在本实施例中,薄膜晶体管阵列基板 400 的第二多晶硅岛 420B 中的晶粒尺寸实质上小于第一多晶硅膜中的晶粒尺寸。

[0087] 图 6B 绘示为本发明第三实施例的薄膜晶体管的多晶硅膜在结晶后的晶粒排列状态图。请参照图 6B,位于源极驱动区 210S 中,预定形成第二多晶硅岛 420B 的多晶硅膜中具有主晶界 MGB 以及次晶界 SGB,因此图案化该区的多晶硅岛后,即构成如图 6A 所示的主晶界 MGB 与次晶界 SGB 仅位于第二多晶硅岛 420B 的源极区 222 及 / 或漏极区 224 的型态,并且第二多晶硅岛 420B 的主晶界 MGB 是以长度为 S_2 的间距周期性排列。如图 6A 所示,位于显示区 210D 以及栅极驱动区 210G 中,预定形成第一多晶硅岛 420A 的多晶硅膜中的主晶界 MGB 是以长度为 S_1 的间距周期性排列,且 $S_2 < S_1$ 。

[0088] 以前述通过激光 L 照射非晶硅层 290 的方法来制作本实施例如图 6B 的多晶硅层 492 时,例如是 n 次的步骤 (A) 后搭配一次步骤 (B),并将上述的重复 n 次的步骤 (A) 后搭配一次步骤 (B) 的程序来回操作数次,以形成主晶界 MGB 为周期性排列且间距为 S_2 的多晶硅层 492。另一方面,将显示区 210D 以及栅极驱动区 210G 中的非晶硅层 490 转变成多晶硅层 492 的步骤中,例如是重复 m 次的步骤 (A) 后搭配一次步骤 (B),并将上述的重复 m 次的步骤 (A) 后搭配一次步骤 (B) 的程序来回操作数次,以形成主晶界 MGB 为周期性排列且间距为 S_1 的多晶硅层 492。并且,在本实施例中,上述多晶硅层 492 的结晶步骤中, $n < m$,如此,多晶硅层 492 中结晶后的主晶界 MGB 间距 $S_2 < S_1$,使得图案化多晶硅层 492 之后,第二多晶硅岛 420B 中的晶粒尺寸实质上小于第一多晶硅膜中的晶粒尺寸。

[0089] 第四实施例

[0090] 图 7A 为本发明第四实施例的薄膜晶体管阵列基板沿图 1A 的 AA、CC、DD 剖面线的剖面示意图。请参照图 7A,为简化说明,不再对所述这些与前述类似的构件作说明。与前述

实施例相较,本实施例的薄膜晶体管阵列基板 500 的第二多晶硅岛 520B 仅具有次晶界 SGB,而第一多晶硅岛 520A 的晶粒尺寸为多种。

[0091] 图 7B 绘示为本发明第四实施例的薄膜晶体管的多晶硅膜在结晶后的晶粒排列状态图。请参照图 7B,在本实施例中位于源极驱动区 210S 中,预定形成第二多晶硅岛 520B 的多晶硅膜仅具有次晶界 SGB,其说明以及制作方式以于前文说明,不再赘述。特别的是,请同时参照图 1A、图 7A 以及图 7B,显示区 210D 以及栅极驱动区 210G 包括一第一区域 R1 以及一第二区域 R2,其中位于第一区域 R1 中的第一多晶硅岛 520A 具有第一晶粒尺寸 G1,位于第二区域 R2 中的第一多晶硅岛 520A 具有一第二晶粒尺寸 G2,且第一晶粒尺寸 G1 不同于第二晶粒尺寸 G2。其中,第一区域 R1 以及第二区域 R2 在薄膜晶体管阵列基板上的布局方式视元件需求而定。

[0092] 详言之,以前述通过激光 L 照射非晶硅层 290 的方法来制作本实施例如图 7B 的多晶硅膜时,将第一区域 R1 中的非晶硅层转变成多晶硅层 592 的步骤中,例如是重复 m1 次的步骤 (A) 后搭配一次步骤 (B),并将上述的重复 m1 次的步骤 (A) 后搭配一次步骤 (B) 的程序来回操作数次,以形成主晶界 MGB 为周期性排列且间距为 S1 的多晶硅层 592。并且,在将第二区域 R2 中的非晶硅层转变成多晶硅层 592 的步骤中,例如是重复 m2 次的步骤 (A) 后搭配一次步骤 (B),并将上述的重复 m2 次的步骤 (A) 后搭配一次步骤 (B) 的程序来回操作数次,以形成主晶界 MGB 为周期性排列且间距为 S3 的多晶硅层 592 在本实施例中,上述多晶硅层 592 的结晶步骤中的 $m1 < m2$,如此,多晶硅层 592 中结晶后的主晶界 MGB 间距 $S1 < S3$,使得图案化多晶硅层 592 之后,位于第一区域 R1 的第一多晶硅岛 520A 中的晶粒尺寸 G1 实质上小于位于第二区域 R2 的第一多晶硅膜中的晶粒尺寸 G2。

[0093] 当然,在上述的多晶硅层 592 的结晶步骤中,m1 也可以大于 m2,而使得位于第一区域 R1 的第一多晶硅岛 520A 中的晶粒尺寸实质上大于位于第二区域 R2 的第一多晶硅膜中的晶粒尺寸,端视产品需求而定,本发明并不以此为限。

[0094] 综上所述,本发明的薄膜晶体管阵列基板及其制作方法至少包括下列优点的全部或一部份:

[0095] (1) 由于第一多晶硅岛的主晶界仅位于薄膜晶体管中的源极区及 / 或漏极区内,薄膜晶体管中的沟道区并不存在主晶界,因此沟道区的载子迁移率高,薄膜晶体管阵列基板上的薄膜晶体管具有高迁移率以及高可靠性。

[0096] (2) 由于本发明的薄膜晶体管阵列基板的制作方法可依据薄膜晶体管的布局设计进行不同扫描间距的步骤。因此,并减少激光照射次数与移动基板次数,以有效地提升工艺效率与产能。

[0097] (3) 在本发明的薄膜晶体管阵列基板中,多晶硅的主晶界可视该区域晶体管的电性需求而选择性地配置于特定局部区域中,换言之,薄膜晶体管阵列基板上多晶硅的晶粒大小为依各区域不同的操作特性而改变,因此本发明的薄膜晶体管阵列基板可兼具元件特性表现以及工艺效率。

[0098] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何所属技术领域技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围以权利要求所界定范围为准。

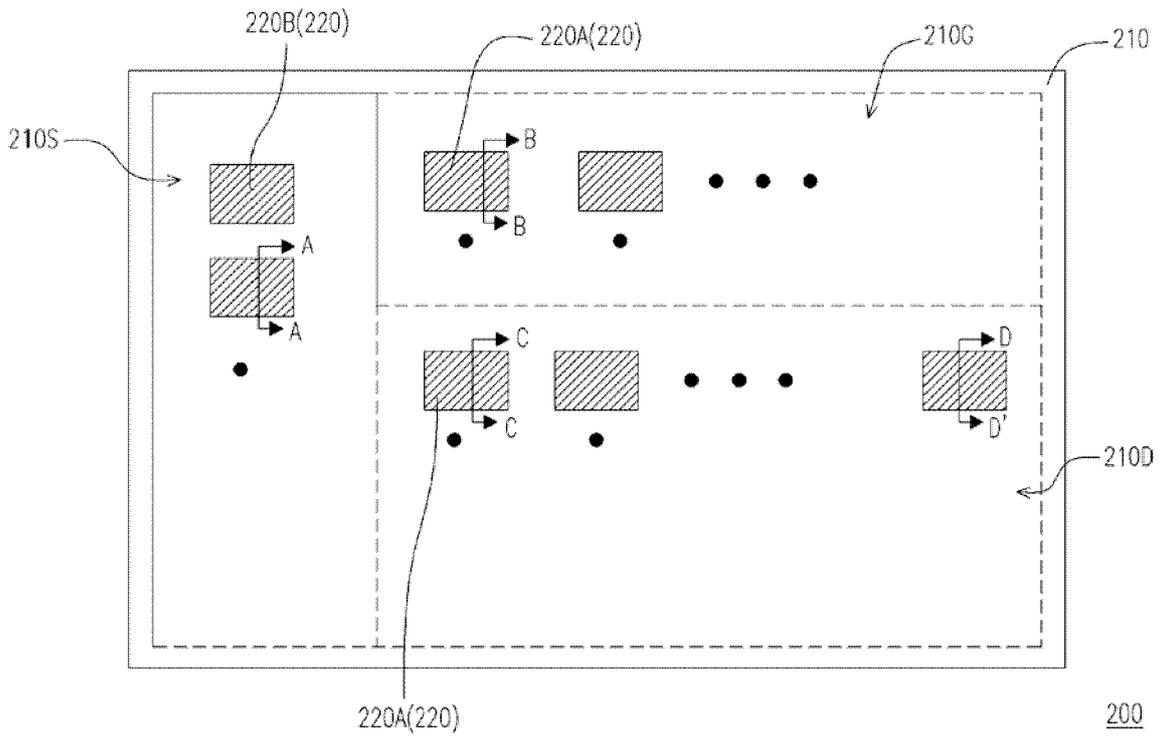


图 1A

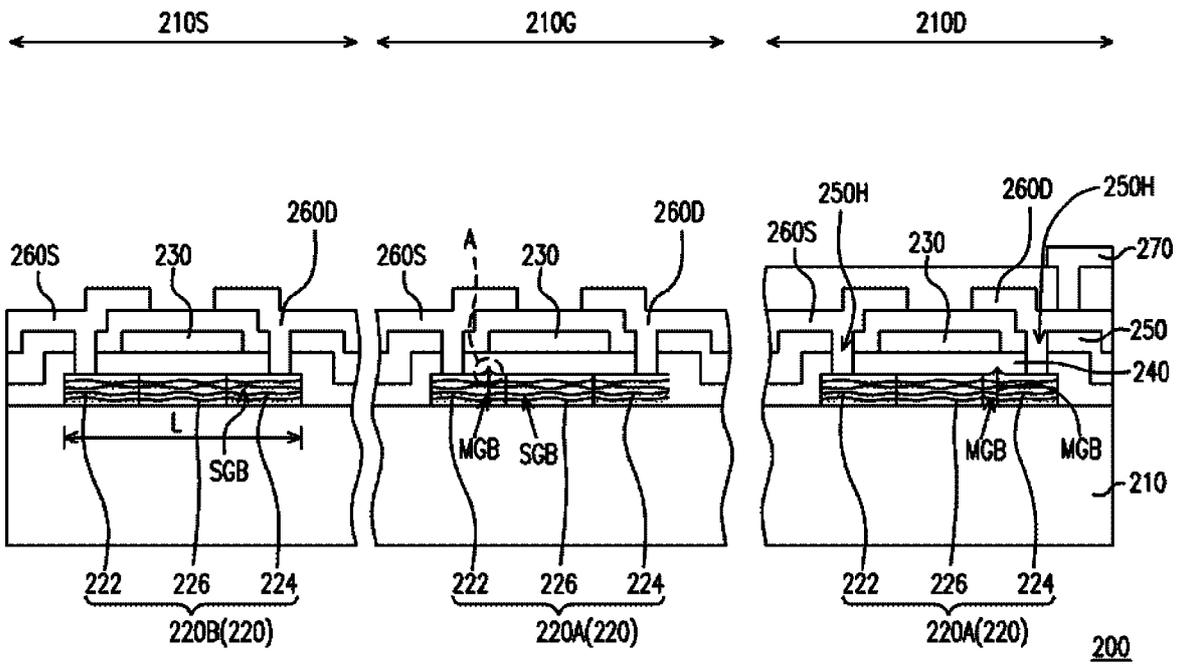


图 1B

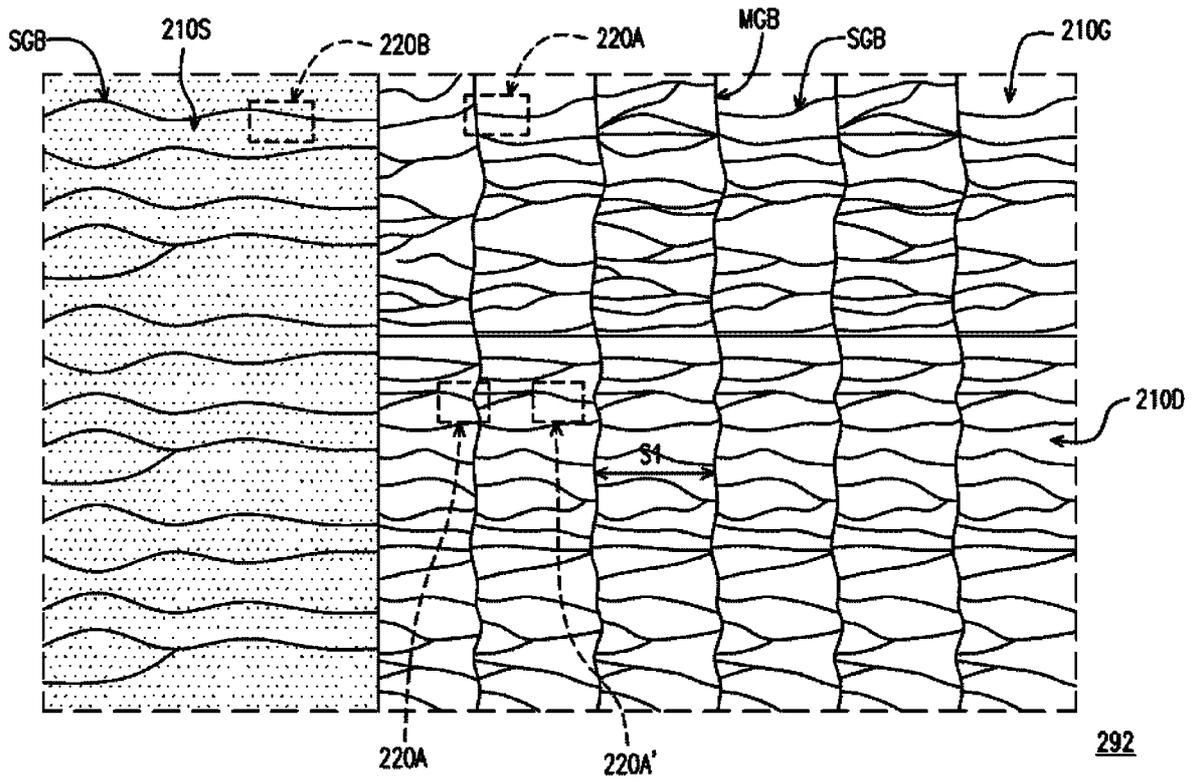


图 2

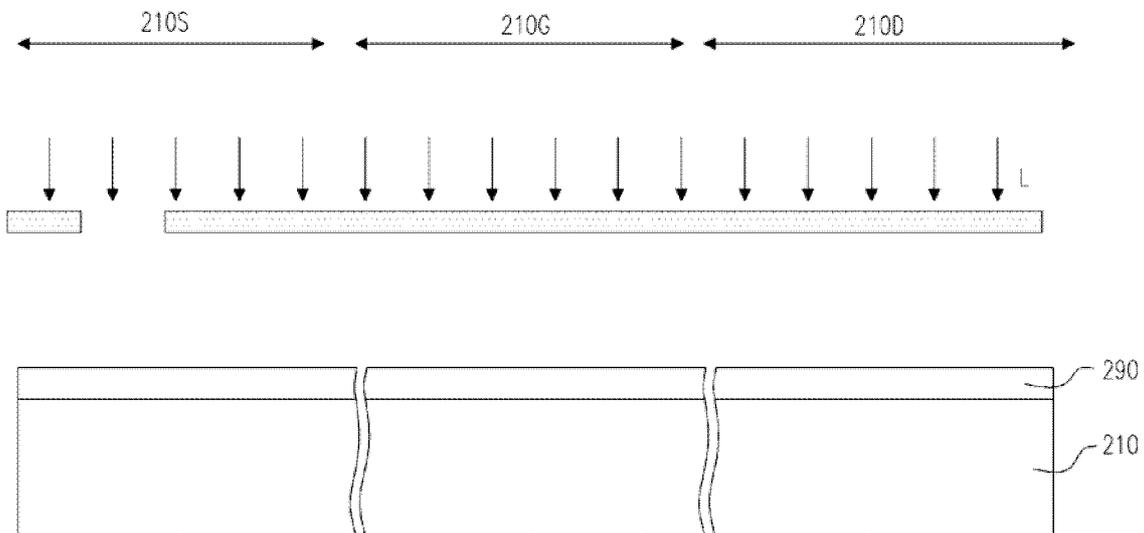


图 3A

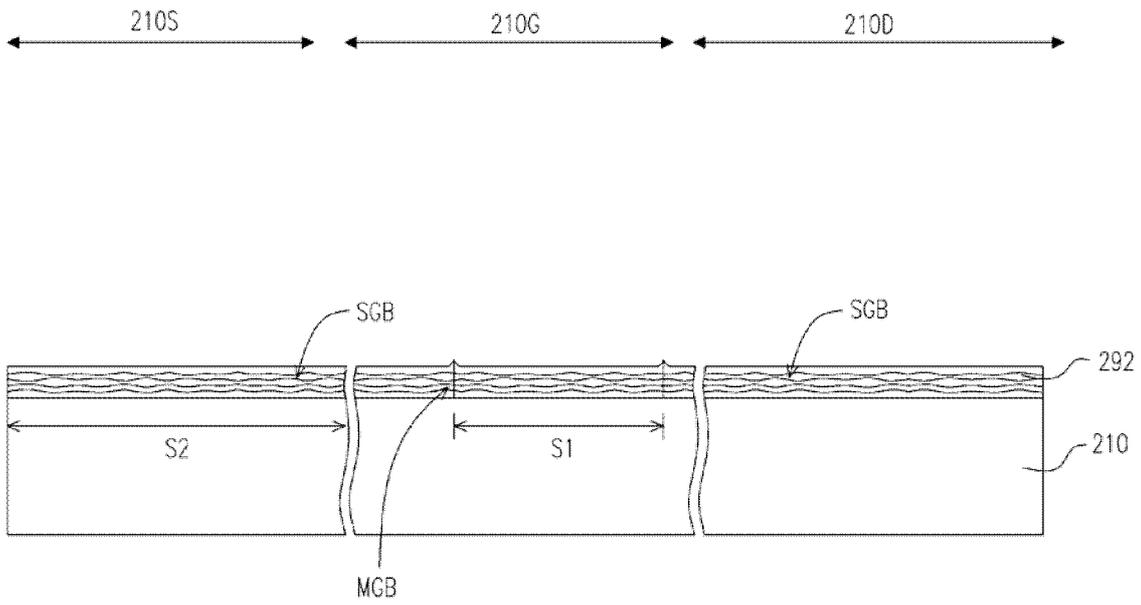


图 3B

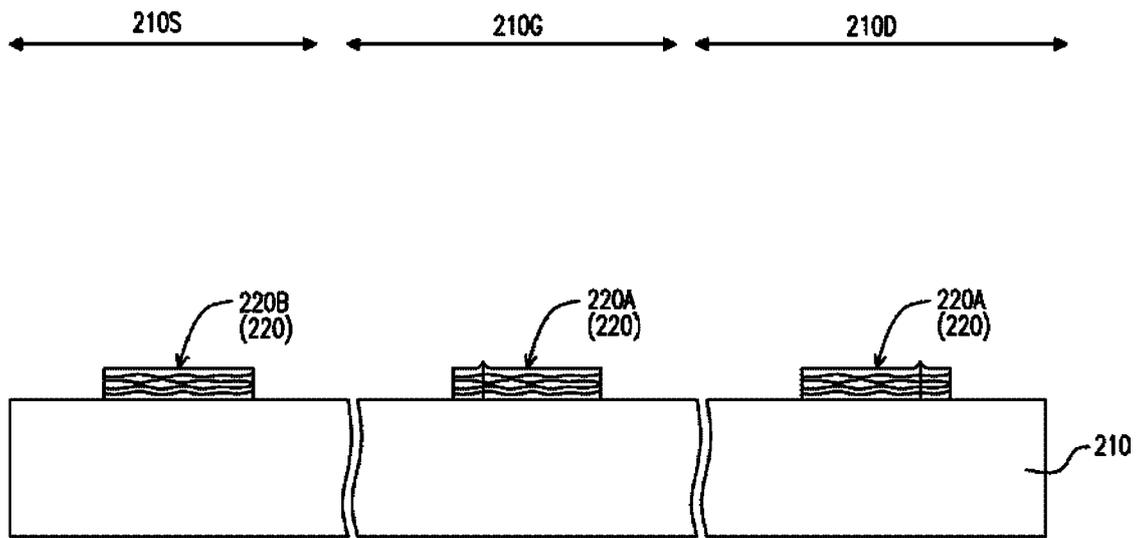


图 3C

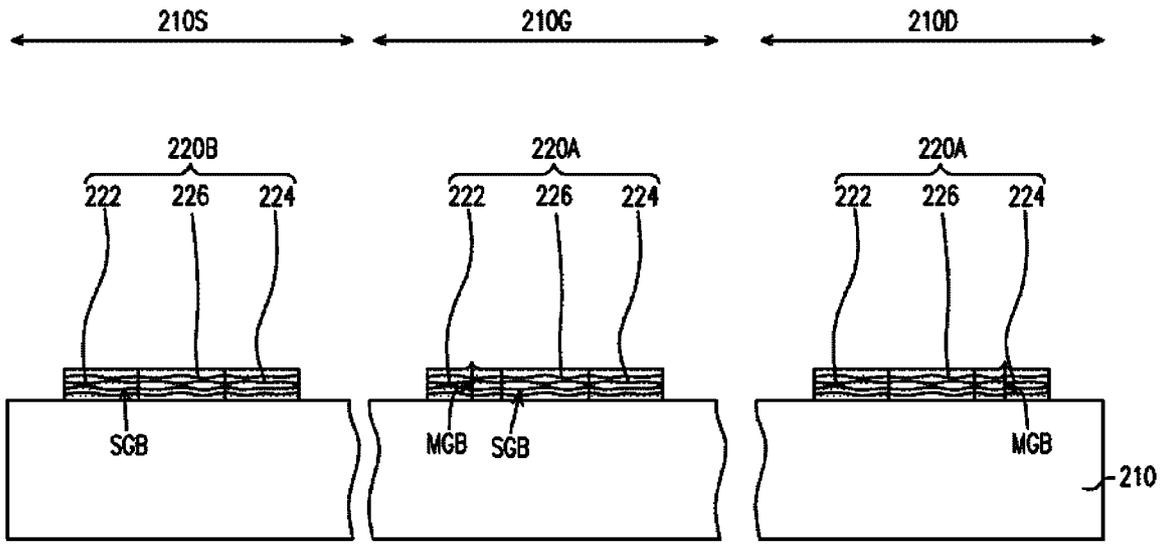


图 3D

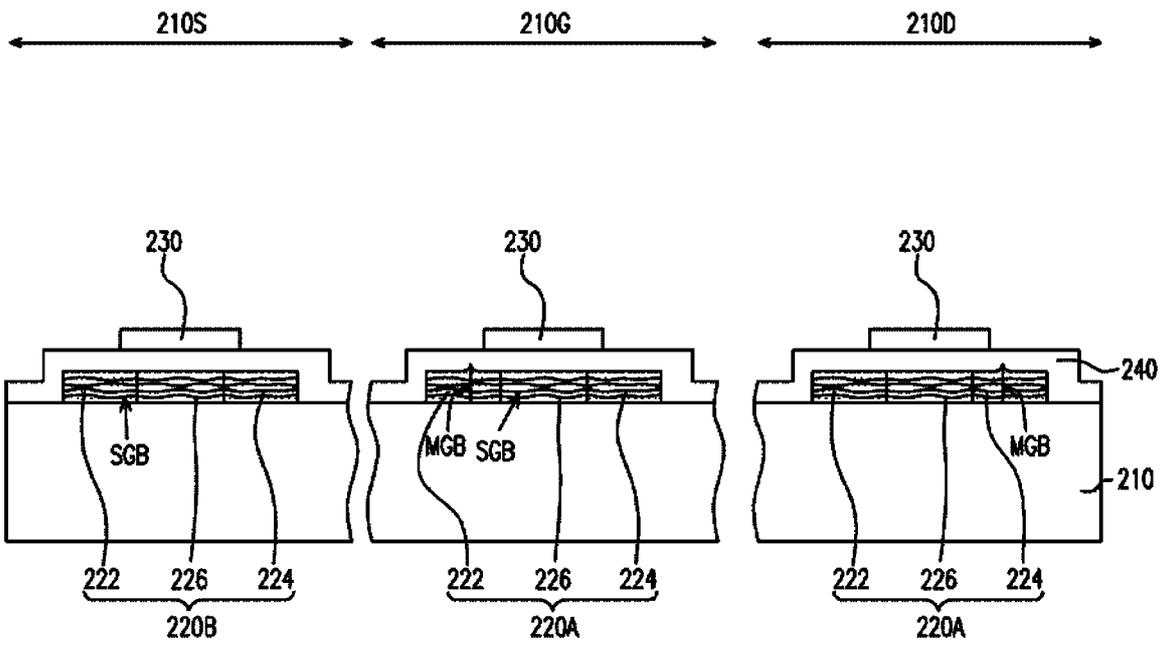


图 3E

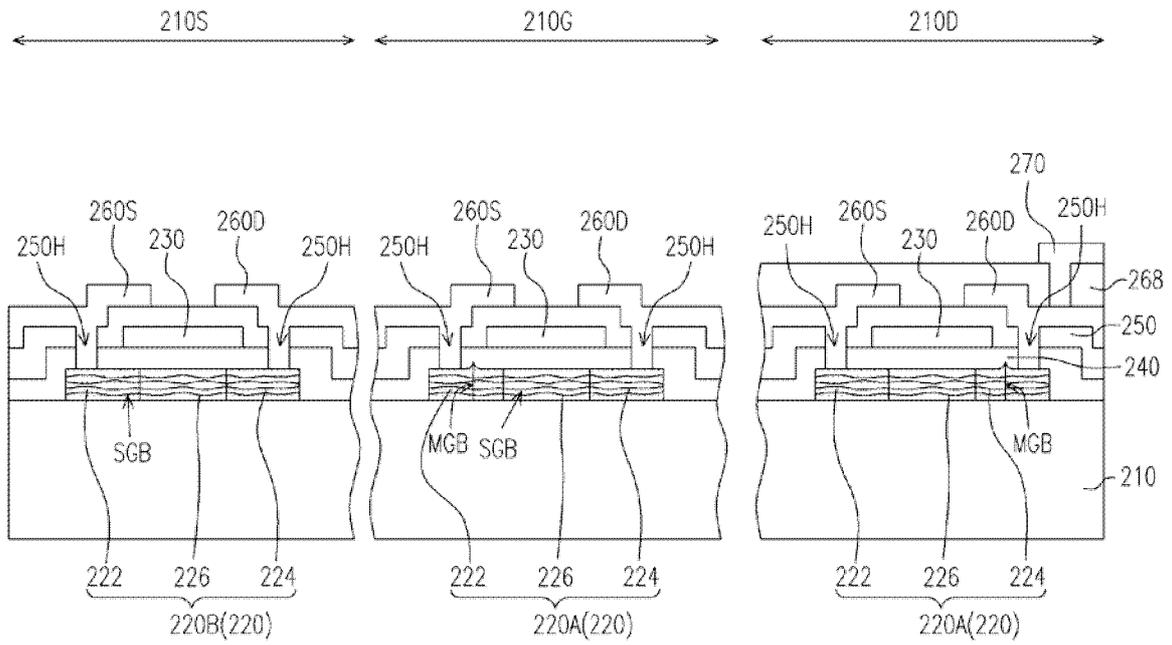


图 3F

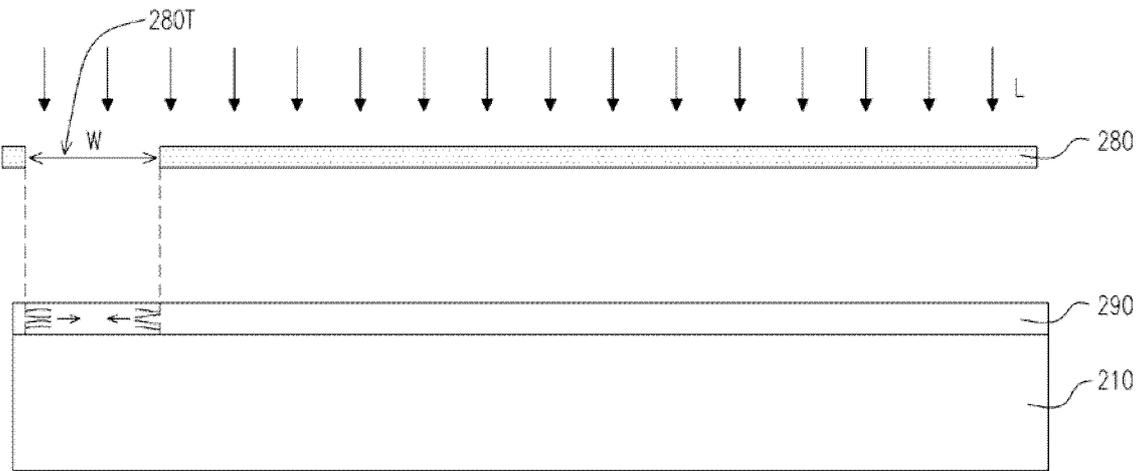


图 4A

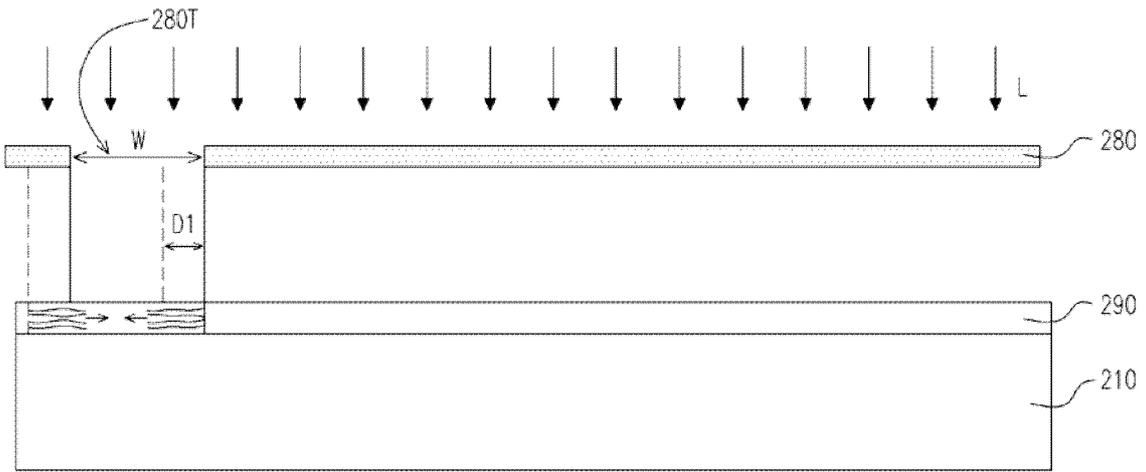


图 4B

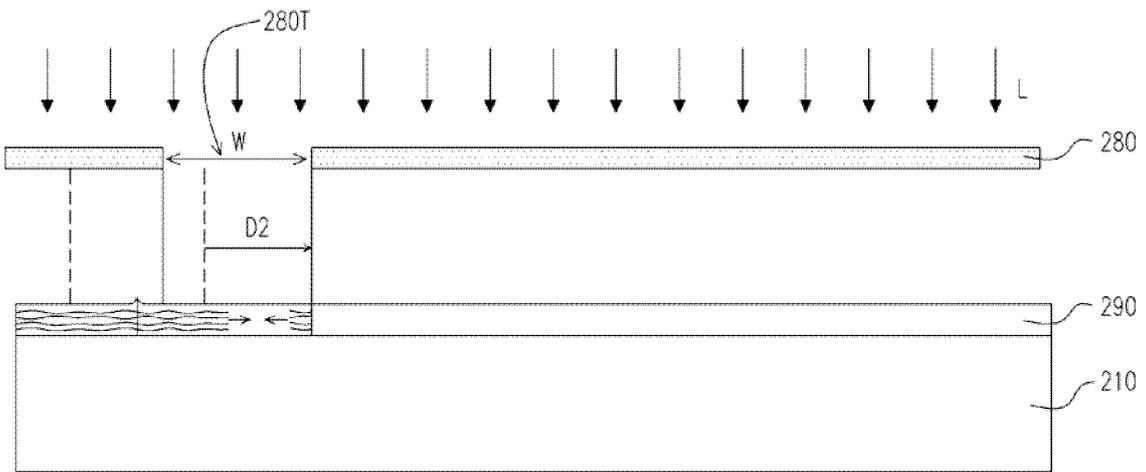


图 4C

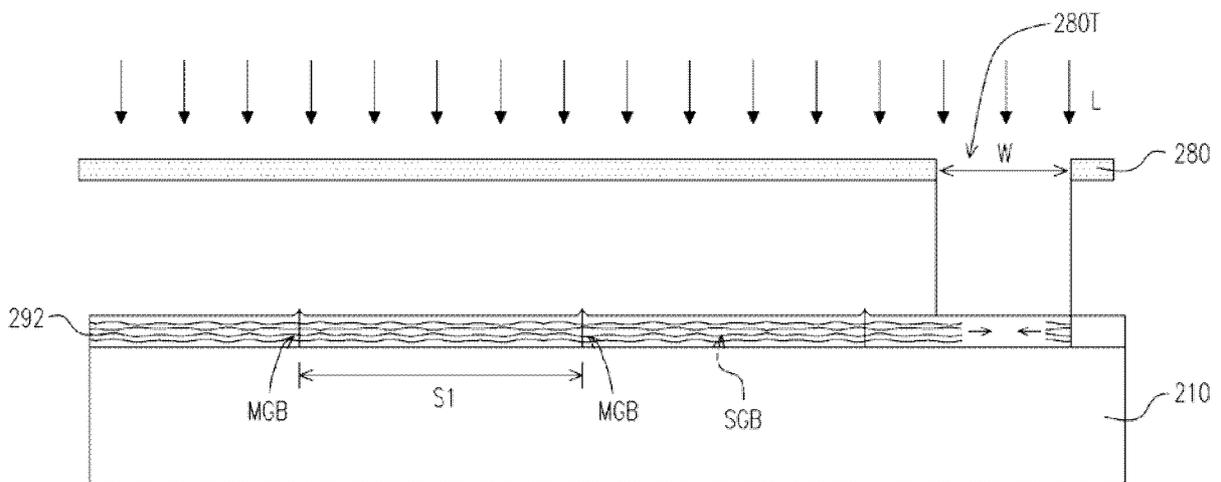


图 4D

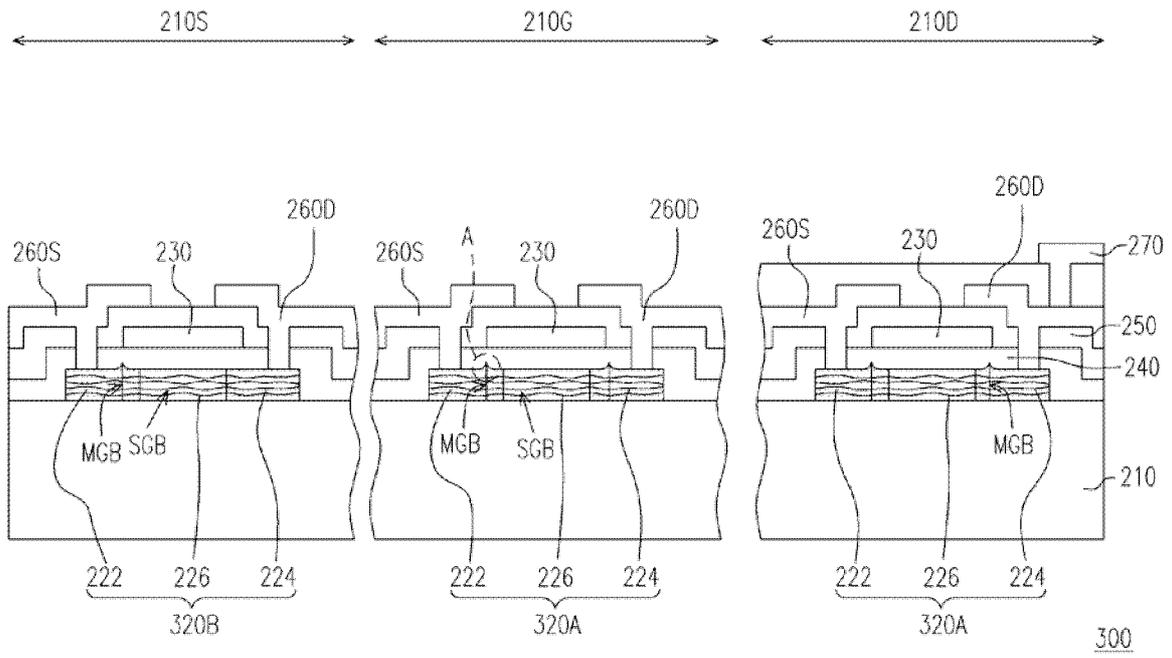


图 5A

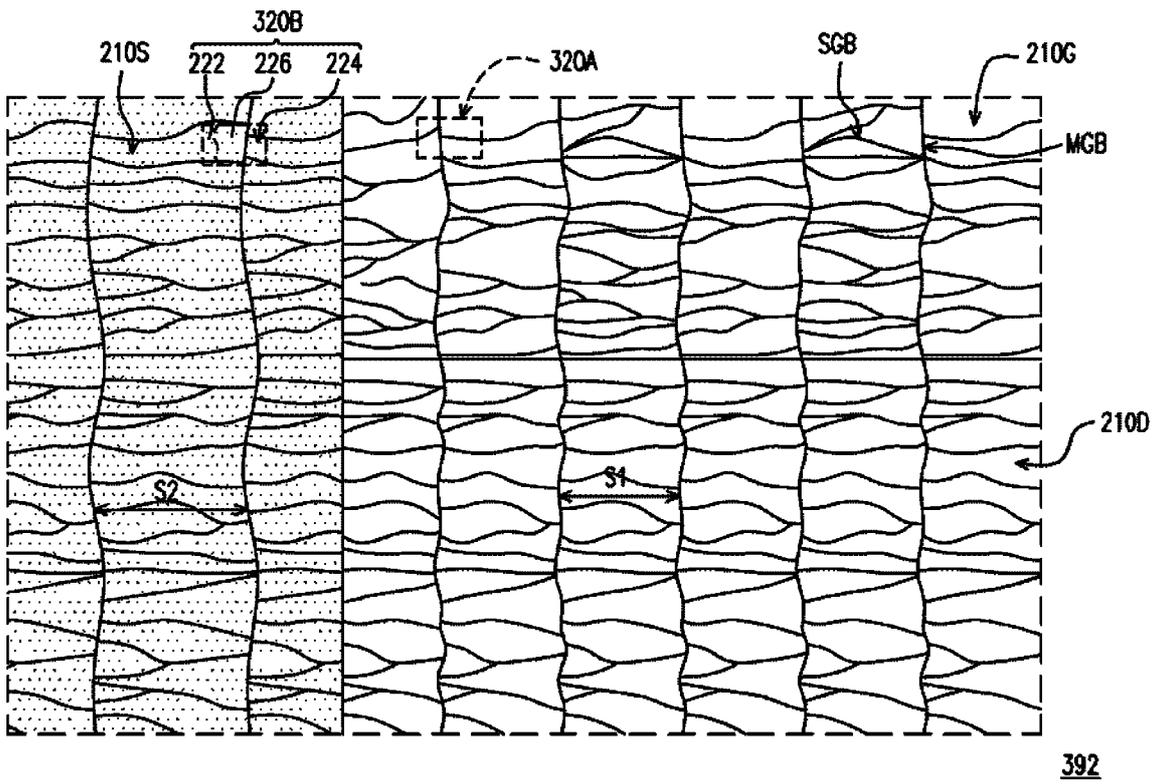


图 5B

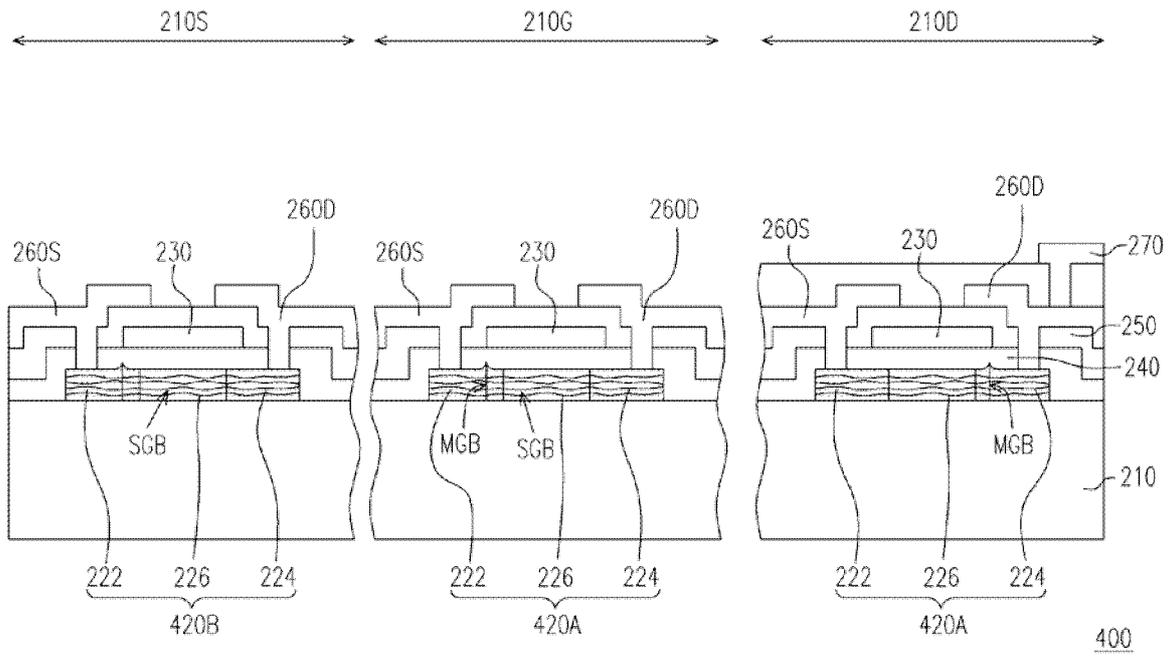


图 6A

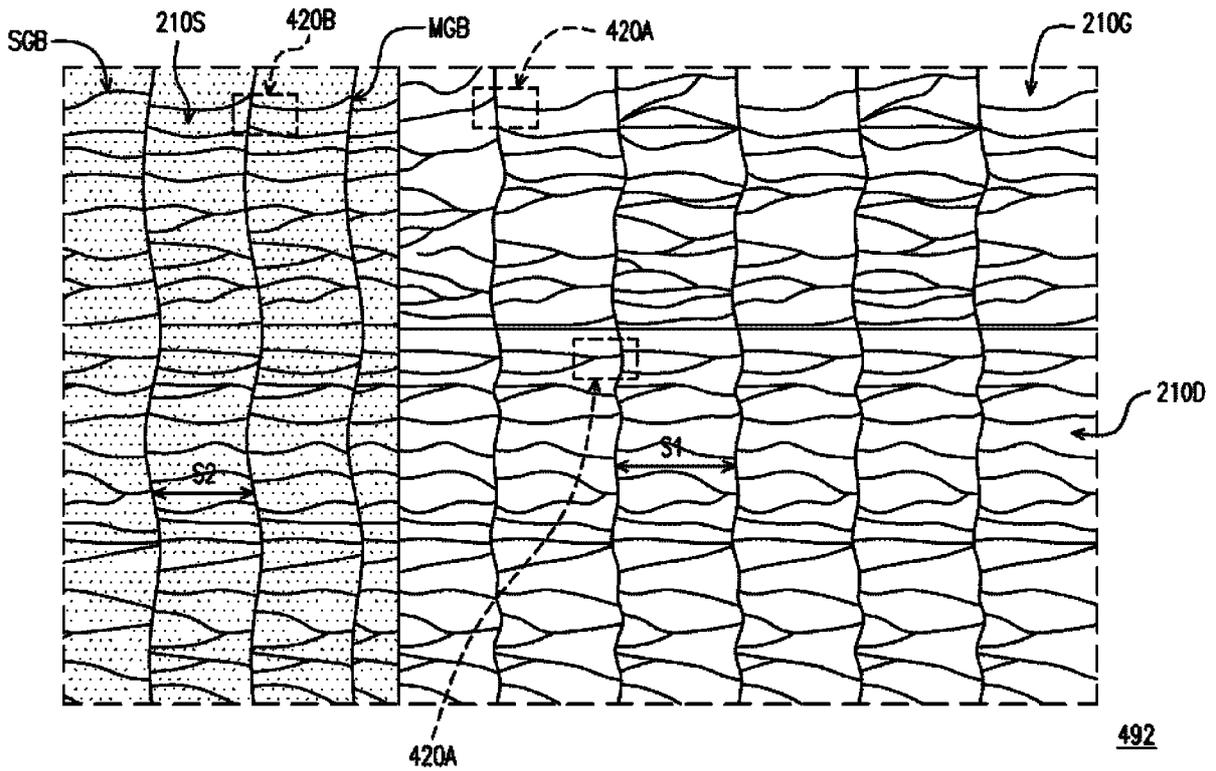


图 6B

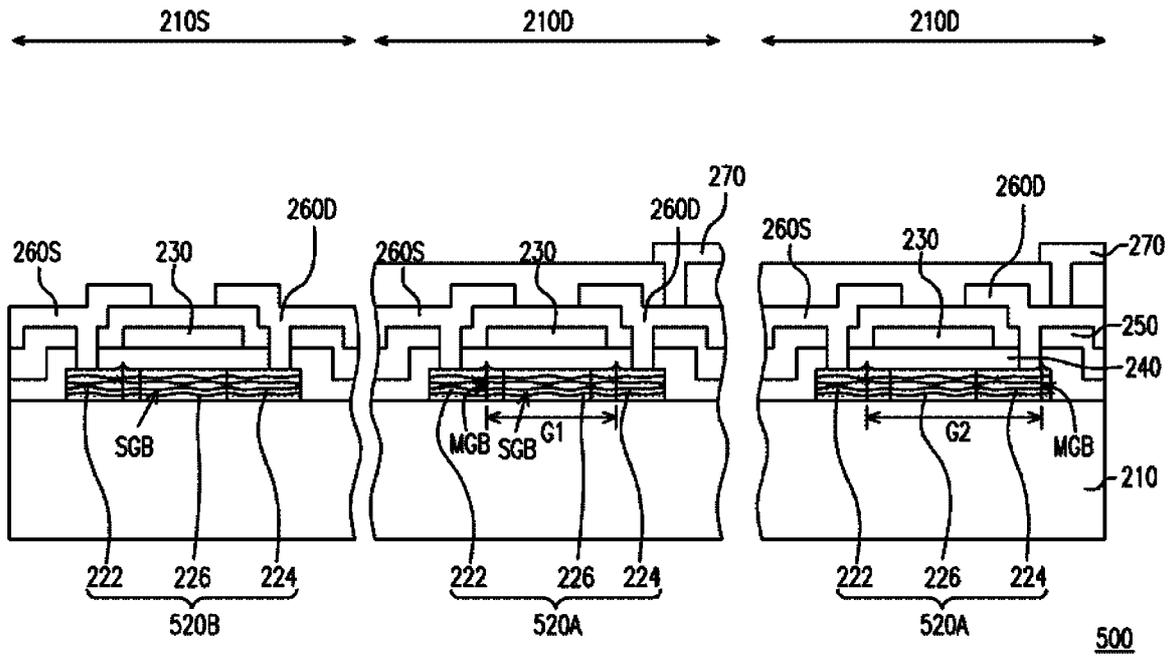


图 7A

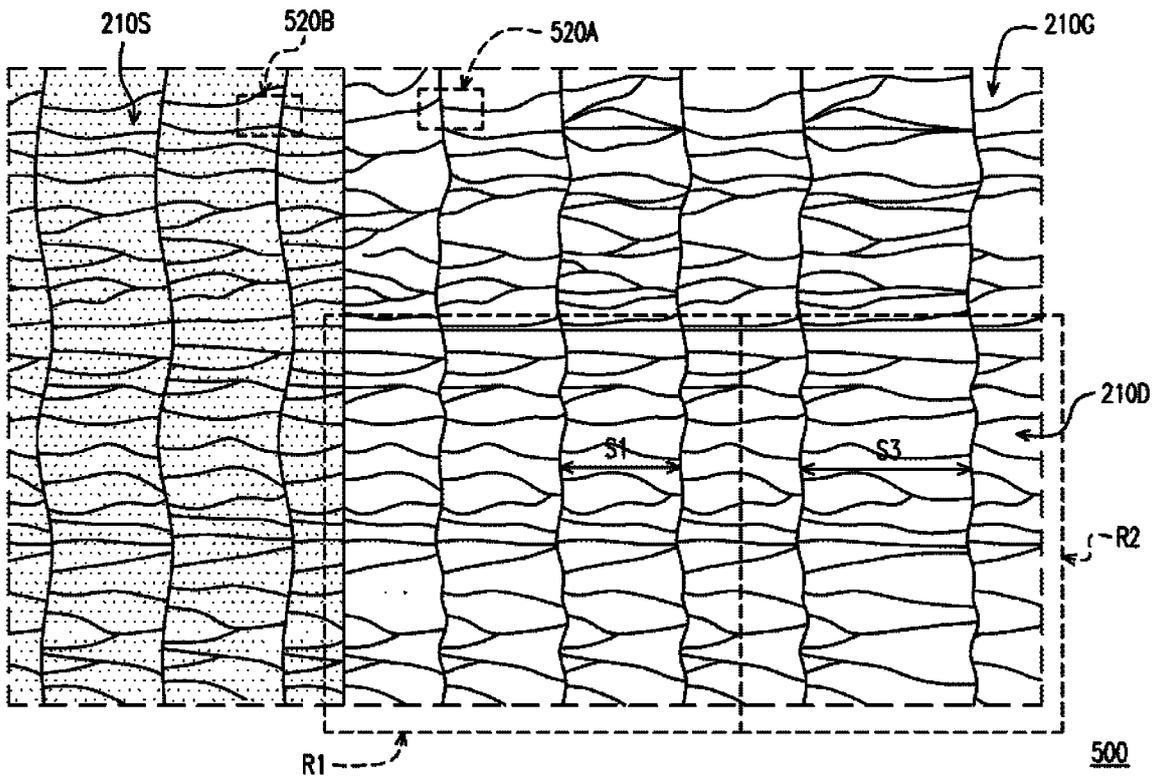


图 7B