



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년07월22일
(11) 등록번호 10-2686862
(24) 등록일자 2024년07월16일

- (51) 국제특허분류(Int. Cl.)
H03G 3/30 (2006.01) H03F 1/22 (2006.01)
H03F 1/56 (2006.01) H03F 3/193 (2006.01)
H03G 1/00 (2006.01) H03G 3/00 (2024.01)
- (52) CPC특허분류
H03G 3/3063 (2013.01)
H03F 1/223 (2013.01)
- (21) 출원번호 10-2023-7022531(분할)
- (22) 출원일자(국제) 2017년08월30일
심사청구일자 2023년07월05일
- (85) 번역문제출일자 2023년07월03일
- (65) 공개번호 10-2023-0107705
- (43) 공개일자 2023년07월17일
- (62) 원출원 특허 10-2019-7009154
원출원일자(국제) 2017년08월30일
심사청구일자 2020년08월28일
- (86) 국제출원번호 PCT/US2017/049324
- (87) 국제공개번호 WO 2018/045002
국제공개일자 2018년03월08일
- (30) 우선권주장
62/381,262 2016년08월30일 미국(US)
- (56) 선행기술조사문헌
KR1020080058335 A*
US20120206205 A1*
KR1020150119413 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
스카이워크스 솔루션즈, 인코포레이티드
미국 92617 캘리포니아주 얼바인 캘리포니아 애비뉴 5260
- (72) 발명자
이, 준형
미국 92617 캘리포니아주 어바인 캘리포니아 애비뉴 5221스카이워크스 솔루션즈, 인코포레이티드 내
심호, 리말 딘
미국 92617 캘리포니아주 어바인 캘리포니아 애비뉴 5221스카이워크스 솔루션즈, 인코포레이티드 내
(뒷면에 계속)
- (74) 대리인
양영준, 백만기

전체 청구항 수 : 총 17 항

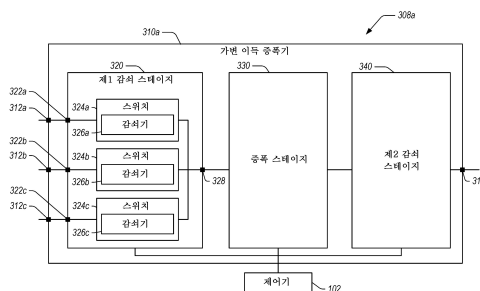
심사관 : 이준건

(54) 발명의 명칭 프로그래머블 임베디드 감쇠기들을 갖는 다중-입력 증폭기

(57) 요약

본 명세서에서는, 고 이득 모드의 신호들이 감쇠를 바이패스하는 것을 허용하는 스위칭가능 경로들에 프로그래머블 감쇠기들을 임베딩하는 가변 이득 증폭기 및 멀티플렉서들이 설명된다. 이는 유리하게도 고 이득 모드에서의 성능 저하들을 감소시키거나 또는 제거한다. 프로그래머블 감쇠기들은 타겟팅된 이득 모드들에서 LNA-전 감 (뒷면에 계속)

대표도



쇠를 통해 증폭 프로세스의 선형성을 향상시키도록 구성될 수 있다. 추가로, 스위칭 네트워크에 임베디드 감쇠기들을 갖는 가변 이득 증폭기들이 본 명세서에 설명된다. 감쇠기들은 스위치들에 임베딩될 수 있으며, 스위칭 네트워크가 고 이득 모드에서 감쇠 바이패스를 제공할 수 있고, 다른 이득 모드들에서 감쇠를 제공할 수 있기 때문에, 고 이득 모드에서 잡음 인자에 거의 또는 전혀 영향을 주지 않도록 구성될 수 있다. 프로그래머블 감쇠기들은 다중-입력 LNA 아키텍처에 임베딩될 수 있다.

(52) CPC특허분류

- H03F 1/56* (2013.01)
- H03F 3/193* (2013.01)
- H03G 1/0029* (2013.01)
- H03G 1/0088* (2013.01)
- H03G 3/001* (2013.01)
- H03F 2200/211* (2013.01)
- H03F 2200/222* (2013.01)
- H03F 2200/387* (2013.01)
- H03G 2201/106* (2013.01)

(72) 발명자

해거라앗츠, 요하네스 자코부스 에밀리 마리아

미국 92617 캘리포니아주 어바인 캘리포니아 애비뉴 5221스카이워크스 솔루션즈, 인코포레이티드 내

조, 조슈아 해석

미국 92617 캘리포니아주 어바인 캘리포니아 애비뉴 5221스카이워크스 솔루션즈, 인코포레이티드 내

아가왈, 비플

미국 92617 캘리포니아주 어바인 캘리포니아 애비뉴 5221스카이워크스 솔루션즈, 인코포레이티드 내

파디아나, 아라빈드 쿠마르

미국 92617 캘리포니아주 어바인 캘리포니아 애비뉴 5221스카이워크스 솔루션즈, 인코포레이티드 내

명세서

청구범위

청구항 1

복수의 이득 모드들에 걸쳐 신호들을 처리하도록 구성되는 신호 증폭기로서,

대응하는 복수의 입력 포트들로부터 출력 포트에 신호들을 지향시키는 복수의 브랜치들을 갖는 멀티플렉서 - 상기 복수의 브랜치들 각각은 대역 선택 스위치와 감쇠 선택 브랜치를 포함하고, 상기 대역 선택 스위치는 상기 대응하는 입력 포트에 기준 전위 노드에 선택적으로 결합시키는 션트(shunt) 스위치 회로를 가지고, 상기 감쇠 선택 브랜치는 가변 감쇠 회로를 가지고, 상기 복수의 입력 포트들 중 대응하는 입력 포트에서 수신된 신호가 상기 가변 감쇠 회로의 가변-감쇠 요소에 의해 감쇠되지 않고 상기 출력 포트에 지향되도록 개별 감쇠 선택 브랜치들은 바이패스 경로를 제공하도록 구성됨 -; 및

상기 멀티플렉서의 상기 출력 포트에 결합되는 증폭 스테이지 - 상기 증폭 스테이지는 상기 멀티플렉서로부터 수신된 신호들을 증폭하여 증폭된 출력 신호를 제공하도록 구성되고, 상기 증폭 스테이지의 증폭 또는 상기 가변 감쇠 회로의 감쇠는 상기 복수의 이득 모드들 중의 이득 모드에 기초함 - ;

를 포함하는 증폭기.

청구항 2

제1항에 있어서, 상기 신호는 라디오 주파수(radio frequency) 신호를 포함하는, 증폭기.

청구항 3

제1항에 있어서, 상기 증폭된 출력 신호를 수신하고 처리된 출력 신호를 제공하도록 구성된 증폭-후 감쇠 스테이지를 더 포함하는, 증폭기.

청구항 4

제3항에 있어서, 상기 증폭-후 감쇠 스테이지는 바이패스 경로와 가변 감쇠 경로를 포함하는, 증폭기.

청구항 5

제1항에 있어서, 상기 멀티플렉서의 개별 입력 포트들은 특정 주파수 대역들에 대응하는, 증폭기.

청구항 6

제1항에 있어서, 상기 증폭 스테이지는 캐스코드 증폭기를 포함하는, 증폭기.

청구항 7

제6항에 있어서, 상기 증폭 스테이지는 상기 증폭기의 이득 모드에 적어도 부분적으로 기초하여 인덕턴스 요소들의 수를 조정하도록 구성되는 축퇴 스위칭 블록(degeneration switching block)을 더 포함하는, 증폭기.

청구항 8

제6항에 있어서, 상기 멀티플렉서의 상기 출력 포트와 상기 증폭 스테이지 사이에 결합되는 입력 정합 네트워크를 더 포함하는, 증폭기.

청구항 9

제1항에 있어서, 상기 복수의 브랜치들 중 제1 브랜치는 제1 감쇠를 제공하고 상기 복수의 브랜치들 중 제2 브랜치는 제2 감쇠를 제공하며, 상기 제1 감쇠와 상기 제2 감쇠는 서로 독립적으로 변하는, 증폭기.

청구항 10

제1항에 있어서, 상기 멀티플렉서와 상기 증폭 스테이지에 제어 신호들을 송신하도록 구성되는 제어 회로를 더

포함하는, 증폭기.

청구항 11

제10항에 있어서, 상기 제어 회로는 상기 복수의 이득 모드들 중 제1 이득 모드에서 상기 멀티플렉서가 상기 가변 감쇠 회로의 감쇠기를 바이패스하게 하는 증폭 제어 신호를 제공하도록 구성되는 제어기를 포함하는, 증폭기.

청구항 12

프론트 엔드 아키텍처로서,

복수의 이득 모드들에 걸쳐 신호들을 처리하도록 구성되는 신호 증폭기 - 상기 증폭기는 대응하는 복수의 입력 포트들로부터의 신호들을 출력 포트로 지향시키는 복수의 브랜치들을 가지는 멀티플렉서를 포함하고, 상기 복수의 브랜치들 각각은 대역 선택 스위치와 감쇠 선택 브랜치를 포함하고, 상기 대역 선택 스위치는 상기 대응하는 입력 포트를 기준 전위 노드에 선택적으로 결합시키는 셉트 스위치 회로를 가지고, 상기 감쇠 선택 브랜치는 가변 감쇠 회로를 가지고, 상기 증폭기는 상기 멀티플렉서의 상기 출력 포트에 결합되는 증폭 스테이지를 더 포함하고, 상기 증폭 스테이지는 상기 멀티플렉서로부터 수신된 신호들을 증폭하여 증폭된 출력 신호를 제공하도록 구성되고, 상기 증폭 스테이지의 증폭 또는 상기 가변 감쇠 회로의 감쇠는 상기 복수의 이득 모드들 중의 이득 모드에 기초하고, 제1 이득 모드에서, 상기 멀티플렉서는 상기 가변 감쇠 회로의 가변-감쇠 요소를 바이패스하는 경로를 따라 신호들을 지향시킴 -;

상기 증폭기에 결합되고 주파수 대역들을 상기 복수의 입력 포트들의 선택 입력들에 지향시키기 위한 필터 어셈블리; 및

상기 복수의 이득 모드들을 제공하기 위해 상기 증폭기를 제어하도록 구현되는 제어기

를 포함하는, 프론트 엔드 아키텍처.

청구항 13

제12항에 있어서, 상기 제1 이득 모드에서, 신호의 잡음 인자는 상기 가변-감쇠 요소를 바이패스하는 것에 적어도 부분적으로 기인하여 증가되지 않는, 프론트 엔드 아키텍처.

청구항 14

제13항에 있어서, 다른 이득 모드들에서, 상기 신호의 IIP3은 상기 가변-감쇠 요소에 의해 제공되는 조정된 감쇠에 적어도 부분적으로 기인하여 증가되는, 프론트 엔드 아키텍처.

청구항 15

제12항에 있어서, 상기 복수의 브랜치들 중 제1 브랜치는 제1 감쇠를 제공하고 상기 복수의 브랜치들 중 제2 브랜치는 제2 감쇠를 제공하고, 상기 제1 감쇠와 상기 제2 감쇠는 서로 독립적으로 변하는, 프론트 엔드 아키텍처.

청구항 16

무선 디바이스로서,

다이버시티 안테나;

신호들을 수신하고, 주파수 대역들을 선택 경로들을 따라 지향시키기 위해 상기 다이버시티 안테나에 결합되는 필터 어셈블리;

복수의 이득 모드들에 걸쳐 신호들을 처리하도록 구성되는 신호 증폭기 -상기 증폭기는 대응하는 복수의 입력 포트들로부터의 신호들을 출력 포트로 지향시키는 복수의 브랜치들을 갖는 멀티플렉서를 포함하고, 상기 복수의 브랜치들 각각은 대역 선택 스위치와 감쇠 선택 브랜치를 포함하고, 상기 대역 선택 스위치는 상기 대응하는 입력 포트를 기준 전위 노드에 선택적으로 결합시키는 셉트 스위치 회로를 가지고, 상기 감쇠 선택 브랜치는 가변 감쇠 회로를 가지고, 상기 증폭기는 상기 멀티플렉서의 상기 출력 포트에 결합되는 증폭 스테이지를 더 포함하고, 상기 증폭 스테이지는 상기 멀티플렉서로부터 수신된 신호들을 증폭하여 증폭된 출력 신호를 제공하도록 구

성되고, 상기 증폭 스테이지의 증폭 또는 상기 가변 감쇠 회로의 감쇠는 상기 복수의 이득 모드들 중의 이득 모드에 기초하고, 제1 이득 모드에서, 신호의 잡음 인자는 상기 가변 감쇠 회로의 가변-감쇠 요소를 바이패스하는 것에 적어도 부분적으로 기인하여 증가되지 않음 -; 및

상기 복수의 이득 모드들을 제공하기 위해 상기 증폭기를 제어하도록 구현되는 제어기를 포함하는, 무선 디바이스.

청구항 17

제16항에 있어서, 다른 이득 모드들에서, 상기 신호의 IIP3은 상기 가변-감쇠 요소에 의해 제공되는 조정된 감쇠에 적어도 부분적으로 기인하여 증가되는, 무선 디바이스.

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2016년 8월 30일자로 출원되었으며 발명의 명칭이 "프로그램머블 임베디드 감쇠기들을 갖는 다중-입력 증폭기(MULTI-INPUT AMPLIFIER WITH PROGRAMMABLE EMBEDDED ATTENUATORS)"인 미국 가출원 제62/381,262호의 우선권을 주장하며, 그 전체 내용은 모든 목적을 위해 본 명세서에서 참조로서 명시적으로 통합된다.

[0003] 기술 분야

[0004] 본 개시내용은 일반적으로 무선 통신 디바이스들을 위한 증폭기들에 관한 것이다.

배경 기술

[0005] 라디오-주파수(RF) 응용들과 같은 전자 응용들에서, 때로는 신호를 증폭하거나 감쇠시키는 것이 바람직하다. 예를 들어, 전송될 신호는 전력 증폭기에 의해 증폭될 수 있고, 수신된 신호는 저잡음 증폭기에 의해 증폭될 수 있다. 다른 예에서, 하나 이상의 감쇠기는 각각의 신호(들)를 감쇠시키기 위해 필요하거나 요구되는 대로 상술한 송신 및 수신 경로들 중 어느 하나 또는 둘 다를 따라 구현될 수 있다.

발명의 내용

[0006] 다수의 구현예에 따르면, 본 개시내용은 복수의 브랜치를 갖는 제1 감쇠 스테이지를 포함하는 가변-이득 신호 증폭기에 관한 것이고, 각각의 브랜치는 스위치 및 가변-감쇠 요소를 포함하고, 제1 감쇠 스테이지는 공통 출력, 및 각각의 브랜치에 대한 입력을 갖는다. 증폭기는 멀티플렉싱된 출력을 제공하기 위해 제1 감쇠 스테이지의 공통 출력에 결합되는 증폭 스테이지를 또한 포함한다. 증폭기는 이득 레벨들의 범위에 걸쳐 다양한 요구되는 특성들을 유지하도록, 증폭된 출력 신호를 제공하기 위해 증폭 스테이지의 멀티플렉싱된 출력을 수신하도록 구성되는 제2 감쇠 스테이지를 또한 포함한다.

[0007] 일부 실시예들에서, 신호는 라디오 주파수 신호를 포함한다. 일부 실시예들에서, 제1 감쇠 스테이지는 입력에서 수신된 신호가 가변-감쇠 요소에 의해 감쇠되지 않고서 공통 출력에 지향되도록 바이패스 경로를 제공하도록 구성된다. 다른 실시예들에서, 제1 감쇠 스테이지는 고 이득 모드에서 바이패스 경로를 제공하도록 구성된다. 또 다른 실시예들에서, 고 이득 모드에서, 신호의 잡음 인자는 가변-감쇠 요소를 바이패스하는 것에 적어도 부분적으로 기인하여 증가되지 않는다. 다른 실시예들에서, 다른 이득 모드들에서, 신호의 IIP3은 가변-감쇠 요소에 의해 제공되는 조정된 감쇠(tailored attenuation)에 적어도 부분적으로 기인하여 증가된다.

[0008] 일부 실시예들에서, 증폭기는 복수의 셀룰러 주파수 대역을 커버하는 각각의 입력들에서 신호들을 수신하도록 구성된다. 일부 실시예들에서, 증폭기는 특정 입력에서 수신된 신호들을, 다른 입력들에서 수신된 다른 신호들의 감쇠 또는 증폭에 독립하여 감쇠시키거나 증폭하도록 구성된다.

[0009] 일부 실시예들에서, 증폭기는 제1 감쇠 스테이지, 증폭 스테이지, 또는 제2 감쇠 스테이지에 제어 신호들을 송신하도록 구성되는 제어 회로를 더 포함한다. 다른 실시예들에서, 제어 회로는 고 이득 모드에서 제1 감쇠 스테이지로 하여금 가변-감쇠 요소를 바이패스하는 경로를 제공하게 하는 증폭 제어 신호를 제공하도록 구성되는 제어기를 포함한다.

- [0010] 다수의 구현예에 따르면, 본 개시내용은 복수의 브랜치를 갖는 스위칭 스테이지를 포함하는 가변-이득 증폭기에 관한 것이고, 각각의 브랜치는 스위치 및 임베디드 프로그래머블 감쇠 요소를 포함하고, 제1 스위칭 스테이지는 공통 출력, 및 각각의 브랜치에 대한 입력을 갖는다. 증폭기는 멀티플렉싱된 출력을 제공하기 위해 스위칭 스테이지의 공통 출력에 결합되는 증폭 스테이지를 또한 포함한다. 증폭기는 증폭 스테이지의 멀티플렉싱된 출력을 수신하도록 구성되는 증폭-후 감쇠 스테이지(post-amplification attenuation stage)를 또한 포함하고, 증폭-후 감쇠 스테이지는 임베디드 프로그래머블 감쇠기를 통한 감쇠 경로, 및 바이패스 경로를 제공하도록 구성되고, 경로들은 이득 레벨들의 범위에 걸쳐 다양한 요구되는 특성들을 유지하도록 구성된다. 증폭기는 단일 입력을 수신하고 복수의 출력을 제공하도록 구성되는 스플리터를 또한 포함한다.
- [0011] 일부 실시예들에서, 제1 스위칭 스테이지는 타겟팅된 신호들을 증폭 스테이지에 선택적으로 지향시키도록 구성된다. 일부 실시예들에서, 복수의 브랜치 중의 개별 브랜치들에 대해, 스위칭 스테이지는 임베디드 프로그래머블 감쇠 요소를 통과하는 감쇠 경로, 및 임베디드 프로그래머블 감쇠 요소를 통과하지 않는 바이패스 경로를 제공하도록 구성된다. 다른 실시예들에서, 고 이득 모드에서, 스위칭 스테이지는 바이패스 경로를 따라 신호들을 지향시키도록 구성된다. 또 다른 실시예들에서, 고 이득 모드에서, 바이패스 경로를 따라 지향된 신호들은 스위칭 스테이지 전과 스위칭 스테이지 후에 실질적으로 동일한 잡음 인자 값을 유지한다. 다른 실시예들에서, 다른 이득 모드들에서, 감쇠 경로들을 따라 지향된 신호들은 임베디드 프로그래머블 감쇠 요소들에 의해 제공되는 조정된 감쇠들에 적어도 부분적으로 기인하여 선형성을 향상시킨다.
- [0012] 일부 실시예들에서, 증폭기는 스위칭 스테이지, 증폭 스테이지, 증폭-후 감쇠 스테이지, 또는 스플리터에 제어 신호들을 송신하도록 구성되는 제어 회로를 더 포함한다. 다른 실시예들에서, 제어 회로는 고 이득 모드에서 스위칭 스테이지로 하여금 가변-감쇠 요소를 바이패스하는 경로를 제공하게 하는 증폭 제어 신호를 제공하도록 구성되는 제어기를 포함한다.
- [0013] 다수의 구현예에 따르면, 본 개시내용은 가변 이득 신호 증폭기를 포함하는 프런트 엔드 아키텍처에 관한 것이고, 가변 이득 신호 증폭기는 복수의 브랜치를 갖는 제1 감쇠 스테이지 - 각각의 브랜치는 스위치 및 가변-감쇠 요소를 포함하고, 제1 감쇠 스테이지는 공통 출력, 및 각각의 브랜치에 대한 입력을 가짐 - ; 멀티플렉싱된 출력을 제공하기 위해 제1 감쇠 스테이지의 공통 출력에 결합되는 증폭 스테이지; 및 이득 레벨들의 범위에 걸쳐 다양한 요구되는 특성들을 유지하도록, 증폭된 출력 신호를 제공하기 위해 증폭 스테이지의 멀티플렉싱된 출력을 수신하도록 구성되는 제2 감쇠 스테이지를 포함한다. 프런트 엔드 아키텍처는 주파수 대역들을 가변 이득 신호 증폭기의 선택 입력들에 지향시키기 위해 가변 이득 신호 증폭기에 결합되는 필터 어셈블리를 또한 포함한다. 프런트 엔드 아키텍처는 고 이득 모드에서, 가변 이득 신호 증폭기가 특정 브랜치에서 가변-감쇠 요소를 바이패스하는 경로를 따라 신호들을 지향시키도록 복수의 이득 모드를 제공하기 위해 가변 이득 신호 증폭기를 제어하도록 구현되는 제어기를 또한 포함한다.
- [0014] 일부 실시예들에서, 고 이득 모드에서, 신호의 잡음 인자는 가변-감쇠 요소를 바이패스하는 것에 적어도 부분적으로 기인하여 증가되지 않는다. 다른 실시예들에서, 다른 이득 모드들에서, 신호의 IIP3은 가변-감쇠 요소에 의해 제공되는 조정된 감쇠에 적어도 부분적으로 기인하여 증가된다.
- [0015] 다수의 구현예에 따르면, 본 개시내용은 다이버시티 안테나; 및 신호들을 수신하고, 주파수 대역들을 선택 경로들을 따라 지향시키기 위해 다이버시티 안테나에 결합되는 필터 어셈블리를 포함하는 무선 디바이스에 관한 것이다. 무선 디바이스는 선택 경로들로부터 신호들을 수신하기 위해 필터 어셈블리에 결합되는 가변 이득 신호 증폭기를 또한 포함하고, 가변 이득 신호 증폭기는 복수의 브랜치를 갖는 제1 감쇠 스테이지 - 각각의 브랜치는 스위치 및 가변-감쇠 요소를 포함하고, 제1 감쇠 스테이지는 공통 출력, 및 각각의 브랜치에 대한 입력을 가짐 - ; 멀티플렉싱된 출력을 제공하기 위해 제1 감쇠 스테이지의 공통 출력에 결합되는 증폭 스테이지; 및 이득 레벨들의 범위에 걸쳐 다양한 요구되는 특성들을 유지하도록, 증폭된 출력 신호를 제공하기 위해 증폭 스테이지의 멀티플렉싱된 출력을 수신하도록 구성되는 제2 감쇠 스테이지를 포함한다. 무선 디바이스는 고 이득 모드에서, 가변 이득 신호 증폭기가 특정 브랜치에서 가변-감쇠 요소를 바이패스하는 경로를 따라 신호들을 지향시키도록 복수의 이득 모드를 제공하기 위해 가변 이득 신호 증폭기를 제어하도록 구현되는 제어기를 또한 포함한다.
- [0016] 일부 실시예들에서, 고 이득 모드에서, 가변-감쇠 요소를 바이패스하는 것에 적어도 부분적으로 기인하여, 신호의 잡음 인자가 증가되지 않는다. 다른 실시예들에서, 다른 이득 모드들에서, 신호의 IIP3은 가변-감쇠 요소에 의해 제공되는 조정된 감쇠에 적어도 부분적으로 기인하여 증가된다.
- [0017] 본 개시내용을 요약하기 위해, 특정 양태들, 이점들 및 신규한 특징들이 본 여기에 설명되었다. 그러한 이점들 모두가 반드시 임의의 특정한 실시예에 따라 달성될 수 있는 것은 아님을 이해해야 한다. 따라서, 개시된 실시

예들은 본 명세서에서 교시되거나 제안될 수 있는 다른 이점들을 반드시 달성하지 않고서, 본 명세서에서 교시된 바와 같은 하나의 이점 또는 이점들의 그룹을 달성하거나 최적화하는 방식으로 수행될 수 있다.

도면의 간단한 설명

- [0018] 도 1은 주 안테나 및 다이버시티 안테나를 갖는 무선 디바이스를 도시한다.
- 도 2는 DRx 프론트-엔드 모듈(FEM)을 포함하는 다이버시티 수신기(DRx) 구성을 도시한다.
- 도 3a는 다이버시티 수신기 모듈과 같은 프론트 엔드 모듈에서 구현될 수 있는 예시적인 가변 이득 증폭기를 도시한다.
- 도 3b는 도 3a의 가변 이득 증폭기와 유사하게 구성되는 가변 이득 증폭기의 예를 도시한다.
- 도 4는 복수의 입력 및 공통 출력을 갖는 제1 감쇠 스테이지를 갖는 예시적인 가변 이득 증폭기를 도시한다.
- 도 5는 증폭 스테이지 및 제2 감쇠 스테이지를 갖는 예시적인 가변 이득 증폭기를 도시한다.
- 도 6은 입력 포트, 대역 선택 스위치, 감쇠 선택 브랜치, 및 출력 포트를 갖는 예시적인 멀티플렉서를 도시한다.
- 도 7은 감쇠 경로 및 바이패스 경로를 제공하도록 구성되는 예시적인 증폭-후 감쇠 스테이지를 도시한다.
- 도 8a 및 도 8b는 바이패스 모드 및 감쇠 모드에서 각각 동작하는 감쇠 스테이지의 예들을 도시한다.
- 도 9a 및 도 9b는 증폭-전 감쇠 스테이지, 각각의 증폭 스테이지들, 출력 정합 네트워크, 및 증폭-후 감쇠 스테이지를 포함하는 예시적인 가변 이득 증폭기들을 도시한다.
- 도 10a 및 도 10b는 도 9a 및 도 9b의 가변 이득 증폭기들의 성능의 플롯들을 도시한다.
- 도 11은 일부 실시예들에서 다이버시티 수신기 구성들의 일부 또는 전부가 전체적으로 또는 부분적으로 모듈로 구현될 수 있음을 도시한다.
- 도 12는 일부 실시예들에서 다이버시티 수신기 구성들의 일부 또는 전부가 전체적으로 또는 부분적으로 아키텍처로 구현될 수 있음을 도시한다.
- 도 13은 본 명세서에 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 명세서에서 제공되는 표제들은 존재하는 경우, 오직 편의를 위한 것이며, 청구된 발명의 범위 또는 의미에 반드시 영향을 주지는 않는다.
- [0020] 개요
- [0021] 도 1은 주 안테나(160) 및 다이버시티 안테나(170)를 갖는 무선 디바이스(100)를 도시한다. 무선 디바이스(100)는 제어기(102)에 의해 제어될 수 있는 RF 모듈(106) 및 송수신기(104)를 포함한다. 송수신기(104)는 아날로그 신호들[예를 들어, 라디오 주파수(RF) 신호들]과 디지털 데이터 신호들 사이를 변환하도록 구성된다. 이를 위해, 송수신기(104)는 디지털 대 아날로그 변환기, 아날로그 대 디지털 변환기, 기저대역 아날로그 신호를 캐리어 주파수로 변조하거나 캐리어 주파수로부터 기저대역 아날로그 신호를 복조하기 위한 로컬 발진기, 디지털 샘플들과 데이터 비트들(예를 들어, 음성 또는 다른 유형의 데이터) 사이를 변환하는 기저대역 프로세서, 또는 다른 컴포넌트들을 포함할 수 있다.
- [0022] RF 모듈(106)은 주 안테나(160)와 송수신기(104) 사이에 결합된다. RF 모듈(106)은 케이블 손실로 인한 감쇠를 감소시키기 위해 물리적으로 주 안테나(160)에 근접할 수 있기 때문에, RF 모듈(106)은 프론트-엔드 모듈(FEM)로 지칭될 수 있다. RF 모듈(106)은 송수신기(104)를 위한 주 안테나(160)로부터 수신되거나 주 안테나(160)를 통한 전송을 위해 송수신기(104)로부터 수신된 아날로그 신호에 대한 처리를 수행할 수 있다. 이를 위해, RF 모듈(106)은 필터들, 전력 증폭기들, 저잡음 증폭기들, 대역 선택 스위치들, 감쇠기들, 정합 회로들, 및 다른 컴포넌트들을 포함할 수 있다.
- [0023] 신호가 무선 디바이스(100)에 전송될 때, 신호는 주 안테나(160) 및 다이버시티 안테나(170) 둘 다에서 수신될 수 있다. 주 안테나(160) 및 다이버시티 안테나(170)에서의 신호가 상이한 특성들로 수신되도록, 주 안테나

(160) 및 다이버시티 안테나(170)는 물리적으로 이격될 수 있다. 예를 들어, 일 실시예에서, 주 안테나(160) 및 다이버시티 안테나(170)는 상이한 감쇠, 잡음, 주파수 응답, 및/또는 위상 시프트로 신호를 수신할 수 있다. 송수신기(104)는 신호에 대응하는 데이터 비트들을 결정하기 위해 상이한 특성들을 갖는 신호 모두를 사용할 수 있다. 일부 구현예들에서, 송수신기(104)는 가장 높은 신호 대 잡음비를 갖는 안테나를 선택하는 것과 같이, 특성에 기초하여 주 안테나(160)와 다이버시티 안테나(170) 사이에서 선택한다. 일부 구현예들에서, 송수신기(104)는 결합된 신호의 신호 대 잡음비를 증가시키기 위해 주 안테나(160) 및 다이버시티 안테나(170)로부터의 신호들을 결합한다. 일부 구현예들에서, 송수신기(104)는 신호들을 처리하여 다중-입력/다중-출력(MiMo) 통신을 수행한다.

[0024] 일부 실시예들에서, 다이버시티 안테나(170)는 셀룰러 주파수 대역들 및 무선 로컬 영역 네트워크(WLAN) 주파수 대역들 내의 신호들을 수신하도록 구성된다. 그러한 실시예들에서, 무선 디바이스(100)는 다이버시티 신호를 상이한 주파수 범위들로 분리하도록 구성되는 다이버시티 안테나(170)에 결합된 멀티플렉서, 스위칭 네트워크, 및/또는 필터 어셈블리를 포함할 수 있다. 예를 들어, 멀티플렉서는 저 대역 셀룰러 주파수들을 포함하는 주파수 범위를 통과시키는 저역 통과 필터, 저 대역 WLAN 신호들, 및 중간-대역 및 고-대역 셀룰러 신호들을 포함하는 주파수 범위를 통과시키는 대역 통과 필터, 및 고-대역 WLAN 신호들을 포함하는 주파수 범위를 통과시키는 고역 통과 필터를 포함하도록 구성될 수 있다. 이 예는 단지 설명을 위한 것이다. 다른 예로서, 멀티플렉서는 고역 통과 필터 및 저역 통과 필터의 기능을 제공하는 다이플렉서와 같은 여러 상이한 구성들을 가질 수 있다.

[0025] 다이버시티 안테나(170)가 주 안테나(160)로부터 물리적으로 이격되어 있기 때문에, 다이버시티 안테나(170)는 케이블 또는 인쇄 회로 기판(PCB) 트레이스와 같은 전송 라인에 의해 송수신기(104)에 결합될 수 있다. 일부 구현예들에서, 전송 라인은 손실이 있고, 다이버시티 안테나(170)에서 수신된 신호를 송수신기(104)에 도달하기 전에 감쇠시킨다. 따라서, 일부 구현예들에서, 이득은 다이버시티 안테나(170)에서 수신된 신호에 적용된다. 이득(및 필터링과 같은 다른 아날로그 처리)은 다이버시티 수신기 모듈(108)에 의해 적용될 수 있다. 그러한 다이버시티 수신기 모듈(108)은 다이버시티 안테나(170)에 물리적으로 근접하여 위치될 수 있기 때문에, 다이버시티 수신기 프론트-엔드 모듈이라고 지칭될 수 있으며, 그 예는 본 명세서에서 보다 상세하게 설명된다.

[0026] RF 모듈(106) 및 다이버시티 수신기 모듈(108)은 각각 주 안테나(160) 및 다이버시티 안테나(170)로부터의 신호들을 선택적으로 감쇠 및 증폭하도록 구성되는 가변 이득 증폭기들(110a, 110b)을 포함한다. 각각의 가변 이득 증폭기(110a, 110b)는 증폭 스테이지 전과 증폭 스테이지 후에 프로그래머블 감쇠 스테이지를 포함할 수 있다. 가변 이득 증폭기들(110a, 110b)에서 수신되는 신호들은 증폭-전 감쇠 스테이지에 의해 감쇠될 수 있거나, 신호들은 본 명세서에서 더 상세하게 설명되는 바와 같이 감쇠를 바이패스하도록 허용될 수 있다. 선택된 감쇠 또는 제공된 바이패스 경로는 제어기(102)에 의해 제어될 수 있다. 가변 프로그래머블 감쇠는 가변 이득 증폭기(110a, 110b)에 임베딩될 수 있다. 가변 이득 증폭기(110a, 110b)는 복수의 입력 신호를 수신하고, 단일 신호 또는 복수의 출력 신호를 출력 할 수 있다. 유리하게는, 가변 이득 증폭기(110a, 110b)의 아키텍처는 저잡음 증폭기(low-noise amplifier)(LNA)와 같은 단일 증폭기가 복수의 셀룰러 주파수 대역을 커버하는 신호들을 처리하는 데 사용되는 것을 허용할 수 있다.

[0027] 제어기(102)는 제어 신호들을 생성하고/거나 무선 디바이스(100)의 다른 컴포넌트들에 송신하도록 구성될 수 있다. 일부 실시예들에서, 제어기(102)는 모바일 산업 프로세서 인터페이스 얼라이언스(mobile industry processor interface alliance)(MIPI® Alliance)에 의해 제공되는 규격들에 적어도 부분적으로 기초하는 신호들을 제공한다. 제어기(102)는 무선 디바이스(100)의 다른 컴포넌트들로부터 신호들을 수신하여, 다른 컴포넌트들에 대해 수신할 제어 신호들을 결정하기 위해 처리하도록 구성될 수 있다. 일부 실시예들에서, 제어기(102)는 무선 디바이스(100)의 다른 컴포넌트들에 송신할 제어 신호들을 결정하기 위해 신호들 또는 데이터를 분석하도록 구성될 수 있다. 제어기(102)는 무선 디바이스(100)에 의해 제공되는 이득 모드들에 기초하여 제어 신호들을 생성하도록 구성될 수 있다. 예를 들어, 제어기(102)는 증폭기들에 의해 제공되는 감쇠 및 증폭을 제어하기 위해, 가변 이득 증폭기들(110a, 110b)에 제어 신호들을 송신할 수 있다. 마찬가지로, 제어기(102)는 프로그래밍된 감쇠들에 기초하여 제어 신호들을 생성하도록 구성될 수 있다. 예를 들어, 제어기(102)는 증폭-전 및 증폭-후 감쇠 스테이지에 제어 신호들을 송신하여 그러한 스테이지들에서 제공되는 감쇠의 양을 제어할 수 있다.

[0028] 일부 구현예들에서, 제어기(102)는 입력에서 수신된 입력 신호의 서비스 품질 메트릭에 기초하여 증폭기 제어 신호(들)를 생성한다. 일부 구현예들에서, 제어기(102)는 통신 제어기로부터 수신된 신호에 기초하여 증폭기 제어 신호(들)를 생성하고, 이는 결국 수신된 신호의 서비스 품질(QoS) 메트릭에 기초할 수 있다. 수신된 신호

의 QoS 메트릭은 다이버시티 안테나(170) 상에서 수신된 다이버시티 신호(예를 들어, 입력에서 수신된 입력 신호)에 적어도 부분적으로 기초할 수 있다. 수신된 신호의 QoS 메트릭은 주 안테나(160)에서 수신된 신호에 더 기초할 수 있다. 일부 구현예들에서, 제어기(102)는 통신 제어기로부터 신호를 수신하지 않고서, 다이버시티 신호의 QoS 메트릭에 기초하여 증폭기 제어 신호(들)를 생성한다. 일부 구현예들에서, QoS 메트릭은 신호 강도를 포함한다. 다른 예로서, QoS 메트릭은 비트 에러 레이트, 데이터 스트루트, 전송 지연, 또는 임의의 다른 QoS 메트릭을 포함할 수 있다. 일부 구현예들에서, 제어기(102)는 가변 이득 증폭기들(110a, 110b) 내의 증폭기들의 이득(및/또는 전류)을 제어한다. 일부 구현예들에서, 제어기(102)는 증폭기 제어 신호에 기초하여 무선 디바이스의 다른 컴포넌트들의 이득을 제어한다.

[0029] 일부 구현예들에서, 가변 이득 증폭기들(110a, 110b)은 수신된 신호들을 증폭기 제어 신호에 의해 나타난 복수의 구성된 양 중 하나의 이득으로 증폭하도록 구성되는 단계-가변성 이득 증폭기(step-variable gain amplifier)를 포함할 수 있다. 일부 구현예들에서, 가변 이득 증폭기들(110a, 110b)은 수신된 신호들을 증폭기 제어 신호에 비례하거나 증폭기 제어 신호에 의해 지시되는 이득으로 증폭하도록 구성되는 연속-가변성 이득 증폭기(continuously-variable gain amplifier)를 포함할 수 있다. 일부 구현예들에서, 가변 이득 증폭기들(110a, 110b)은 증폭기 제어 신호에 의해 지시된 복수의 구성된 양 중 하나의 전류를 인출함으로써 수신된 신호들을 증폭하도록 구성되는 단계-가변성 전류 증폭기를 포함할 수 있다. 일부 구현예들에서, 가변 이득 증폭기들(110a, 110b)은 증폭기 제어 신호에 비례하는 전류를 인출함으로써 수신된 신호들을 증폭하도록 구성되는 연속-가변성 전류 증폭기를 포함할 수 있다.

[0030] 도 2는 DRx 프론트-엔드 모듈(FEM)(208)을 포함하는 다이버시티 수신기(DRx) 구성(200)을 도시한다. DRx 구성(200)은 다이버시티 신호를 수신하고 다이버시티 신호를 필터 어셈블리(272)를 통해 DRx FEM(150)에 제공하도록 구성되는 다이버시티 안테나(170)를 포함한다. 필터 어셈블리(272)는 예를 들어, 타겟팅된 주파수 범위들 내의 신호들을 프로그래머블 감쇠를 갖는 멀티플렉서(210)까지의 각각의 경로들을 따라 선택적으로 지향시키도록 구성되는 멀티플렉서를 포함할 수 있다. 신호들은 WLAN 신호들과 혼합된 셀룰러 신호들(예를 들어, 저-, 중간-, 고- 및/또는 초고-대역 셀룰러 주파수들)을 포함할 수 있다. 일부 실시예들에서, 제1 경로를 따라 지향되는 신호들은 WLAN 신호들을 갖는 셀룰러 신호들(예를 들어, 중간- 및/또는 고-대역 셀룰러 주파수들)을 포함하고, 제2 경로를 따라 지향되는 신호들은 WLAN 신호들을 갖지 않는 셀룰러 신호들(예를 들어, 저-대역 셀룰러 주파수들)을 포함한다.

[0031] DRx FEM(208)은 필터 어셈블리(272)로부터 수신된 다이버시티 신호들에 대한 처리를 수행하도록 구성된다. 예를 들어, DRx FEM(208)은 다이버시티 신호들을 셀룰러 및/또는 WLAN 주파수 대역들을 포함할 수 있는 하나 이상의 활성 주파수 대역으로 필터링하도록 구성될 수 있다. 제어기(102)는 필터링을 달성하기 위해 타겟팅된 필터들에 신호들을 선택적으로 지향시키기 위해 DRx FEM(208)을 제어하도록 구성될 수 있다. 다른 예로서, DRx FEM(208)은 프로그래머블 감쇠를 갖는 멀티플렉서(210)를 사용하여 필터링된 신호들 중 하나 이상을 증폭하도록 구성될 수 있다. 이를 위해, DRx FEM(208)은 필터들, 저잡음 증폭기들, 대역 선택 스위치들, 정합 회로들, 및 다른 컴포넌트들을 포함할 수 있다. 제어기(102)는 DRx FEM(208)을 통한 다이버시티 신호들에 대한 경로들을 지능적으로 선택하기 위해 DRx FEM(208) 내의 컴포넌트들과 상호작용하도록 구성될 수 있다. 특정 구현예들에서, 필터 어셈블리(272)는 DRx FEM(208)과 별개인 다이 상에 위치된다.

[0032] DRx FEM(208)은 처리된 다이버시티 신호들의 적어도 일부를 송수신기(104)에 전송한다. 송수신기(104)는 제어기(102)에 의해 제어될 수 있다. 일부 구현예들에서, 제어기(102)는 송수신기(104) 내에 구현될 수 있다.

[0033] DRx FEM(208)은 복수의 이득 모드를 제공하도록 구성될 수 있다. 복수의 이득 모드에 대해, 멀티플렉서(210) 내에서 상이한 감쇠들이 적용될 수 있다. 하나 이상의 이득 모드에서, 멀티플렉서(210)는 가변 및/또는 프로그래머블 감쇠기에서와 같이 신호를 선택적으로 감쇠시키는 감쇠 경로를 통해 신호들을 지향시키도록 구성될 수 있다. 이러한 프로그래머블 감쇠기들은 다중-입력 증폭기 아키텍처에 임베딩될 수 있다. 고 이득 모드에서, 멀티플렉서(210)는 신호가 감쇠 경로를 통과하지 않거나 바이패스 경로를 제공하도록 구성될 수 있다. 프로그래머블 감쇠기들은 증폭 스테이지 전 및/또는 후에 사용될 수 있다.

[0034] 일부 실시예들에서, 증폭 스테이지, 예를 들어 LNA 전의 멀티플렉서에서 프로그래머블 감쇠를 이용하면 향상된 선형성 및/또는 IIP3를 제공할 수 있다. 프로그래머블 감쇠는 신호가 증폭기의 요구되는 또는 타겟팅된 범위에 정합되는 것을 유리하게 허용할 수 있다. 특정 구현예들에서, 증폭 스테이지 이전에 신호를 감쇠시키면 신호 내의 잡음을 증가시킬 수 있다. 그러나, DRx 구성(200)은 비교적 큰 신호 대 잡음을 가진 신호들을 감쇠시키고 비교적 작은 신호 대 잡음을 갖는 신호들에 대해 감쇠를 바이패스하도록 구성될 수 있다. 일부 실시예들에서,

DRx 구성(200)은 고 이득 모드로 동작할 때는 감쇠를 바이패스하고, 다른 이득 모드들에서 동작할 때는 신호들을 감쇠시키도록 구성된다. 이는 유리하게 DRx 구성(200)이 선형성을 향상시키기 위해 특정 신호들을 감소시키는 것을 허용하면서, 다른 신호들이 감쇠를 바이패스하여 신호 내의 잡음을 증가시키지 않는 것을 허용할 수 있다. 이러한 구성의 다른 이점은, 증폭기가 처리하도록 설계된 것보다 큰 신호들에 의해 증폭기가 손상되지 않도록, DRx FEM(208)에 들어가는 큰 신호들을 선택적으로 감쇠시킬 수 있다는 것이다. 임베디드 감쇠기들은 DRx FEM(208)이 (예를 들어, 증폭 프로세스를 통해 선형성을 증가시키거나 유지함으로써) 신호 품질을 유지 및/또는 향상시키기 위해, 신호들, 이득 모드, 및 증폭기 동작 특성들에 기초하여 감쇠를 조정하는 것을 허용할 수 있다.

[0035] 일부 실시예들에서, 프로그래머블 감쇠를 갖는 멀티플렉서(210)는 복수의 입력 신호를 수신하고 단일 출력 신호를 제공하도록 구성된다. 특정 실시예들에서, 멀티플렉서(210)는 복수의 입력 신호를 수신하고 대응하는 복수의 출력 신호를 제공하도록 구성될 수 있다. 멀티플렉서(210)는 단일 증폭기에 전송되는 단일 출력 신호를 제공하도록 구성될 수 있고, 그에 의해 DRx FEM(210)이 복수의 주파수 대역에 대해 하나의 증폭기 또는 증폭 스테이지를 사용하는 것을 허용한다. 이는 DRx FEM(208)에서 사용되는 컴포넌트들의 수를 유리하게 감소시킬 수 있으며, 그에 따라 DRx FEM(208)을 제조하는 것에 연관된 비용을 감소시킬 수 있다.

[0036] 멀티플렉서(210)는 멀티플렉서(210)를 통한 복수의 스위칭가능 경로를 제공하는 스위치들을 포함할 수 있다. 복수의 스위칭가능 경로는 복수의 주파수 대역에 대응할 수 있고, 각각의 스위칭가능 경로는 특정 주파수 대역 또는 특정 주파수 대역들(예를 들어, 중첩하는 주파수 대역들)에 대응한다. 필터 어셈블리(272)는 특정 주파수 대역들에 대응하는 신호들을 지정된 경로들을 따라 멀티플렉서(210)로 지향시키도록 구성될 수 있다. 특정 구현예들에서, 멀티플렉서(210)를 통한 스위칭가능 경로들은 또한 특정 경로 상의 신호들을 선택적으로 감쇠 경로를 통해 지향시키거나 감쇠 경로를 바이패스하도록 구성될 수 있다. 예를 들어, 바이패스 구성에서는 신호가 스위치를 통과하고 가변 감쇠기를 통과하지 않으며(예를 들어, 스위치가 폐쇄됨), 감쇠 구성에서는 신호가 가변 감쇠기를 통과하도록(예를 들어, 스위치가 개방됨), 하나 이상의 스위치가 가변 감쇠기와 병렬로 동작될 수 있다. 바이패스 구성에서, 신호는 감쇠 구성에 연관된 잡음 불이익으로 인한 어려움을 겪지 않는다. 이는 유리하게도 DRx FEM(208)이 가변 이득 및/또는 복수의 이득 모드를 제공하는 것을 허용하면서, 신호들을 선택적으로 감쇠시키지 않는 구성들, 또는 신호들의 감쇠를 조정하지 않는 구성들에 대해, 잡음 지수(noise figure)(NF)에 대한 영향을 감소시킬 수 있다.

[0037] 멀티플렉서(210)의 스위치들은 멀티플렉서(210)와 동일한 다이에 임베딩될 수 있다. 이러한 임베딩된 스위치들은 멀티플렉서(210)를 통한 경로들을 선택적으로 제공하도록 구성될 수 있으며, 신호들을 감쇠 경로들 또는 바이패스 경로들을 따라 신호를 선택적으로 지향시키도록 구성될 수 있다. 감쇠 경로들은 신호들을 감쇠시키도록 구성될 수 있으며, 여기서 감쇠는 멀티플렉서(210) 내의 스위칭가능 경로들에 후속하는 증폭 스테이지에 맞게 조정된다. 멀티플렉서(210)를 갖는 DRx FEM(208)은 프로그래머블 감쇠를 갖는 복수의 스위칭가능 경로를 제공하는 아키텍처일 수 있고, 여기서 각각의 스위칭가능 경로는 가변 이득 증폭기를 사용하여 증폭될 수 있다.

[0038] 제어기(102)는 신호들을 적절한 신호 경로들에 선택적으로 지향시키기 위해 DRx FEM(208)을 제어하도록 구성될 수 있다. 예를 들어, 제어기(102) 및 DRx FEM(208)은 신호들을 감쇠 경로 또는 바이패스 경로를 따라 지향시키기 위해 멀티플렉서(210)를 제어할 수 있다. 다른 예로서, 제어기(102) 및 DRx FEM(208)은 요구되는 또는 타겟팅된 셀룰러 신호들 또는 WLAN 신호들에 기초하여 멀티플렉서(210)를 통한 스위칭가능 경로들을 제공하기 위해 멀티플렉서(210)를 제어할 수 있다. 다른 예로서, 제어기(102) 및 DRx FEM(208)은 감쇠 경로를 따라 지향된 신호들에 적용되는 감쇠를 조정하기 위해 멀티플렉서(210)를 제어할 수 있다. 다른 예로서, 제어기(102) 및 DRx FEM(208)은 복수의 이득 모드를 제공할 수 있다.

[0039] 가변 이득 증폭기들의 예시적인 아키텍처들

[0040] 프런트 엔드 모듈들은 일반적으로 수신된 신호들을 증폭하기 위해 저잡음 증폭기들(LNA)과 같은 증폭기들을 포함한다. 다양한 이득 모드를 제공하는 무선 디바이스들에서, 신호들을 증폭하기 전에 신호들을 감쇠하는 것이 유리할 수 있다. 그러나, 이것은 작은 신호들에 부정적인 영향을 미쳐, 잡음을 증가시키고 신호 대 잡음비를 악화시킬 수 있다.

[0041] 따라서, 본 명세서에서, 고 이득 모드에서의 신호들이 감쇠를 바이패스하는 것을 허용하는 스위칭가능 경로들에 프로그래머블 감쇠기들을 임베딩하는 가변 이득 증폭기들 및 멀티플렉서들이 제공된다. 이는 유리하게도 고 이득 모드에서의 성능 불이익들을 감소시키거나 또는 제거한다. 또한, 프로그래머블 감쇠기들은 타겟팅된 이득 모드들에서 LNA-전 감쇠를 통해 증폭 프로세스의 선형성을 향상시키도록 구성될 수 있다. 증폭 이전에 감쇠되

는 이러한 이득 모드들에서 잡음이 증가할 수 있지만, 잡음의 이러한 증가는 무시할 수 있거나 충분히 작아서, 향상된 선형성의 이점들은 트레이드오프를 바람직하거나 이롭게 한다.

- [0042] 프로그래머블 감쇠기들은 증폭 스테이지 전 및 증폭 스테이지 후의 스위치들에 임베딩될 수 있다. 이러한 프로그래머블 입력 및 출력 감쇠들은 타겟팅된 이득, 잡음 인자(NF) 및 선형성(IIP3)을 달성하도록 조정될 수 있다. 또한, 이러한 감쇠들은 큰 신호들이 수신될 때 증폭기가 고장을 덜 일으키게 하도록 구성될 수 있는데, 왜냐하면 감쇠기들은 이러한 신호들의 진폭을 그것들이 증폭기의 타겟팅된 또는 적합한 범위 내에 속하도록 감소시킬 수 있기 때문이다.
- [0043] 따라서, 본 명세서에서는, 스위칭 네트워크 내에 임베디드 감쇠기들을 갖는 가변 이득 증폭기들이 설명된다. 감쇠기들은 스위치들에 임베딩될 수 있으며, 스위칭 네트워크는 고 이득 모드에서 감쇠 바이패스를 제공할 수 있고 다른 이득 모드들에서 감쇠를 제공할 수 있기 때문에, 고 이득 모드에서는 잡음 인자에 거의 또는 전혀 영향을 주지 않도록 구성될 수 있다. 프로그래머블 감쇠기들은 다중-입력 LNA 아키텍처에 임베딩될 수 있다. 예를 들어, 감쇠 블록은 다중-입력 스위치에 임베딩될 수 있고, 감쇠 블록은 출력 스위치에 임베딩될 수 있다.
- [0044] 도 3a는 다이버시티 수신기 모듈과 같은 프론트 엔드 모듈(308a)에서 구현될 수 있는 예시적인 가변 이득 증폭기(310a)를 도시한다. 가변 이득 증폭기(310a)는 제1 감쇠 스테이지(320), 증폭 스테이지(330), 및 제2 감쇠 스테이지(340)를 포함한다. 제1 감쇠 스테이지(320)는 증폭-전 감쇠를 제공하고 제2 감쇠 스테이지(340)는 증폭-후 감쇠를 제공한다. 제어기(102)는 제1 감쇠 스테이지(320), 증폭 스테이지(330), 및 제2 감쇠 스테이지(340)의 동작을 제어하도록 구성될 수 있다. 제어기(102)는 도 1 및 도 2를 참조하여 본 명세서에서 설명된 제어기(102)와 유사하게 구성된다.
- [0045] 가변 이득 증폭기(310a)는 입력 신호들(예를 들어, RF 신호들)을 수신하도록 구성되는 복수의 입력 포트(312a-312c) 및 처리된(예를 들어, 증폭된 및/또는 감쇠된) 신호를 제공하도록 구성되는 출력 포트(318)를 포함한다. 제1 감쇠 스테이지(320)는 입력 포트들(312a-312c)에 대응하는 복수의 입력(322a-322c), 및 공통 출력(328)을 포함한다. 제1 감쇠 스테이지(320)는 복수의 브랜치를 제공하고, 개별 브랜치들은 스위치[예를 들어, 스위치(324a, 324b, 또는 324c)], 및 제1 감쇠 스테이지(320)를 통한 경로를 선택적으로 제공하도록 구성되는 가변 감쇠 요소[예를 들어, 감쇠기(326a, 326b, 또는 326c)]를 갖는다. 스위치들(324a-324c)은 제1 감쇠 스테이지(320)를 통한 경로를 제공하고, 선택적으로 신호들을 대응하는 감쇠기(326a-326c)를 통해 지향시키거나 감쇠기(326a-326c)를 바이패스하도록 구성된다. 제1 감쇠 스테이지(320)를 통한 개별 경로를 따라 지향된 신호는 선택적으로, 대응하는 감쇠기(326a-326c)에서 조정된 감쇠를 사용하여 감쇠되거나 감쇠를 바이패스할 수 있다. 스위치들(324a-324c)은 또한 타겟팅된 또는 선택된 신호들에 대해 제1 감쇠 스테이지(320)를 통한 증폭 스테이지(330)로의 경로를 선택적으로 제공하도록 구성될 수 있다. 예를 들어, 스위치들(324a-324c)은 특정 입력 포트들에 도달하는 신호들을 제1 감쇠 스테이지(320)를 통해 지향시키는 한편, 다른 입력 포트들로부터의 신호들을 차단하여 그것들이 출력 포트(328)에 도달하지 않게 하도록 구성될 수 있다.
- [0046] 증폭 스테이지(330)는 제1 감쇠 스테이지(320)로부터 수신된 신호들을 증폭하고, 증폭된 신호들을 제2 감쇠 스테이지(340)에 전달하도록 구성된다. 이러한 방식에서, 제1 감쇠 스테이지(320)는 복수의 입력 포트(322a-322c)에서 신호들을 수신하고, 증폭 스테이지(330)는 단일 입력 포트에서 입력 신호를 수신하며 처리된 신호를 단일 출력 포트에 제공하므로, 가변 이득 증폭기(310a)는 멀티플렉싱된 출력을 제공하도록 구성될 수 있다. 증폭 스테이지(330)는 요구되는 또는 타겟팅된 증폭을 제공하도록 구성되는 임의의 적절한 증폭기 회로를 포함할 수 있다. 일부 실시예들에서, 증폭 스테이지(330)는 복수의 주파수 대역(예를 들어, 셀룰러 주파수 대역들 및/또는 WLAN 주파수 대역들)으로부터 신호들을 증폭하도록 구성되는 단일 저잡음 증폭기(LNA) 회로를 포함한다. 따라서, 본 명세서에서 사용될 때, 제1 감쇠 스테이지(320)는 LNA-전 감쇠로 지칭될 수 있고, 제2 감쇠 스테이지(340)는 LNA-후 감쇠로 지칭될 수 있다. 그러나, 본 명세서에 설명된 실시예들은 저잡음 증폭기들을 이용하는 구현들에 한정되지 않는 것이 아니라, 가변 이득 증폭기(310a) 내의 다양한 증폭기를 사용하는 구현들을 포함하는 것을 이해해야 한다.
- [0047] 증폭 스테이지(330)는 복수의 이득 모드에 적어도 부분적으로 기초하여 신호들을 증폭하도록 구성될 수 있다. 예를 들어, 증폭 스테이지(330)는 제1 이득 모드에 대한 제1 증폭 또는 이득, 제2 이득 모드에 대한 제2 증폭 또는 이득 등을 제공하도록 구성될 수 있다. 증폭 스테이지(330)는 증폭 스테이지에서 제공되는 이득을 제어하기 위해 제어기(102)에 의해 제어될 수 있다. 예를 들어, 제어기(102)는 증폭 스테이지(330)에 요구되는 또는 타겟팅된 이득을 나타내는 신호를 제공할 수 있고, 증폭 스테이지(330)는 타겟팅된 이득을 제공할 수 있다. 제어기(102)는 예를 들어 무선 디바이스 내의 다른 컴포넌트로부터 타겟팅된 이득의 표시를 수신하고, 그 표시

에 적어도 부분적으로 기초하여 증폭 스테이지(330)를 제어할 수 있다. 마찬가지로, 제1 및 제2 감쇠 스테이지(320, 340)는 가변 이득 증폭기(310a)의 이득 모드 및/또는 타겟팅된 이득에 적어도 부분적으로 기초하여 제어될 수 있다.

[0048] 제2 감쇠 스테이지(340)는 제1 감쇠 스테이지(320)와 유사한 방식으로 구성될 수 있다. 구체적으로, 제2 감쇠 스테이지(340)는 단일 입력에서 신호를 수신하고 단일 출력에서 신호를 제공하도록 구성되는 제1 감쇠 스테이지(320)와 유사할 수 있다. 제2 감쇠 스테이지(340)는 증폭 스테이지(330)로부터 멀티플렉싱된 출력을 수신하고, 선택적으로, 신호를 프로그래머블 감쇠로 감쇠시키거나 감쇠를 바이패스하기 위해 신호를 스위칭가능 경로들을 따라 지향시키도록 구성된다. 특정 실시예들에서, 제2 감쇠 스테이지(340)는 스테이지를 통해 적어도 2개의 스위칭가능 경로, 감쇠기를 통과하는 제1 경로, 및 감쇠기를 바이패스하는 제2 경로를 제공한다. 다양한 실시예들에서, 제2 감쇠 스테이지(340)는 스테이지를 통한 단일 경로를 제공하며, 여기서 신호는 고정된 또는 프로그래머블 감쇠로 감쇠된다. 제2 감쇠 스테이지(340)로부터 출력된 신호는 가변 이득 증폭기(310a)의 출력 포트(318)에 전달된다.

[0049] 따라서, 도 3a는 복수의 브랜치를 갖는 제1 감쇠 스테이지(320)를 포함하는 가변-이득 신호 증폭기(310a)를 도시하고, 각각의 브랜치는 스위치(324a-324c) 및 가변-감쇠 요소(326a-326c)를 포함한다. 제1 감쇠 스테이지(320)는 각각의 브랜치에 대한 입력(322a-322c), 및 공통 출력(328)을 포함한다. 가변 이득 증폭기(310a)는 멀티플렉싱된 출력을 제공하기 위해 제1 감쇠 스테이지(320)의 공통 출력(328)에 결합되는 증폭 스테이지(330)를 포함한다. 가변 이득 증폭기(310a)는 이득 레벨들의 범위에 걸쳐 다양한 요구되는 특성을 유지하도록, 증폭된 출력 신호를 제공하기 위해, 증폭 스테이지(330)의 멀티플렉싱된 출력을 수신하도록 구성되는 제2 감쇠 스테이지(340)를 포함한다. 제1 감쇠 스테이지(320)를 통한 각각의 브랜치는 스위치에 의해 제어되는 감쇠 경로 및 바이패스 경로를 포함할 수 있다. 감쇠 경로는 각각의 브랜치에 대한 가변 또는 고정 감쇠를 포함한다.

[0050] 가변 이득 신호 증폭기(310a)는 프로그래머블 감쇠기들을 갖는 임베디드 스위칭 네트워크 없이, 증폭기들에 대해 비교적 낮은 잡음 및 높은 선형성(예를 들어, 높은 IIP3)을 달성하도록 구성될 수 있다. 가변 이득 신호 증폭기(310a)는 셀룰러 신호들, WLAN 신호들, 블루투스® 신호들, GPS 신호들, 및 그와 유사한 것과 같은 라디오 주파수(RF) 신호들을 증폭하도록 구성될 수 있다. 가변 이득 신호 증폭기(310a)는 복수의 입력(312a-312c)에서 복수의 주파수 대역에 걸쳐 신호들을 수신하고 이들 신호들을 처리함으로써 광대역 능력들을 제공하도록 구성될 수 있다. 가변 이득 신호 증폭기(310a)는 각각의 입력들(312a-312c)에서 신호들을 독립적으로 처리하도록 구성될 수 있다. 가변 이득 신호 증폭기(310a)는 제어기(102)와 같은 제어 회로 어셈블리에 의해 제어되도록 구성될 수 있다. 제어 회로 어셈블리는 제1 감쇠 스테이지(320)에서 경로들을 지능적으로 및 선택적으로 스위칭할 수 있고, 감쇠기들(326a-326c)에 의해 제공되는 감쇠들을 선택적으로 프로그래밍할 수 있다.

[0051] 본 명세서에서 설명된 바와 같이, 가변 이득 신호 증폭기(310a)는 증폭 전에 감쇠기를 통과하는 것에 기인하여 다른 이득 모드들이 경험하는 성능 불이익으로 인한 어려움을 겪지 않는 고 이득 모드를 제공한다. 기존의 스위칭 아키텍처들에 감쇠기를 임베딩함으로써, 고 이득 또는 다른 이득 모드들은 감쇠를 바이패스하도록 구성될 수 있고, 그에 의해 처리 체인의 잡음의 소스를 제거한다. 일부 구현예들에서, 가변 이득 신호 증폭기(310a)는 튜닝가능한 LNA-전 및/또는 LNA-후 감쇠들을 갖는 다중-입력 LNA이다. LNA-전 감쇠는 예를 들어 신호들이 클 때, 타겟팅된 선형성을 충족시키기 위해 사용될 수 있다. 특정 구현예들에서, 단일 증폭기 또는 LNA는 복수의 셀룰러 대역에 대해 사용될 수 있다.

[0052] 도 3b는 본 명세서에서 도 3a를 참조하여 설명된 가변 이득 증폭기(310a)와 유사하게 구성되는 가변 이득 증폭기(310b)의 예를 도시한다. 가변 이득 증폭기(310b)는 단일 입력 포트에서 신호를 수신하고 복수의 출력 포트에서 신호들을 제공하도록 구성되는 스플리터(350)를 포함한다. 스플리터(350)는 입력 신호들을 타겟팅된 출력에 지향시키기 위해, 제어기(102)에 의해 제어된다. 따라서, 가변 이득 증폭기(310b)는 복수의 입력(312a-312c)에서 신호들을 수신하고, 대응하는 복수의 출력(318a-318c)에서 처리된 신호들을 제공하도록 구성될 수 있다. 이러한 신호들은 도 3a를 참조하여 본 명세서에서 설명된 바와 같이 선택적으로 감쇠되고 증폭될 수 있다.

[0053] 따라서, 도 3b는 복수의 브랜치를 갖는 제1 감쇠 스테이지(320)를 포함하는 가변-이득 증폭기(310b)를 도시하며, 각각의 브랜치는 스위치(324a-324c) 및 가변-감쇠 요소(326a-326c)를 포함한다. 제1 감쇠 스테이지(320)는 각각의 브랜치에 대한 공통 출력(328) 및 입력(322a-322c)을 포함한다. 가변 이득 증폭기(310b)는 멀티플렉싱된 출력을 제공하기 위해 제1 감쇠 스테이지(320)의 공통 출력(328)에 결합된 증폭 스테이지(330)를 포함한다. 가변 이득 증폭기(310b)는 이득 레벨들의 범위에 걸쳐 다양한 요구되는 특성들을 유지하도록, 증폭된 출력 신호를 제공하기 위해, 증폭 스테이지(330)의 멀티플렉싱된 출력을 수신하도록 구성되는 제2 감쇠 스테이

지(340)를 포함한다. 가변 이득 증폭기(310b)는 스플리터(350)를 포함한다. 제1 감쇠 스테이지(320)를 통한 각각의 브랜치는 스위치에 의해 제어되는 감쇠 경로 및 바이패스 경로를 포함할 수 있다. 감쇠 경로는 각각의 브랜치에 대한 가변 감쇠 또는 고정 감쇠를 포함한다.

[0054] 도 4는 복수의 입력(322a-322c) 및 공통 출력(328)을 갖는 제1 감쇠 스테이지(420)를 갖는 예시적인 가변 이득 증폭기(410)를 도시한다. 공통 출력(328)에서 출력되는 신호들은 본 명세서에서 도 3a 및 도 3b를 참조하여 설명되는 바와 같이 증폭 스테이지(330)에 지향된다. 가변 이득 증폭기(410)는 제어 신호들을 제1 감쇠 스테이지(420) 및 증폭 스테이지(330)에 제공하도록 구성되는 제어기(102)를 포함한다. 이러한 제어 신호들은 가변 이득 증폭기(410)에 의해 제공된 감쇠 및/또는 증폭을 제어하도록 구성될 수 있다.

[0055] 제1 감쇠 스테이지(420)의 복수의 입력(322a-322c)과 공통 출력(328) 사이에는, 스테이지를 통한 스위칭가능 경로들을 제공하기 위해 복수의 브랜치(425a-425c)가 제공된다. 개별 입력들(322a-322c)에서 수신되는 신호들은 대응하는 브랜치(425a-425c)에 지향되고, 대응하는 브랜치(425a-425c)는 브랜치(425a-425c)를 통한 공통 출력(328)까지의 경로를 선택적으로 제공하도록 구성된다. 경로가 브랜치(425a-425c)를 통해 제공되는 경우, 제1 감쇠 스테이지(420)는 선택적으로 가변 감쇠기(R1)를 통해 신호 경로를 지향시키거나 감쇠기(R1)를 바이패스하도록 더 구성될 수 있다. 3개의 입력(322a-322c) 및 브랜치(425a-425c)가 도시되었지만, 가변 이득 증폭기(410)는 임의의 적절한 수의 입력들 및 대응하는 브랜치들을 포함 할 수 있음을 이해해야 한다. 예를 들어, 제한 없이, 가변 이득 증폭기(410)는 적어도 2개의 입력 및 대응하는 브랜치, 적어도 4개의 입력 및 대응하는 브랜치, 적어도 8개의 입력 및 대응하는 브랜치, 적어도 16개의 입력 및 대응하는 브랜치, 적어도 32개의 입력 및 대응하는 브랜치, 적어도 64개의 입력 및 대응하는 브랜치, 또는 설명된 범위 내의 적어도 임의의 수의 입력 및 대응하는 브랜치를 포함할 수 있다. 다른 예로서, 제한 없이, 가변 이득 증폭기(410)는 64개 이하의 입력 및 대응하는 브랜치, 32개 이하의 입력 및 대응하는 브랜치, 16개 이하의 입력 및 대응하는 브랜치, 8개 이하의 입력 및 대응하는 브랜치, 4개 이하의 입력 및 대응하는 브랜치, 또는 설명된 범위들 내의 임의의 수 이하의 입력 및 대응하는 브랜치를 포함할 수 있다.

[0056] 예로서, 개별 브랜치(425a-425c)는 브랜치를 통한 신호 경로가 존재하지 않도록 적절한 스위치들을 개방하도록 구성될 수 있다. 따라서, 제1 감쇠 스테이지(420)는 입력들(322a-322c)로부터 출력(328)까지의 경로들을 선택적으로 제공함으로써 처리할 신호들 또는 주파수 대역들을 선택하도록 구성될 수 있다.

[0057] 예로서, 제1 감쇠 스테이지(420)가 입력(322a-322c)으로부터 대응하는 브랜치(425a-425c)를 통해 출력(328)까지의 경로를 제공할 때, 개별 브랜치들(425a-425c)은 신호들을 감쇠시키거나 감쇠를 바이패스하는 경로들을 선택적으로 제공하도록 더 구성될 수 있다. 고 이득 모드에서와 같이, 감쇠를 바이패스하기 위해, 브랜치(425a-425c)는 스위치(S1)를 폐쇄하고 스위치들(S2 및 S3)을 개방한다. 다른 이득 모드들에서와 같이 신호를 감쇠시키기 위해, 브랜치(425a-425c)는 스위치(S1)를 개방하고 스위치들(S2 및 S3)을 폐쇄하며, 그에 의해 신호는 가변 감쇠기(R1)를 통과하게 된다. 스위치들(S1-S3)은 스위칭 능력들을 제공하는 임의의 적절한 컴포넌트 또는 컴포넌트들의 조합일 수 있다. 가변 감쇠기(R1)는 프로그래머블 감쇠를 제공하는 임의의 적절한 컴포넌트 또는 컴포넌트들의 조합일 수 있다. 가변 감쇠기(R1)는 제어기(102)로부터 수신된 신호들, 가변 이득 증폭기(410)에 의해 제공된 이득 모드, 또는 양자의 조합에 적어도 부분적으로 기초하여 다양한 레벨의 감쇠를 제공하도록 구성될 수 있다. 가변 감쇠기들(R1)은 입력 스위치들에 임베딩되는 프로그래머블 감쇠기들일 수 있다. 이는 고 이득 모드들과 같이 감쇠기들을 바이패스하는 특정 이득 모드들에서 잡음 인자(NF)에 대한 부정적인 영향을 감소시키거나 없앨 수 있다.

[0058] 도 5는 도 3a 및 도 3b를 참조하여 본 명세서에 설명된 것과 같은 증폭 스테이지(330), 및 제2 감쇠 스테이지(540)를 갖는 예시적인 가변 이득 증폭기(510)를 도시한다. 가변 이득 증폭기(510)는 제어 신호들을 증폭 스테이지(330) 및 제2 감쇠 스테이지(540)에 제공하도록 구성되는 제어기(102)를 포함한다. 이러한 제어 신호들은 가변 이득 증폭기(510)에 의해 제공되는 감쇠 및/또는 증폭을 제어하도록 구성될 수 있다.

[0059] 제2 감쇠 스테이지(540)는 선택적으로, 증폭 스테이지(330)로부터 수신되는 신호들을 가변 감쇠기(R1)를 통해 지향시키거나, 감쇠기(R1)를 바이패스하도록 구성될 수 있다. 고 이득 모드에서와 같이 감쇠를 바이패스하기 위해, 제2 감쇠 스테이지(540)는 스위치(S1)를 폐쇄하고 스위치들(S2 및 S3)을 개방한다. 다른 이득 모드들에서와 같이 신호를 감쇠시키기 위해, 제2 감쇠 스테이지(540)는 스위치(S1)를 개방하고 스위치들(S2 및 S3)을 폐쇄하며, 그에 의해 신호들은 가변 감쇠기(R1)를 통과하게 한다. 가변 감쇠기(R1)는 출력 스위치에 임베딩될 수 있다. 가변 감쇠기(R1)는 특정 이득 모드들에서 바이패스되어, 고 이득 모드와 같은 이러한 이득 모드들에 대해 신호들을 감쇠시키는 것의 부정적인 효과들을 감소시키거나 제거할 수 있다.

- [0060] 도 6은 입력 포트(622), 대역 선택 스위치(623), 감쇠 선택 브랜치(625), 및 출력 포트(628)를 갖는 예시적인 멀티플렉서(620)를 도시한다. 명확하게 하기 위해, 멀티플렉서(620)를 통한 단일 브랜치가 도시되어 있지만, 도 4를 참조하여 더 상세하게 설명된 바와 같이, 멀티플렉서를 통한 복수의 스위치 및 브랜치가 제공될 수 있고, 이러한 신호들은 공통 출력 포트(628)에서 출력될 수 있음을 이해해야 한다. 입력 포트(622)로부터 출력 포트(628)로 전달되는 신호들은 도 3a 및 도 3b를 참조하여 더 상세하게 설명된 증폭 스테이지(330)에 전송된다. 멀티플렉서(620) 및 증폭 스테이지(330)는 본 명세서에서 도 3a 내지 도 5를 참조하여 더 상세하게 설명되는 바와 같이 제어기(도시되지 않음)에 의해 제어될 수 있음을 또한 이해해야 한다. 멀티플렉서(620)는 감쇠 선택 브랜치(625)를 포함하기 때문에, 멀티플렉서(620)는 도 3a, 도 3b 및 도 4에 관련하여 본 명세서에 더 상세하게 설명되는 감쇠 스테이지들(320, 420)과 같은 감쇠 스테이지로도 지칭될 수 있다.
- [0061] 도 6을 참조하면, 대역 선택 스위치(623)는 멀티플렉서(620)가 어느 신호들이 증폭 스테이지(330)에 전달될지를 선택하는 것을 허용한다. 이는 타겟팅된, 선택된, 또는 요구되는 주파수 대역들로부터 신호들을 선택하기 위해 사용될 수 있다. 멀티플렉서(620) 내의 복수의 브랜치와 함께, 대응하는 대역 선택 스위치들(623)은 처리를 위해 타겟팅된 주파수 대역들을 선택하기 위해 사용될 수 있다. 이러한 대역 선택 스위치들(623)은 임의의 적합한 패턴으로(예를 들어, 시간에 기초하여), 또는 제어기로부터 수신된 신호들에 기초하여 개방 및 폐쇄될 수 있다. 이러한 방식으로, 멀티플렉서(620) 및 증폭 스테이지(330)는 멀티플렉싱된 출력을 제공하도록 구성된다. 대역 선택 스위치(623)는 신호들을 접지 전위 또는 다른 기준 전압에 선택적으로 지향시키도록 구성되는 트랜지스터들(Q1, Q2)을 포함한다. 대역 선택 스위치(623)는 트랜지스터들(Q1, Q2)을 동작시키기 위해 및/또는 임피던스 정합 또는 다른 신호 컨디셔닝 요소들을 제공하기 위해, 적절한 바이어스 전압들을 제공하기 위한 다른 컴포넌트들을 포함할 수 있다.
- [0062] 감쇠 선택 브랜치(625)는 선택적으로 가변 감쇠기(R1)를 통한 감쇠 경로, 및 트랜지스터들(Q3 및 Q4)을 통한 바이패스 경로를 선택적으로 제공하도록 구성된다. 감쇠 경로는 트랜지스터들(Q5 및 Q6)에 의해 제어되고, 가변 감쇠기(R1) 및 저항기들(R2-R4)을 포함한다. 저항기들(R2-R4)은 고정된 저항 값들을 가질 수 있으며, 이득 모드들, 신호 진폭들, 및/또는 프로그래밍된 감쇠들의 범위에 걸쳐 바람직한 신호 특성들을 제공하도록 선택될 수 있다. 가변 감쇠기(R1)는 동작 이득 모드, 주파수 대역, 신호 진폭, 또는 그와 유사한 것에 적어도 부분적으로 의존하는 복수의 값을 갖도록 구성될 수 있다. 바이패스 경로는 트랜지스터들(Q3 및 Q4)에 의해 제어되고, 이득 모드들, 신호 진폭들, 및/또는 프로그래밍된 감쇠들의 범위에 걸쳐 바람직한 신호 특성들을 제공하기 위한 추가의 전기 컴포넌트들(도시되지 않음)을 포함할 수 있다. 일부 실시예들에서, 바이패스 경로는 고 이득 모드에서 동작할 때 선택되고, 감쇠 경로는 다른 이득 모드들에서 동작할 때 선택된다.
- [0063] 멀티플렉서(620)는 각각의 브랜치 내의 가변 이득을 갖는 멀티플렉서로서 구성될 수 있다. 프로그래머블 감쇠는 증폭 스테이지(330) 이전에 스위칭 스테이지 또는 스위칭 네트워크에 제공될 수 있다. 이러한 스위칭 스테이지는 복수의 감쇠 선택 브랜치(625)를 포함할 수 있다.
- [0064] 도 7은 감쇠 경로 및 바이패스 경로를 제공하도록 구성되는 예시적인 증폭-후 감쇠 스테이지(740)를 도시한다. 본 명세서에서 도 3a 및 도 3b를 참조하여 더 상세하게 설명된 증폭 스테이지(330)로부터 수신되는 신호들은 프로그래머블 감쇠기(R1)를 사용하여 선택적으로 감쇠될 수 있다. 증폭-후 감쇠 스테이지(740) 및 증폭 스테이지(330)는 본 명세서에서 도 3a 내지 도 5를 참조하여 더 상세하게 설명되는 바와 같이, 제어기(도시되지 않음)에 의해 제어될 수 있다는 것을 이해해야 한다. 증폭-후 감쇠 스테이지(740)는 도 3a, 도 3b, 및 도 5에 관하여 더 상세하게 설명되는 제2 감쇠 스테이지(340, 540)로서 구현될 수 있다.
- [0065] 도 6을 참조하여 설명된 감쇠 선택 브랜치(625)와 마찬가지로, 증폭-후 감쇠 스테이지(740)는 가변 감쇠기(R1)를 통한 감쇠 경로, 및 트랜지스터들(Q3 및 Q4)을 통한 바이패스 경로를 선택적으로 제공하도록 구성된다. 감쇠 경로는 트랜지스터들(Q5 및 Q6)에 의해 제어되고, 가변 감쇠기(R1) 및 저항기들(R2-R4)을 포함한다. 저항기들(R2-R4)은 고정된 저항 값들을 가질 수 있으며, 이득 모드들, 신호 진폭들, 및/또는 프로그래밍된 감쇠들의 범위에 걸쳐 바람직한 신호 특성들을 제공하도록 선택될 수 있다. 가변 감쇠기(R1)는 동작 이득 모드, 주파수 대역, 신호 진폭, 또는 그와 유사한 것에 적어도 부분적으로 의존하는 복수의 값을 갖도록 구성될 수 있다. 바이패스 경로는 트랜지스터들(Q3 및 Q4)에 의해 제어되고, 이득 모드들, 신호 진폭들, 및/또는 프로그래밍된 감쇠들의 범위에 걸쳐 바람직한 신호 특성들을 제공하기 위한 추가의 전기 컴포넌트들(도시되지 않음)을 포함할 수 있다. 일부 실시예들에서, 바이패스 경로는 고 이득 모드에서 동작할 때 선택되고, 감쇠 경로는 다른 이득 모드에서 동작할 때 선택된다.
- [0066] 도 8a 및 8b는 바이패스 모드(도 8a) 및 감쇠 모드(도 8b)에서 동작하는 감쇠 스테이지(740)의 예들을

도시한다. 감쇠 스테이지(740)는 도 7을 참조하여 본 명세서에서 설명된 것과 같은 증폭-후 스테이지, 또는 도 6을 참조하여 본 명세서에서 설명된 것과 같은 증폭-전 스테이지 또는 멀티플렉서 내의 브랜치일 수 있다. 도 8a에 도시된 바이패스 모드에서, 트랜지스터들(Q3, Q4)은 활성화되는 한편, 트랜지스터들(Q5, Q6)은 비활성화된다. 이러한 구성에서, 신호들은 감쇠 스테이지(740)를 나가기 전에, 트랜지스터들(Q3, Q4) 사이에 제공된 전기 컴포넌트들이 존재한다면, 그러한 전기 컴포넌트들을 통과한다. 도 8b에 도시된 감쇠 모드에서, 트랜지스터들(Q3, Q4)은 비활성화되는 한편, 트랜지스터들(Q5, Q6)은 활성화된다. 이러한 구성에서, 신호들은 감쇠 스테이지(740)를 나가기 전에 저항기들(R2-R4) 및 가변 감쇠기(R1)를 통과한다. 트랜지스터들의 활성화 및 비활성화는 제어기(도시되지 않음)에 의해 제어될 수 있다. 가변 감쇠기(R1)의 값은 제어기(도시되지 않음)에 의해 제어될 수 있다. 명료성을 위해 도시되지는 않았지만, 감쇠 스테이지(740)는 적절한 제어 신호들 및 바이어스 전압들을 트랜지스터들(Q3-Q6) 및 가변 감쇠기(R1)에 제공하도록 구성되는 다른 전기 컴포넌트들을 포함할 수 있다.

[0067] 도 9a 및 도 9b는 증폭-전 감쇠 스테이지(620), 각각의 증폭 스테이지들(930a, 930b), 입력 정합 네트워크(913), 출력 정합 네트워크(914), 및 증폭-후 감쇠 스테이지(740)를 포함하는 예시적인 가변 이득 증폭기들(910a, 910b)을 도시한다. 가변 이득 증폭기들(910a, 910b)은 복수의 입력 포트(912) 및 공통 출력 포트(918)를 포함한다. 증폭-전 감쇠 스테이지(620)는 본 명세서에서 도 6을 참조하여 더 상세하게 설명된 감쇠 스테이지 또는 멀티플렉서(620)와 유사하게 구성될 수 있다. 증폭-후 감쇠 스테이지(740)는 본 명세서에서 도 7을 참조하여 더 상세하게 설명되는 감쇠 스테이지(740)와 유사하게 구성될 수 있다.

[0068] 도 9a를 참조하면, 증폭 스테이지(930a)는 입력 정합 네트워크(913)를 통해 수신된 신호들을 함께 증폭하는 트랜지스터들(Q1, Q2), 전압 소스(VDD), 부하(ZL), 및 인덕턴스 요소(ZS)를 포함하는 캐스코드 증폭기를 포함할 수 있다. 출력 정합 네트워크(914)는 바람직한 신호 특성들을 유지하기 위해 증폭 스테이지(930a)의 임피던스들을 정합시키도록 구성되는 컴포넌트들을 포함한다. 예를 들어, 출력 정합 네트워크(913)는 하나 이상의 커패시터, 하나 이상의 저항기, 직렬 또는 병렬의 커패시터들 또는 저항기들의 조합, 또는 그와 유사한 것을 포함할 수 있다. 입력 정합 네트워크(913)는 바람직한 신호 특성들을 유지하기 위해 제1 감쇠 스테이지(920)의 임피던스들을 정합시키도록 구성되는 컴포넌트들을 포함한다. 예를 들어, 입력 정합 네트워크(914)는 하나 이상의 커패시터, 하나 이상의 저항기, 직렬 또는 병렬의 커패시터 또는 저항기의 조합, 또는 그와 유사한 것을 포함할 수 있다. 일부 실시예들에서, 입력 정합 네트워크(913)는 증폭 스테이지(930a)에 포함될 수 있다.

[0069] 도 9b를 참조하면, 증폭 스테이지(930b)는 증폭 스테이지(930a)와 유사하고, 축퇴 스위칭 블록(degeneration switching block)(932)을 추가로 포함한다. 축퇴 스위칭 블록(932)은 제2 인덕턴스(ZS1) 및 트랜지스터(Q3)를 포함한다. 축퇴 스위칭 블록(932)은 하나 이상의 이득 모드에서 추가의 인덕턴스 요소(ZS1)를 부가하도록 구성된다. 예를 들어, 선택된 이득 모드에서, 축퇴 스위칭 블록(932)은 접지 또는 다른 기준 전압으로의 경로가 인덕턴스 요소(ZS) 및 인덕턴스 요소(ZS1) 둘 다를 통과하도록 트랜지스터(Q3)를 비활성화시킬 수 있다. 다른 이득 모드들에서, 축퇴 스위칭 블록(932)은 접지 또는 다른 기준 전압으로의 경로가 인덕턴스 요소(ZS)를 통과하고 인덕턴스 요소(ZS1)를 통과하지 않도록 트랜지스터를 활성화할 수 있다. 이는 본 명세서에서 도 10b를 참조하여 더 상세히 설명되는 바와 같이, 증폭 스테이지(930b)의 잡음 지수(NF) 및/또는 선형성(IIP3)에 영향을 줄 수 있다.

[0070] 도 10a 및 도 10b는 각각 도 9a 및 도 9b를 참조하여 설명된 가변 이득 증폭기들(910a, 910b)의 성능의 플롯들을 도시한다. 도 10a는 (도 9a를 참조하여 설명된) 가변 이득 증폭기(910a)의 잡음 지수(NF) 및 선형성(IIP3), 및 설명된 증폭-전 감쇠 스테이지(620)를 포함하는 것의 효과들의 플롯들을 도시한다. 마찬가지로, 도 10b는 (도 9b를 참조하여 설명된) 가변 이득 증폭기(910b)의 잡음 지수(NF) 및 선형성(IIP3), 및 설명된 증폭-전 감쇠 스테이지(620)를 포함하는 것의 효과들의 플롯들을 도시한다.

[0071] 도 10a를 참조하면, 상부 플롯들은 잡음 지수(NF)를 이득 모드의 함수로서 나타내며, G4는 저 이득 모드이고 이득은 고 이득 모드인 G0으로 증가한다. 상부 좌측 플롯(1000a)에서, 증폭 스테이지(930a)(또는 LNA)로부터의 NF는 실선(1002a)으로 도시되고, NF는 LNA-전 감쇠 스테이지(620)를 갖지 않는다. 타겟 NF는 일점 쇄선(1004a)으로 도시된다. 타겟 NF(1004a)와 LNA(1002a)로부터의 NF 사이의 차이는 점선(1006a)(예를 들어, NF 마진)으로 도시된 허용되는 LNA-전 감쇠이다. LNA-전 감쇠 스테이지의 가변 감쇠를 프로그래밍함으로써, 우측 상부 플롯(1010a)에 도시된 바와 같이, 타겟 NF가 달성될 수 있다. LNA-전 감쇠를 갖는 LNA로부터의 NF는 다시 일점 쇄선(1004a)으로 도시된 타겟 LNA와 실질적으로 정렬된 실선(1012a)으로 도시된다.

[0072] 도 10a를 계속 참조하면, 하부 플롯들은 선형성(IIP3)을 이득 모드의 함수로서 나타내며, G4는 저 이득 모드이

고, 이득은 고 이득 모드인 G0로 증가한다. 하부 좌측 플롯(1020a)에서, 증폭 스테이지(930a)(또는 LNA)로부터의 IIP3은 실선(1022a)으로 도시되고, IIP3은 LNA-전 감쇠 스테이지(620)를 갖지 않는다. 타겟 IIP3은 일점 쇄선(1024a)으로 도시된다. 허용된 LNA-전 감쇠는 점선(1006a)으로 다시 도시된다. LNA-전 감쇠 스테이지의 가변 감쇠를 프로그래밍함으로써, 플롯(1030a)에 도시된 바와 같이, 타겟 IIP3을 초과하는 선형성이 달성될 수 있다. LNA-전 감쇠를 갖는 LNA로부터의 IIP3은, 일점 쇄선(1024a)으로 도시된 타겟 IIP3을 초과하는 실선(1032a)으로 도시된다.

[0073] 도 10a의 플롯들은 개시된 가변 이득 증폭기들이 비-고 이득 모드들에서 타겟팅된 또는 더 높은 IIP3를 달성하도록 구성될 수 있음을 도시한다. 또한, 허용된 NF 마진과 함께, LNA-전 감쇠는 저 이득 모드들에서 선형성(IIP3) 성능을 증강시키기 위해 타겟팅된 프론트-엔드 손실을 달성하도록 조정될 수 있다.

[0074] 도 10b로 진행하면, 플롯들(1000, 1010b, 1020b, 1030b)은 도 10a에서 설명된 것과 동일한 파라미터들이 증폭 스테이지(930a)를 축퇴 스위칭 블록(932)을 포함하는 증폭 스테이지(930b)로 대체하는 것을 도시한다. 즉, 가변 이득 증폭기들(910a, 910b) 사이의 차이는 가변 이득 증폭기(910b)의 축퇴 스위칭 블록(932)의 존재를 포함한다. 도 10b의 플롯들에서, 이득 모드(G3)에 대한 축퇴 블록 상에서의 스위칭의 효과는 NF 및 IIP3 플롯들에서 나타난다.

[0075] 상부 플롯들은 잡음 지수(NF)를 이득 모드의 함수로서 도시하며, G4는 저 이득 모드이고, 이득은 고 이득 모드인 G0로 증가한다. 상부 좌측 플롯(1000b)에서, 증폭 스테이지(930b)(또는 LNA)로부터의 NF는 실선(1002b)으로 도시되어 있으며, NF는 LNA-전 감쇠 스테이지(620)를 갖지 않는다. 타겟 NF는 일점 쇄선(1004b)으로서 도시된다. 타겟 NF(1004b)와 LNA(1002b)로부터의 NF 사이의 차이는 점선(1006b)(예를 들어, NF 마진)으로서 도시된 허용되는 LNA-전 감쇠이다. LNA-전 감쇠 스테이지의 가변 감쇠를 프로그래밍함으로써, 상부 우측 플롯(1010b)에 도시된 바와 같이, 타겟 NF가 달성될 수 있다. LNA-전 감쇠를 갖는 LNA로부터의 NF는 일점 쇄선(1004b)으로서 다시 도시된 타겟 LNA와 실질적으로 정렬된 실선(1012b)으로서 도시된다.

[0076] 도 10b를 참조하여 계속하면, 하부 플롯들은 선형성(IIP3)을 이득 모드의 함수로서 나타내며, G4는 저 이득 모드이고, 이득은 고 이득 모드인 G0로 증가한다. 하부 좌측 플롯(1020b)에서, 증폭 스테이지(930b)(또는 LNA)로부터의 IIP3은 실선(1022b)으로 도시되어 있으며, IIP3은 LNA-전 감쇠 스테이지(620)를 갖지 않는다. 타겟 IIP3은 일점 쇄선(1024b)으로서 도시된다. 허용된 LNA-전 감쇠는 점선(1006b)으로 다시 도시된다. LNA-전 감쇠 스테이지의 가변 감쇠를 프로그래밍함으로써, 플롯(1030b)에 도시된 바와 같이, 타겟 IIP3를 초과하는 선형성이 달성될 수 있다. LNA-전 감쇠를 갖는 LNA로부터의 IIP3은, 다시 일점 쇄선(1024b)으로 도시된 타겟 IIP3를 초과하는 실선(1032b)으로 도시된다.

[0077] 도 10b의 플롯들은 개시된 가변 이득 증폭기들이 비-고 이득 모드에서 타겟팅된 또는 더 높은 IIP3를 달성하도록 구성될 수 있음을 도시한다. 더욱이, 허용된 NF 마진과 함께, LNA-전 감쇠는 저 이득 모드들에서 선형성(IIP3) 성능을 증강시키기 위해 타겟팅된 프론트-엔드 손실을 달성하도록 조정될 수 있다.

[0078] 제품들 및 아키텍처들의 예들

[0079] 도 11은 일부 실시예들에서, 특징들(예를 들어, 도 1 내지 도 9b)의 조합들을 갖는 다이버시티 수신기 구성들의 일부 또는 전부를 포함하는 다이버시티 수신기 구성들의 일부 또는 전부가 전체적으로 또는 부분적으로 모듈로 구현될 수 있는 것을 도시한다. 그러한 모듈은 예를 들어 프론트-엔드 모듈(FEM)일 수 있다. 그러한 모듈은 예를 들어 다이버시티 수신기(DRx) FEM일 수 있다. 그러한 모듈은 예를 들어 다중-입력 다중-출력(MiMo) 모듈일 수 있다.

[0080] 도 11의 예에서, 모듈(1108)은 패키징 기관(1101)을 포함할 수 있고, 다수의 컴포넌트가 그러한 패키징 기관(1101) 상에 장착될 수 있다. 예를 들어, 제어기(1102)[프론트-엔드 전력 관리 집적 회로(front-end power management integrated circuit)(FE-PIMC)를 포함할 수 있음], 조합 어셈블리(1106), 본 명세서에서 설명된 것과 같은 하나 이상의 특징을 갖는 임베디드 프로그래머블 감쇠기들(1116)을 포함하는 가변 이득 증폭기 어셈블리(1110), 및 필터 뱅크(1108)(하나 이상의 대역 통과 필터를 포함할 수 있음)가 패키징 기관(1101) 상에 및/또는 내에 장착 및/또는 구현될 수 있다. 다수의 SMT 디바이스(1105)와 같은 다른 컴포넌트들이 또한 패키징 기관(1101) 상에 장착될 수 있다. 다양한 컴포넌트들 전부가 패키징 기관(1101) 상에 레이아웃된 것으로서 도시되지만, 일부 컴포넌트(들)는 다른 컴포넌트(들) 위에 구현될 수 있음을 이해할 것이다.

[0081] 일부 실시예들에서, 다이버시티 수신 모듈(1108)은 둘 이상의 가변 이득 증폭기 어셈블리(1110)를 포함한다. 다양한 구현예들에서, 둘 이상의 가변 이득 증폭기 어셈블리(1110)가 단일 다이 상에서 구현될 수 있다. 각각

의 어셈블리(1110)는 제1 감쇠 스테이지, 증폭 스테이지, 및 제2 감쇠 스테이지를 포함할 수 있다. 각각의 어셈블리(1110)의 출력들은 결합될 수 있다. 이는 더 넓은 범위의 주파수들에 걸친 성능 튜닝을 가능하게 하는데 유리할 수 있다. 예를 들어, 제1 어셈블리는 제1 주파수 범위에 대해 튜닝될 수 있고, 제2 어셈블리는 제2 주파수 범위에 대해 튜닝될 수 있다. 신호들은 적절한 어셈블리들(1110)에 지향될 수 있고, 공통 출력에서 결합될 수 있다. 따라서, 다이버시티 수신 모듈(1108)은 단일 증폭기 어셈블리를 포함하는 구성에 대해 개선된 성능으로 더 넓은 범위의 주파수들을 커버하도록 구성될 수 있다.

[0082] 도 12는 일부 실시예들에서, 특징들(예를 들어, 도 1 내지 도 9b)의 조합들을 갖는 다이버시티 수신기 구성들의 일부 또는 전부를 포함하는 다이버시티 수신기 구성들의 일부 또는 전부가 전체적으로 또는 부분적으로 아키텍처로 구현될 수 있는 것을 도시한다. 그러한 아키텍처는 하나 이상의 모듈을 포함할 수 있고, 다이버시티 수신기(DRx) 프론트-엔드 기능과 같은 프론트-엔드 기능을 제공하도록 구성될 수 있다.

[0083] 도 12의 예에서, 아키텍처(1208)는 제어기(1202)[프론트-엔드 전력 관리 집적 회로(FE-PIMC)를 포함할 수 있음], 조합 어셈블리(1206), 본 명세서에서 설명된 것과 같은 하나 이상의 특징을 갖는 임베디드 프로그래머블 감쇠기들(1216)을 포함하는 가변 이득 증폭기 어셈블리(1210), 및 필터 뱅크(1208)(하나 이상의 대역 통과 필터를 포함할 수 있음)가 패키징 기관(1201) 상에 및/또는 내에 장착 및/또는 구현될 수 있다. 다수의 SMT 디바이스(1205)와 같은 다른 컴포넌트들이 또한 아키텍처(1208) 내에 구현될 수 있다.

[0084] 일부 구현예들에서, 본 명세서에 설명된 하나 이상의 특징을 갖는 디바이스 및/또는 회로는 무선 디바이스와 같은 RF 전자 디바이스에 포함될 수 있다. 그러한 디바이스 및/또는 회로는 직접적으로 무선 디바이스 내에, 본 명세서에 설명된 것과 같은 모듈러 형태로, 또는 그들의 소정의 조합으로 구현될 수 있다. 일부 실시예들에서, 그러한 무선 디바이스는 예를 들어 셀룰러 폰, 스마트 폰, 전화 기능을 갖거나 갖지 않는 휴대용 무선 디바이스, 무선 태블릿 등을 포함할 수 있다.

[0085] 도 13은 본 명세서에 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스(1300)를 도시한다. 하나 이상의 모듈이 본 명세서에 설명된 것과 같은 하나 이상의 특징을 갖는 맥락에서, 그러한 모듈들은 일반적으로 점선 박스(1306)(예를 들어 프론트-엔드 모듈로서 구현될 수 있음), 및 다이버시티 수신기(DRx) 모듈(1308)(예를 들어 프론트-엔드 모듈로서 구현될 수 있음)에 의해 도시될 수 있다.

[0086] 도 13을 참조하면, 전력 증폭기들(PA)(1382)은 증폭되고 전송될 RF 신호들을 생성하고 수신된 신호들을 처리하도록 구성되고 동작될 수 있는 송수신기(1304)로부터 그들 각각의 RF 신호들을 수신할 수 있다. 송수신기(1304)는 사용자에게 적합한 데이터 및/또는 음성 신호들과 송수신기(1304)에 적합한 RF 신호들 사이의 변환을 제공하도록 구성되는 기저대역 서브시스템(1305)과 상호작용하는 것으로 도시되어 있다. 송수신기(1304)는 또한 무선 디바이스(1300)의 동작을 위한 전력을 관리하도록 구성되는 전력 관리 컴포넌트(1307)와 통신할 수 있다. 그러한 전력 관리는 또한 기저대역 서브시스템(1305) 및 모듈들(1306 및 1308)의 동작들을 제어할 수 있다.

[0087] 기저대역 서브시스템(1305)은 사용자에게 제공되고 사용자로부터 수신되는 음성 및/또는 데이터의 다양한 입력 및 출력을 용이하게 하기 위해 사용자 인터페이스(1301)에 연결되는 것으로 도시된다. 기저대역 서브시스템(1305)은 무선 디바이스의 동작을 용이하게 하기 위한 데이터 및/또는 명령어들을 저장하고, 및/또는 사용자에 대한 정보의 저장을 제공하도록 구성되는 메모리(1303)에 또한 연결될 수 있다.

[0088] 예시적인 무선 디바이스(1300)에서, PA들(1382)의 출력들은 [각각의 정합 회로들(1384)을 통해] 정합되고 그들 각각의 듀플렉서들(1386)에 라우팅되는 것으로 도시된다. 그러한 증폭되고 필터링된 신호들은 전송을 위해 스윙 네트워크(1309)를 통해 주 안테나(1360)에 라우팅될 수 있다. 일부 실시예들에서, 듀플렉서들(1386)은 전송 및 수신 동작들이 공통 안테나[예를 들어, 주 안테나(1360)]를 이용하여 동시에 수행되는 것을 허용할 수 있다. 도 13에서, 수신된 신호들은 본 명세서에 설명되는 가변 이득 증폭기들의 특징들 및 이점들을 제공하는 가변 이득 증폭기 어셈블리(1310a)에 라우팅되는 것으로 도시된다. DRx 모듈(1308)은 유사한 가변 이득 증폭기 어셈블리(1310b)를 또한 포함한다.

[0089] 예시적인 무선 디바이스(1300)에서, 주 안테나(1330)로부터 수신된 신호들은 [각각의 정합 회로들(1385)을 통해] 정합될 수 있고, 프론트 엔드 모듈(1306) 내의 가변 이득 증폭기(1310a)에 송신될 수 있다. 가변 이득 증폭기(1310a)는 증폭-전 프로그래머블 감쇠 어셈블리(1320), 증폭기(1330), 증폭-후 프로그래머블 감쇠 어셈블리(1340), 및 스플리터(1350)를 포함할 수 있다. 가변 이득 증폭기(1310a)는 입력들(1312)에서 복수의 신호를 수신하고, 출력들(1318)에서 복수의 처리된 신호를 출력하도록 구성된다. 가변 이득 증폭기(1310a)는 증폭기(1310a)까지의 복수의 스위칭가능 경로를 제공하도록 구성되고, 복수의 스위칭가능 경로는 복수의 이득 모드에

대한 타겟팅된 증폭을 제공하고 임베디드 프로그래머블 감쇠기들을 포함하지 않는 가변 이득 증폭기들에 대해 신호들의 선형성을 향상시키는 임베디드 프로그래머블 감쇠기들을 포함한다. 적어도 하나의 고 이득 모드에서, 프로그래머블 감쇠기들은 잡음 지수에 대한 영향을 감소시키거나 제거하도록 바이패스될 수 있다. 적어도 하나의 비-고 이득 모드에서, 프로그래머블 감쇠기들은 적어도 하나의 비-고 이득 모드에서 증폭되는 신호들에 대해 선형성을 향상시키도록 조정될 수 있다.

[0090] 무선 디바이스는 다이버시티 안테나(1370), 및 다이버시티 안테나(1370)로부터 신호들을 수신하는 다이버시티 수신기 모듈(1308)을 또한 포함한다. 다이버시티 수신 모듈(1308)은 프론트 엔드 모듈(1306) 내의 가변 이득 증폭기(1310a)와 유사한 가변 이득 증폭기(1310b)를 포함한다. 다이버시티 수신기 모듈(1308) 및 가변 이득 증폭기(1310b)는 수신된 신호들을 처리하고, 처리된 신호들을 송수신기(1304)에 전송한다. 일부 실시예들에서, 본 명세서에서 설명되는 바와 같이, 다이버시티 안테나(1370)와 다이버시티 수신기 모듈(1308) 사이에 다이플렉서, 트리플렉서, 또는 다른 멀티플렉서 또는 필터 어셈블리가 포함될 수 있다.

[0091] 본 개시내용의 하나 이상의 특징은 본 명세서에 설명된 바와 같이 다양한 셀룰러 주파수 대역들로 구현될 수 있다. 이러한 대역들의 예가 표 1에 나열된다. 대역들 중 적어도 일부는 서브대역들로 분할될 수 있음이 이해될 것이다. 또한, 본 개시내용의 하나 이상의 특징은 표 1의 예들과 같은 지정을 갖지 않는 주파수 범위들로 구현될 수 있음이 이해될 것이다. 라디오 주파수(RF) 및 라디오 주파수 신호들이라는 용어는 표 1에 나열된 주파수들을 적어도 포함하는 신호들을 지칭한다는 것을 이해해야 한다.

표 1

대역	모드	Tx 주파수 범위 (MHz)	Rx 주파수 범위 (MHz)
B1	FDD	1,920 - 1,980	2,110 - 2,170
B2	FDD	1,850 - 1,910	1,930 - 1,990
B3	FDD	1,710 - 1,785	1,805 - 1,880
B4	FDD	1,710 - 1,755	2,110 - 2,155
B5	FDD	824 - 849	869 - 894
B6	FDD	830 - 840	875 - 885
B7	FDD	2,500 - 2,570	2,620 - 2,690
B8	FDD	880 - 915	925 - 960
B9	FDD	1,749.9 - 1,784.9	1,844.9 - 1,879.9
B10	FDD	1,710 - 1,770	2,110 - 2,170
B11	FDD	1,427.9 - 1,447.9	1,475.9 - 1,495.9
B12	FDD	699 - 716	729 - 746
B13	FDD	777 - 787	746 - 756
B14	FDD	788 - 798	758 - 768
B15	FDD	1,900 - 1,920	2,600 - 2,620
B16	FDD	2,010 - 2,025	2,585 - 2,600
B17	FDD	704 - 716	734 - 746
B18	FDD	815 - 830	860 - 875
B19	FDD	830 - 845	875 - 890
B20	FDD	832 - 862	791 - 821
B21	FDD	1,447.9 - 1,462.9	1,495.9 - 1,510.9
B22	FDD	3,410 - 3,490	3,510 - 3,590
B23	FDD	2,000 - 2,020	2,180 - 2,200
B24	FDD	1,626.5 - 1,660.5	1,525 - 1,559
B25	FDD	1,850 - 1,915	1,930 - 1,995
B26	FDD	814 - 849	859 - 894
B27	FDD	807 - 824	852 - 869
B28	FDD	703 - 748	758 - 803
B29	FDD	N/A	716 - 728
B30	FDD	2,305 - 2,315	2,350 - 2,360
B31	FDD	452.5 - 457.5	462.5 - 467.5
B32	FDD	N/A	1,452 - 1,496
B33	TDD	1,900 - 1,920	1,900 - 1,920
B34	TDD	2,010 - 2,025	2,010 - 2,025
B35	TDD	1,850 - 1,910	1,850 - 1,910
B36	TDD	1,930 - 1,990	1,930 - 1,990
B37	TDD	1,910 - 1,930	1,910 - 1,930
B38	TDD	2,570 - 2,620	2,570 - 2,620
B39	TDD	1,880 - 1,920	1,880 - 1,920
B40	TDD	2,300 - 2,400	2,300 - 2,400
B41	TDD	2,496 - 2,690	2,496 - 2,690
B42	TDD	3,400 - 3,600	3,400 - 3,600
B43	TDD	3,600 - 3,800	3,600 - 3,800
B44	TDD	703 - 803	703 - 803
B45	TDD	1,447 - 1,467	1,447 - 1,467
B46	TDD	5,150 - 5,925	5,150 - 5,925
B65	FDD	1,920 - 2,010	2,110 - 2,200
B66	FDD	1,710 - 1,780	2,110 - 2,200
B67	FDD	N/A	738 - 758
B68	FDD	698 - 728	753 - 783

[0092]

[0093]

본 개시내용은 다양한 특징들을 설명하며, 그것들 중 어느 것도 본 명세서에 설명된 이점들을 단독으로 책임지지 않는다. 본 명세서에 설명된 다양한 특징들은 본 기술분야의 통상의 기술자에게 자명한 바와 같이, 조합되거나 수정되거나 생략될 수 있음을 이해할 것이다. 본 명세서에 구체적으로 설명된 것들 외의 다른 조합들 및 하위조합들은 통상의 기술자에게 자명할 것이며, 본 개시내용의 일부를 형성하도록 의도된다. 여기에서는, 다양한 방법들이 다양한 흐름도 단계들 및/또는 위상들과 관련하여 설명된다. 많은 경우에서, 흐름도들에 도시된 복수의 단계 및/또는 위상이 단일 단계 및/또는 위상으로서 수행될 수 있도록, 특정 단계들 및/또는 위상들이 함께 결합될 수 있다는 것을 이해할 것이다. 또한, 특정 단계들 및/또는 위상들은 별도로 수행될 추가의 하위 컴포넌트들로 분리될 수 있다. 일부 경우들에서, 단계들 및/또는 위상들의 순서가 재배열될 수 있고, 특정한 단계들 및/또는 위상들은 완전히 생략될 수 있다. 또한, 본 명세서에 설명되는 방법들은 본 명세서에 도시되고 설명된 것들에 대한 추가의 단계들 및/또는 위상들이 또한 수행될 수 있도록 개방형인 것으로 이해되어야 한다.

[0094]

본 명세서에 설명되는 시스템들 및 방법들의 일부 양태들은 예를 들어 컴퓨터 소프트웨어, 하드웨어, 펌웨어,

또는 컴퓨터 소프트웨어, 하드웨어 및 펌웨어의 임의의 조합을 사용하여 유리하게 구현될 수 있다. 컴퓨터 소프트웨어는 실행 시에 본 명세서에 설명된 기능들을 수행하는 컴퓨터 판독가능한 매체(예를 들어, 비-일시적 컴퓨터 판독가능한 매체)에 저장된 컴퓨터 실행가능한 코드를 포함할 수 있다. 일부 실시예들에서, 컴퓨터 실행가능한 코드는 하나 이상의 범용 컴퓨터 프로세서에 의해 실행된다. 본 기술분야의 통상의 기술자는 본 개시내용에 비추어, 범용 컴퓨터 상에서 실행될 소프트웨어를 사용하여 구현될 수 있는 임의의 특징 또는 기능이 하드웨어, 소프트웨어, 또는 펌웨어의 상이한 조합을 사용하여 또한 구현될 수 있음을 이해할 것이다. 예를 들어, 그러한 모듈은 집적 회로들의 조합을 사용하여 하드웨어로 완전히 구현될 수 있다. 대안적으로 또는 추가적으로, 그러한 특징 또는 기능은 범용 컴퓨터들에 의해서가 아니라 본 명세서에 설명된 특정한 기능들을 수행하도록 설계된 특수 컴퓨터들을 사용하여 완전하게 또는 부분적으로 구현될 수 있다.

[0095] 복수의 분산 컴퓨팅 디바이스는 본 명세서에 설명된 임의의 하나의 컴퓨팅 디바이스로 대체될 수 있다. 이러한 분산된 실시예들에서, 하나의 컴퓨팅 디바이스의 기능들은 분산된 컴퓨팅 디바이스들 각각에서 일부 기능들이 수행되도록(예를 들어, 네트워크를 통해) 분산된다.

[0096] 일부 실시예들은 수학적식들, 알고리즘들, 및/또는 흐름도 도시들을 참조하여 설명될 수 있다. 이러한 방법들은 하나 이상의 컴퓨터에서 실행가능한 컴퓨터 프로그램 명령어들을 사용하여 구현될 수 있다. 이러한 방법들은 컴퓨터 프로그램 제품들로서 개별적으로, 또는 장치 또는 시스템의 컴포넌트로서 또한 구현될 수 있다. 이와 관련하여, 각각의 수학적식, 알고리즘, 블록, 또는 흐름도의 단계, 및 이들의 조합들은 컴퓨터 판독가능한 프로그램 코드 로직으로 구현된 하나 이상의 컴퓨터 프로그램 명령어를 포함하는 하드웨어, 펌웨어, 및/또는 소프트웨어에 의해 구현될 수 있다. 알 수 있는 바와 같이, 임의의 그러한 컴퓨터 프로그램 명령어들은 제한 없이, 범용 컴퓨터 또는 특수 목적 컴퓨터, 또는 머신을 만들어내기 위한 다른 프로그래머블 처리 장치를 포함하는 하나 이상의 컴퓨터 상에 로딩될 수 있고, 그에 의해 컴퓨터(들) 또는 다른 프로그래머블 처리 디바이스(들) 상에서 실행되는 컴퓨터 프로그램 명령어들은 수학적식들, 알고리즘들, 및/또는 흐름도들에 지정된 기능들을 구현하게 된다. 또한, 각각의 수학적식, 알고리즘, 및/또는 흐름도 도시 내의 블록, 및 그것들의 조합은 지정된 기능들 또는 단계들을 수행하는 특수 목적 하드웨어 기반 컴퓨터 시스템, 또는 특수 목적 하드웨어 및 컴퓨터 판독가능한 프로그램 코드 로직 수단의 조합들에 의해 구현될 수 있음이 이해될 것이다.

[0097] 또한, 하나 이상의 컴퓨터 또는 다른 프로그래머블 처리 디바이스에게 특정한 방식으로 기능할 것을 지시할 수 있는 컴퓨터 판독가능한 프로그램 코드 로직으로 구현되는 것과 같은 컴퓨터 프로그램 명령어들은 또한 컴퓨터 판독가능한 메모리(예를 들어, 비-일시적 컴퓨터 판독가능한 매체) 내에 저장될 수 있고, 그에 의해 컴퓨터 판독가능한 메모리 내에 저장된 명령어들은 흐름도(들)의 블록(들)에 지정된 기능(들)을 구현하게 된다. 컴퓨터 프로그램 명령어들은 또한 일련의 동작 단계들이 하나 이상의 컴퓨터 또는 다른 프로그래머블 컴퓨팅 디바이스 상에서 수행되게 하여 컴퓨터-구현 프로세스를 만들어내도록 하기 위해, 하나 이상의 컴퓨터 또는 다른 프로그래머블 컴퓨팅 디바이스 상에 로딩될 수 있고, 그에 의해 컴퓨터 또는 다른 프로그래머블 처리 장치 상에서 실행되는 명령어들은 수학적식(들), 알고리즘(들), 및/또는 흐름도(들)의 블록(들)에 지정된 기능들을 구현하기 위한 단계들을 제공하게 된다.

[0098] 본 명세서에 설명된 방법들 및 작업들의 일부 또는 전부는 컴퓨터 시스템에 의해 수행될 수 있고 완전히 자동화될 수 있다. 일부 경우들에서, 컴퓨터 시스템은 설명된 기능들을 수행하기 위해 네트워크를 통해 통신하고 상호동작하는 복수의 개별 컴퓨터 또는 컴퓨팅 디바이스(예를 들어, 물리적 서버들, 워크스테이션들, 스토리지 어레이들 등)를 포함할 수 있다. 각각의 그러한 컴퓨팅 디바이스는 전형적으로 메모리 또는 다른 비-일시적 컴퓨터 판독가능한 저장 매체 또는 디바이스 내에 저장된 프로그램 명령어들 또는 모듈들을 실행하는 프로세서(또는 복수의 프로세서)를 포함한다. 개시된 기능들 중 일부 또는 전부가 컴퓨터 시스템의 주문형 회로(예를 들어, ASIC 또는 FPGA)로 대안적으로 구현될 수 있긴 하지만, 본 명세서에 개시된 다양한 기능들은 그러한 프로그램 명령어들로 구현될 수 있다. 컴퓨터 시스템이 복수의 컴퓨팅 디바이스를 포함하는 경우, 이러한 디바이스들은 공동 위치될 수 있지만, 반드시 그럴 필요는 없다. 개시된 방법들 및 작업들의 결과들은 고체 상태 메모리 칩들 및/또는 자기 디스크들과 같은 물리적 저장 디바이스들을 상이한 상태로 변환함으로써 지속적으로 저장될 수 있다.

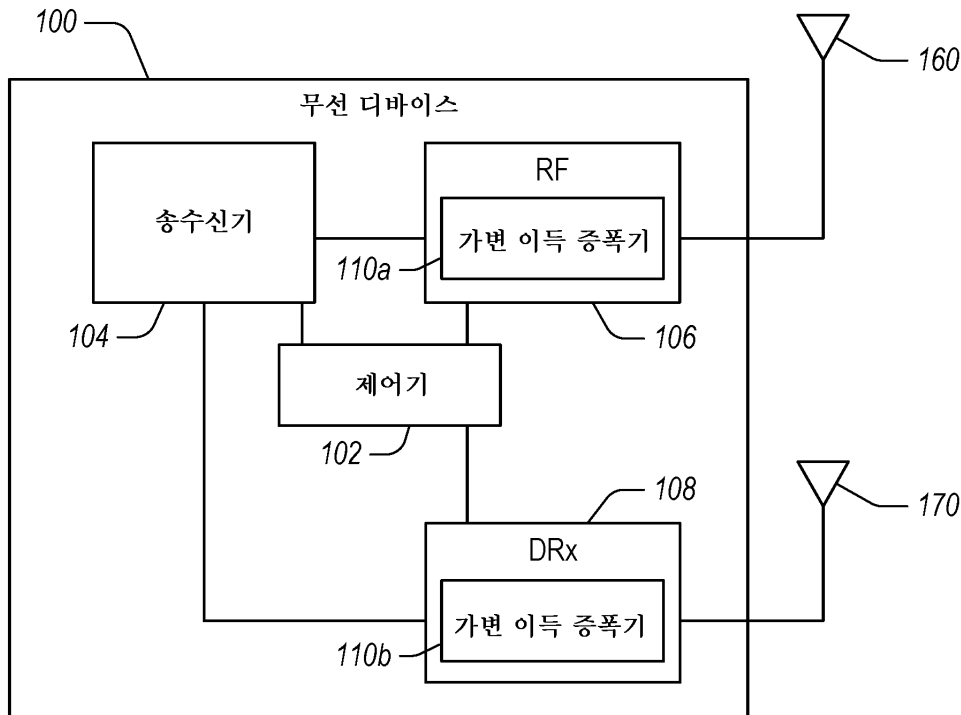
[0099] 문맥상 명확하게 다르게 요구되지 않는 한, 상세한 설명 및 청구항들 전반에서, 단어들 "포함한다(comprise)", "포함하는(comprising)", 및 그와 유사한 것은 배타적 또는 완전한(exhaustive) 의미와는 대조적으로 포괄적 의미로 해석되어야 하고; 즉, "포함하지만 이에 제한되지 않는"이라는 의미로 해석되어야 한다. 본 명세서에서 일반적으로 사용되는 바와 같은 "결합되는(coupled)"이라는 단어는 직접 연결되거나, 하나 이상의 중간 요소에 의해 연결될 수 있는 둘 이상의 요소를 지칭한다. 추가로, 단어들 "여기에서", "위에서", "아래에서", 및 유사

한 중요도의 단어들은 본 출원에서 사용될 때, 본 출원을 전체로서 참조하며, 본 출원의 임의의 특정한 부분들을 참조하지 않는다. 맥락이 허용할 때, 위의 상세한 설명에서 단수 개수 또는 복수 개수를 이용하는 단어들은 각각 복수 개수 또는 단수 개수를 또한 포함할 수 있다. 둘 이상의 항목의 목록을 참조하는 "또는"이라는 단어는 단어의 이하의 해석을 모두 포함한다: 목록 내의 항목들 중 임의의 것, 목록 내의 항목들 전부, 및 목록 내의 항목들의 임의의 조합. "예시적인"이라는 단어는 본 명세서에서 "예, 경우, 또는 실례의 역할을 하는"을 의미하기 위해 배타적으로 사용된다. 본 명세서에서 "예시적인" 것으로 설명된 임의의 구현예가 반드시 다른 구현예보다 바람직하거나 유리한 것으로 해석될 필요는 없다.

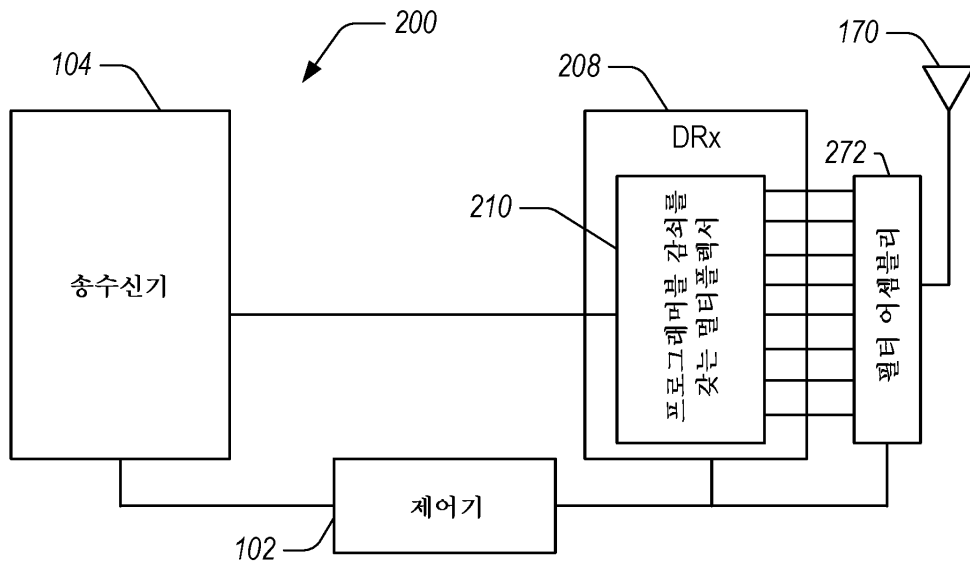
[0100] 본 개시내용은 본 명세서에 도시된 구현예들에 한정되도록 의도되지 않는다. 본 개시내용에서 설명되는 구현예들에 대한 다양한 수정들은 본 기술분야의 통상의 기술자들에게 쉽게 자명해질 수 있으며, 본 명세서에서 정의되는 일반적인 원리들은 본 개시내용의 취지 또는 범위로부터 벗어나지 않고서 다른 구현예들에 적용될 수 있다. 본 명세서에 제공되는 본 발명의 교시들은 다른 방법들 및 시스템들에 적용될 수 있고, 위에서 설명된 방법들 및 시스템들에 제한되지 않으며, 위에서 설명된 다양한 실시예들의 구성요소들 및 동작들은 추가의 실시예들을 제공하도록 결합될 수 있다. 따라서, 본 명세서에서 설명되는 신규한 방법들 및 시스템들은 다양한 다른 형태들로 구현될 수 있고; 또한, 본 개시내용의 취지로부터 벗어나지 않고서, 본 명세서에서 설명되는 방법들 및 시스템들의 형태의 다양한 생략들, 치환들, 및 변경들이 이루어질 수 있다. 첨부된 청구항들 그것들의 등가물들은 본 개시내용의 범위 및 취지에 속하는 그러한 형태들 또는 수정들을 포괄하도록 의도된다.

도면

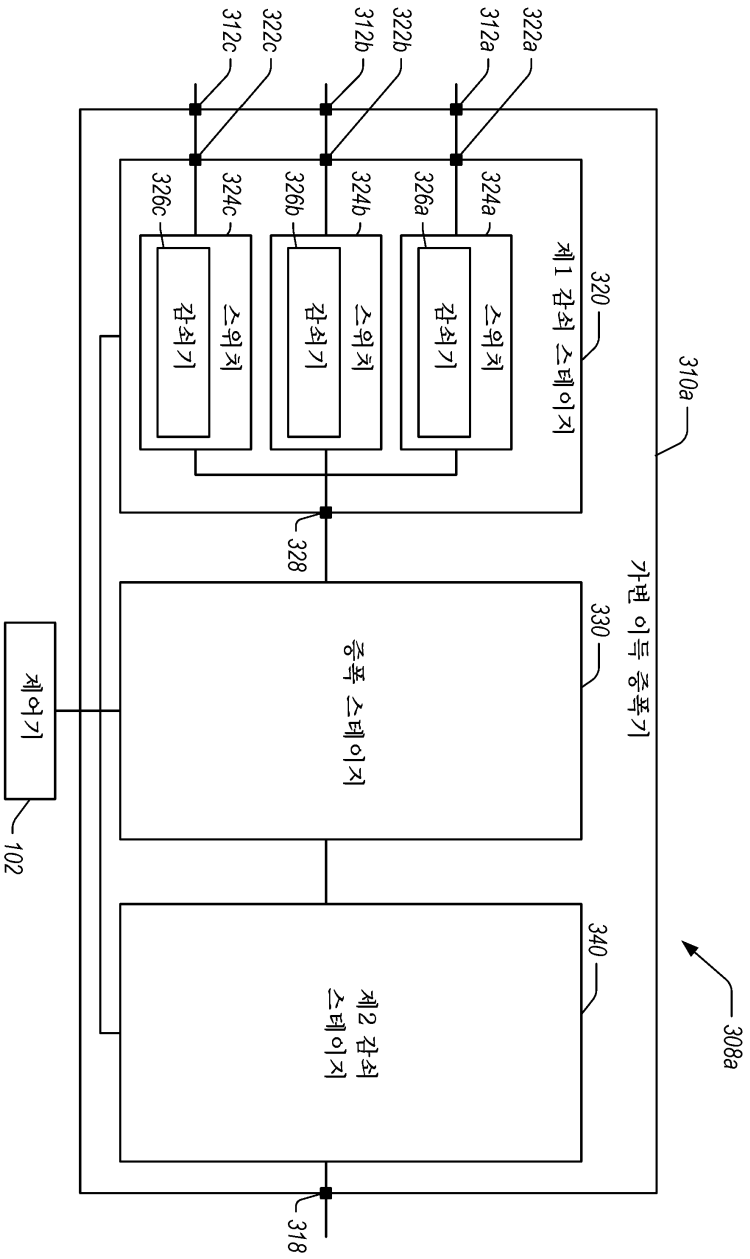
도면1



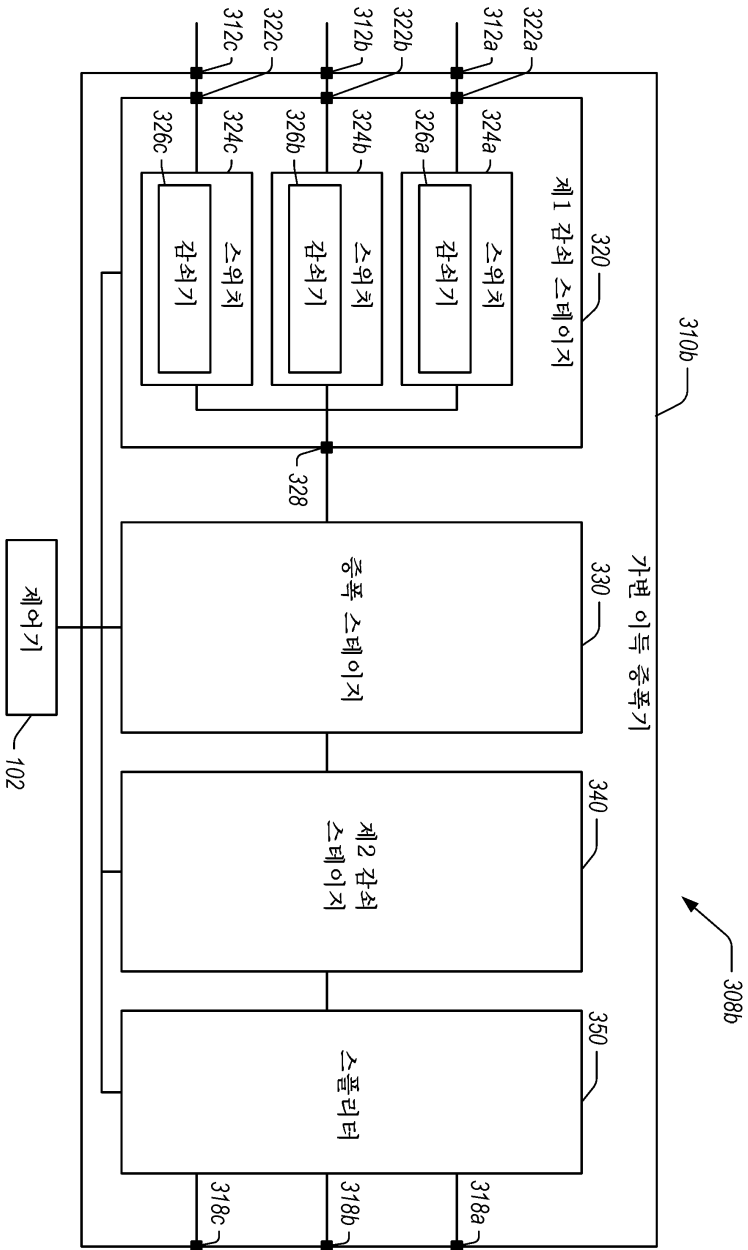
도면2



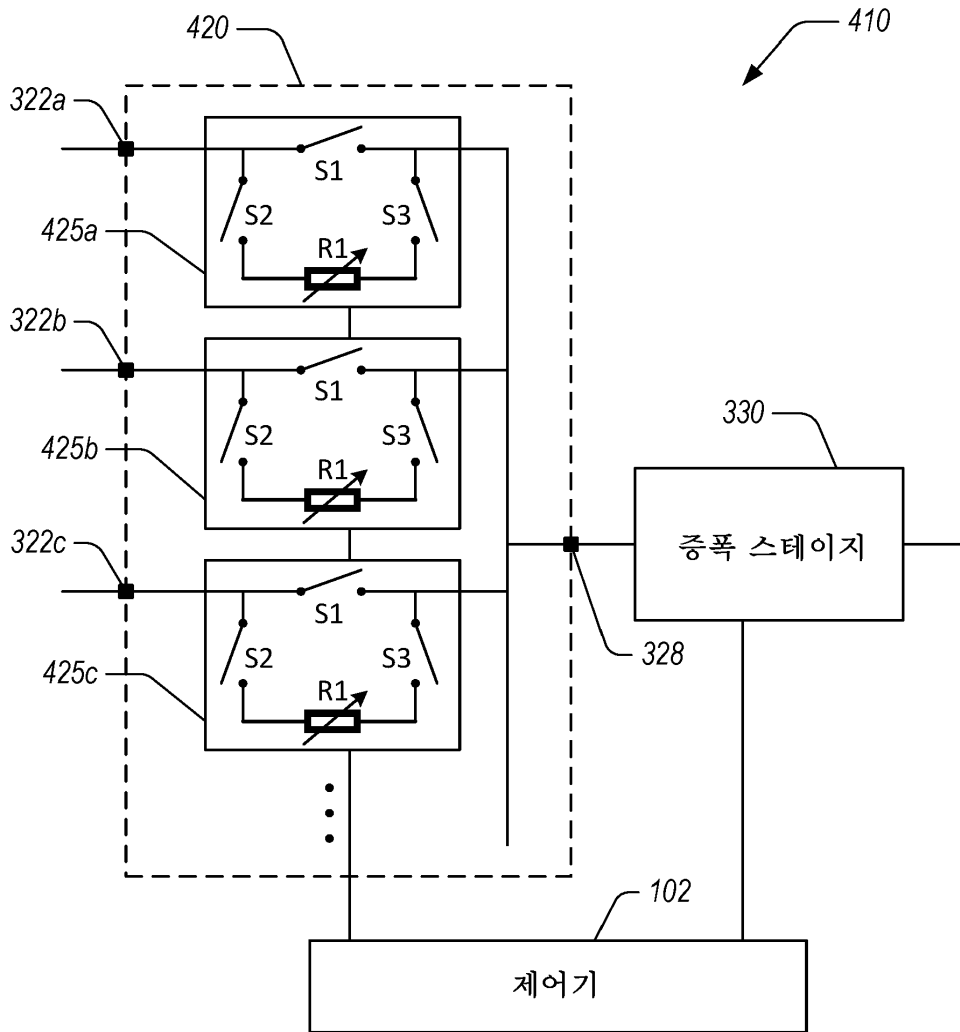
도면3a



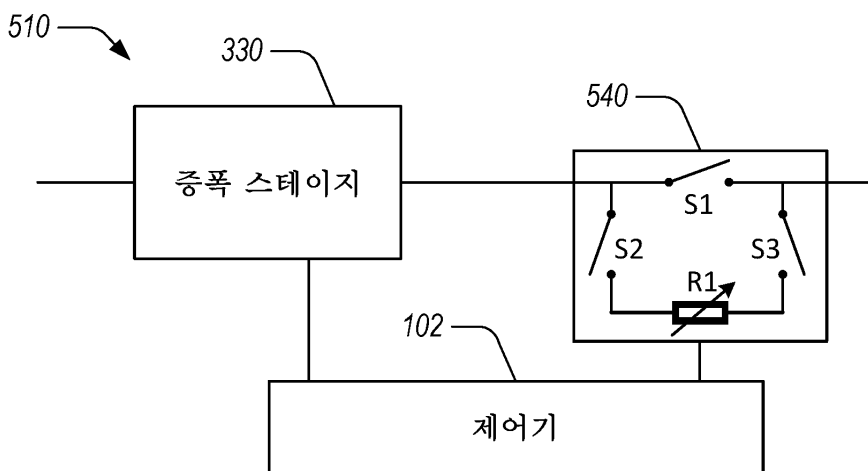
도면3b



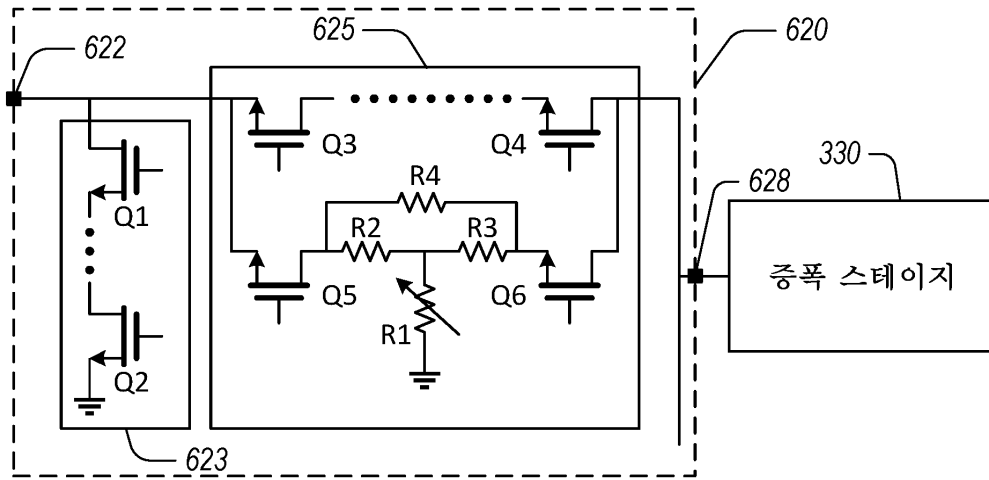
도면4



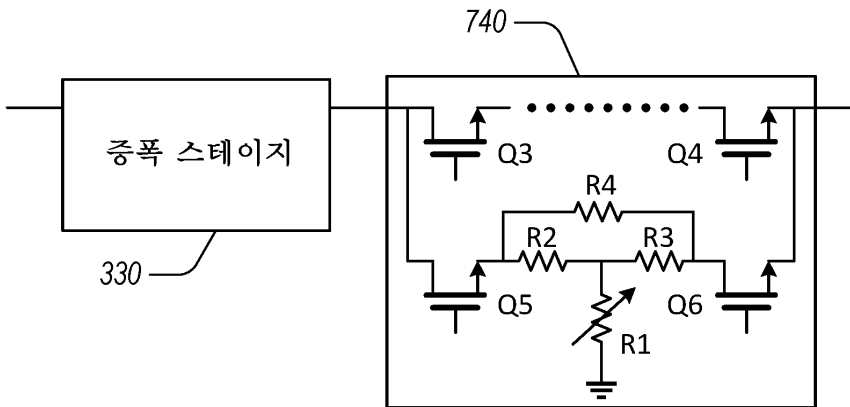
도면5



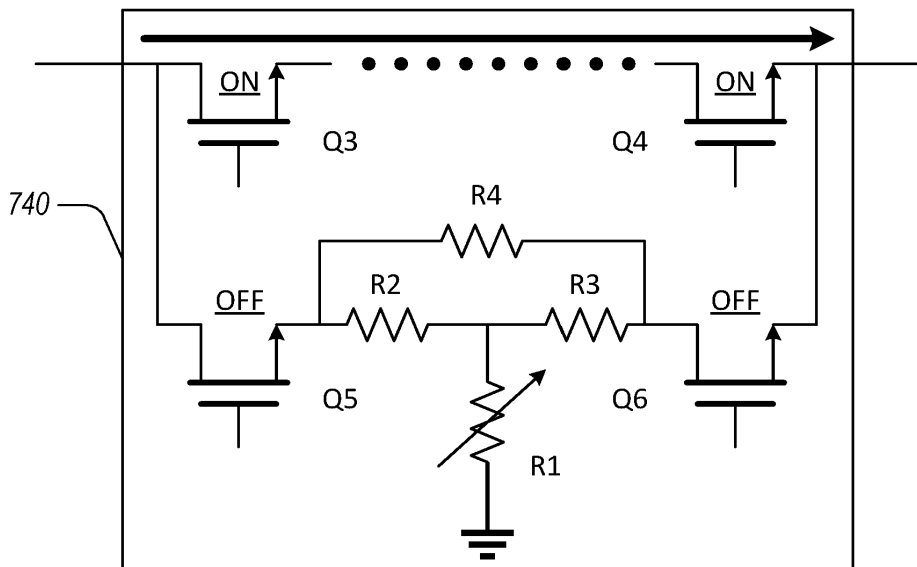
도면6



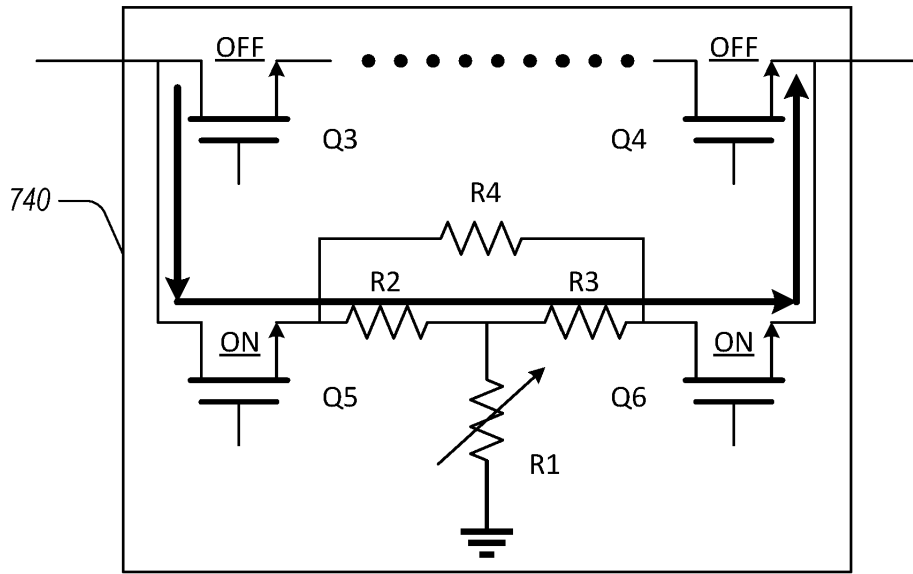
도면7



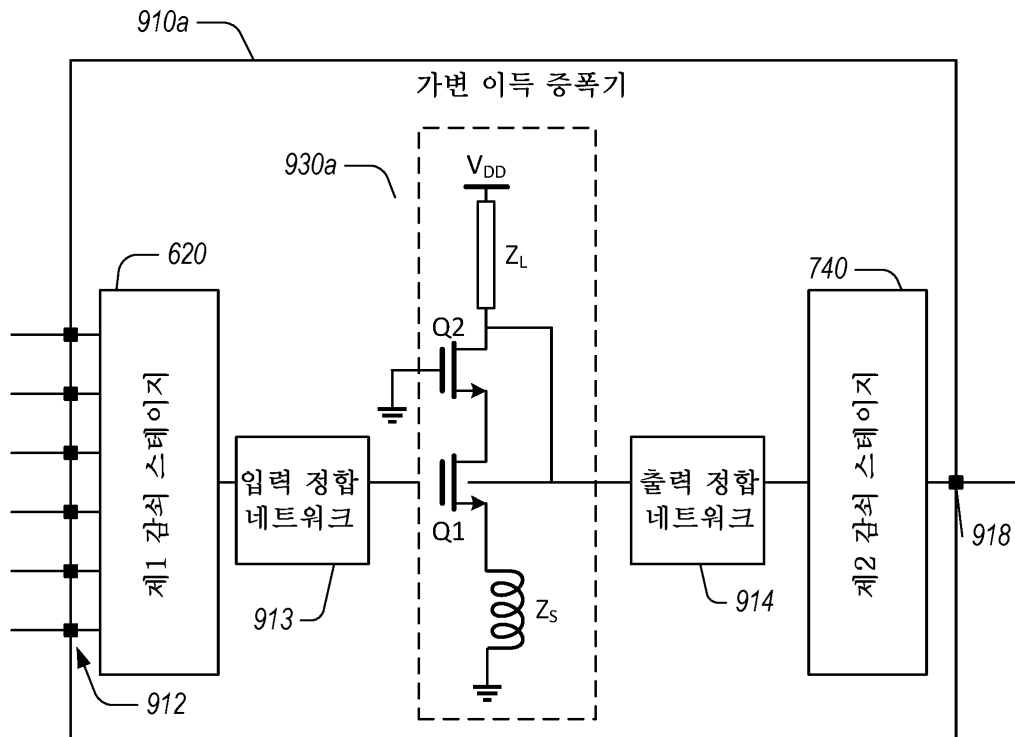
도면8a



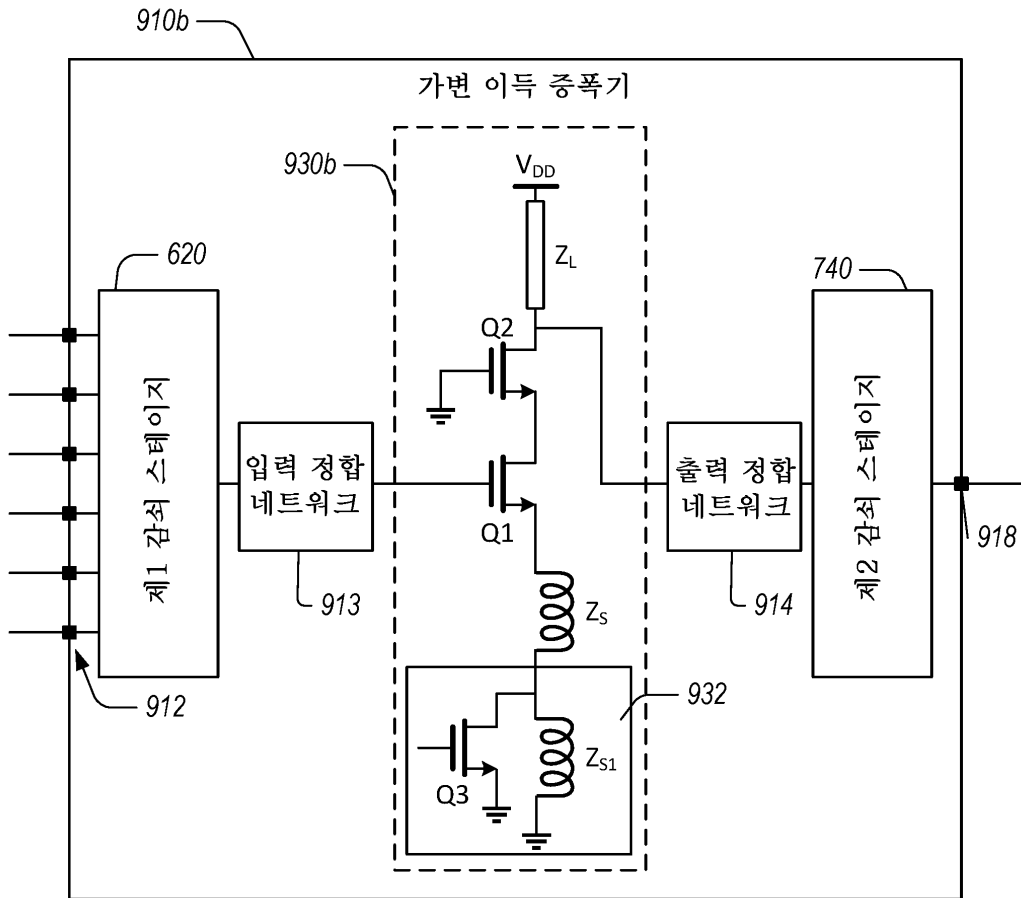
도면8b



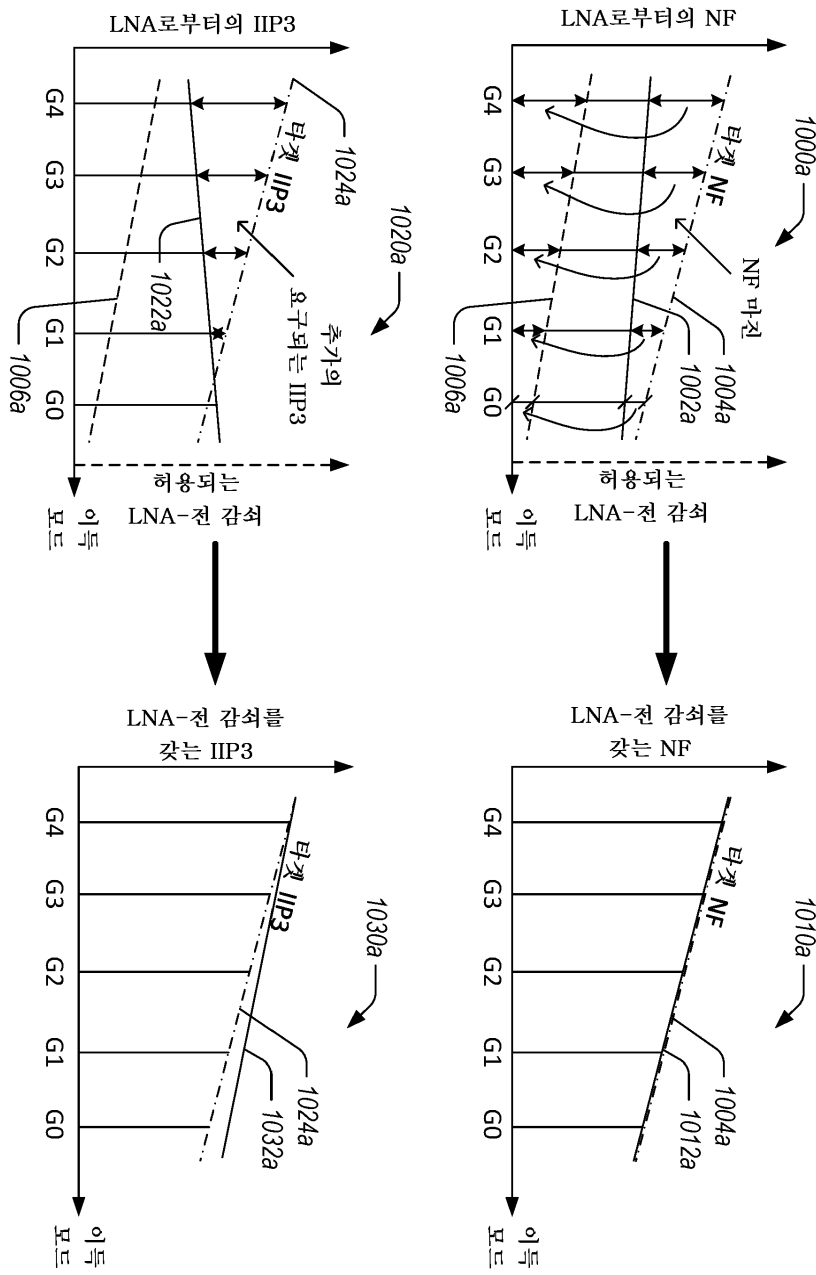
도면9a



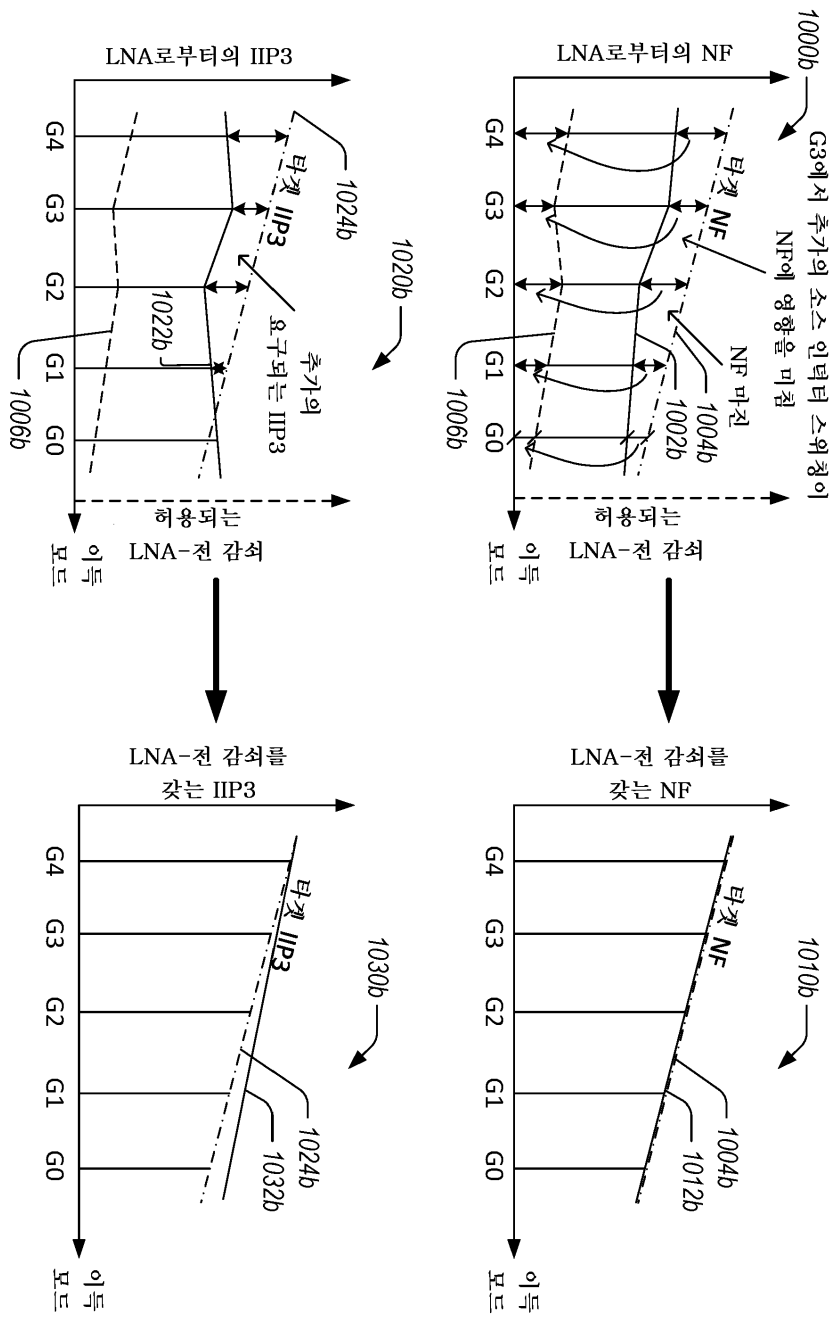
도면9b



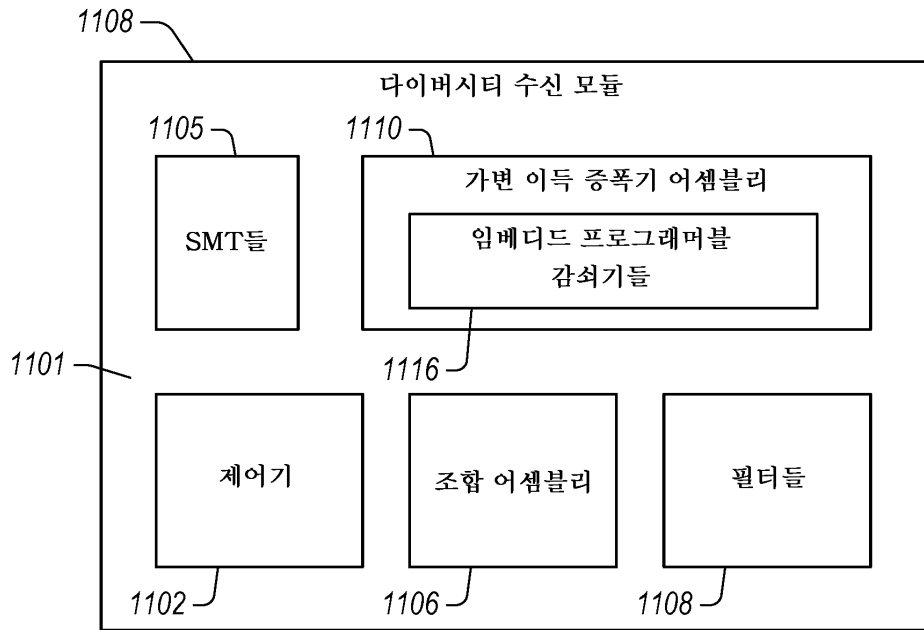
도면10a



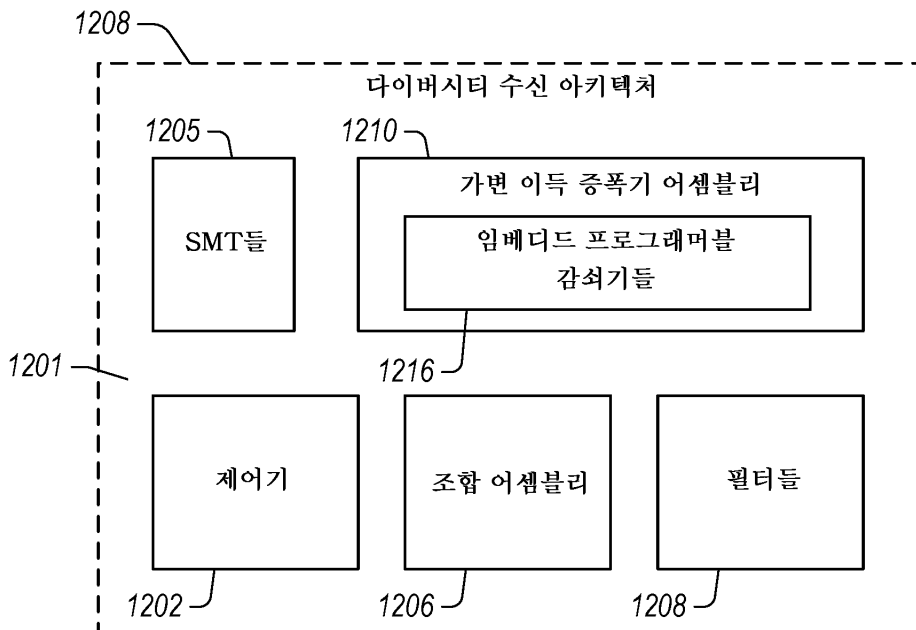
도면10b



도면11



도면12



도면13

