



(12) 发明专利

(10) 授权公告号 CN 101271661 B

(45) 授权公告日 2012.08.08

(21) 申请号 200810086862.5

US 2005219161 A1, 2005.10.06,

(22) 申请日 2008.03.17

审查员 李原

(30) 优先权数据

2007-076283 2007.03.23 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 本田达也

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 蔡悦

(51) Int. Cl.

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

G02F 1/1362 (2006.01)

(56) 对比文件

WO 2004090854 A1, 2004.10.21,

CN 1428756 A, 2003.07.09, 全文.

CN 1351322 A, 2002.05.29, 全文.

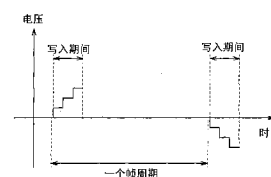
权利要求书 1 页 说明书 27 页 附图 19 页

(54) 发明名称

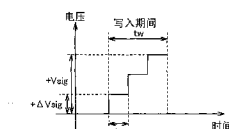
显示装置及显示装置的驱动方法

(57) 摘要

本发明的目的在于提供一种可靠性高的显示装置及显示装置的驱动方法,可以抑制在用作开关元件的晶体管的漏极附近产生高电场。着眼于电荷积蓄在像素的显示元件和与该显示元件并联连接的其它电容器中的缓和时间,通过将施加到信号线的视频信号分阶段地推移且最终推移到所希望的高度,来抑制当写入时施加到晶体管的源极和漏极之间的电压变大。



A



B

1. 一种显示装置,包括:
取样视频信号的电路;
被施加不同的电源电压的多个电源线;以及
顺次转换所述多个电源线的选择且分阶段地多次改变所述取样的视频信号,并将所述取样的视频信号供应到一个信号线的电路。
2. 根据权利要求1所述的显示装置,其特征在于,所述视频信号具有阶梯形状。
3. 根据权利要求1所述的显示装置,其特征在于,所述视频信号具有抛物线形状。
4. 根据权利要求1所述的显示装置,还包括电连接到所述一个信号线的像素。
5. 根据权利要求4所述的显示装置,其特征在于,
所述像素包括晶体管和液晶单元,
并且供应到所述一个信号线的所述视频信号通过所述晶体管施加到所述液晶单元。
6. 一种显示装置,包括:
取样视频信号的电路;
交替地被施加彼此不同的第一电源电压及第二电源电压的多个电源线;以及
顺次转换所述多个电源线的选择且分阶段地多次改变所述取样的视频信号,并将所述取样的视频信号供应到一个信号线的电路,
其中所述第一电源电压和所述第二电源电压的极性彼此相反。
7. 根据权利要求6所述的显示装置,其特征在于,所述视频信号具有阶梯形状。
8. 根据权利要求6所述的显示装置,其特征在于,所述视频信号具有抛物线形状。
9. 根据权利要求6所述的显示装置,还包括电连接到所述一个信号线的像素。
10. 根据权利要求9所述的显示装置,其特征在于,
供应到所述一个信号线的所述视频信号施加到包括在所述像素中的晶体管的源极或漏极。
11. 根据权利要求9所述的显示装置,其特征在于,
所述像素包括晶体管和液晶单元,
并且供应到所述一个信号线的所述视频信号通过所述晶体管施加到所述液晶单元。
12. 一种驱动显示装置的方法,包括以下步骤:
在第一帧时间中分阶段地多次提高施加到一个信号线的正电压;以及
在第二帧时间中分阶段地多次提高施加到所述一个信号线的负电压,
其中所述正电压和所述负电压通过晶体管交替地输入到像素。
13. 根据权利要求12所述的驱动显示装置的方法,其特征在于,所述正电压和所述负电压具有阶梯形状。
14. 根据权利要求12所述的驱动显示装置的方法,其特征在于,所述正电压和所述负电压具有抛物线形状。

显示装置及显示装置的驱动方法

技术领域

[0001] 本发明涉及有源矩阵型的显示装置及其驱动方法。

背景技术

[0002] 在有源矩阵型的显示装置中,对布置为矩阵状的几十至几百万个像素的每一个,设置开关元件和显示元件。由于所述开关元件,在将视频信号输入到像素之后,也能以某一定的程度保持对显示元件施加电压或供应电流,因此有源矩阵型可以灵活性地对应于面板的大型化及高清晰化,并且渐渐成为今后的显示装置的主流。

[0003] 上述显示装置所具有的驱动电路的典型例子,是扫描线驱动电路和信号线驱动电路。通过扫描线驱动电路,一线一线地选择多个像素,有时多线多线地选择。并且,通过信号线驱动电路,控制向所述被选择的线所具有的像素输入视频信号。

[0004] 在将液晶材料用于显示元件中的显示装置中,为了防止被称为烧伤的液晶材料的退化而进行如下那样的交流驱动,即,根据预定时序倒转施加到显示元件的电压极性。例如,下述专利文献 1 公开向液晶层的电压施加,必须要通过交流驱动来进行。具体来说,交流驱动可以通过以共同电位为基准使输入到每个像素的视频信号的极性倒转来实现。

[0005] [专利文献 1] 专利申请公开第 3481349 号公报

[0006] 然而,在将晶体管用作开关元件的显示装置中,有因交流驱动而导致该晶体管容易退化的问题。参照图 20A 至 20C 和图 21,说明进行交流驱动时的像素的工作。

[0007] 图 20A 示出有源矩阵型的显示装置所具有的像素的一般结构。晶体管 2001 是用来控制向像素输入视频信号的开关元件。此外,显示元件 2002 是能够显示灰度的元件。在显示元件 2002 所具有的一对电极中,将接收共同电压的电极称作对置电极,而将根据视频信号接收电压的电极称作像素电极。

[0008] 对每个像素,设置信号线 S_i ($i = 1$ 至 x) 和扫描线 G_j ($j = 1$ 至 y)。并且,晶体管 2001 的栅极连接到扫描线 G_j 。此外,晶体管 2001 的源极和漏极中的一方连接到信号线 S_i ,另一方连接到显示元件 2002 的像素电极。

[0009] 图 21 示出在使图 20A 所示的像素通过交流驱动工作的情况下的施加到信号线的电压的时序图。首先,如图 20A 所示,在写入期间中选择扫描线 G_j ,使得晶体管 2001 导通。并且,当视频信号的电压 $+V_{sig}$ 施加到信号线 S_i 时,该电压 $+V_{sig}$ 经过晶体管 2001 施加到显示元件 2002 的像素电极。接下来,如图 20B 所示,当写入期间结束的同时扫描线 G_j 的选择结束时,晶体管 2001 截断。因此,无论信号线 S_i 的电压如何,一直到下一个写入期间都保持电压 $+V_{sig}$ 。

[0010] 并且,如图 20C 所示,在写入期间中,再选择扫描线 G_j 使得晶体管 2001 导通。此时,施加到信号线 S_i 的视频信号具有电压 $+V_{sig}$ 的极性倒转的电压 $-V_{sig}$ 。当电压 $-V_{sig}$ 施加到信号线 S_i 时,该电压 $-V_{sig}$ 经过晶体管 2001 施加到显示元件 2002 的像素电极。此时,虽然晶体管 2001 的源极和漏极之间的电压最终实质上接近 0,但是刚刚在晶体管 2001 导通且电压 $-V_{sig}$ 施加到信号线 S_i 之后,如图 20C 所示,电压 $|2V_{sig}|$ 施加到晶体管 2001 的源极和

漏极之间。

[0011] 当施加到源极和漏极之间的电压增高时,在晶体管 200 1 的漏极附近产生高电场,从而导致产生热载流子效应,晶体管退化而阈值电压波动。特别是,当随着像素部的高清晰化而晶体管的沟道长度减短时,上述倾向更强,并且阈值电压的波动更大。当阈值电压大幅度地波动时,晶体管 2001 变成作为开关元件不正常工作,而导致显示不良。因此,由于交流驱动而导致源极和漏极之间的电压升高是降低显示装置的可靠性的原因之一。

[0012] 此外,专利文献 1 公开了向相当于上述信号线的写入信号线输入随着时间变化而电压渐渐改变的写入信号的结构。但是,即使如专利文献 1 那样渐渐改变施加到信号线的电压,像素所具有的显示元件、以及与此并联连接的保持电容器所积蓄的电荷量,也追随施加到信号线的电压变化而改变。因此,与如图 20A 至 20C 所示的现有的驱动方法相比,可以减小用作开关元件的晶体管的源极和漏极之间的电压,然而还存在有可以进一步减小的余地。

[0013] 此外,在晶体管中设置 LDD(轻掺杂漏)区域是抑制热载流子效应的有效方法之一。但是,当改变晶体管的结构本身例如设置 LDD 区域等时,不仅使制造过程变成复杂,而且导致晶体管的特性的不均匀性。因此,通过改善晶体管的结构来抑制由于热载流子效应而产生的阈值电压的波动,有一定的限度。

发明内容

[0014] 本发明鉴于上述问题,其目的在于提供一种可靠性高的显示装置及其驱动方法,可以抑制在用作开关元件的晶体管的漏极附近产生高电场。

[0015] 本发明人认为当对像素写入视频信号时,通过改变对信号线施加视频信号的电压的方法,可以抑制施加到晶体管的源极和漏极之间的电压大小。并且,着眼于电荷积蓄在像素的显示元件和与该显示元件并联连接的其它电容器中的缓和时间,想出来如下那样的显示装置,即,通过将施加到信号线的视频信号分阶段地推移且最终推移到所希望的高度,来抑制当写入时施加到晶体管的源极和漏极之间的电压大小。

[0016] 具体来说,本发明的显示装置,具有:可以通过多种电源电压的供应,来多次地分阶段地改变在写入期间中施加到信号线的视频信号的信号线驱动电路。并且,施加到信号线的视频信号的电压,可以通过在信号线驱动电路内部顺次更换施加有不同的电源电压的多个电源线来分阶段地改变。在此情况下,信号线驱动电路具有多个电源电压的供应路径。并且,还包括根据上述多种电源电压顺次更换视频信号,而将此供应到一个信号线的电路。

[0017] 或者,也可以通过在显示装置外部顺次更换被供应的多种电源电压,而不在信号线驱动电路内部更换电源电压,多次地分阶段地改变施加到信号线的视频信号。

[0018] 本发明可以在写入期间中,将用作开关元件的晶体管的源极和漏极之间的电压的绝对值,抑制到比进行图 21 所示的驱动的现有的显示装置及进行专利文献 1 所公开的驱动的显示装置小。因此,通过抑制在该晶体管的漏极附近产生高电场,可以防止由于热载流子效应而导致的晶体管的退化。并且,根据本发明的结构,可以实现开关元件的可靠性的提高、以及显示装置的可靠性的提高。

附图说明

- [0019] 图 1 是表示本发明的驱动方法的时序图；
- [0020] 图 2 是表示施加到信号线的电压的时间变化的图；
- [0021] 图 3 是表示源极和漏极之间的电压的时间变化的图；
- [0022] 图 4A 和 4B 是表示本发明的驱动方法的时序图；
- [0023] 图 5 是表示施加到信号线的电压的时间变化的图；
- [0024] 图 6 是表示源极和漏极之间的电压的时间变化的图；
- [0025] 图 7A 和 7B 是表示本发明的显示装置的结构框图；
- [0026] 图 8 是表示本发明的显示装置的结构框图；
- [0027] 图 9 是表示本发明的显示装置的像素部的结构的图；
- [0028] 图 10A 和 10B 是表示本发明的显示装置的像素部的结构的图；
- [0029] 图 11 是表示本发明的显示装置所具有的信号线驱动电路的结构框图；
- [0030] 图 12 是表示本发明的显示装置所具有的信号线驱动电路的结构框图；
- [0031] 图 13A 和 13B 是表示写入期间出现的时序的图；
- [0032] 图 14A 至 14C 是表示本发明的显示装置的制造方法的图；
- [0033] 图 15A 至 15C 是表示本发明的显示装置的制造方法的图；
- [0034] 图 16A 至 16C 是表示本发明的显示装置的制造方法的图；
- [0035] 图 17A 和 17B 是表示本发明的显示装置的制造方法的图；
- [0036] 图 18A 和 18B 分别是本发明的显示装置的俯视图和剖视图；
- [0037] 图 19A 至 19C 是使用本发明的显示装置的电子设备的例子；
- [0038] 图 20A 至 20C 是说明现有的问题的电路图；
- [0039] 图 21 是表示现有的驱动方法的时序图。

具体实施方式

[0040] 下面，参照附图说明本发明的实施方式。但是，本发明可以通过多种不同的方式来实施，所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式和详细内容在不脱离本发明的宗旨及其范围内可以被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在以下的实施方式所记载的内容中。

[0041] 实施方式 1

[0042] 参照图 1A 和 1B 说明本发明的驱动方法。图 1A 示出在本发明中施加到信号线的电压的时序图。在图 1A 的最初出现的写入期间中，视频信号以从共同电压到 $+V_{sig}$ 如阶梯形状那样分阶段地推移的方式施加到信号线 Si。图 1B 示出在图 1A 的最初出现的写入期间的时序图的放大图。

[0043] 具体来说，如图 1B 所示，当写入期间开始时，信号线的电压首先改变 $+\Delta V_{sig}$ 。其中，满足 $|\Delta V_{sig}| < |V_{sig}|$ 。在电压改变 $+\Delta V_{sig}$ 之后，当时间 t_s 经过时，信号线的电压再改变 $+\Delta V_{sig}$ 。但是，假设写入期间的长度为 t_w ，就满足 $t_s < t_w$ 。

[0044] 然后，当时间 t_s 经过时，信号线的电压再改变 $+\Delta V_{sig}$ 。通过顺次反复上述工作，信号线的电压最终到达 $+V_{sig}$ 。并且，在下面出现的写入期间中，如图 1A 所示地进行驱动，以使信号线的电压在时间 t_s 经过的每一次改变 $-\Delta V_{sig}$ 。

[0045] 接下来，为了进一步容易了解地说明本发明的效果，而在现有的情况和本发明的

情况之间,比较源极和漏极之间的电压的时间变化。

[0046] 首先,考虑到如现有那样在写入期间中,对信号线从头施加预定电压的情况下的源极和漏极之间的电压 V_{ds1} 。将紧接着施加到信号线的视频信号设定为 $+V_{sig}$,并且假设在下次写入期间中,视频信号 $-V_{sig}$ 施加到信号线。此时,由于在像素电极中释放正电荷且注入负电荷,因此如果将显示元件所具有的像素电极的电压设定为 $V_p(t)$, $V_p(t)$ 就由如下公式 1 表示。

[0047] [公式 1]

$$[0048] \quad V_p(t) = V_{sig} \times e^{-t/\tau} - V_{sig} \times (1 - e^{-t/\tau}) = -V_{sig} \times (1 - 2e^{-t/\tau})$$

[0049] 因此,在对信号线从头施加预定电压的情况下,源极和漏极之间的电压 V_{ds1} 由如下公式 2 表示。

[0050] [公式 2]

$$[0051] \quad V_{ds1} = V_p(t) - (-V_{sig}) = -V_{sig} \times (1 - 2e^{-t/\tau}) + V_{sig} = 2V_{sig} \times e^{-t/\tau}$$

[0052] 由公式 2 可知,当 t 是无穷大时,源极和漏极之间的电压 V_{ds1} 为 0。并且,由公式 2 可知,在现有的情况下,当 t 是 0 时,源极和漏极之间的电压 V_{ds1} 为 $2V_{sig}$ 。

[0053] 接下来,考虑到如上述专利文献 1 那样在通过渐渐推移施加到信号线的视频信号,来最终推移到所希望的高度的情况下的源极和漏极之间的电压 V_{ds2} 。首先,当将紧接着施加到信号线的视频信号和写入时间分别设定为 $+V_{sig}$ 和 tw 时,信号线的电压 $V_s(t)$ 由如下公式 3 表示。

[0054] [公式 3]

$$[0055] \quad V_s(t) = -(V_{sig}/tw) \times t$$

[0056] 当将由显示元件形成的电容器的电容值设定为 $C1$,将用来保持施加到显示元件所具有的一对电极之间的电压的电容器的电容值设定为 Cs ,并且将积蓄在上述两个电容器中的电荷量的总和值设定为 Q 时,满足如下公式 4。

[0057] [公式 4]

$$[0058] \quad Q = (Cs + C1) \times V_p(t)$$

[0059] 并且,当将布线电阻设定为 R 时,满足如下公式 5。

[0060] [公式 5]

$$[0061] \quad dQ/dt = (Cs + C1) \times (dV_p(t)/dt) = -(V_p(t) - V_s(t))/R$$

[0062] 接下来,当满足 $\tau = (Cs + C1) \times R$ 时,可以从公式 5 引出公式 6。

[0063] [公式 6]

$$[0064] \quad dV_p(t)/dt = -(V_p(t) - V_s(t))/\tau$$

[0065] 在此,将公式 1 代入公式 6,来引出公式 7。

[0066] [公式 7]

$$[0067] \quad dV_p(t)/dt = -(V_p(t) + (V_{sig}/tw) \times t)/\tau$$

[0068] 对 t 微分公式 7,并且设定 $dV_p(t)/dt = F(t)$,来引出公式 8。

[0069] [公式 8]

$$[0070] \quad dF(t)/dt = -(F(t) + V_{sig}/tw)/\tau$$

[0071] 此外,由于 V_{sig}/tw 是常数,因此公式 9 成立。

[0072] [公式 9]

[0073] $dF(t)/dt = d(F(t)+V_{sig}/tw)/dt$

[0074] 将公式 9 代入公式 8, 来引出公式 10。

[0075] [公式 10]

[0076] $d(F(t)+V_{sig}/tw)/dt = -(F(t)+V_{sig}/tw)/\tau$

[0077] 公式 10 由于表示当微分 $F(t)+V_{sig}/tw$ 时返回原来的函数, 因此意味着 $F(t)+V_{sig}/tw$ 是指数函数。从而, 如下公式 11 成立。

[0078] [公式 11]

[0079] $F(t)+V_{sig}/tw = A \times e^{-t/\tau}$ (A 是常数)

[0080] 由于满足 $dVp(t)/dt = F(t)$, 因此可以从公式 11 引出如下公式 12。

[0081] [公式 12]

[0082] $dVp(t)/dt = A \times e^{-t/\tau} - V_{sig}/tw$

[0083] 通过积分公式 12, 来引出如下公式 13。

[0084] [公式 13]

[0085] $Vp(t) = -\tau \times A \times e^{-t/\tau} - (V_{sig}/tw) \times t$

[0086] 此外, 当设定 $Vp(0) = V_{sig}$ 时, 由公式 13 可知 $A = -V_{sig}/\tau$ 。因此, 将 A 代入公式 13, 来引出如下公式 14。

[0087] [公式 14]

[0088] $Vp(t) = V_{sig} \times e^{-t/\tau} - (V_{sig}/tw) \times t$

[0089] 由公式 14 可知, 专利文献 1 所公开的源极和漏极之间的电压 $Vds2$, 可以由如下公式 15 表示。

[0090] [公式 15]

[0091] $Vds2 = Vp(t) - Vs(t) = V_{sig} \times e^{-t/\tau}$

[0092] 由公式 15 可知, 当 t 是无穷大时, 源极和漏极之间的电压 $Vds2$ 为 0。并且, 由公式 15 可知, 当 t 是 0 时, 源极和漏极之间的电压 $Vds2$ 为 V_{sig} 。

[0093] 接下来, 考虑到如本发明那样在通过分阶段地推移施加到信号线的视频信号来最终推移到所希望的高度的情况下的源极和漏极之间的电压 $Vds3$ 及 $Vds4$ 。

[0094] 在本实施方式中, 将紧接着施加到信号线的视频信号设定为 $+V_{sig}$ 。并且, 在写入期间 tw 内通过几个阶段以 $-\Delta V_{sig}$ 改变施加到信号线的电压。将从改变电压到使下次施加到信号线的电压改变 $-\Delta V_{sig}$ 的期间设定为 ts 。 ts 短于写入期间 tw 。

[0095] 首先, 考虑到在 $0 \leq t \leq ts$ 的条件下的源极和漏极之间的电压 $Vds3$ 。在 $0 \leq t \leq ts$ 的条件下, 由于满足 $Vs(t) = -\Delta V_{sig}$, 所以 $Vs(t)$ 是一定的。因此, 电压 $Vds3$ 由如下公式 16 表示。

[0096] [公式 16]

[0097] $Vds3 = Vp(t) - Vs(t) = Vp(t) + \Delta V_{sig}$

[0098] 此外, 在本发明中, 与现有情况相同地满足公式 4。因此, 当将布线电阻设定为 R 时, 如下公式 17 成立。

[0099] [公式 17]

[0100] $dQ/dt = (Cs+C1) \times (dVp(t)/dt) = -(Vp(t) + \Delta V_{sig})/R$

[0101] 接下来, 当满足 $\tau = (Cs+C1) \times R$ 时, 可以从公式 17 引出公式 18。

[0102] [公式 18]

$$[0103] \quad dV_p(t)/dt = -(V_p(t) + \Delta V_{sig})/\tau$$

[0104] 由于 ΔV_{sig} 是常数, 因此公式 19 成立。

[0105] [公式 19]

$$[0106] \quad dV_p(t)/dt = d(V_p(t) + \Delta V_{sig})/dt$$

[0107] 将公式 19 代入公式 18, 来引出公式 20。

[0108] [公式 20]

$$[0109] \quad d(V_p(t) + \Delta V_{sig})/dt = -(V_p(t) + \Delta V_{sig})/\tau$$

[0110] 公式 20 由于表示当微分 $V_p(t) + \Delta V_{sig}$ 时返回原来的函数, 因此意味着 $V_p(t) + \Delta V_{sig}$ 是指数函数。从而, 如下公式 21 成立。

[0111] [公式 21]

$$[0112] \quad V_p(t) + \Delta V_{sig} = B \times e^{-t/\tau} \quad (B \text{ 是常数})$$

[0113] 此外, 当设定 $V_p(0) = V_{sig}$ 时, 由公式 21 可知 $B = V_{sig} + \Delta V_{sig}$ 。因此, 将 B 代入公式 21, 来引出如下公式 22。

[0114] [公式 22]

$$[0115] \quad V_p(t) = -\Delta V_{sig} + (V_{sig} + \Delta V_{sig}) \times e^{-t/\tau}$$

[0116] 由公式 22 可知, 本发明的在 $0 \leq t \leq t_s$ 的条件下的源极和漏极之间的电压 V_{ds3} 可以由如下公式 23 表示。

[0117] [公式 23]

$$[0118] \quad V_{ds3} = V_p(t) - V_s(t) = (V_{sig} + \Delta V_{sig}) \times e^{-t/\tau}$$

[0119] 由公式 23 可知, 当 t 是无穷大时, 源极和漏极之间的电压 V_{ds3} 为 0。并且, 由公式 23 可知, 当 t 是 0 时, 源极和漏极之间的电压 V_{ds3} 为 $V_{sig} + \Delta V_{sig}$ 。

[0120] 接下来, 考虑到在 $t_s < t \leq 2t_s$ 的条件下的源极和漏极之间的电压 V_{ds4} 。在 $t_s < t \leq 2t_s$ 的条件下, 由于满足 $V_s(t) = -2\Delta V_{sig}$, 所以 $V_s(t)$ 是一定的。因此, 电压 V_{ds4} 由如下公式 24 表示。

[0121] [公式 24]

$$[0122] \quad V_{ds4} = V_p(t) - V_s(t) = V_p(t) + 2\Delta V_{sig}$$

[0123] 此外, 在本发明中, 与现有情况相同地满足公式 4。因此, 当将布线电阻设定为 R 时, 如下公式 25 成立。

[0124] [公式 25]

$$[0125] \quad dQ/dt = (C_s + C_l) \times (dV_p(t)/dt) = -(V_p(t) + 2\Delta V_{sig})/R$$

[0126] 接下来, 当满足 $\tau = (C_s + C_l) \times R$ 时, 可以从公式 25 引出公式 26。

[0127] [公式 26]

$$[0128] \quad dV_p(t)/dt = -(V_p(t) + 2\Delta V_{sig})/\tau$$

[0129] 由于 $2\Delta V_{sig}$ 是常数, 因此公式 27 成立。

[0130] [公式 27]

$$[0131] \quad dV_p(t)/dt = d(V_p(t) + 2\Delta V_{sig})/dt$$

[0132] 将公式 27 代入公式 26, 来引出公式 28。

[0133] [公式 28]

[0134] $d(V_p(t)+2\Delta V_{sig})/dt = -(V_p(t)+2\Delta V_{sig})/\tau$

[0135] 公式 28 由于表示当微分 $V_p(t)+2\Delta V_{sig}$ 时返回原来的函数, 因此意味着 $V_p(t)+2\Delta V_{sig}$ 是指数函数。从而, 如下公式 29 成立。

[0136] [公式 29]

[0137] $V_p(t)+2\Delta V_{sig} = C \times e^{-t/\tau}$ (C 是常数)

[0138] 此外, 当设定 $V_p(0) = -\Delta V_{sig}$ 时, 由公式 29 可知 $C = \Delta V_{sig}$ 。因此, 将 C 代入公式 29, 最后将 t 代替 t-ts, 来引出如下公式 30。

[0139] [公式 30]

[0140] $V_p(t) = -2\Delta V_{sig} + \Delta V_{sig} \times e^{-(t-ts)/\tau}$

[0141] 由公式 30 可知, 本发明的在 $t_s < t \leq 2t_s$ 的条件下的源极和漏极之间的电压 V_{ds4} , 通过最后将 t 代替 t-ts, 可以由如下公式 31 表示。

[0142] [公式 31]

[0143] $V_{ds4} = V_p(t) - V_s(t) = \Delta V_{sig} \times e^{-(t-ts)/\tau}$

[0144] 由公式 31 可知, 本发明的在 $t_s < t \leq 2t_s$ 的条件下的源极和漏极之间的电压 V_{ds4} 的最大值为 ΔV_{sig} 。并且, 也在将 t 的范围一般化地设定为 $m \times t_s < t \leq (m+1) \times t_s < t_w$ (m 是大于 1 的整数) 的情况下, 源极和漏极之间的电压可以由公式 31 表示。因此, 在 t 的范围为 $m \times t_s < t \leq (m+1) \times t_s < t_w$ 的情况下, 源极和漏极之间的电压的最大值为 ΔV_{sig} 。

[0145] 图 2 示出本发明的像素电极的电压 $V_p(t)$ 和信号线的电压 $V_s(t)$ 的时间变化。如图 2 所示, 在将时间 t_s 的值设定为大于电荷的缓和时间 τ 的情况下, 当信号线的电压 $V_s(t)$ 以时间 t_s 改变时, 电压 $V_p(t)$ 的值追随此地改变。

[0146] 接下来, 比较 V_{ds1} 、 V_{ds2} 、以及 V_{ds3} 和 V_{ds4} 的时间变化, 所述 V_{ds1} 是现有的在对信号线从头施加预定电压的情况下的源极和漏极之间的电压, 所述 V_{ds2} 是专利文献 1 的在通过渐渐推移施加到信号线的视频信号来最终推移到所希望的高度的情况下的源极和漏极之间的电压, 所述 V_{ds3} 和 V_{ds4} 是本发明的在通过分阶段地推移施加到信号线的视频信号来最终推移到所希望的高度的情况下的源极和漏极之间的电压。

[0147] 此外, 在本实施方式中, 为了简单地比较, 而假设 $V_{sig} = 1$ 、 $\tau = 1$ 、 $t_w/\tau = 6$ 、 $\Delta V_{sig} = 1/6$ 、 $t_s = 1$ 。并且, 在上述假设下, 通过使用公式 2、公式 15、公式 24、公式 31 来获得的源极和漏极之间的电压的时间变化表示于图 3。

[0148] 由图 3 可知, 在本发明中, 虽然当在写入期间中最初使电压改变 $-\Delta V_{sig}$ 时, 源极和漏极之间的电压的绝对值变成比电压 V_{ds2} 大 ΔV_{sig} , 但是在之后的期间中, 可以将源极和漏极之间的电压的绝对值的最大值抑制到比 V_{ds1} 和 V_{ds2} 小。

[0149] 因此, 通过本发明, 由于在写入期间中, 可以将用作开关元件的晶体管的源极和漏极之间的电压的绝对值成为比现有的值小, 因此可以防止在该晶体管的漏极附近产生高电场。并且, 通过本发明的结构, 可以实现开关元件的可靠性的提高、以及显示装置的可靠性的提高。

[0150] 此外, 在图 1A 和 1B 示出信号线的电压以三个阶段改变的例子, 然而本发明不局限于此。在本发明中, 信号线的电压既可以两个阶段改变, 又可以四个阶段以上改变。

[0151] 此外, 每个阶段的电压的变化量并不需要为一定。也可以在每个阶段中使电压的变化量为不同。例如, 在上一个写入期间中施加极性不同的电压的情况下, 通过将在写入期

间的第一阶段中改变的电压的变化量抑制到比其它阶段中的变化量小,来将用作开关元件的晶体管的在第一阶段中的源极和漏极之间的电压抑制到更小。特别是,通过在第一阶段中施加基准电压且从下一个阶段开始改变施加到信号线的电压,可以如专利文献 1 所公开的源极和漏极之间的电压那样,将写入期间的第一阶段中的源极和漏极之间的电压抑制到小。

[0152] 此外,在本发明中进行的交流驱动不仅可以为在任意一个帧周期中对所有的像素输入具有相同极性的视频信号的帧倒转驱动,而且可以为源极线倒转驱动、栅极线倒转驱动、点倒转驱动、或者其它倒转驱动。源极线倒转驱动是指在任意一个帧周期中对连接到某一个信号线的所有像素输入具有相同极性的视频信号且对连接到相邻的信号线的像素输入具有相反极性的视频信号的驱动方法。栅极线倒转驱动是指在任意一个帧周期中对连接到某一个扫描线的所有像素输入具有相同极性的视频信号且对连接到相邻的扫描线的像素输入具有相反极性的视频信号的驱动方法。点倒转驱动是指在任意一个帧周期中对邻接的像素输入具有相反极性的视频信号的驱动方法。

[0153] 实施方式 2

[0154] 参照图 4A 和 4B 说明与实施方式 1 不同的驱动方法。图 4A 示出在本发明中施加到信号线的电压的时序图。与实施方式 1 同样,在图 4A 的最初出现的写入期间中,视频信号 $+V_{sig}$ 分阶段地施加到信号线 S_i 。图 4B 示出在图 4A 的最初出现的写入期间的时序图的放大图。

[0155] 如图 4B 所示,当写入期间开始时,信号线的电压首先改变 $+\Delta V_{sig}$ 。此外,满足 $|\Delta V_{sig}| < |V_{sig}|$ 。并且,在本实施方式中,以上述电容 C_s 和 C_l 的电荷量的变化更容易追随信号线的电压的变化的方式改变信号线的电压。具体来说,在实施方式 1 中,使电压提高 $+\Delta V_{sig}$ 以使其波形成为矩形,但是在本实施方式中,延迟 $+\Delta V_{sig}$ 的电压上升,以使其波形产生抛物线形状的圆钝。

[0156] 接下来,在电压改变 $+\Delta V_{sig}$ 之后,当时间 t_s 经过时,信号线的电压再改变 $+\Delta V_{sig}$ 。但是,假设写入期间的长度为 t_w ,就满足 $t_s < t_w$ 。然后,当时间 t_s 经过时,信号线的电压同样地再改变 $+\Delta V_{sig}$ 。通过顺次反复上述工作,信号线的电压最终到达 $+V_{sig}$ 。此外,第二阶段以后的电压变化与第一阶段同样,延迟 $+\Delta V_{sig}$ 的电压上升以使其波形变钝。

[0157] 并且,在下面出现的写入期间中,如图 4A 所示地进行驱动,以使信号线的电压在时间 t_s 经过的每一次改变 $-\Delta V_{sig}$ 。在电压每次改变 $-\Delta V_{sig}$ 的情况下,与电压每次改变 $+\Delta V_{sig}$ 的情况同样以上述电容 C_s 和 C_l 的电荷量的变化更容易追随信号线的电压的变化的方式改变信号线的电压。具体来说,在实施方式 1 中,使电压提高 $-\Delta V_{sig}$ 的电压以使其波形成矩形,但是在本实施方式中,延迟 $-\Delta V_{sig}$ 的电压上升以使其波形变钝。

[0158] 接下来,考虑到如本实施方式那样在通过分阶段地推移施加到信号线的视频信号,来最终推移到所希望的高度的情况下的源极和漏极之间的电压 V_{ds5} 及 V_{ds6} 。

[0159] 在本实施方式中,将紧接着施加到信号线的视频信号设定为 $+V_{sig}$ 。此外,考虑到使施加到信号线的电压波形延迟电荷的积蓄时间 $\tau = (C_s + C_l) \times R$ 的情况。此外,在写入期间 t_w 内通过几个阶段以 $-\Delta V_{sig}$ 改变施加到信号线的电压。并且,将到使施加到信号线的电压改变 $-\Delta V_{sig}$ 的期间设定为 t_s 。 t_s 短于写入期间 t_w 。

[0160] 首先,考虑到在 $0 \leq t \leq t_s$ 的条件下的源极和漏极之间的电压 V_{ds5} 。在 $0 \leq t \leq t_s$

的条件下,满足 $V_s(t) = -\Delta V_{sig} \times (1 - e^{-t/\tau})$ 。因此,电压 V_{ds5} 由如下公式 32 表示。

[0161] [公式 32]

$$[0162] \quad V_{ds5} = V_p(t) - V_s(t) = V_p(t) + \Delta V_{sig} \times (1 - e^{-t/\tau})$$

[0163] 此外,在本发明中,与现有的情况相同地满足公式 4。因此,当将布线电阻设定为 R 时,如下公式 33 成立。

[0164] [公式 33]

$$[0165] \quad dQ/dt = (C_s + C_l) \times (dV_p(t)/dt) = -(V_p(t) + \Delta V_{sig} \times (1 - e^{-t/\tau})) / R$$

[0166] 接下来,当满足 $\tau = (C_s + C_l) \times R$ 时,可以从公式 33 引出公式 34。

[0167] [公式 34]

$$[0168] \quad dV_p(t)/dt = -(V_p(t) + \Delta V_{sig} \times (1 - e^{-t/\tau})) / \tau$$

[0169] 在此,当利用微分方程式 $dy/db = -a \times y + Q(b)$ 的一般解为 $y = e^{-ab} \times \{ \int e^{ab} \times Q(b) db + D \}$ (D 是常数) 的法则来解公式 34 时,可以得到公式 35。

[0170] [公式 35]

$$[0171] \quad V_p(t) = -\Delta V_{sig} + (t - D) \times (\Delta V_{sig} / \tau) \times e^{-t/\tau}$$

[0172] 当将初始条件为 $V_p(0) = +V_{sig}$ 时,由公式 35 可知 $D = -(\tau / \Delta V_{sig}) \times (\Delta V_{sig} + V_{sig})$ 。将 D 代入公式 35,来引出如下公式 36。

[0173] [公式 36]

$$[0174] \quad V_p(t) = -\Delta V_{sig} + (t + (\tau / \Delta V_{sig}) \times (\Delta V_{sig} + V_{sig})) \times (\Delta V_{sig} / \tau) \times e^{-t/\tau}$$

[0175] 因此,由公式 32 和公式 36 可知, V_{ds5} 由如下公式 37 表示。

[0176] [公式 37]

$$[0177] \quad V_{ds5} = V_p(t) + \Delta V_{sig} \times (1 - e^{-t/\tau}) = (t + (\tau / \Delta V_{sig}) \times V_{sig}) \times (\Delta V_{sig} / \tau) \times e^{-t/\tau}$$

[0178] 接下来,考虑到在 $t_s < t \leq 2t_s$ 的条件下的源极和漏极之间的电压 V_{ds6} 。在 $t_s < t \leq 2t_s$ 的条件下,满足 $V_s(t) = -\Delta V_{sig} \times (1 - e^{-t/\tau}) - \Delta V_{sig} = -\Delta V_{sig} \times (2 - e^{-t/\tau})$ 。因此,电压 V_{ds6} 由如下公式 38 表示。

[0179] [公式 38]

$$[0180] \quad V_{ds6} = V_p(t) - V_s(t) = V_p(t) + \Delta V_{sig} \times (2 - e^{-t/\tau})$$

[0181] 此外,在本发明中,与现有的情况相同地满足公式 4。因此,当将布线电阻设定为 R 时,如下公式 39 成立。

[0182] [公式 39]

$$[0183] \quad dQ/dt = (C_s + C_l) \times (dV_p(t)/dt) = -(V_p(t) + \Delta V_{sig} \times (2 - e^{-t/\tau})) / R$$

[0184] 接下来,当满足 $\tau = (C_s + C_l) \times R$ 时,可以从公式 39 引出公式 40。

[0185] [公式 40]

$$[0186] \quad dV_p(t)/dt = -(V_p(t) + \Delta V_{sig} \times (2 - e^{-t/\tau})) / \tau$$

[0187] 在此,当使用 $dy/db = -a \times y + Q(b)$ 的解为 $y = e^{-ab} \times \{ \int e^{ab} \times Q(b) db + E \}$ (E 是常数) 的法则来解公式 40 时,可以得到公式 41。

[0188] [公式 41]

$$[0189] \quad V_p(t) = -(\Delta V_{sig} / \tau) \times e^{-t/\tau} \{ 2\tau \times e(t/\tau) - t + E \}$$

[0190] 当将初始条件为 $V_p(0) = -\Delta V_{sig}$ 时,由公式 41 可知 $E = -\tau$ 。将 E 代入公式 41,最后将 t 代替 $t - t_s$,来引出如下公式 42。

[0191] [公式 42]

$$[0192] \quad V_p(t) = -(\Delta V_{sig}/\tau) \times e^{-(t-ts)/\tau} \{2\tau \times e^{((t-ts)/\tau)} - (t-ts) - \tau\}$$

[0193] 因此,由公式 38 和公式 42 可知,当将 t 代替 $t-ts$ 时, V_{ds6} 由如下公式 43 表示。

[0194] [公式 43]

$$[0195] \quad V_{ds6} = V_p(t) + \Delta V_{sig} \times (2 - e^{-(t-ts)/\tau}) = ((t-ts)/\tau) \times \Delta V_{sig} \times e^{-(t-ts)/\tau}$$

[0196] 此外,也在将 t 的范围一般化地设定为 $m \times ts < t \leq (m+1) \times ts < tw$ (m 是大于 1 的整数) 的情况下,源极和漏极之间的电压可以由公式 43 表示。

[0197] 图 5 示出本实施方式的像素电极的电压 $V_p(t)$ 和信号线的电压 $V_s(t)$ 的时间依赖性。如图 5 所示,在使施加到信号线的电压的波形延迟积蓄时间 $\tau = (C_s + C_l) \times R$ 的情况下,当信号线的电压 $V_s(t)$ 以时间 ts 改变时,电压 $V_p(t)$ 的值比实施方式 1 的情况进一步追随此地改变。

[0198] 接下来,比较 V_{ds1} 、 V_{ds2} 、以及 V_{ds5} 和 V_{ds6} 的时间依赖性,所述 V_{ds1} 是现有的在对信号线从头施加预定电压的情况下的源极和漏极之间的电压,所述 V_{ds2} 是专利文献 1 的在通过渐渐推移施加到信号线的视频信号来最终推移到所希望的高度的情况下的源极和漏极之间的电压,所述 V_{ds5} 和 V_{ds6} 是本发明的在通过分阶段地推移施加到信号线的视频信号,来最终推移到所希望的高度的情况下的源极和漏极之间的电压。

[0199] 此外,在本实施方式中,为了简单地进行比较,而假设 $V_{sig} = 1$ 、 $\tau = 1$ 、 $tw/\tau = 6$ 、 $\Delta V_{sig} = 1/6$ 、 $ts = 1$ 。并且,在上述假设下,图 6 示出通过使用公式 2、公式 15、公式 37、公式 43,来获得的源极和漏极之间的电压的时间变化。

[0200] 由图 6 可知,在本实施方式的 V_{ds5} 和 V_{ds6} 中,虽然当在写入期间中最初使电压改变 $-\Delta V_{sig}$ 时, V_{ds5} 和 V_{ds6} 的绝对值与 V_{ds1} 和 V_{ds2} 实质上相同,但是在之后的期间中,可以将 V_{ds5} 和 V_{ds6} 的绝对值的最大值抑制到比 V_{ds1} 和 V_{ds2} 小。

[0201] 此外,在图 4A 和 4B 示出信号线的电压以三个阶段改变的例子,然而本发明不局限于此。在本发明中,信号线的电压既可以两个阶段改变,又可以四个阶段以上改变。

[0202] 此外,每个阶段的电压的变化量并不需要为一定。也可以在每个阶段中使电压的变化量为不同。例如,在上一个写入期间中施加极性不同的电压的情况下,通过将在写入期间的第一阶段中改变的电压的变化量抑制到比其它阶段中的变化量小,来可以将用作开关元件的晶体管的在第一阶段中的源极和漏极之间的电压抑制到更小。特别是,通过在第一阶段中施加基准电压且从下一个阶段开始改变施加到信号线的电压,可以将写入期间的第一阶段中的源极和漏极之间的电压抑制到比专利文献 1 所公开的源极和漏极之间的电压小。

[0203] 因此,通过本发明,由于在写入期间中,可以将用作开关元件的晶体管的源极和漏极之间的电压的绝对值成为比现有的值小,因此可以防止在该晶体管的漏极附近产生高电场。并且,通过本发明的结构,可以实现开关元件的可靠性的提高、以及显示装置的可靠性的提高。

[0204] 此外,在本发明中进行的交流驱动不仅可以为在任意一个帧周期中对所有的像素输入具有相同极性的视频信号的帧倒转驱动,而且可以为源极线倒转驱动、栅极线倒转驱动、点倒转驱动、或者其它倒转驱动。源极线倒转驱动是指在任意一个帧周期中对连接到某一个信号线的所有像素输入具有相同极性的视频信号且对连接到相邻的信号线的像素输

入具有相反极性的视频信号的驱动方法。栅极线倒转驱动是指在任意一个帧周期中对连接到某一个扫描线的所有像素输入具有相同极性的视频信号且对连接到相邻的扫描线的像素输入具有相反极性的视频信号的驱动方法。点倒转驱动是指在任意一个帧周期中对邻接的像素输入具有相反极性的视频信号的驱动方法。

[0205] 实施方式 3

[0206] 在本实施方式中,说明具体的电荷积蓄的缓和时间的计算方法。

[0207] 在此计算出如下情况的缓和时间 τ ,即,在假设在像素内布线电阻小得可以忽略,并且像素内的电阻 R 起因于用作开关元件的晶体管的情况下的缓和时间。由于用作开关元件的晶体管在线性区域中工作,因此晶体管的沟道形成区域中的电阻可以由如下公式 44 表示。此外,在公式 44 中, V_{gs} 和 V_{th} 分别表示施加到晶体管的栅极和源极之间的电压(栅极电压)和阈值电压。此外, L 和 W 分别表示沟道长度和沟道宽度, μ 表示迁移率,并且 C_{ox} 表示晶体管的单位面积的栅极电容。

[0208] [公式 44]

[0209] $R = 1/\beta (V_{gs}-V_{th})$, 其中, $\beta = (L/W) \times \mu \times C_{ox}$

[0210] 接下来,当假设像素内的电容相当于液晶电容时,像素的电容值 C_p 由如下公式 45 表示。此外,在公式 45 中, ϵ_0 和 ϵ_{Liq} 分别表示真空的介电常数和液晶的相对介电常数。此外, t_{Liq} 表示液晶的膜厚度, S 表示像素电极的面积。

[0211] [公式 45]

[0212] $C_p = (\epsilon_0 \times \epsilon_{Liq}/t_{Liq}) \times S$

[0213] 接下来,通过以将使用了非晶硅的晶体管用作开关元件的液晶面板为例,并且设定其 L/W 、 μ 、 C_{ox} 、 V_{gs} 、 V_{th} 、 ϵ_{Liq} 、 t_{Liq} 、 S 、 R 的一般值,来计算出缓和时间 τ 。具体地设定为 $L/W = 10/10 \mu m$ 、 $\mu = 0.5 cm^2/Vsec$ 、 $C_{ox} = 1.8 \times 10^{-4} F$ (假想栅极绝缘膜相当于膜厚度为 300nm 的氮化硅膜)、 $V_{gs} = 10V$ 、 $V_{th} = 5V$ 、 $\epsilon_{Liq} = 8$ 、 $t_{Liq} = 6 \mu m$ 、 $S = 150 \times 150 \mu m$ 。

[0214] 因此,缓和时间为 $\tau = C_p \times R = 2.6 \times 10^{-13} \times 2.2 \times 10^7 sec = 5.7 \times 10^{-6} sec$ 。当假设 VGA(480×640 像素),并且将一个帧周期设定为 1/60sec 时,一个水平期间(写入一行而需要的时间)为 $1/60/480 = 3.5 \times 10^{-5} sec$,该一个水平期间为写入时间 t_w 会获得的最大值。为了相当于信号线的电压的电荷积蓄于电容器中,而需要 $t_s > \tau$,并且可能的写入时间的步骤的大概分割数可以通过 t_w/τ 来获得。在上述例子中,由于满足 $t_w = 3.5 \times 10^{-5} sec$,所以步骤分割数为 $t_w/\tau = 3.5 \times 10^{-5}/(5.7 \times 10^{-6}) \approx 6$ 。因此,当假设信号线的电压为 5V 时,步骤电压 ΔV_{sig} 为 $5/6 = 0.83V$ 。

[0215] 实施方式 4

[0216] 在本实施方式中,说明本发明的显示装置的结构。图 7A 是本实施方式的显示装置的框图。图 7A 所示的显示装置包括:具有多个具备显示元件的像素的像素部 100;以每个线选择各个像素的扫描线驱动电路 110;以及控制对被选择的线的像素输入视频信号的信号线驱动电路 120。

[0217] 在图 7A 中,信号线驱动电路 120 包括移位寄存器 121、第一锁存器 122、第二锁存器 123、以及电平转移器 124。对移位寄存器 121 输入时钟信号 S-CLK、起始脉冲信号 S-SP、以及扫描方向转换信号 L/R。移位寄存器 121 根据这些时钟信号 S-CLK 及起始脉冲信号 S-SP 生成脉冲顺次转移的时序信号,来将该信号输出到第一锁存器 122。时序信号的脉冲

出现的顺序由扫描方向转换信号 L/R 转换。

[0218] 当时序信号输入到第一锁存器 122 时,视频信号根据该时序信号的脉冲按顺序写入且保持在第一锁存器 122 所具有的多个存储元件中。此外,当将信号线的数量设定为 x ,并且假设以 m 个阶段改变施加到信号线的电压时,第一锁存器 122 所具有的存储元件的数量至少为 $x \times m$ 个。并且,具有相同的图像信息的视频信号输入到与同一个信号线对应的 m 个存储元件。

[0219] 此外,虽然在本实施方式中,对第一锁存器 122 所具有的多个存储元件按顺序写入视频信号,但是本发明不局限于该结构。也可以进行所谓的分割驱动,即,将第一锁存器 122 所具有的多个存储元件分类成几个组,对该几个组的每一组同时输入视频信号。此外,将此时的组数量称作分割数。例如,在以四个存储元件将锁存器分类成组的情况下,以四分

割进行分割驱动。

[0220] 一直到在第一锁存器 122 中对所有的存储元件的视频信号的写入都结束的时间,相当于水平期间(线期间)。实际上,有时,将对上述水平期间追加水平归线期间的期间称作水平期间。

[0221] 当假设将信号线的数量设定为 x ,并且以 m 个阶段改变施加到信号线的电压时,第二锁存器 123 至少具有 $x \times m$ 个存储元件。并且,在一个水平期间结束之后,保持在第一锁存器 122 的视频信号根据输入到第二锁存器 123 的锁存信号 LS1 至 LS m 的脉冲写入且保持在第二锁存器 123 中。对将视频信号发送到了第二锁存器 123 的第一锁存器 122 再根据来自移位寄存器 121 的时序信号顺次写入下一个视频信号。

[0222] 此外,在锁存信号 LS1 至 LS m 中,脉冲按顺序转移。从而,着眼于第二锁存器 123 所具有的与同一个信号线对应的 m 个存储元件,从第一锁存器 122 的视频信号的输入对该 m 个存储元件按顺序进行。因此,在第二次的水平期间中,分别存储在第二锁存器 123 内的 m 个存储元件中的视频信号按从第一锁存器 122 写入的顺序输入到电平转移器 124。

[0223] 对电平转移器 124 除了施加接地(GND)等共同的电源电压以外,经过电源线等供应路径还施加电源电压 V_1 至 V_m 。并且,写入到第二锁存器 123 的视频信号在电平转移器 124 中根据电源电压 V_1 至 V_m 调整其电压,然后经过信号线输入到像素部 100。

[0224] 此外,在本实施方式中,分别存储在第二锁存器 123 内的 m 个存储元件中的视频信号按顺序经过电平转移器 124 输入到同一个信号线。并且,由于每个视频信号根据电源电压 V_1 至 V_m 调整其电压,所以可以根据电源电压 V_1 至 V_m 按顺序改变在写入期间中施加到每个信号线的电压。因此,电平转移器 124 相当于用来根据被供应的电源电压按顺序转换视频信号而将此供应到像素部的电路。

[0225] 此外,在信号线驱动电路 120 中,也可以使用能够输出脉冲顺次转移的信号的其他电路而代替移位寄存器 121。

[0226] 此外,虽然在图 7A 中,电平转移器 124 的后一段直接与像素部 100 连接,但是本发明不局限于该结构。可以在像素部 100 的前一段设置对从电平转移器 124 输出的视频信号进行信号处理的电路。作为进行信号处理的电路,可以举出如下例子如能够将波形整形的缓冲器、以及能够转换成模拟信号的数字模拟转换电路等。

[0227] 接下来,说明扫描线驱动电路 110 的结构。扫描线驱动电路 110 具有移位寄存器。在扫描线驱动电路 110 中,通过时钟信号 G-CLK、起始脉冲信号 G-SP、以及扫描方向转换信

号 L/R 输入到移位寄存器,而脉冲顺次转移的选择信号经过扫描线输入到像素部 100。选择信号的脉冲出现的顺序由扫描方向转换信号 L/R 转换。通过生成了的选择信号的脉冲输入到扫描线,而具有该扫描线的线的像素被选择,并且视频信号输入到该像素。

[0228] 此外,在扫描线驱动电路 110 中,既可在移位寄存器的后一段直接与像素部 100 连接,又可在像素部 100 的前一段设置对从移位寄存器输出的选择信号进行信号处理的电路。作为进行信号处理的电路,可以举出如下例子如能够将波形整形的缓冲器、以及能够放大振幅的电平转移器等。

[0229] 此外,虽然图 7A 示出在电平转移器 124 中根据电源电压 V1 至 Vm 调整在一个写入期间中输入到同一个信号线的 m 个视频信号的结构,但是本发明不局限于该结构。并不一定需要设置电平转移器 124。例如,也可以采用在第二锁存器 123 中根据电源电压 V1 至 Vm 调整视频信号的结构。

[0230] 图 7B 示出没有设置电平转移器的本发明的显示装置的结构。在图 7B 中,电源电压 V1 至 Vm 经过电源线等供应路径施加到第二锁存器 123。并且,视频信号在第二锁存器 123 中根据电源电压 V1 至 Vm 调整其电压,然后经过信号线输入到像素部 100。

[0231] 此外,由于每个视频信号根据电源电压 V1 至 Vm 调整其电压,所以可以根据电源电压 V1 至 Vm 按顺序改变在写入期间中施加到每个信号线的电压。因此,第二锁存器 123 相当于用来转换被供应的电源电压而将此作为视频信号供应到像素部的电路。

[0232] 此外,虽然在图 7A 和 7B 中说明对信号线输入数字视频信号的情况,但是本发明不局限于此。

[0233] 图 8 示出对信号线输入模拟视频信号的本发明的显示装置的结构。在图 8 中,在第二锁存器 123 的后一段设置 DA 转换电路 125。并且,电源电压 V1 至 Vm 经过电源线等供应路径施加到 DA 转换电路 125。输入到 DA 转换电路 125 的数字视频信号在 DA 转换电路 125 中被转换为根据电源电压 V1 至 Vm 调整其电压的模拟信号,然后经过信号线输入到像素部 100。

[0234] 由于每个视频信号根据电源电压 V1 至 Vm 调整其电压,因此可以根据电源电压 V1 至 Vm 按顺序改变在写入期间中施加到每个信号线的视频信号的电压。因此,DA 转换电路 125 相当于用来转换被供应的电源电压而将此作为视频信号供应到像素部的电路。

[0235] 虽然图 7A 和 7B、以及图 8 都示出使用扫描方向转换信号 L/R 的显示装置的结构,但是本发明不局限于该结构。在不转换扫描方向的情况下,不需要使用扫描方向转换信号 L/R。

[0236] 此外,在图 7A 和 7B、以及图 8 所示的显示装置中,也可以在像素部 100 的前一段设置对视频信号进行信号处理的电路。作为进行信号处理的电路,例如可以举出能够将波形整形的缓冲器等。

[0237] 在本实施方式中,说明了以每一个帧周期倒转电源电压 V1 至 Vm 的极性的显示装置的结构。但是,本发明不局限于该结构,也可以采用预先对信号线驱动电路施加极性相反的多个电源电压 V1 至 Vm 和电源电压 -V1 至 -Vm 的结构。

[0238] 此外,在想要以施加到信号线的电压波形变钝的方式驱动的情况下,虽然如实施方式 3 所示那样通过适当地调整施加到信号线的电源电压或各种信号的电压来可以实现,但是也可以通过在信号线驱动电路设置使波形变钝的电路如乘法电路等来实现。

[0239] 本实施方式可以与上述实施方式组合来实施。

[0240] 实施例 1

[0241] 在本实施例中,说明本发明的显示装置之一的有源矩阵型的液晶显示装置所具有的像素部的结构。

[0242] 图 9 示出本实施例的显示装置的像素部 610 的放大图。在图 9 中的像素部 610 中,多个像素 611 设置为矩阵形状。此外, S1 至 Sx 相当于信号线,而 G1 至 Gy 相当于扫描线。在本实施例的情况下,像素 611 具有信号线 S1 至 Sx 中的一个和扫描线 G1 至 Gy 中的一个。

[0243] 像素 611 包括:用作开关元件的晶体管 612;相当于显示元件的液晶单元 613;以及保持电容器 614。液晶单元 613 包括:像素电极;对置电极;以及由像素电极和对置电极施加电压的液晶。晶体管 612 的栅极连接到扫描线 G_j ($j = 1$ 至 y),晶体管 612 的源极和漏极中的一方连接到信号线 S_i ($i = 1$ 至 x),而另一方连接到液晶单元 613 的像素电极。此外,保持电容器 614 所具有的两个电极中的一方连接到液晶单元 613 的像素电极,而另一方连接到共同电极。共同电极既可连接到液晶单元 613 的对置电极,又可连接到其它扫描线。

[0244] 当根据从扫描线驱动电路输入到扫描线 G1 至 Gy 的选择信号的脉冲选择扫描线 G_j 时,换言之,当选择与扫描线 G_j 对应的线的像素 611 时,在该线的像素 611 中其栅极连接到扫描线 G_j 的晶体管 612 导通。并且,当视频信号从信号线驱动电路输入到信号线 S_i 时,电压根据该视频信号施加到液晶单元 613 的像素电极和对置电极之间。液晶单元 613 的透过率根据施加到像素电极和对置电极之间的电压值而确定。此外,液晶单元 613 的像素电极和对置电极之间的电压保持在保持电容器 614 中。

[0245] 本实施例可以与上述实施方式适当地组合来实施。

[0246] 实施例 2

[0247] 在本实施例中,说明本发明的显示装置之一的有源矩阵型的发光装置所具有的像素部的结构。

[0248] 在有源矩阵型发光装置中,在各个像素设置相当于显示元件的发光元件。

[0249] 由于发光元件靠自身发光而可见度好,并且由于不需要液晶显示装置所需要的背光灯而最适合于制造成薄形,而且,其视角没有限制。虽然在本实施例中说明使用发光元件之一的有机发光元件(OLED;有机发光二极管)的发光装置,但是本发明也可以为使用其它发光元件的发光装置。

[0250] OLED 具有包含电致发光材料的层(以下称为电致发光层)、阳极层和阴极层,电致发光材料可以获得通过施加电场而产生的发光(电致发光)。电致发光包括当从单态激发态回到基态时的发光(荧光)和当从三重态激发态回到基态时的发光(磷光)。本发明的发光装置可以使用上述发光中的任一方发光或双方发光。

[0251] 图 10A 示出本实施例的发光装置的像素部 601 的放大图。像素部 601 具有布置为矩阵状的多个像素 602。此外, S1 至 Sx 相当于信号线, V1 至 Vx 相当于电源线,而 G1 至 Gy 相当于扫描线。在本实施例的情况下,像素 602 具有信号线 S1 至 Sx 中的一个、电源线 V1 至 Vx 中的一个、以及扫描线 G1 至 Gy 中的一个。

[0252] 图 10B 示出像素 602 的放大图。在图 10B 中,附图标记 603 是开关用晶体管。开关用晶体管 603 的栅极连接到扫描线 G_j ($j = 1$ 至 y)。开关用晶体管 603 的源极和漏极中的一方连接到信号线 S_i ($i = 1$ 至 x),而另一方连接到驱动用晶体管 604 的栅极。此外,在

电源线 V_i ($i = 1$ 至 x) 和驱动用晶体管 604 的栅极之间设置保持电容器 606。

[0253] 设置保持电容器 606, 以便当开关用晶体管 603 处于截断状态时保持驱动用晶体管 604 的栅极电压 (栅极和源极之间的电压)。另外, 在本实施例中虽然示出了设置保持电容器 606 的结构, 但是本发明不局限于该结构, 也可以不设置保持电容器 606。

[0254] 另外, 驱动用晶体管 604 的源极和漏极中的一方连接到电源线 V_i ($i = 1$ 至 x), 而另一方连接到发光元件 605。发光元件 605 具有阳极、阴极、以及设置在阳极和阴极之间的电致发光层。在阳极与驱动用晶体管 604 的源极或漏极连接的情况下, 阳极用作像素电极并且阴极用作对置电极。而在阴极与驱动用晶体管 604 的源极或漏极连接的情况下, 阴极用作像素电极并且阳极用作对置电极。

[0255] 对发光元件 605 的对置电极和电源线 V_i 分别施加预定电压。

[0256] 当根据从扫描线驱动电路输入到扫描线 G_1 至 G_y 的选择信号的脉冲选择扫描线 G_j 时, 换言之, 当选择与扫描线 G_j 对应的线的像素 602 时, 在该线的像素 602 中其栅极连接到扫描线 G_j 的开关用晶体管 603 导通。并且, 当视频信号输入到信号线 S_i 时, 根据该视频信号而驱动用晶体管 604 的栅极电压确定。

[0257] 在驱动用晶体管 604 处于导通状态的情况下, 电源线 V_i 和发光元件 605 电连接来供应电流, 以使发光元件 605 发光。与此相反, 在驱动用晶体管 604 处于截断状态的情况下, 由于电源线 V_i 和发光元件 605 不电连接, 所以电流不供应到发光元件 605, 以使发光元件 605 不发光。

[0258] 此外, 开关用晶体管 603 和驱动用晶体管 604 都可以使用 n 沟道型晶体管和 p 沟道型晶体管。但是, 在驱动用晶体管 604 的源极或漏极与发光元件 605 的阳极连接的情况下, 驱动用晶体管 604 优选为 p 沟道型晶体管。另外, 在驱动用晶体管 604 的源极或漏极与发光元件 605 的阴极连接的情况下, 驱动用晶体管 604 优选为 n 沟道型晶体管。

[0259] 另外, 开关用晶体管 603 和驱动用晶体管 604 除了具有单栅极结构以外, 还可以具有双栅极结构或三栅极结构等多栅极结构。

[0260] 此外, 本发明可以应用于包括除了具有图 10A 和 10B 所示的电路结构以外, 还具有各种电路结构的像素的显示装置。本发明的显示装置所具有的像素例如可以包括: 能够校正驱动用晶体管的阈值电压的阈值校正型电路结构; 以及通过输入电流来能够校正驱动用晶体管的阈值和迁移率的电流输入型电路结构等。

[0261] 在发光装置中, 在很多情况下, 施加到显示元件的电压被设定为比液晶显示装置高几 V。因此, 即使在不进行交流驱动的情况下, 也有如下问题, 即, 根据显示的图像, 用作开关元件的晶体管的源极和漏极之间的电压差很容易变大。此外, 有时, 为了通过改善发光元件的电流 - 电压特性的退化来提高发光元件的可靠性, 对发光元件进行以一定的期间施加反方向偏压的电压的交流驱动。但是, 通过使用本发明的结构, 可以实现用作开关元件的晶体管的可靠性的提高、以及显示装置的可靠性的提高。

[0262] 本实施例可以与上述实施方式或上述实施例适当地组合来实施。

[0263] 实施例 3

[0264] 在本实施例中说明本发明的显示装置所具有的信号线驱动电路的更具体的结构。

[0265] 图 11 示出信号线驱动电路的电路图的一例。图 11 所示的信号线驱动电路具有移位寄存器 501、第一锁存器 502、第二锁存器 503、电平转移器 504、以及缓冲器 505。

[0266] 移位寄存器 501 具有多个延迟触发器 (DFF) 506。并且, 移位寄存器 501 根据被输入的起始脉冲信号 S-SP 及时钟信号 S-CLK 生成脉冲顺次转移的时序信号, 将此输入到后一段的第一锁存器 502。

[0267] 当假设将信号线的数量设定为 x 且以三个阶段改变施加到信号线的电压时, 第一锁存器 502 至少具有 $3 \times x$ 个存储元件 (LAT) 507。并且, 第一锁存器 502 根据被输入的时序信号的脉冲按顺序取样视频信号, 将此写入到存储元件 507。

[0268] 当将信号线的数量设定为 x 且假设以三个阶段改变施加到信号线的电压时, 第二锁存器 503 至少具有 $3 \times x$ 个存储元件 (LAT) 508。在第一锁存器 502 中写入到存储元件 507 的视频信号的数据根据脉冲按顺序转移的锁存信号 LS1 至 LS3 按顺序写入且保持在第二锁存器 503 所具有的存储元件 508 中。并且, 保持在存储元件 508 中的数据作为视频信号输出到后一段的电平转移器 504。

[0269] 对电平转移器 504 除了施加共同的电源电压以外, 经过电源线等供应路径还施加电源电压 $V1$ 至 $V3$ 。并且, 写入到第二锁存器 503 的视频信号在电平转移器 504 中根据电源电压 $V1$ 至 $V3$ 调整其电压, 然后其波形在缓冲器 505 中整形而输入到信号线。

[0270] 此外, 当假设以 m 个阶段改变施加到信号线的电压时, 由于施加到信号线的视频信号根据电源电压 $V1$ 至 Vm 调整其电压, 所以可以根据电源电压 $V1$ 至 Vm 按顺序改变在写入期间中施加到每个信号线的电压。因此, 电平转移器 504 相当于用来根据被供应的电源电压按顺序转换视频信号而将此供应到像素部的电路。

[0271] 在本实施例中, 说明了以每一个帧周期倒转电源电压 $V1$ 至 Vm 的极性的显示装置的结构。但是, 本发明不局限于该结构, 也可以采用预先对信号线驱动电路经过电源线等供应路径施加极性相反的多个电源电压 $V1$ 至 Vm 和电源电压 $-V1$ 至 $-Vm$ 的结构。

[0272] 本实施例可以与上述实施方式或上述实施例适当地组合来实施。

[0273] 实施例 4

[0274] 在本实施例中说明本发明的显示装置所具有的信号线驱动电路的更具体的结构。

[0275] 图 12 示出信号线驱动电路的电路图的一例。图 12 所示的信号线驱动电路具有移位寄存器 511、第一锁存器 512、第二锁存器 513、DA 转换电路 514。

[0276] 移位寄存器 511 具有多个延迟触发器 (DFF) 516。并且, 移位寄存器 511 根据被输入的起始脉冲信号 S-SP 及时钟信号 S-CLK 生成脉冲顺次转移的时序信号, 将此输入到后一段的第一锁存器 512。

[0277] 当假设将视频信号的位数和信号线的数量分别设定为 3 和 x 且以三个阶段改变施加到信号线的电压时, 第一锁存器 512 至少具有 $3 \times 3 \times x$ 个存储元件 (LAT) 517。并且, 第一锁存器 512 根据被输入的时序信号的脉冲按顺序取样视频信号, 将此写入到存储元件 517。

[0278] 当假设将视频信号的位数和信号线的数量分别设定为 3 和 x 且以三个阶段改变施加到信号线的电压时, 第二锁存器 513 至少具有 $3 \times 3 \times x$ 个存储元件 (LAT) 518。在第一锁存器 512 中写入到存储元件 517 的视频信号的数据根据脉冲按顺序转移的锁存信号 LS1 至 LS3 按顺序写入且保持在第二锁存器 513 所具有的存储元件 518 中。具体来说, 在以 m 个阶段改变电压的情况下, 将与每个阶段对应的视频信号一起按顺序写入到第二锁存器 513。并且, 保持在存储元件 518 中的数据作为视频信号输出到后一段的 DA 转换电路 514。

[0279] 对 DA 转换电路 514 除了施加共同的电源电压以外, 经过电源线等供应路径还施加

电源电压 V1 至 V3。并且,写入到第二锁存器 513 的视频信号在 DA 转换电路 514 中被转换为根据电源电压 V1 至 V3 调整其电压的模拟信号,然后输入到信号线。

[0280] 此外,当假设以 m 个阶段改变施加到信号线的电压时,由于施加到信号线的模拟视频信号根据电源电压 V1 至 Vm 调整其电压,所以可以根据电源电压 V1 至 Vm 按顺序改变在写入期间中施加到每个信号线的电压。因此,DA 转换电路 514 相当于用来根据被供应的电源电压按顺序转换视频信号而将此供应到像素部的电路。

[0281] 本实施例可以与上述实施方式或上述实施例适当地组合来实施。

[0282] 实施例 5

[0283] 在本实施例中,参照图 13A 和 13B 说明对像素部输入视频信号的写入期间在一个帧周期中出现的时序。

[0284] 图 13A 是表示在将一个帧周期分割成多个子帧周期 SF1 至 SF6 来工作的情况下的对像素部输入视频信号的时序的时序图。横轴表示时间,而纵轴表示由扫描线驱动电路选择的线的扫描方向。在图 13A 中,作为一例举出使用 6 位的视频信号且将一个帧周期分割成与位数相同数量的六个子帧周期的情况。但是,在本发明中,视频信号的位数不局限于 6。

[0285] 子帧周期 SF1 至 SF6 分别具有用来对每个像素输入视频信号的写入期间 Ta。在写入期间 Ta 中,由扫描线驱动电路按顺序选择每个线的像素。并且,视频信号从信号线驱动电路输入到被选择的线的像素。并且,从视频信号的输入结束的线的像素按顺序根据视频信号进行显示。当在所有的线的像素中视频信号的输入结束时,写入期间就结束。此外,由于在一个写入期间中 1 位视频信号输入到像素部,所以只有写入期间 Ta 都结束才输入所有的 6 位的视频信号。

[0286] 并且,从一个写入期间结束一直到下一个子帧周期的写入期间出现,根据输入到像素部的视频信号继续进行显示。下面,与其它子帧周期对应的写入期间出现,反复上述工作。并且,通过按顺序出现所有的子帧周期而形成一个帧周期。

[0287] 当在一个帧周期内的所有的子帧周期出现时,可以显示具有灰度级的图像。灰度级数可以通过控制在每个子帧周期中的显示元件的亮度来确定。例如,在使用 6 位视频信号显示 64 灰度级的情况下,如果以线形改变灰度级数,就将子帧周期 SF1 至 SF6 的长度的比例从长度长一侧按顺序设定为 $2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 2^0$ 。

[0288] 此外,虽然在上述工作中,根据视频信号控制像素所具有的显示元件的亮度,但是本发明不局限于该结构。例如,也可以设置不显示期间,在该不显示期间中不根据视频信号而强制性地使显示元件的亮度处于最低状态。此外,上述不显示期间并不一定需要设置。但是,在子帧周期的长度短于写入期间的情况下,必须要设置如上所述的不显示期间。通过设置不显示期间,而不需要在像素部中对两行以上的像素并行输入视频信号。

[0289] 此外,也可以将一个子帧周期进一步分割成多个子帧周期来工作。在此情况下,被分割了的子帧周期也分别具有写入期间 Ta。

[0290] 接下来,说明在一个帧周期中只有一个写入期间 Ta 出现的情况。图 13B 是表示将视频信号输入到像素部的时序的时序图。横轴表示时间,而纵轴表示由扫描线驱动电路选择的线的扫描方向。

[0291] 在图 13B 的写入期间 Ta 中,由扫描线驱动电路按顺序选择每个线的像素。

[0292] 并且,对被选择了的线的像素从信号线驱动电路输入模拟视频信号。并且,从在写

入期间 Ta 中视频信号的输入结束的线的像素开始按顺序根据视频信号进行显示。当在所有的线的像素中视频信号的输入结束时,写入期间就结束。接着,根据在写入期间 Ta 中输入到像素部的视频信号,一直到下一个帧周期出现进行显示。

[0293] 此外,在图 13B 中,写入期间 Ta 的长度只要是一个帧周期以内的长度,设计人就可以适当地设定。通过将写入期间 Ta 设定为与一个帧周期大概相同的长度,可以减小视频信号的写入时的信号线驱动电路的驱动频率,并且可以降低耗电量。

[0294] 本实施例与上述实施方式或上述实施例适当地组合来实施。

[0295] 实施例 6

[0296] 接下来,详细地解释本发明的显示装置的制造方法。此外,虽然在本实施例中,示出薄膜晶体管 (TFT) 作为半导体元件的一例,但是用于本发明的显示装置的半导体元件不局限于此。例如,除了 TFT 以外,可以使用存储元件、二极管、电阻器、电容器、电感器等。

[0297] 首先,如图 14A 所示,在具有耐热性的衬底 700 上按顺序形成绝缘膜 701、剥离层 702、绝缘膜 703、以及半导体膜 704。绝缘膜 701、剥离层 702、绝缘膜 703、以及半导体膜 704 可以连续形成。

[0298] 作为衬底 700,例如可以使用玻璃衬底如硼硅酸钡玻璃或硼硅酸铝玻璃等、石英衬底、陶瓷衬底等。此外,也可以使用包括不锈钢衬底的金属衬底或如硅衬底等半导体衬底。虽然由具有挠性的合成树脂如塑料等构成的衬底的耐热温度通常低于上述衬底,但只要能够耐受制造工序中的处理温度,就可以使用。

[0299] 作为塑料衬底,可以举出以聚对苯二甲酸乙二醇酯 (PET) 为代表的聚酯、聚醚砜 (PES)、聚萘二甲酸乙二醇酯 (PEN)、聚碳酸酯 (PC)、聚醚醚酮 (PEEK)、聚砜 (PSF)、聚醚酰亚胺 (PEI)、聚芳酯 (PAR)、聚对苯二甲酸丁二醇酯 (PBT)、聚酰亚胺、丙烯腈-丁二烯-苯乙烯树脂、聚氯乙烯、聚丙烯、聚乙酸乙烯酯、丙烯酸树脂等。

[0300] 此外,在本实施例中虽然在衬底 700 的整个表面上设置剥离层 702,但本发明不局限于该结构。例如,也可以使用光刻法等衬底 700 上部分形成剥离层 702。

[0301] 绝缘膜 701 和绝缘膜 703 通过使用 CVD 法或溅射法等并且使用氧化硅、氮化硅 (SiN_x 、 Si_3N_4 等)、氧氮化硅 (SiO_xN_y) ($x > y > 0$)、氮氧化硅 (SiN_xO_y) ($x > y > 0$) 等的具有绝缘性的材料来形成。

[0302] 设置绝缘膜 701 和绝缘膜 703,以便防止包含在衬底 700 中的 Na 等的碱金属或碱土金属扩散在半导体膜 704 中而对 TFT 等半导体元件的特性带来不良影响。另外,绝缘膜 703 还具有以下作用:防止包含在剥离层 702 中的杂质元素扩散在半导体膜 704 中,并且在之后的剥离半导体元件的工序中保护半导体元件。

[0303] 绝缘膜 701、绝缘膜 703 可以是使用单个绝缘膜而成的,也可以是层叠多个绝缘膜而成的。在本实施例中,按顺序层叠 100nm 厚的氧氮化硅膜、50nm 厚的氮氧化硅膜、100nm 厚的氧氮化硅膜来形成绝缘膜 703,但各个膜的材质、膜厚度、层叠个数不局限于此。例如,也可以通过旋转涂敷法、狭缝式涂布机法、液滴喷射法、印刷法等形成 0.5 μm 至 3 μm 厚的硅氧烷类树脂而代替下层的氧氮化硅膜。另外,也可以使用氮化硅膜 (SiN_x 、 Si_3N_4 等) 而代替中层的氮氧化硅膜。另外,也可以使用氧化硅膜而代替上层的氧氮化硅膜。另外,它们的膜厚度分别优选为 0.05 μm 至 3 μm ,从该范围内可以任意选择。

[0304] 或者,也可以使用氧氮化硅膜或氧化硅膜形成与剥离层 702 最接近的绝缘膜 703

的下层,使用硅氧烷类树脂形成中层,并且使用氧化硅膜形成上层。

[0305] 此外,硅氧烷类树脂相当于以硅氧烷类材料作为起始材料而形成的包含 Si-O-Si 键的树脂。硅氧烷类树脂除了氢以外,还可以具有氟、烷基、或芳烃中的至少一种作为取代基。

[0306] 氧化硅膜可以使用硅烷/氧、TEOS(Tetraethoxysilane;四乙氧基硅烷)/氧等组合的混合气体并且通过热 CVD、等离子体 CVD、常压 CVD、偏压(bias)ECRCVD 等方法来形成。另外,氮化硅膜可以典型使用硅烷/氨的混合气体并且通过等离子体 CVD 来形成。另外,氧氮化硅膜和氮氧化硅膜可以典型使用硅烷/一氧化二氮的混合气体并且通过等离子体 CVD 来形成。

[0307] 剥离层 702 可以使用金属膜、金属氧化膜、以及层叠金属膜和金属氧化膜而形成的膜。金属膜和金属氧化膜可以是单层,也可以具有层叠有多个层的叠层结构。另外,除了金属膜或金属氧化膜以外,还可以使用金属氮化物或金属氧氮化物。剥离层 702 可以通过溅射法或等离子体 CVD 法等来的各种 CVD 法等来形成。

[0308] 作为用于剥离层 702 的金属,可以举出钨(W)、钼(Mo)、钛(Ti)、钽(Ta)、铌(Nb)、镍(Ni)、钴(Co)、锆(Zr)、锌(Zn)、钌(Ru)、铑(Rh)、钯(Pd)、锇(Os)或铱(Ir)等。剥离层 702 除了由上述金属形成的膜以外,还可以使用由以上述金属为主要成分的合金形成的膜、或使用包含上述金属的化合物来形成的膜。

[0309] 另外,剥离层 702 既可以使用由硅(Si)单体形成的膜,又可以使用由以硅(Si)为主要成分的化合物形成的膜。或者,也可以使用由硅(Si)和包含上述金属的合金形成的膜。包含硅的膜可以具有非晶、微晶、多晶结构中的任一种结构。

[0310] 剥离层 702 可以使用单层的上述膜,也可以使用上述多个膜的叠层。层叠了金属膜和金属氧化膜的剥离层 702 可以通过在形成成为基本的金属膜之后使该金属膜的表面氧化或氮化来形成。具体而言,在氧气气氛中或一氧化二氮气氛中对成为基本的金属膜进行等离子体处理、或者在氧气气氛中或一氧化二氮气氛中对金属膜进行加热处理即可。另外,也可以通过在成为基本的金属膜上接触地形成氧化硅膜或氧氮化硅膜来进行金属膜的氧化。另外,可以通过在成为基本的金属膜上接触地形成氧氮化硅膜或氮化硅膜来进行氮化。

[0311] 作为进行金属膜的氧化或氮化的等离子体处理,可以进行如下高密度等离子体处理,即等离子体密度为 $1 \times 10^{11} \text{cm}^{-3}$ 以上,优选为 $1 \times 10^{11} \text{cm}^{-3}$ 至 $9 \times 10^{15} \text{cm}^{-3}$ 以下,并且使用微波(例如,频率为 2.45GHz)等的高频波。

[0312] 此外,可以通过使成为基本的金属膜的表面氧化来形成层叠有金属膜和金属氧化膜的剥离层 702,但是也可以在形成金属膜之后另行形成金属氧化膜。例如,在使用钨作为金属的情况下,在通过溅射法或 CVD 法等形成钨膜作为成为基本的金属膜之后,对该钨膜进行等离子体处理。通过该工序,可以形成相当于金属膜的钨膜、以及与该金属膜接触且由钨的氧化物形成的金属氧化膜。

[0313] 另外,钨的氧化物由 WO_x 表示。 x 在 2 以上 3 以下的范围内,有如下情况: x 为 2(WO_2)、 x 为 2.5(W_2O_5)、 x 为 2.75(W_4O_{11})、以及 x 为 3(WO_3)。当形成钨的氧化物时,对 x 值没有特别的限制,而根据蚀刻率等来设定 x 值即可。

[0314] 半导体膜 704 优选在形成绝缘膜 703 之后,以不露出于大气的方式形成。半导体膜 704 的厚度为 20nm 至 200nm(优选为 40nm 至 170nm,更优选为 50nm 至 150nm)。此外,半

导体膜 704 既可以是非晶半导体,又可以是多晶半导体。此外,作为半导体,除了硅以外,还可以使用硅锗。在使用硅锗的情况下,锗的浓度优选为 0.01 原子%至 4.5 原子%左右。

[0315] 另外,半导体膜 704 也可以通过众所周知的技术来结晶。作为众所周知的结晶化方法,有利用激光的激光晶化法、使用催化元素的晶化法。或者,也可以采用组合了使用催化元素的晶化法和激光晶化法的方法。另外,在使用石英等具有优越的耐热性的衬底作为衬底 700 的情况下,也可以采用组合了使用电热炉的热晶化法、利用红外光的灯退火晶化法、或使用催化元素的晶化法、950℃左右的高温退火的晶化法。

[0316] 例如,在采用激光晶化法的情况下,在进行激光晶化之前对半导体膜 704 以 550℃进行 4 小时的加热处理,以便提高相对于激光的半导体膜 704 的耐性。之后,通过使用能够连续振荡的固体激光器并照射基波的二次至四次谐波的激光,可以获得大晶粒尺寸的结晶。例如,典型地,最好使用 Nd:YVO₄ 激光器(基波:1064nm)的二次谐波(532nm)或三次谐波(355nm)。具体而言,由连续振荡型 YVO₄ 激光器发射的激光由非线性光学元件转换为高次谐波以获得输出功率为 10W 的激光。优选地,通过使用光学系统将激光的照射表面形成成为矩形或椭圆形,并且将它照射到半导体膜 704。在这种情况下,需要 0.01MW/cm² 至 100MW/cm² 左右(优选为 0.1MW/cm² 至 10MW/cm²)的能量密度。将扫描速度设定为 10cm/sec 至 2000cm/sec 左右来照射。

[0317] 作为连续振荡的气体激光器,可以使用 Ar 激光器、Kr 激光器等。另外,作为连续振荡的固体激光器,可以使用 YAG 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、镁橄榄石(Mg₂SiO₄)激光器、GdVO₄ 激光器、Y₂O₃ 激光器、玻璃激光器、红宝石激光器、变石激光器、Ti:蓝宝石激光器等。

[0318] 另外,作为脉冲振荡的激光器,例如可以使用 Ar 激光器、Kr 激光器、受激准分子激光器、CO₂ 激光器、YAG 激光器、Y₂O₃ 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、玻璃激光器、红宝石激光器、变石激光器、Ti:蓝宝石激光器、铜蒸汽激光器、或金蒸汽激光器。

[0319] 另外,也可以通过使脉冲振荡的激光的振荡频率为 10MHz 以上,并且使用比通常使用的几十 Hz 至几百 Hz 的频带明显高的频带,来进行激光晶化。一般认为:从以脉冲振荡方式将激光照射到半导体膜 704 后、直到半导体膜 704 完全固化的时间,是几十 nsec 至几百 nsec。因此,通过使用上述频率,在半导体膜 704 因为激光而熔融到固化的期间,可以照射下一个脉冲的激光。因此,由于可以在半导体膜 704 中连续移动固体和液体界面,所以形成具有朝向扫描方向连续生长的晶粒的半导体膜 704。具体而言,可以形成在被包含的晶粒的扫描方向上的宽度为 10 μm 至 30 μm 并且在垂直于扫描方向的方向上的宽度为 1 μm 至 5 μm 左右的晶粒的集合。可以通过形成沿着所述扫描方向连续生长的单晶晶粒,来形成至少在 TFT 的沟道方向上几乎不存在晶界的半导体膜 704。

[0320] 另外,激光晶化既可以并行照射连续振荡的基波的激光和连续振荡的高次谐波的激光,又可以并行照射连续振荡的基波的激光和脉冲振荡的高次谐波的激光。

[0321] 另外,也可以在稀有气体或氮等惰性气体气氛中照射激光。以这种方式,可以抑制由于激光照射而导致的半导体表面的粗糙度,并且可以抑制由于界面态密度的不均匀性而产生的阈值的均匀性。

[0322] 通过上述的激光照射来形成进一步提高了结晶性的半导体膜 704。此外,也可以使用通过溅射法、等离子体 CVD 法、热 CVD 法等预先形成的多晶半导体作为半导体膜 704。

[0323] 另外,虽然在本实施例中使半导体膜 704 晶化,但也可以不使它晶化而使用非晶硅膜或微晶半导体膜来直接进入后续的步骤。因为使用非晶半导体或微晶半导体的 TFT 的制造工序少于使用多晶半导体的 TFT 的制造工序,所以其具有可以抑制成本而提高成品率的优点。

[0324] 可以辉光放电分解包含硅的气体来获得非晶半导体。作为包含硅的气体,可以举出 SiH_4 、 Si_2H_6 。也可以使用氢或氢及氦稀释上述包含硅的气体来使用。

[0325] 接着,对半导体膜 704 进行以低浓度添加赋予 p 型的杂质元素或赋予 n 型的杂质元素的沟道掺杂。既可以对半导体膜 704 整体进行沟道掺杂,又可以对半导体膜 704 的一部分选择性地沟道掺杂。作为赋予 p 型的杂质元素,可以使用硼 (B)、铝 (Al)、镓 (Ga) 等。作为赋予 n 型的杂质元素,可以使用磷 (P)、砷 (As) 等。在此,使用硼 (B) 作为杂质元素,以 1×10^{16} 至 $5 \times 10^{17}/\text{cm}^3$ 的浓度添加该硼。

[0326] 接着,如图 14B 所示,将半导体膜 704 加工(构图)为预定的形状,以形成岛状半导体膜 705 至 707。覆盖岛状半导体膜 705 至 707 地形成栅绝缘膜 709。栅绝缘膜 709 可以通过使用等离子体 CVD 法或溅射法等以包含氮化硅、氧化硅、氮氧化硅或氧氮化硅的膜的单层或叠层来形成。在层叠的情况下,例如,优选采用从衬底 700 一侧层叠氧化硅膜、氮化硅膜、氧化硅膜的三层结构。

[0327] 栅绝缘膜 709 也可以通过进行高密度等离子体处理,使岛状半导体膜 705 至 707 的表面氧化或氮化来形成。高密度等离子体处理例如使用 He、Ar、Kr、Xe 等的稀有气体与氧、氧化氮、氨、氮、氢等的混合气体来进行。在此情况下,可以通过引入微波来进行等离子体的激发,而生成低电子温度且高密度的等离子体。通过利用由这种高密度的等离子体生成的氧基(也有包括 OH 基的情况)或氮基(也有包括 NH 基的情况)来使半导体膜的表面氧化或氮化,与半导体膜接触地形成厚度为 1nm 至 20nm,典型为 5nm 至 10nm 的绝缘膜。将该 5nm 至 10nm 厚的绝缘膜用作栅绝缘膜 709。

[0328] 上述的利用高密度等离子体处理的半导体膜的氧化或氮化以固相反应进行,从而可以使栅绝缘膜和半导体膜之间的界面态密度极为低。通过利用高密度等离子体处理来直接使半导体膜氧化或氮化,可以抑制被形成的绝缘膜的厚度的不均匀性。另外,在半导体膜具有结晶性的情况下,可以通过利用高密度等离子体处理以固相反应使半导体膜的表面氧化,抑制仅在晶界中氧化快速进行,并且形成均匀性好且界面态密度低的栅绝缘膜。将利用高密度等离子体处理来形成的绝缘膜包括在栅绝缘膜的一部分或整体中而成的晶体管可以抑制特性的不均匀性。

[0329] 接着,如图 14C 所示,通过在将导电膜形成在栅绝缘膜 709 上之后将该导电膜加工(构图)为预定的形状,在岛状半导体膜 705 至 707 的上方形成电极 710。在本实施例中,通过对层叠了的两个导电膜进行构图来形成电极 710。导电膜可以使用钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铜 (Cu)、铬 (Cr)、铌 (Nb) 等。另外,既可以使用以上述金属为主要成分的合金,又可以使用包含上述金属的化合物。或者,也可以使用对半导体膜掺杂了赋予导电性的杂质元素如磷等而成的多晶硅等半导体来形成。

[0330] 在本实施例中,使用氮化钽膜或钽 (Ta) 膜作为第一层导电膜,并且使用钨 (W) 膜作为第二层导电膜。作为两个导电膜的组合,除了本实施例所示的实例以外,还可以举出氮化钨膜和钨膜、氮化钼膜和钼膜、铝膜和钽膜、以及铝膜和钛膜等。由于钨和氮化钽具有高

耐热性,所以在形成两层导电膜之后的工序中可以进行目的在于热激活的加热处理。另外,作为第二层导电膜的组合,例如可以使用掺杂了赋予n型的杂质的硅和镍硅化物(NiSi)、掺杂了赋予n型的杂质的Si和 WSi_x 等。

[0331] 另外,虽然在本实施例中使用层叠了的两个导电膜形成电极710,但本实施例不局限于该结构。电极710既可以由单层的导电膜形成,又可以通过层叠三层以上的导电膜来形成。在采用层叠三层以上的导电膜的三层结构的情况下,优选采用钼膜、铝膜和钼膜的叠层结构。

[0332] 作为形成导电膜的方法,可以使用CVD法、溅射法等。在本实施例中,以20nm至100nm的厚度形成第一层导电膜,并且以100nm至400nm的厚度形成第二层导电膜。

[0333] 此外,作为当形成电极710之际使用的掩模,也可以使用氧化硅、氧氮化硅等而代替抗蚀剂。在此情况下,虽然还要添加进行构图来形成氧化硅、氧氮化硅等的掩模的工序,但由于当蚀刻时的掩模的膜厚度的减少比抗蚀剂少,所以可以形成具有所希望的宽度的电极710。另外,也可以通过使用液滴喷射法选择性地形成电极710,而不使用掩模。

[0334] 此外,液滴喷射法意味着从细孔喷出或喷射包含预定组成物的液滴来形成预定图形的方法,喷墨法等包括在其范畴内。

[0335] 接着,将电极710作为掩模对岛状半导体膜705至707以低浓度掺杂赋予n型的杂质元素(典型为P(磷)或As(砷))(第一掺杂工序)。第一掺杂工序的条件为:剂量是 $1 \times 10^{15}/\text{cm}^2$ 至 $1 \times 10^{19}/\text{cm}^2$ 、加速电压是50keV至70keV,但不局限于此。借助于该第一掺杂工序,隔着栅绝缘膜709进行掺杂,在岛状半导体膜705至707中分别形成低浓度杂质区域711。此外,也可以使用掩模覆盖成为p沟道型TFT的岛状半导体膜706来进行第一掺杂工序。

[0336] 接着,如图15A所示,覆盖成为n沟道型TFT的岛状半导体膜705和707地形成掩模712。不仅使用掩模712,还使用电极710作为掩模,对岛状半导体膜706以高浓度掺杂赋予p型的杂质元素(典型为B(硼))(第二掺杂工序)。第二掺杂工序的条件为:剂量是 $1 \times 10^{19}/\text{cm}^2$ 至 $1 \times 10^{20}/\text{cm}^2$ 、加速电压是20keV至40keV。借助于该第二掺杂工序,隔着栅绝缘膜709进行掺杂,在岛状半导体膜706中形成p型高浓度杂质区域713。

[0337] 接着,如图15B所示,在通过灰化等去除掩模712之后,覆盖栅绝缘膜709及电极710地形成绝缘膜。该绝缘膜通过等离子体CVD法或溅射法等以由硅膜、氧化硅膜、氧氮化硅膜、氮氧化硅膜、或含有有机树脂等有机材料的膜的单层或叠层形成。在本实施例中,通过等离子体CVD法形成100nm厚的氧化硅膜。

[0338] 之后,通过以垂直方向为主体的各向异性蚀刻,部分地蚀刻栅绝缘膜709及该绝缘膜。通过上述各向异性蚀刻,栅绝缘膜709部分地被蚀刻,以在岛状半导体膜705至707上部分地形成栅绝缘膜714。另外,通过上述各向异性蚀刻部分地蚀刻覆盖栅绝缘膜709及电极710的绝缘膜,而形成与电极710的侧面接触的侧壁715。侧壁715用作当形成LDD(轻掺杂漏)区域时的掺杂用掩模。在本实施例中,使用 CHF_3 和He的混合气体作为蚀刻气体。此外,形成侧壁715的工序不局限于此。

[0339] 接着,如图15C所示,覆盖成为p沟道型TFT的岛状半导体膜706地形成掩模716。除了使用形成的掩模716之外,还使用电极710及侧壁715作为掩模,对岛状半导体膜705和707以高浓度掺杂赋予n型的杂质元素(典型为P或As)(第三掺杂工序)。第三掺杂工

序的条件为：剂量是 $1 \times 10^{19}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 、加速电压是 60keV 至 100keV。借助于该第三掺杂工序，在岛状半导体膜 705 和 707 中形成 n 型高浓度杂质区域 717。

[0340] 此外，侧壁 715 用作当后面掺杂高浓度的赋予 n 型的杂质且在侧壁 715 的下部形成低浓度杂质区域或无掺杂的偏移区域时的掩模。因此，为了控制低浓度杂质区域或偏移区域的宽度，适当地改变当形成侧壁 715 时的各向异性蚀刻条件或用于形成侧壁 715 的绝缘膜的厚度来调节侧壁 715 的大小即可。此外，在半导体膜 706 中，也可以在侧壁 715 的下部形成低浓度杂质区域或无掺杂的偏移区域。

[0341] 接着，也可以在通过灰化等去除掩模 716 之后，利用杂质区域的加热处理进行激活。例如，在形成 50nm 的氧氮化硅膜之后，在氮气气氛中以 550℃ 进行 4 小时的加热处理即可。

[0342] 另外，也可以在将包含氢的氮化硅膜形成为 100nm 厚之后进行以下工序，即在氮气气氛中以 410℃ 进行 1 小时的加热处理，来使岛状半导体膜 705 至 707 氢化。或者，也可以进行在包含氢的气氛中以 300℃ 至 450℃ 进行 1 至 12 小时的加热处理，来使岛状半导体膜 705 至 707 氢化的工序。作为加热处理，可以使用热退火、激光退火法、或 RTA 法等。借助于加热处理，不仅进行氢化，而且还可以进行添加到半导体膜中的杂质元素的激活。另外，作为氢化的其它方法，也可以进行等离子体氢化（使用由等离子体激发的氢）。通过上述氢化工序，可以使用热激发的氢来使悬空键终结。

[0343] 借助于上述的一系列工序，形成 n 沟道型 TFT718、720、以及 p 沟道型 TFT719。

[0344] 接着，如图 16A 所示，形成用来保护 TFT718 至 720 的绝缘膜 722。虽然不需要一定设置绝缘膜 722，但可以通过形成绝缘膜 722 来防止碱金属或碱土金属等杂质进入到 TFT718 至 720 中。具体地，作为绝缘膜 722，优选使用氮化硅、氮氧化硅、氮化铝、氧化铝、氧化硅等。在本实施例中，使用 600nm 左右厚的氧氮化硅膜作为绝缘膜 722。在此情况下，也可以在形成该氧氮化硅膜之后，进行上述氢化工序。

[0345] 接着，以覆盖 TFT718 至 720 的方式在绝缘膜 722 上形成绝缘膜 723。绝缘膜 723 可以使用具有耐热性的有机材料如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、环氧等。另外，除了上述有机材料之外，还可以使用低介电常数材料（low-k 材料）、硅氧烷树脂、氧化硅、氮化硅、氧氮化硅、氮氧化硅、PSG（磷硅玻璃）、BPSG（硼磷硅玻璃）、氧化铝等。硅氧烷类树脂除了氢以外，还可以具有氟、烷基、或芳烃中的至少一种作为取代基。此外，也可以通过层叠多个由上述材料形成的绝缘膜，来形成绝缘膜 723。

[0346] 绝缘膜 723 可以根据其材料而使用 CVD 法、溅射法、SOG 法、旋转涂敷、浸渍、喷涂、液滴喷射法（喷墨法、丝网印刷、胶版印刷等）、刮刀、辊涂、幕涂、刮刀涂布等来形成。

[0347] 接着，分别露出岛状半导体膜 705 至 707 的一部分地在绝缘膜 722 及绝缘膜 723 中形成接触孔。之后，形成通过该接触孔与岛状半导体膜 705 至 707 接触的导电膜 725 至 730。虽然使用 CHF_3 和 He 的混合气体作为用于当形成接触孔时的蚀刻工序的气体，但不局限于此。

[0348] 导电膜 725 至 730 可以通过 CVD 法或溅射法等来形成。具体而言，作为导电膜 725 至 730，可以使用铝 (Al)、钨 (W)、钛 (Ti)、钽 (Ta)、钼 (Mo)、镍 (Ni)、铂 (Pt)、铜 (Cu)、金 (Au)、银 (Ag)、锰 (Mn)、钕 (Nd)、碳 (C)、硅 (Si) 等。另外，既可以使用以上述金属为主要成分的合金，又可以使用包含上述金属的化合物。导电膜 725 至 730 可以采用使用上述金属

的膜的单层或叠层来形成。

[0349] 作为以铝为主要成分的合金的实例,可以举出以铝为主要成分且包含镍的合金。另外,也可以举出以铝为主要成分且包含镍以及碳和硅中的一方或双方的合金作为实例。铝和铝硅的电阻值很低且其价格低廉,所以作为形成导电膜 725 至 730 的材料最合适。尤其是,与铝膜相比,当对导电膜 725 至 730 进行构图时,铝硅 (Al-Si) 膜可以防止在抗蚀剂焙烧中产生小丘。另外,也可以在铝膜中混入 0.5% 左右的 Cu 而代替硅 (Si)。

[0350] 导电膜 725 至 730 例如优选采用阻挡膜、铝硅 (Al-Si) 膜和阻挡膜的叠层结构;阻挡膜、铝硅 (Al-Si) 膜、氮化钛膜和阻挡膜的叠层结构。此外,阻挡膜是使用钛、钛的氮化物、钼、或钼的氮化物来形成的膜。若以中间夹着铝硅 (Al-Si) 膜的方式形成阻挡膜,则可以进一步防止产生铝或铝硅的小丘。另外,若使用具有高还原性的元素的钛来形成阻挡膜,即使在岛状半导体膜 705 至 707 上形成有薄的氧化膜,包含在阻挡膜中的钛也可以还原该氧化膜,而导电膜 725 至 730 和岛状半导体膜 705 至 707 可以良好地接触。另外,也可以层叠多个阻挡膜来使用。在此情况下,例如,可以使导电膜 725 至 730 具有按顺序层叠有钛、氮化钛、铝硅、钛、氮化钛的五层结构。

[0351] 此外,导电膜 725、726 连接到 n 沟道型 TFT718 的高浓度杂质区域 717。导电膜 727、728 连接到 p 沟道型 TFT719 的高浓度杂质区域 713。导电膜 729、730 连接到 n 沟道型 TFT 720 的高浓度杂质区域 717。

[0352] 接下来,如图 16B 所示,在绝缘膜 723 上与导电膜 730 接触地形成电极 731。虽然在图 16B 中示出使用容易反射光的导电膜形成电极 731,来制造反射型液晶元件的例子,但是本发明不局限于该结构。通过使用透明导电膜形成像素电极,可以形成透过型液晶元件。此外,在反射型液晶元件中,也可以将导电膜 730 的一部分用作电极而不设置电极 731。此外,除了液晶元件以外,可以使用利用具有存储性的显示材料的显示元件、以有机发光元件 (OLED) 为代表的发光元件等。

[0353] 作为用作电极 731 的透明导电膜,例如可以使用包含氧化硅的氧化铟锡 (ITO)、氧化铟锡 (ITO)、氧化锌 (ZnO)、氧化铟锌 (IZO)、添加有镓的氧化锌 (GZO) 等。

[0354] 接下来,如图 16C 所示,以覆盖导电膜 725 至 730 及电极 731 的方式,在绝缘膜 723 上形成保护层 736。作为保护层 736,使用当在后面的工序中以剥离层 702 为界面剥离衬底 700 时能够保护绝缘膜 723、导电膜 725 至 730 及电极 731 的材料。例如,通过将可溶于水或醇类的环氧类、丙烯酸酯类、硅类的树脂涂覆到整个表面上,可以形成保护膜 736。

[0355] 在本实施例中,通过旋涂法将水溶性树脂 (东亚合成公司制造:VL-WSHL10) 涂覆为 30 μm 厚,曝光两分钟,以便预固化,然后使用紫外线从后面照射 2.5 分钟,从表面照射 10 分钟,来进行一共 12.5 分钟的曝光,以完全固化形成保护层 736。此外,在层叠多个有机树脂的情况下,根据使用的溶剂有可能涂覆或焙烧时部分融解或紧密性过分增高。因此,在作为绝缘膜 723 和保护膜 736 使用可溶解于相同的溶剂的有机树脂的情况下,优选以覆盖绝缘膜 723 的方式形成无机绝缘膜 (氮化硅膜、氮氧化硅膜、 AlN_x 膜、或 AlN_xO_y 膜),以便在后面的工序中顺利地除去保护层 736。

[0356] 接下来,如图 16C 所示,从衬底 700 剥离绝缘膜 703 至形成在绝缘膜 723 上的导电膜 725 至 730 及电极 731,即,包括以 TFT 为代表的半导体元件和各种导电膜的层 (以下称作元件形成层 738)、以及保护层 736。在本实施例中,将第一片材 737 贴附到保护层 736,使

用物力力量从衬底 700 剥离元件形成层 738 和保护层 736。剥离层 702 也可以不除去全部而一部分残留。

[0357] 另外,上述剥离也可以通过利用剥离层 702 的蚀刻的方法来进行。在此情况下,露出剥离层 702 的一部分地形成槽。该槽通过切割、划线、利用含有 UV 光的激光的加工、光刻法等来形成。槽只要具有露出剥离层 702 的深度即可。使用氟化卤作为蚀刻气体,从槽引入该气体。在本实施例中,例如使用 ClF_3 (三氟化氯),在以下条件下进行:温度为 350°C 、流量为 300sccm、气压为 800Pa、时间为 3h。另外,也可以使用在 ClF_3 气体中混合了氮的气体。通过使用 ClF_3 等氟化卤素,可以选择性地蚀刻剥离层 702,并且从元件形成层 738 剥离衬底 700。此外,氟化卤素可以是气体或液体。

[0358] 接着,如图 17A 所示,在将第二片材 744 贴合在通过上述剥离露出了的元件形成层 738 的表面上。并且,从第一片材 737 剥离元件形成层 738 及保护层 736 之后,除去保护层 736。

[0359] 作为第二片材 744,例如可以使用玻璃衬底如硼硅酸钡玻璃或硼硅酸铝玻璃等、具有挠性的有机材料如纸或塑料等。或者,作为第二片材 744,也可以使用具有柔性的无机材料。作为塑料衬底,可以使用由附有极性基的聚降冰片烯 (polynorbornene) 构成的 ARTON(JSR 公司制造),还可以举出以聚对苯二甲酸乙二醇酯 (PET) 为代表的聚酯、聚醚砜 (PES)、聚萘二甲酸乙二醇酯 (PEN)、聚碳酸酯 (PC)、聚醚醚酮 (PEEK)、聚砜 (PSF)、聚醚酰亚胺 (PEI)、聚芳酯 (PAR)、聚对苯二甲酸丁二醇酯 (PBT)、聚酰亚胺、丙烯腈-丁二烯-苯乙烯树脂、聚氯乙烯、聚丙烯、聚乙酸乙烯酯、丙烯酸树脂等。

[0360] 此外,在衬底 700 上形成有与多个显示装置对应的半导体元件的情况下,以每一个显示装置分开元件形成层 738。可以通过激光照射装置、切割装置、划线装置等来分开。

[0361] 接下来,如图 17B 所示,以覆盖导电膜 730、电极 731 的方式形成定向膜 750,对此进行研磨处理。并且,形成用来密封液晶的密封剂 751。另一方面,另行准备形成有使用透明导电膜的电极 752 和进行了研磨处理的定向膜 753 的衬底 754。并且,对由密封剂 751 围绕的区域滴落液晶 755,使用密封剂 751 以电极 752 和电极 731 对置的方式贴合另行准备的衬底 754。此外,密封剂 751 也可以混合有填料。

[0362] 此外,也可以形成有颜色滤光片、用来防止旋错 (disclination) 的屏蔽膜 (黑矩阵) 等。此外,对衬底 754 的与形成有电极 752 的表面相反的表面贴合偏振片 756。

[0363] 作为用作电极 731 或电极 752 的透明导电膜,例如可以使用包含氧化硅的氧化铟锡 (ITO)、氧化铟锡 (ITO)、氧化锌 (ZnO)、氧化铟锌 (IZO)、添加有镓的氧化锌 (GZO) 等。电极 731、液晶 755、以及电极 752 互相重叠而形成液晶单元 760。此外,虽然在本实施例中示出电极 731 和电极 752 中间夹着液晶 755 重叠而构成的液晶单元 760 的结构,但是用于本发明的显示装置的液晶单元的结构不局限于此。例如,如 IPS 液晶那样,也可以使用以覆盖电极 731 和电极 752 的方式设置液晶 755 的液晶单元。

[0364] 虽然在上述液晶注入中,使用分配器法 (滴落法),但是本发明不局限于此。也可以使用贴合衬底 754 之后注入液晶的浸渍法 (水泵法; pumping method)。

[0365] 此外,虽然在本实施例中,示出从衬底 700 剥离元件形成层 738 来利用的例子,但是也可以在衬底 700 上制造上述元件形成层 738 而不设置剥离层 702,以用作显示装置。

[0366] 此外,虽然在本实施例中,所有的 TFT718 至 720 的栅极绝缘膜 714 的膜厚度都相

同,但是本发明不局限于该结构。例如,也可以在要求更高速驱动的电路中比其他电路进一步减薄 TFT 所具有的栅极绝缘膜的膜厚度。

[0367] 此外,虽然在本实施例中以薄膜晶体管为例说明,但是本发明不局限于此。除了薄膜晶体管以外,还可以使用由单晶硅形成的晶体管、由 SOI 形成的晶体管等。

[0368] 本实施例可以与上述实施方式或上述实施例适当地组合来实施。

[0369] 实施例 7

[0370] 在本实施例中,以本发明的显示装置之一的液晶显示装置为例,参照图 18A 和 18B 说明其外观。图 18A 表示将形成在第一衬底上的晶体管和液晶单元设置在第一衬底和第二衬底之间而构成的面板的俯视图,而图 18B 相当于沿图 18A 中的线 A-A' 切断的剖视图。

[0371] 以围绕设置在第一衬底 4001 上的像素部 4002、信号线驱动电路 4003、以及扫描线驱动电路 4004 的方式提供有密封剂 4020。此外,在像素部 4002、信号线驱动电路 4003、以及扫描线驱动电路 4004 上提供有第二衬底 4006。因此,像素部 4002、信号线驱动电路 4003、以及扫描线驱动电路 4004 在第一衬底 4001 和第二衬底 4006 之间由密封剂 4020 与液晶 4013 一起密封。

[0372] 此外,设置在第一衬底 4001 上的像素部 4002、信号线驱动电路 4003、以及扫描线驱动电路 4004 分别具有多个晶体管。在图 18B 中示出包括在信号线驱动电路 4003 的晶体管 4008、4009、和包括在像素部 4002 的晶体管 4010。

[0373] 此外,液晶单元 4011 包括:通过布线 4017 连接到晶体管 4010 的源区或漏区的像素电极 4030;形成在第二衬底 4006 上的对置电极 4012;以及液晶 4013。

[0374] 此外,虽然未图示,本实施例的液晶显示装置具有定向膜和偏振片,还可以具有颜色滤光片和屏蔽膜。

[0375] 此外,附图标记 4035 表示珠形间隔物,是为了控制像素电极 4030 和对置电极 4012 之间的距离(单元间隔)而设置的。此外,也可以使用通过构图绝缘膜获得的间隔物。

[0376] 供应到信号线驱动电路 4003、扫描线驱动电路 4004、或者像素部 4002 的各种信号及电压从连接端子 4016 经过布线 4014 及 4015 供应。连接端子 4016 通过各向异性导电膜 4019 与 FPC4018 所具有的端子电连接。

[0377] 本实施例可以与上述实施方式或上述实施例适当地组合来实施。

[0378] 实施例 8

[0379] 作为可以使用本发明的显示装置的电子设备,可以举出便携式电话、便携式游戏机或电子书、摄像机及数码相机等拍摄装置、护目镜型显示器(头盔显示器)、导航系统、声音再现装置(汽车音响、音响组件等)、笔记本式个人计算机、具备记录媒体的图像再现装置(典型地,包括能够再现 DVD(数字通用盘)等记录媒体且显示图像的显示器的装置)等。图 19A 至 19C 表示这些电子设备的具体例子。

[0380] 图 19A 表示便携式电话,包括主体 2101、显示部 2102、音频输入部 2103、音频输出部 2104、操作键 2105。对显示部 2102 应用本发明的显示装置,可以获得可靠性高的便携式电话。

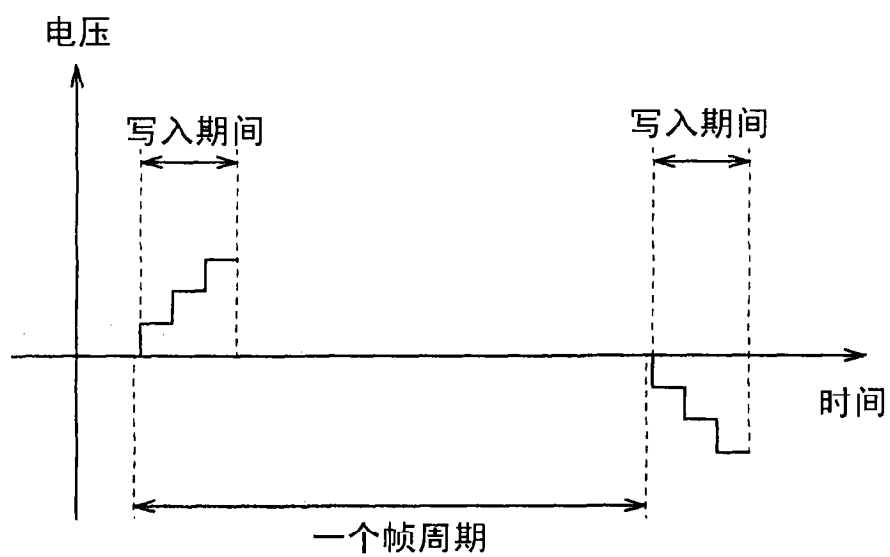
[0381] 图 19B 表示摄像机,包括主体 2601、显示部 2602、框体 2603、外部连接端口 2604、遥控接收部 2605、图像接收部 2606、电池 2607、音频输入部 2608、操作键 2609、取景部 2610 等。对显示部 2602 应用本发明的显示装置,可以获得可靠性高的摄像机。

[0382] 图 19C 表示映像显示装置,包括框体 2401、显示部 2402、扬声器部 2403 等。对显示部 2402 应用本发明的显示装置,可以获得可靠性高的映像显示装置。此外,映像显示装置包括个人计算机用、TV 播放接收用、广告显示用等用来显示映像的所有的映像显示装置。

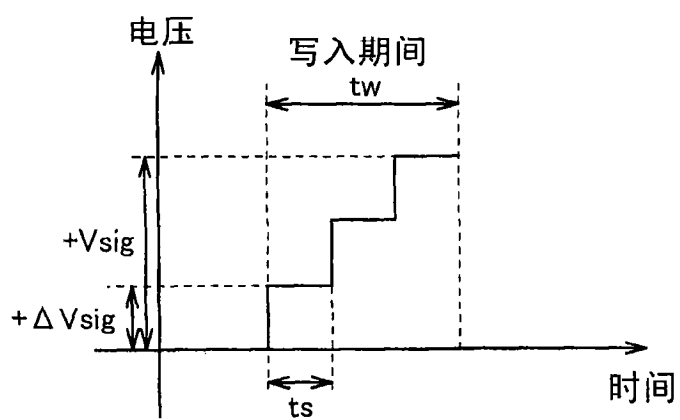
[0383] 如上那样,本发明的应用范围非常大,可以应用于各种领域的电子设备。

[0384] 本实施例可以与上述实施方式或上述实施例适当地组合来实施。

[0385] 本申请基于 2007 年 3 月 23 日向日本专利局递交的序列号为 NO. 2007-076283 的日本专利申请,该申请的全部内容通过引用被结合在本申请中。



A



B

图 1

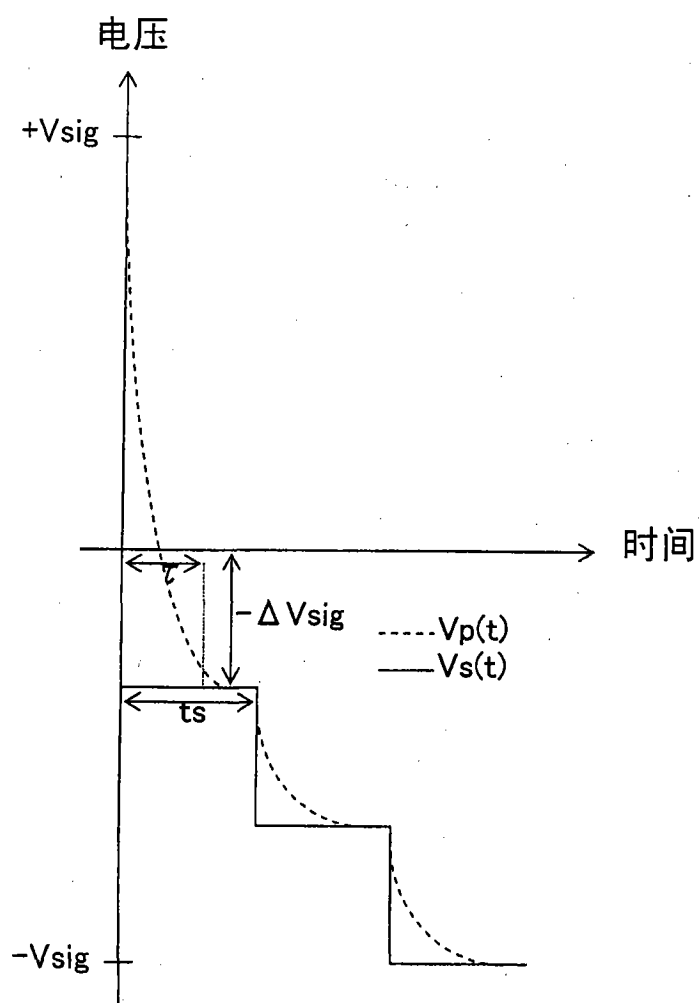


图 2

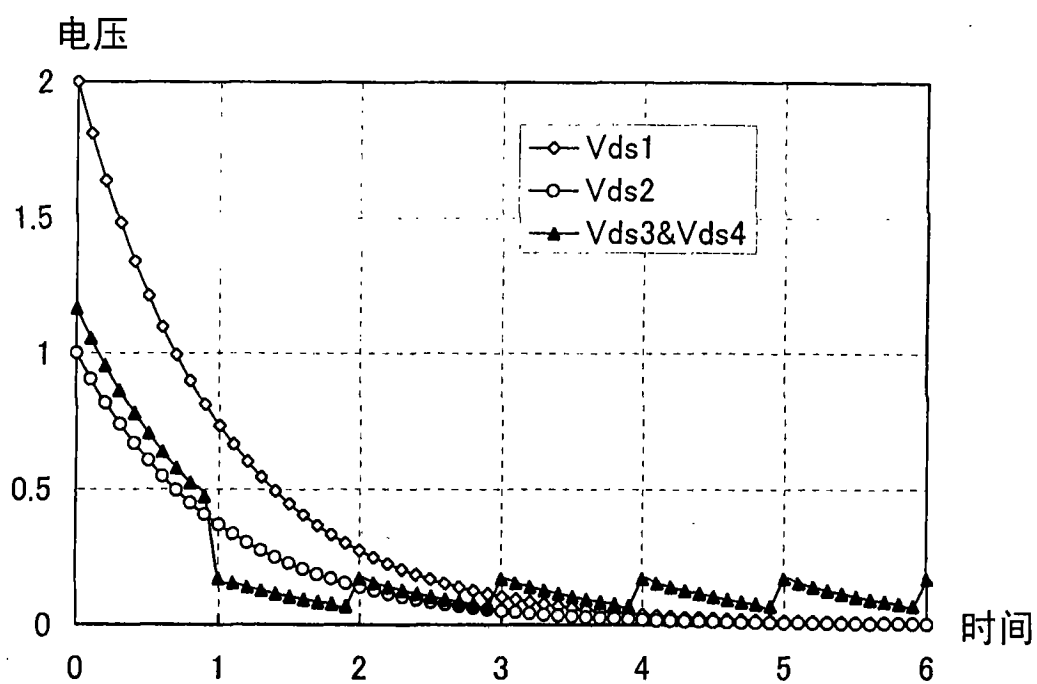


图 3

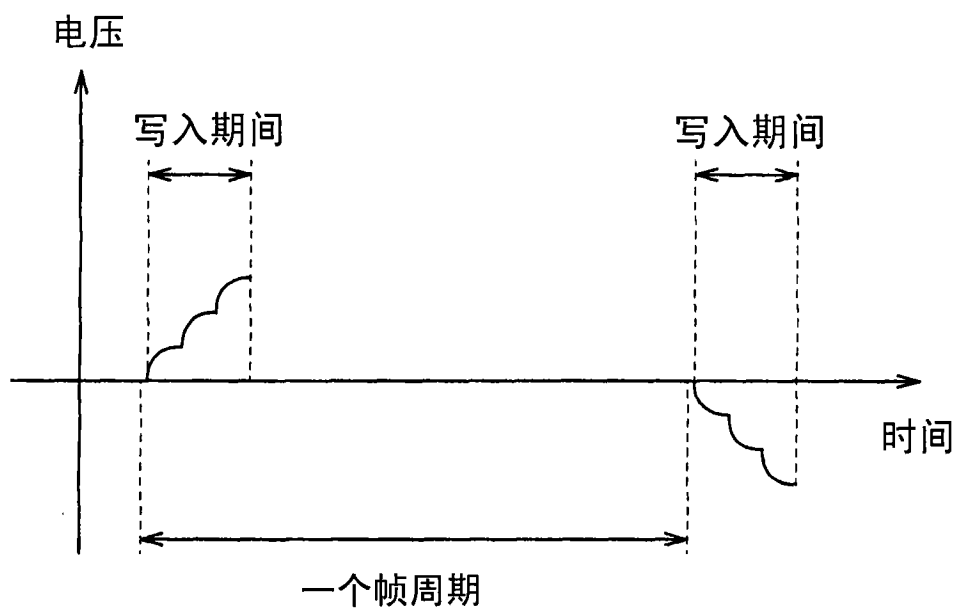


图 4A

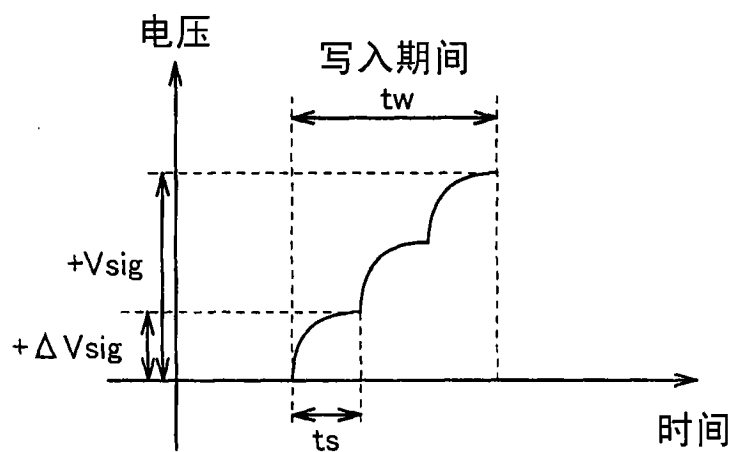


图 4B

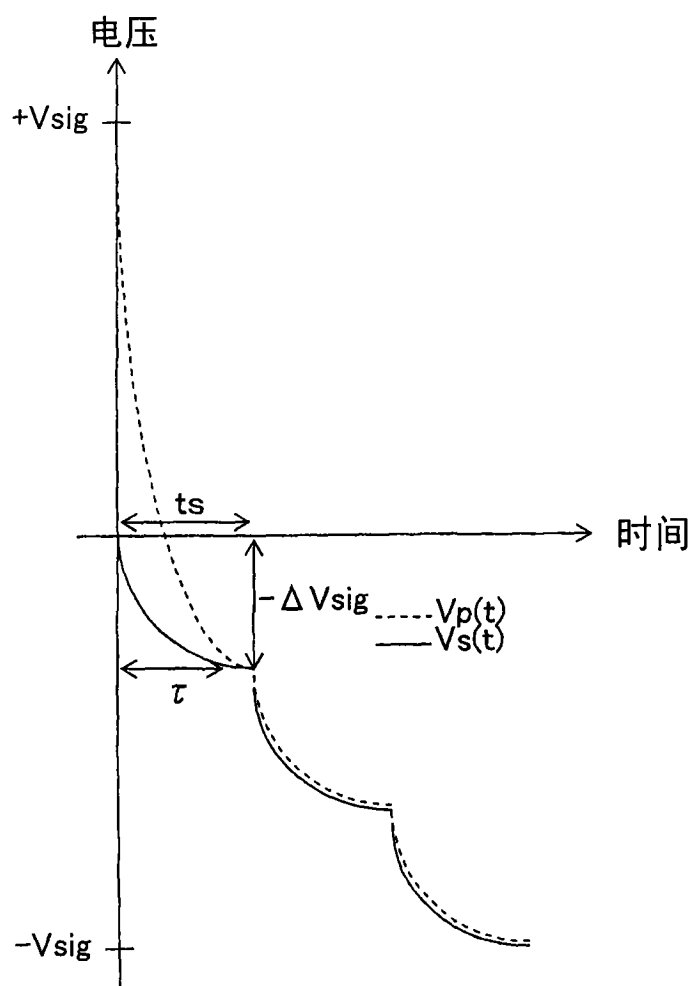


图 5

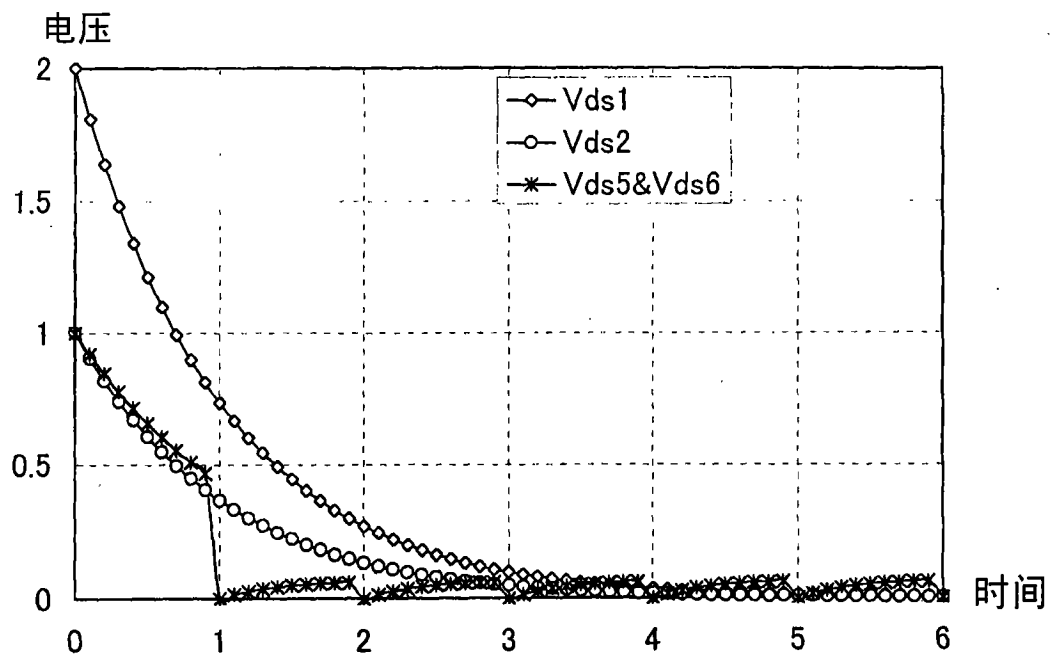


图 6

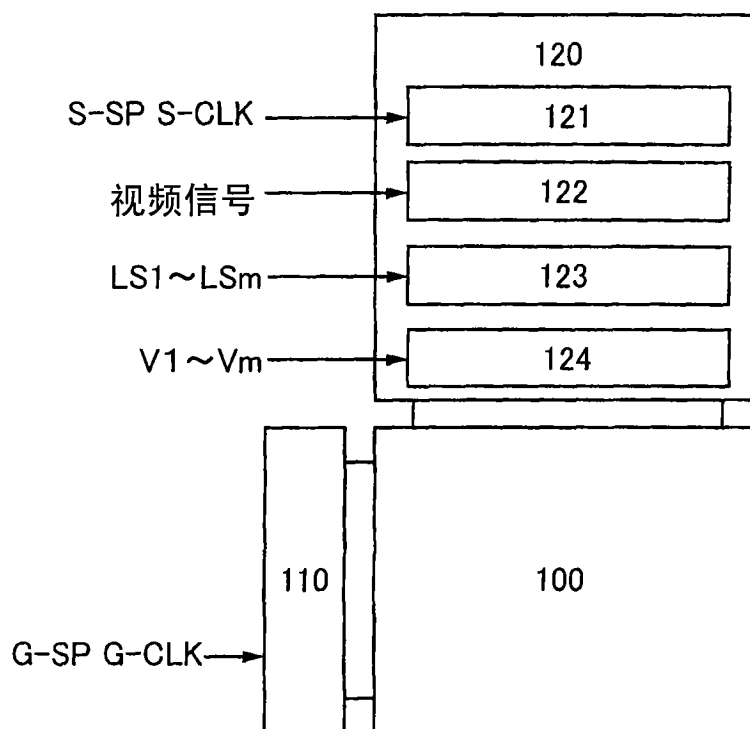


图 7A

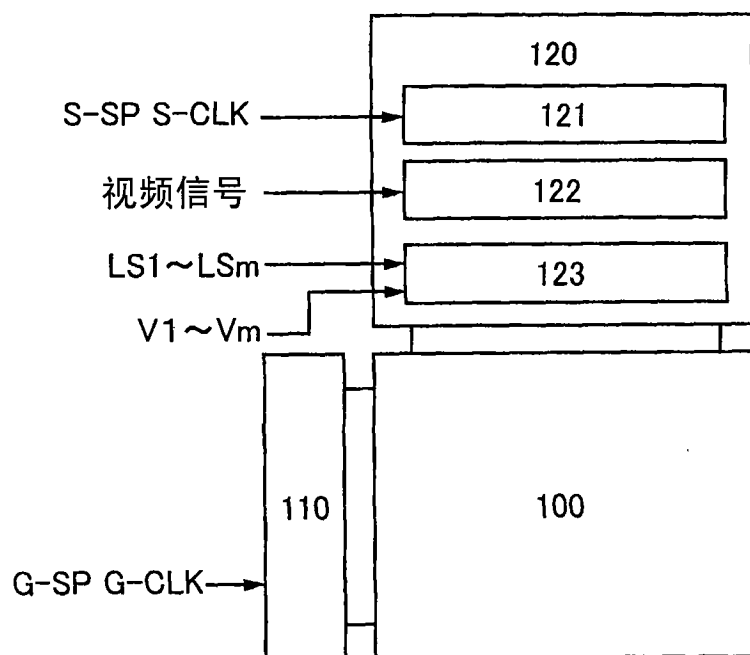


图 7B

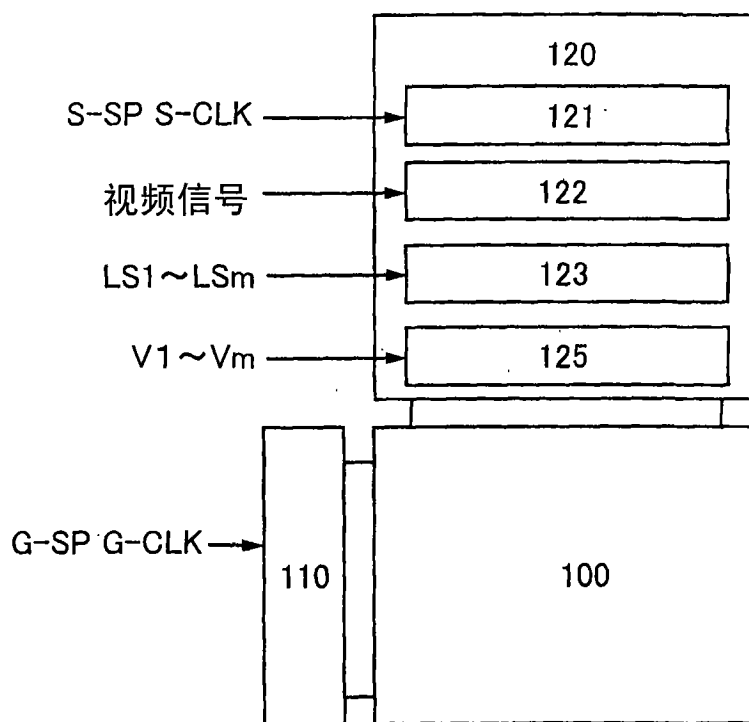


图 8

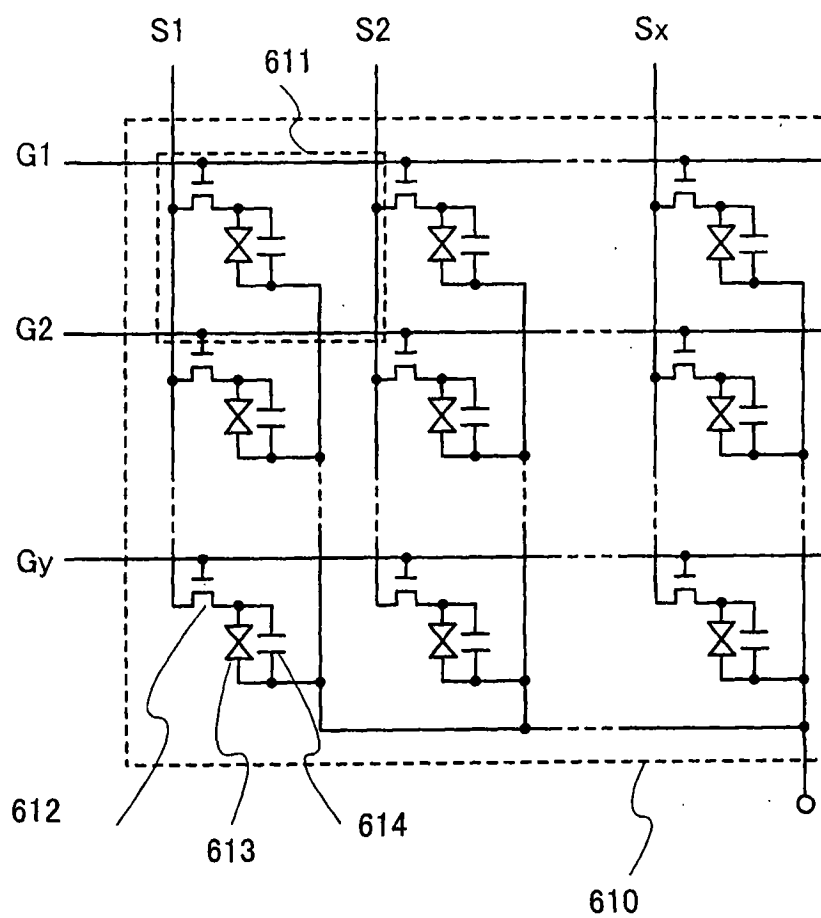


图 9

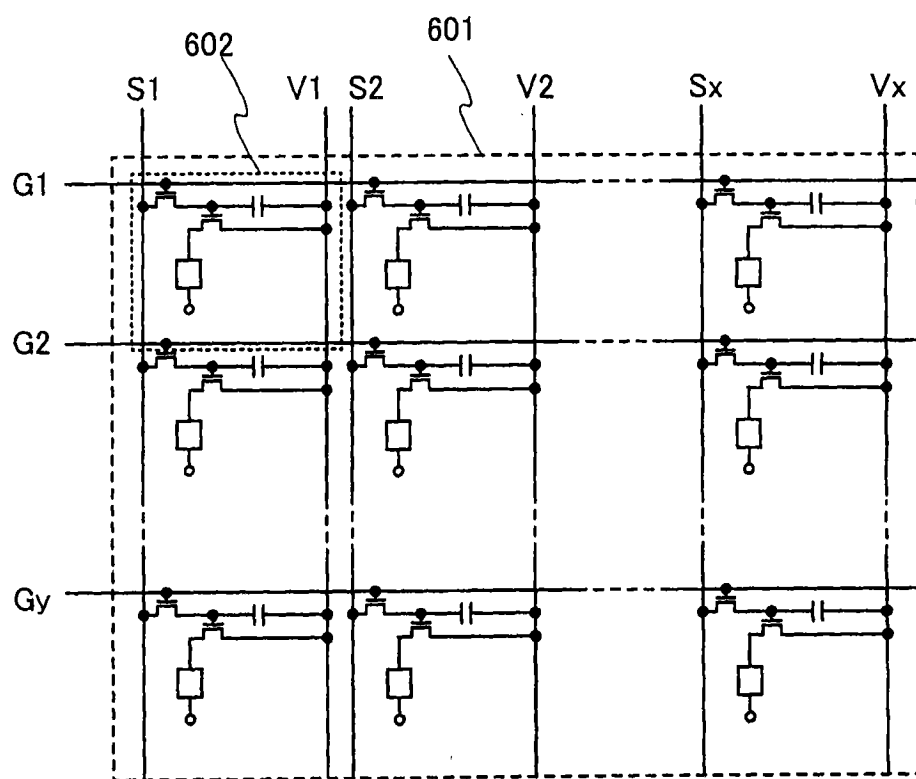


图 10A

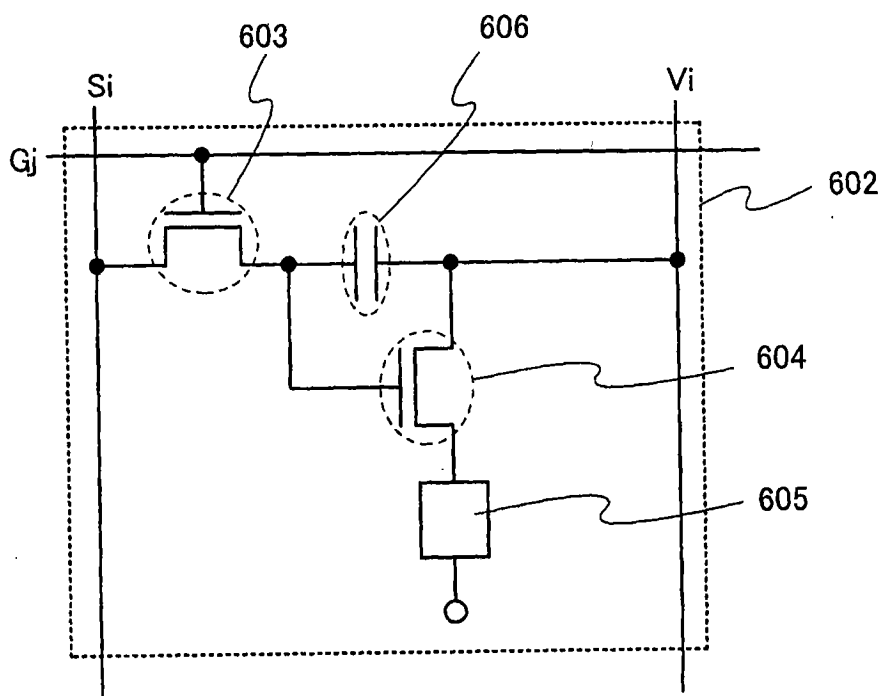


图 10B

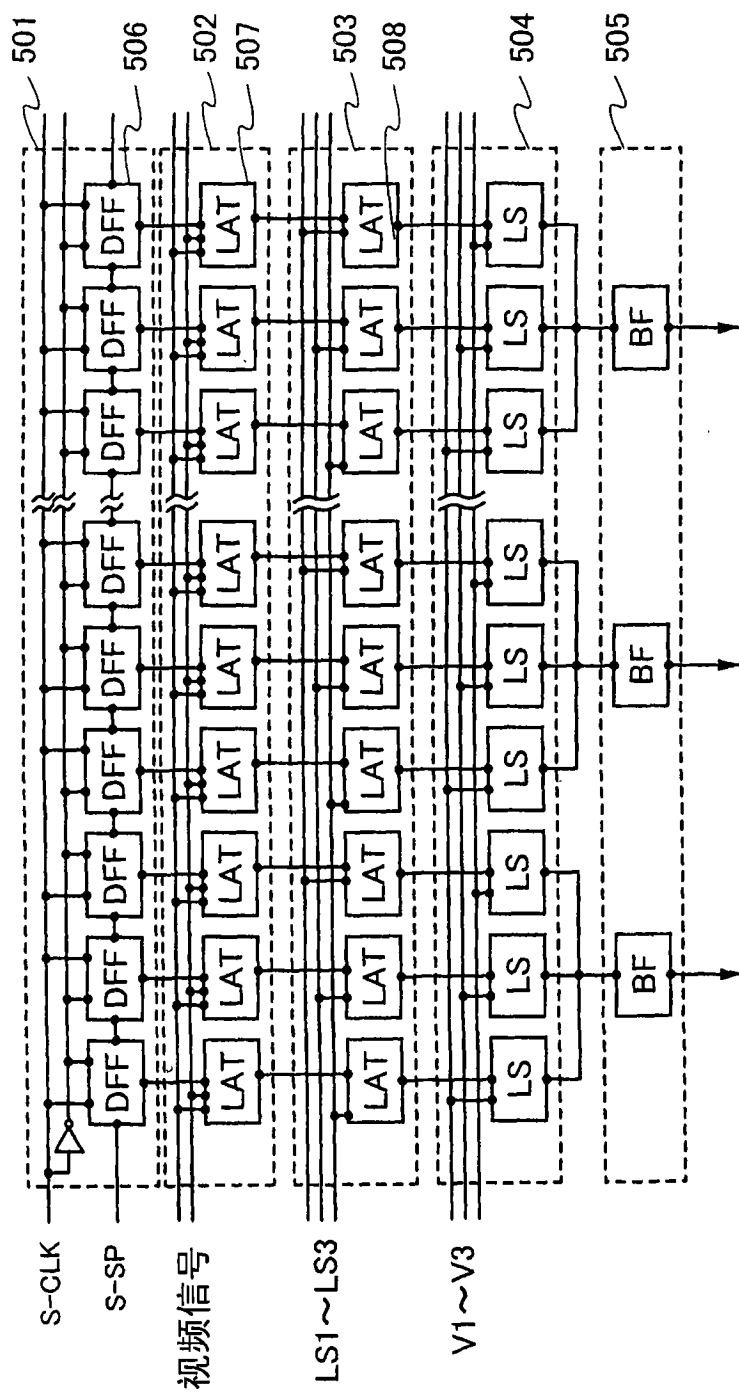
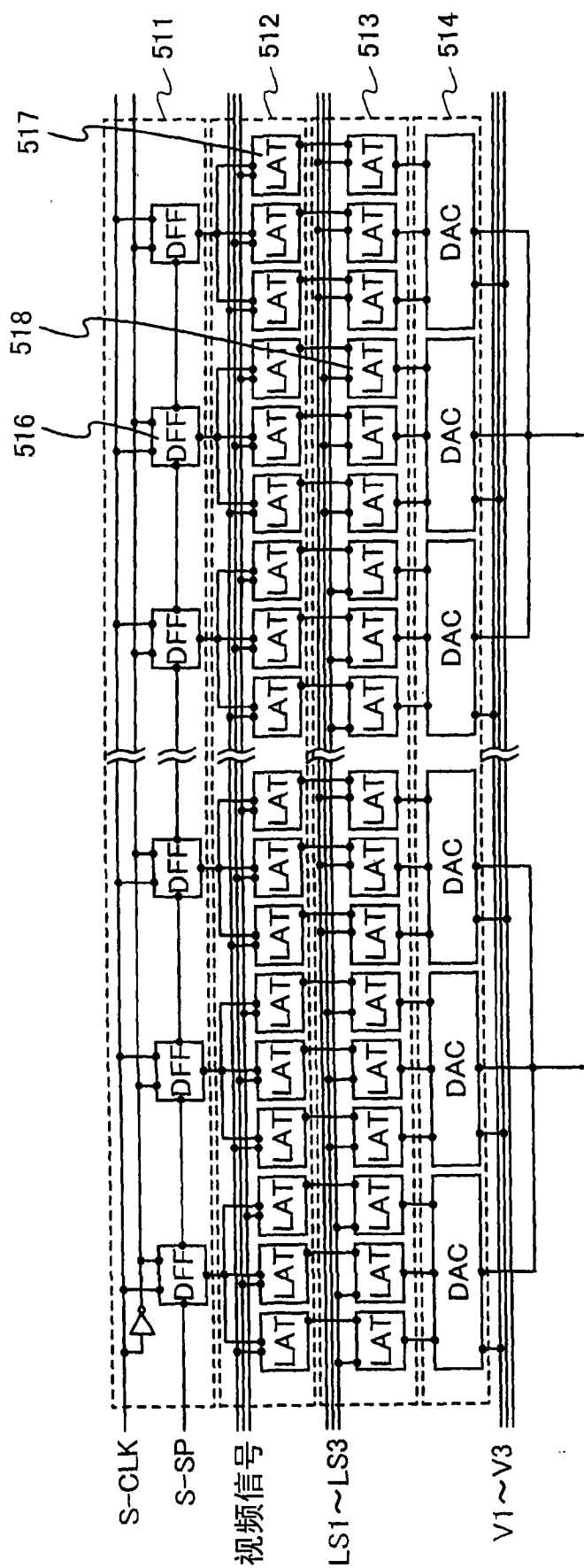


图 11



12

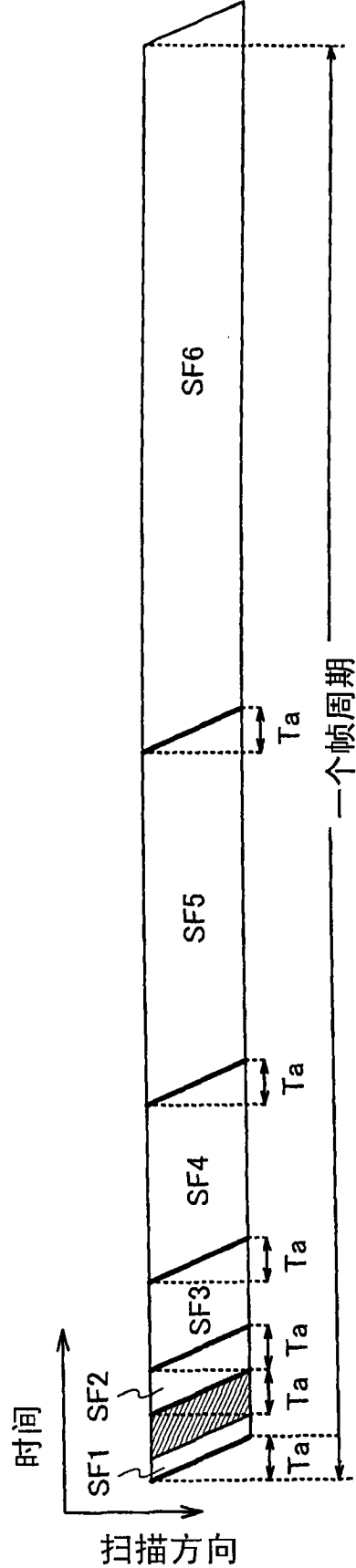


图 13A

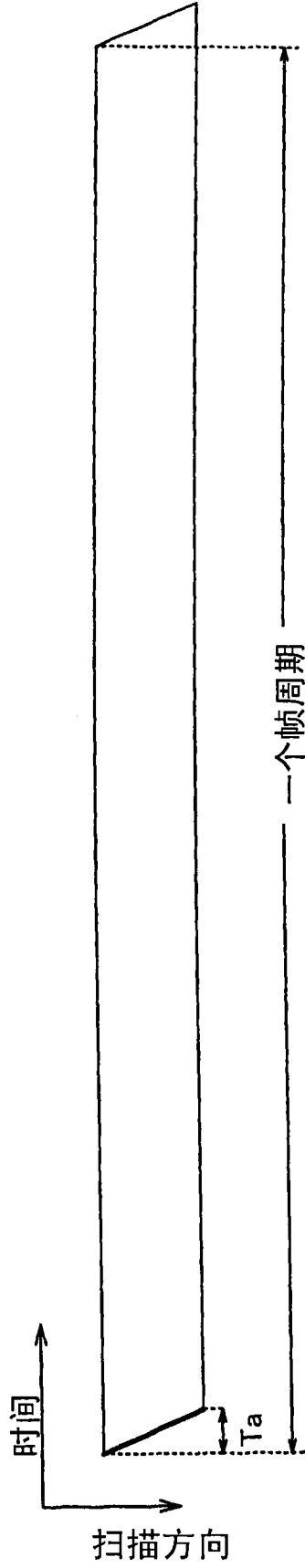


图 13B

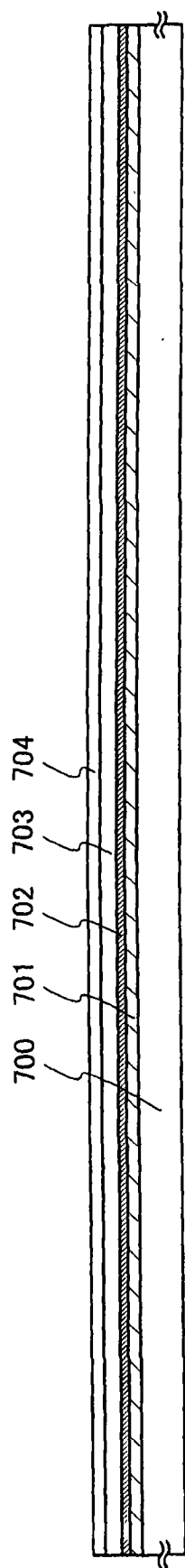


图 14A

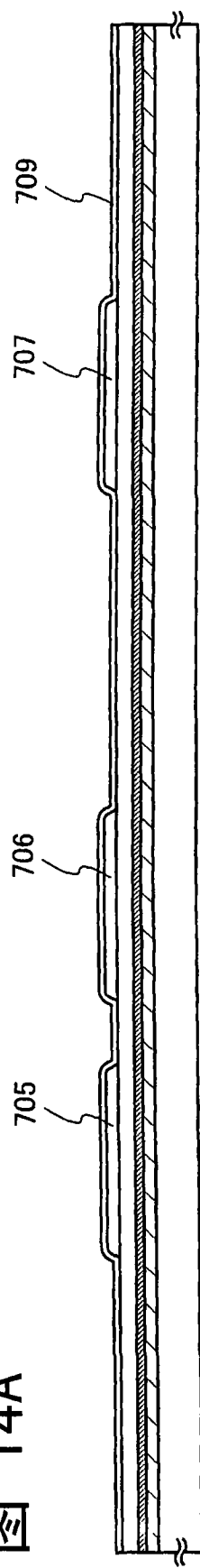


图 14B

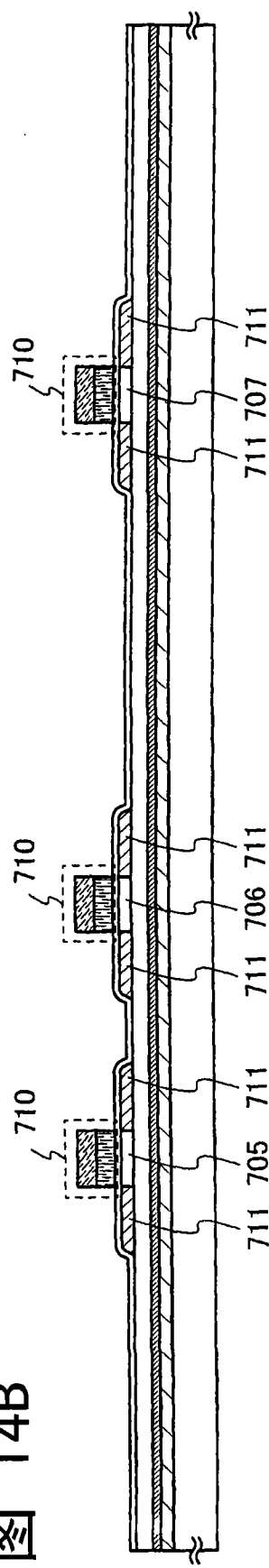


图 14C

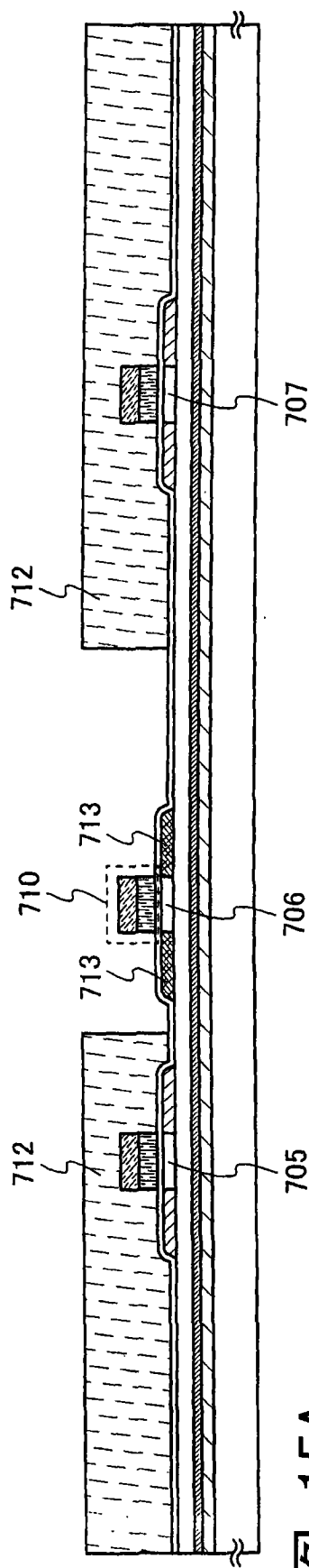


图 15A

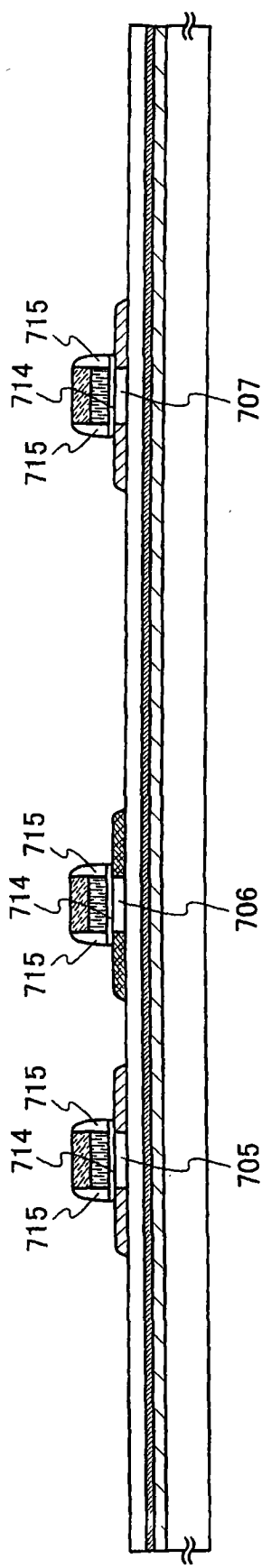


图 15B

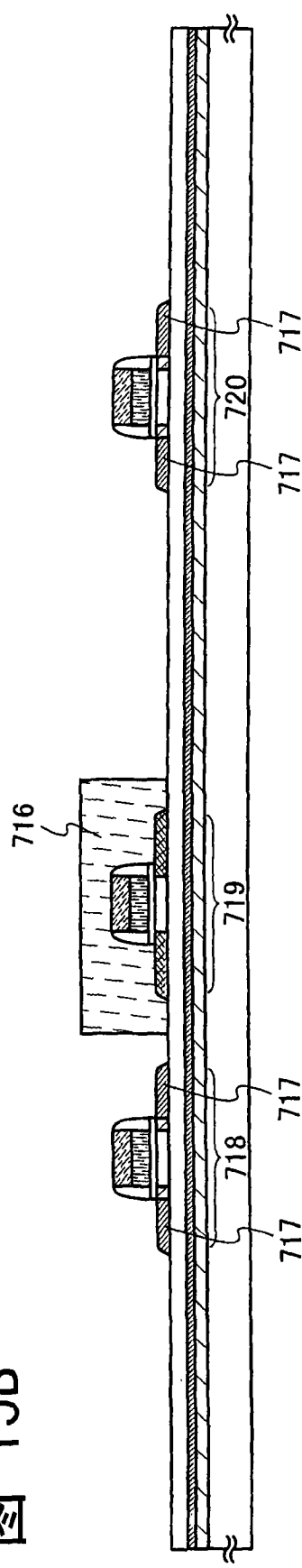


图 15C

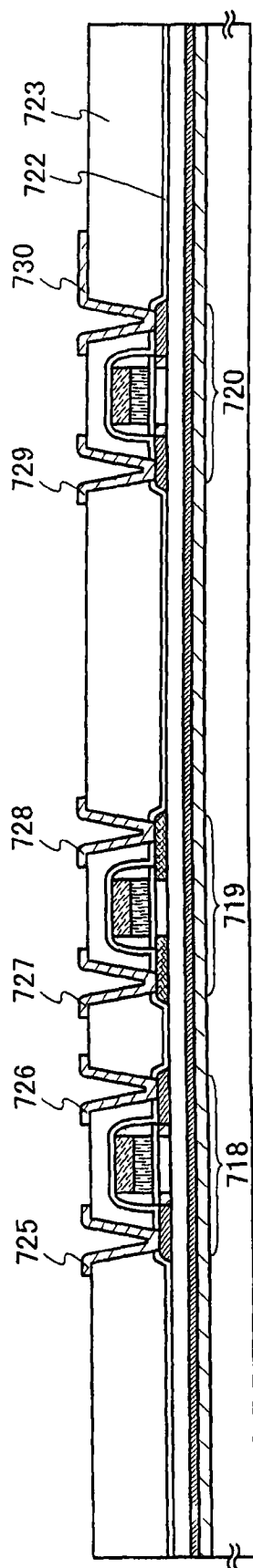


图 16A

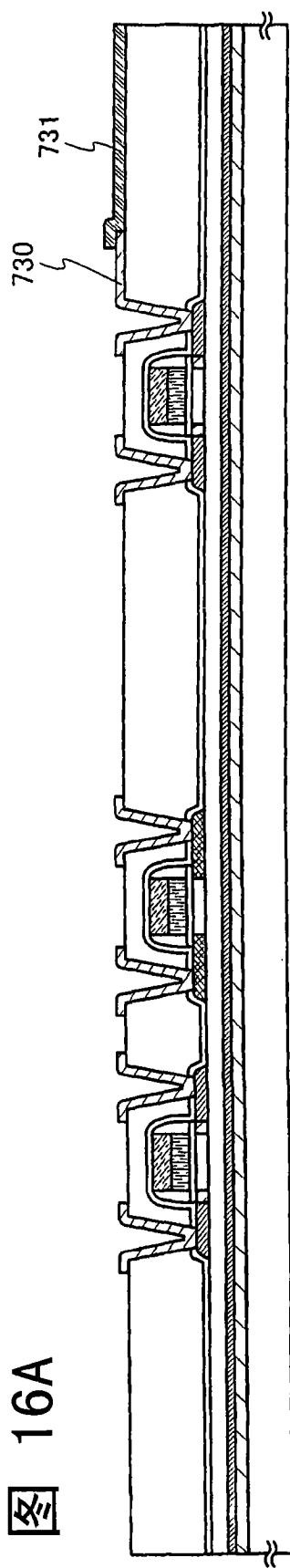


图 16B

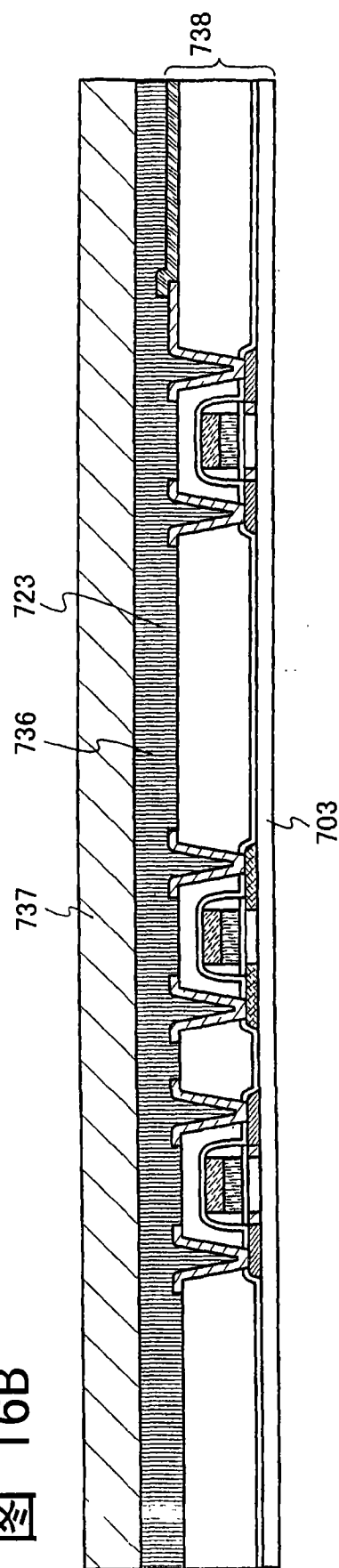


图 16C

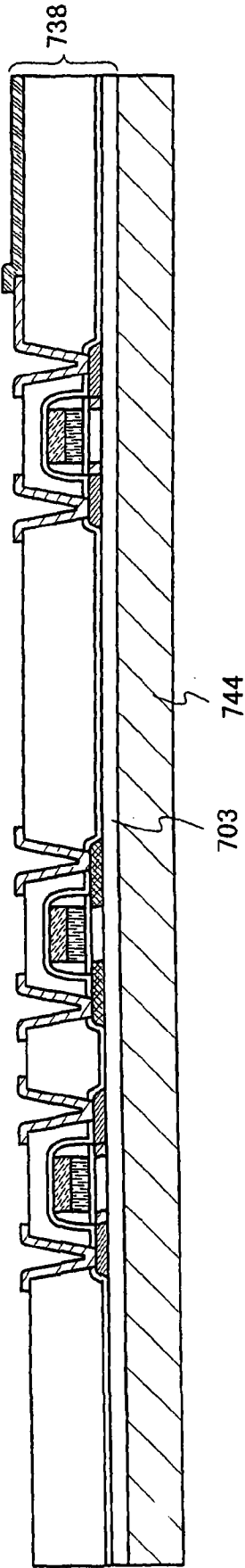


图 17A

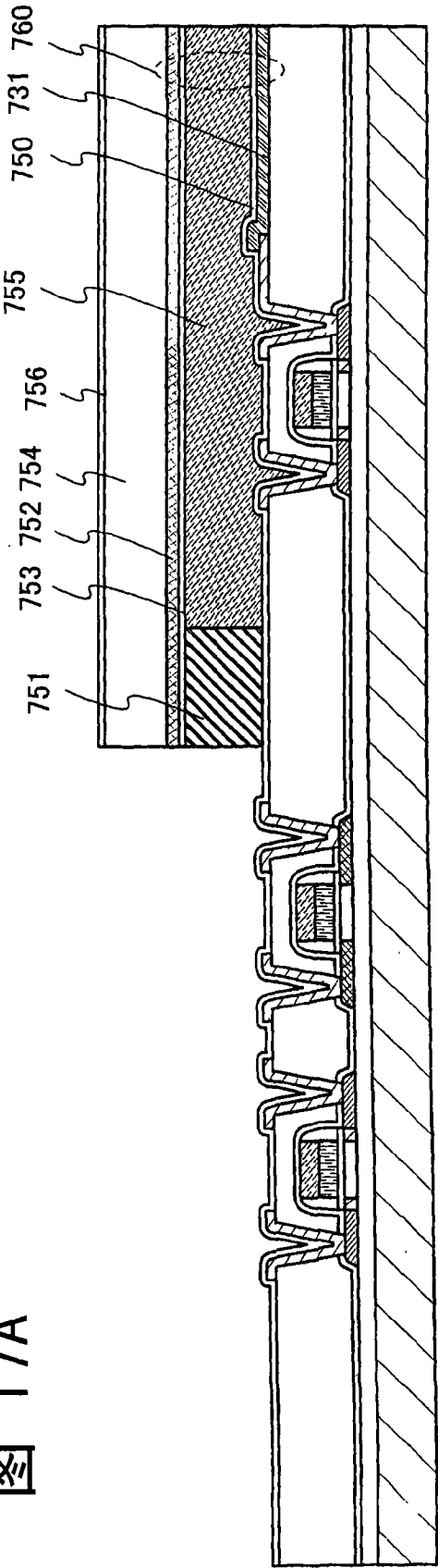


图 17B

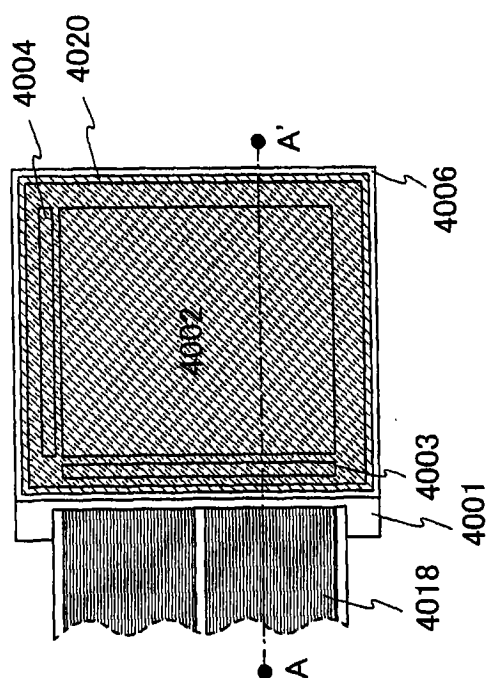


图 18A

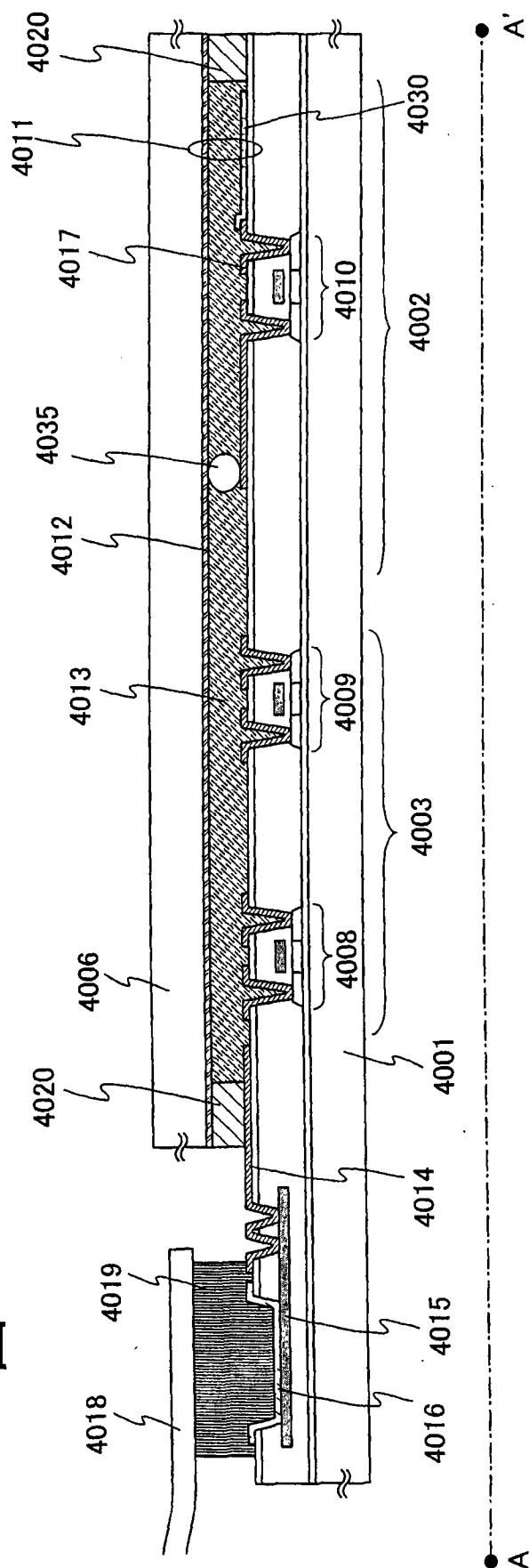


图 18B

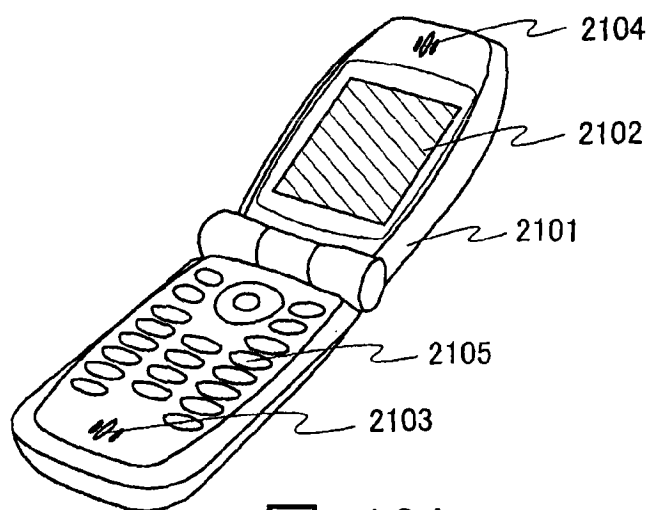


图 19A

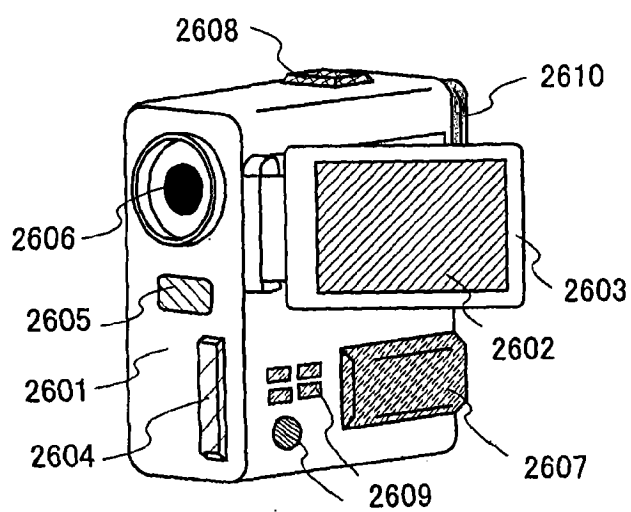


图 19B

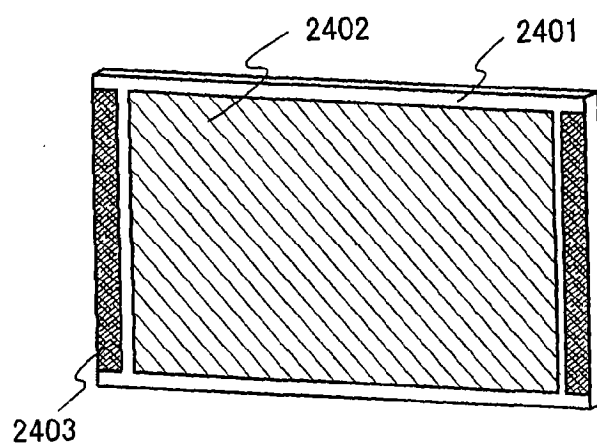


图 19C

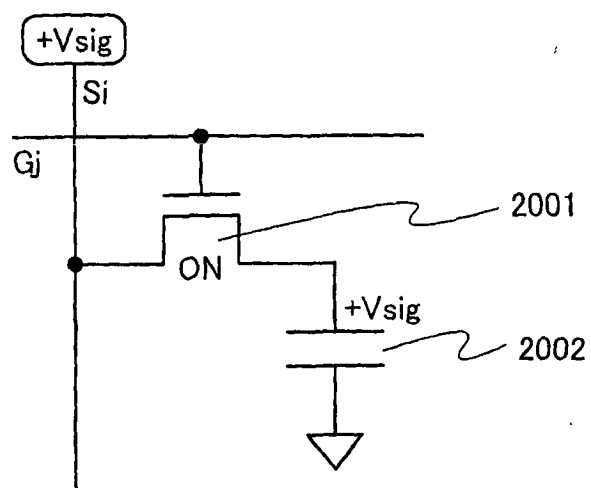


图 20A

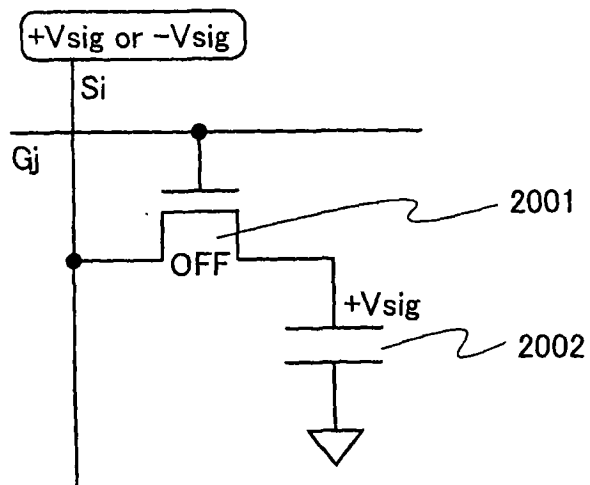


图 20B

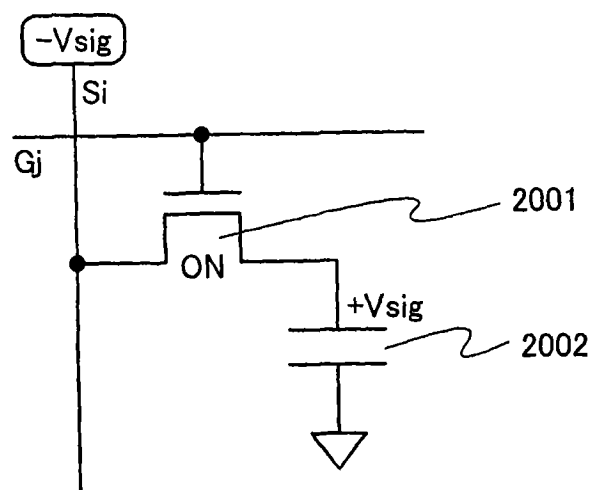


图 20C

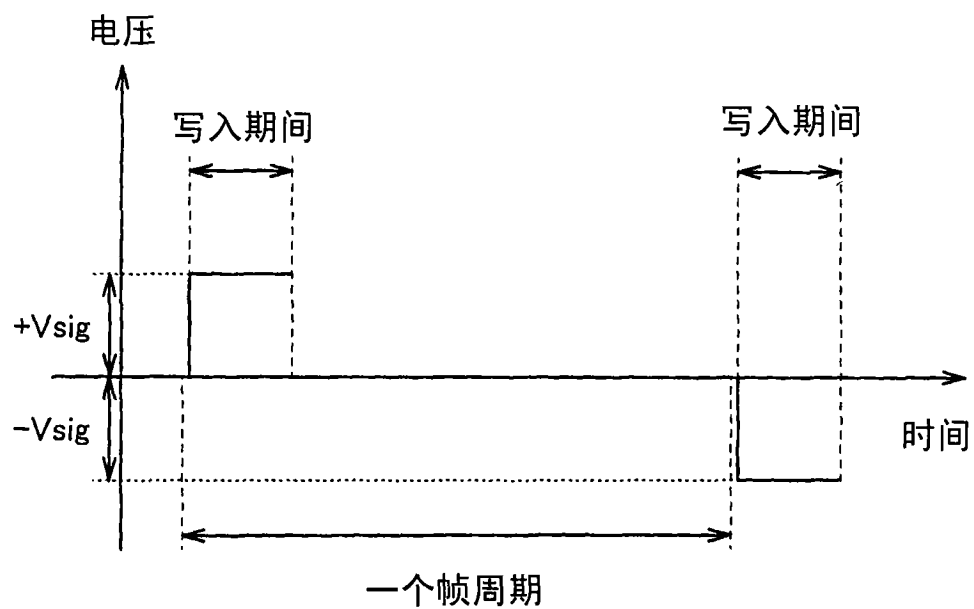


图 21